

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5808589号
(P5808589)

(45) 発行日 平成27年11月10日(2015.11.10)

(24) 登録日 平成27年9月18日(2015.9.18)

(51) Int.Cl.	F 1		
HO 1 L 21/336	(2006.01)	HO 1 L	29/78
HO 1 L 29/786	(2006.01)	HO 1 L	21/205
HO 1 L 21/205	(2006.01)	HO 1 L	29/78
C 23 C 16/24	(2006.01)	C 23 C	16/24
C 23 C 16/28	(2006.01)	C 23 C	16/28

請求項の数 9 (全 40 頁) 最終頁に続く

(21) 出願番号	特願2011-141548 (P2011-141548)	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成23年6月27日(2011.6.27)	(72) 発明者	小松 立 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2012-33902 (P2012-33902A)	(72) 発明者	神保 安弘 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成24年2月16日(2012.2.16)	(72) 発明者	宮入 秀和 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査請求日	平成26年6月20日(2014.6.20)		
(31) 優先権主張番号	特願2010-148074 (P2010-148074)		
(32) 優先日	平成22年6月29日(2010.6.29)		
(33) 優先権主張国	日本国(JP)		

審査官 市川 武宣

最終頁に続く

(54) 【発明の名称】微結晶半導体膜の作製方法、及び半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に絶縁膜を形成し、

第1の条件で第1の処理室内に水素と堆積性気体とを供給して、前記絶縁膜上に種結晶を形成し、

第2の条件で第2の処理室内に水素と前記堆積性気体とを供給して、前記種結晶上に微結晶半導体膜を形成し、

前記第1の条件において、前記堆積性気体の流量に対する前記水素の流量を50倍以上1000倍以下とし、前記第1の処理室内の圧力を0.5 Torr以上10 Torr以下とし、

前記第2の条件において、前記堆積性気体の流量を第1の値と第2の値との間で周期的に変化させ、前記第2の処理室内の圧力を10 Torr以上100 Torr以下とし、

前記第2の値は、前記第1の値よりも低く、

前記微結晶半導体膜を形成する間、前記第2の処理室内における前記堆積性気体の前記水素に対する流量比を、周期的に変化させることを特徴とする半導体装置の作製方法。

【請求項 2】

基板上に絶縁膜を形成し、

第1の条件で第1の処理室内に水素と堆積性気体とを供給して、前記絶縁膜上に種結晶を形成し、

第2の条件で第2の処理室内に水素と前記堆積性気体とを供給して、前記種結晶上に微

10

20

結晶半導体膜を形成し、

前記第1の条件において、前記堆積性気体の流量に対する前記水素の流量を50倍以上1000倍以下とし、前記第1の処理室内の圧力を0.5 Torr以上10 Torr以下とし、

前記第2の条件において、前記第2の処理室内の圧力を10 Torr以上100 Torr以下とし、

前記微結晶半導体膜を形成する間、前記第2の処理室内における前記堆積性気体の前記水素に対する流量比を周期的に変化させることを特徴とする半導体装置の作製方法。

【請求項3】

基板上にゲート電極を形成し、

10

前記基板上及び前記ゲート電極上にゲート絶縁膜を形成し、

第1の条件で第1の処理室内に水素と堆積性気体とを供給して、前記ゲート絶縁膜上に種結晶を形成し、

第2の条件で第2の処理室内に水素と前記堆積性気体とを供給して、前記種結晶上に微結晶半導体膜を形成し、

前記微結晶半導体膜上に半導体膜を形成し、

前記種結晶の一部、前記微結晶半導体膜の一部、及び前記半導体膜の一部をエッティングして、半導体積層体を形成し、

20

前記半導体積層体上に配線を形成し、

前記第1の条件において、前記堆積性気体の流量に対する前記水素の流量は50倍以上1000倍以下とし、前記第1の処理室内の圧力を0.5 Torr以上10 Torr以下とし、

前記第2の条件において、前記堆積性気体の流量を第1の値と第2の値との間で周期的に変化させ、前記第2の処理室内の圧力を10 Torr以上100 Torr以下とし、

前記第2の値は、前記第1の値よりも低く、

前記微結晶半導体膜を形成する間、前記第2の処理室内における前記堆積性気体の前記水素に対する流量比を周期的に変化させることを特徴とする半導体装置の作製方法。

【請求項4】

基板上にゲート電極を形成し、

30

前記基板上及び前記ゲート電極上にゲート絶縁膜を形成し、

第1の条件で第1の処理室内に水素と堆積性気体とを供給して、前記ゲート絶縁膜上に種結晶を形成し、

第2の条件で第2の処理室内に水素と前記堆積性気体とを供給して、前記種結晶上に微結晶半導体膜を形成し、

前記微結晶半導体膜上に半導体膜を形成し、

前記種結晶の一部、前記微結晶半導体膜の一部、及び前記半導体膜の一部をエッティングして、半導体積層体を形成し、

前記半導体積層体上に配線を形成し、

前記第1の条件において、前記堆積性気体の流量に対する前記水素の流量を50倍以上1000倍以下とし、前記第1の処理室内の圧力を0.5 Torr以上10 Torr以下とし、

40

前記第2の条件において、前記第2の処理室内の圧力を10 Torr以上100 Torr以下とし、

前記微結晶半導体膜を形成する間、前記第2の処理室内における前記堆積性気体の前記水素に対する流量比を周期的に変化させることを特徴とする半導体装置の作製方法。

【請求項5】

請求項3又は4において、

前記半導体積層体の側面にプラズマ処理を行って、前記半導体積層体の前記側面に障壁領域を形成することを特徴とする半導体装置の作製方法。

【請求項6】

50

請求項 3 乃至 5 のいずれか一において、

前記配線上、前記半導体積層体上、前記ゲート絶縁膜上に絶縁膜を形成し、

前記絶縁膜上にバックゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 6 において、

前記ゲート電極は、前記バックゲート電極と接続されていることを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 6 において、

前記バックゲート電極はフローティングであることを特徴とする半導体装置の作製方法

10

。

【請求項 9】

請求項 1 乃至 8 のいずれか一において、

前記第 2 の条件における前記水素の流量は一定であり、前記第 1 の条件における前記水素の流量と同じであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、微結晶半導体膜の作製方法、及び当該微結晶半導体膜を用いた半導体装置の作製方法、及び表示装置に関する。

20

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、表示装置、電気光学装置、光電変換装置、半導体回路、及び電子機器は全て半導体装置である。

【背景技術】

【0003】

電界効果トランジスタの一種として、絶縁表面を有する基板上に形成された半導体膜を用いてチャネル領域が形成される薄膜トランジスタが知られている。薄膜トランジスタのチャネル領域に用いられる半導体膜に、非晶質シリコン、微結晶シリコン及び多結晶シリコンを用いる技術が開示されている（特許文献 1 乃至 5 参照）。薄膜トランジスタの代表的な応用例は、液晶テレビジョン装置であり、表示画面を構成する各画素のスイッチングトランジスタとして実用化されている。

30

【0004】

また、プラズマ CVD 法により作製可能な結晶系シリコンとして微結晶シリコンを、光電変換を行う半導体膜に用いた光電変換装置の開発が進められている（例えば、特許文献 6 参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2001 - 053283 号公報

40

【特許文献 2】特開平 5 - 129608 号公報

【特許文献 3】特開 2005 - 049832 号公報

【特許文献 4】特開平 7 - 131030 号公報

【特許文献 5】特開 2005 - 191546 号公報

【特許文献 6】特開 2000 - 277439 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

非晶質シリコン膜を用いてチャネル領域が形成される薄膜トランジスタは、電界効果移動度及びオン電流が低いといった問題がある。一方、微結晶シリコン膜を用いてチャネル領

50

域が形成される薄膜トランジスタは、非晶質シリコン膜でチャネル領域が形成される薄膜トランジスタと比較して、電界効果移動度は向上するもののオフ電流が高くなってしまい、十分なスイッチング特性が得られないといった問題がある。

【0007】

多結晶シリコン膜がチャネル領域となる薄膜トランジスタは、上記二種類の薄膜トランジスタよりも電界効果移動度が格段に高く、高いオン電流が得られるといった特性がある。この薄膜トランジスタは、その特性により、画素に設けられるスイッチング用のトランジスタとして使用できることに加えて、高速動作が要求されるドライバ回路をも構成することができる。

【0008】

しかし、多結晶シリコン膜を用いてチャネル領域が形成される薄膜トランジスタの作製工程は、非晶質シリコン膜を用いてチャネル領域が形成される薄膜トランジスタを作製する場合に比べ、半導体膜の結晶化工程が必要となり、製造コストが増大することが問題となっている。例えば、多結晶シリコン膜の製造のために必要なレーザアニール技術は、レーザビームの照射面積が小さく、大画面の液晶パネルを効率良く生産することができないといった問題がある。

10

【0009】

ところで、表示パネルの製造に用いられているガラス基板は、第3世代(550mm×650mm)、第3.5世代(600mm×720mm、または620mm×750mm)、第4世代(680mm×880mm、または730mm×920mm)、第5世代(1100mm×1300mm)、第6世代(1500mm×1850mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2400mm)、第9世代(2400mm×2800mm)、第10世代(2950mm×3400mm)へと大面積化が進んでいる。ガラス基板の大型化はコストミニマム設計の思想に基づいている。

20

【0010】

これに対して、第10世代(2950mm×3400mm)におけるような大面積のマザーガラス基板に、高速動作が可能な薄膜トランジスタを、生産性良く製造することができる技術は依然として確立されておらず、そのことが産業界の問題となっている。

【0011】

そこで、本発明の一態様は、電気特性が良好な半導体装置を、生産性高く作製する方法を提供することを課題とする。

30

【課題を解決するための手段】

【0012】

本発明の一態様は、第1の条件により、高い結晶性の混相粒を低い粒密度で有する種結晶を形成した後、第2の条件により混相粒を成長させて混相粒の隙間を埋めるように、種結晶上に微結晶半導体膜を積層形成することを要旨とする。

【0013】

高い結晶性を有する混相粒を低い粒密度で与える第1の条件は、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上1333Pa以下とする条件である。混相粒を成長させて混相粒の隙間を埋める第2の条件は、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比を周期的に増減させながら処理室に供給し、且つ処理室内の圧力を1333Pa以上13332Pa以下とする条件である。

40

【0014】

本発明の一態様は、第1の条件により非晶質シリコン領域と、単結晶とみなせる結晶子とを含む混相粒を有する種結晶をプラズマCVD法で形成し、種結晶上に、第2の条件により微結晶半導体膜をプラズマCVD法で形成する作製方法であって、第1の条件は、処理室内に供給する原料ガスとしてシリコンまたはゲルマニウムを含む堆積性気体と水素が含まれたガスを用い、堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上1333Pa以下とする条件である。

50

件である。また、第2の条件は、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比を周期的に増減させながら処理室内に供給し、且つ処理室内の圧力を1333Pa以上13332Pa以下とする条件であることを特徴とする。

【0015】

なお、上記第2の条件において、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比を周期的に増減させるとは、シリコンまたはゲルマニウムを含む堆積性気体または水素の流量を周期的に増減させることであり、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比が低い場合は、微結晶半導体の結晶成長が優先的であり、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比が高い場合は、非晶質半導体のエッチングが優先的である。シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比が低い場合として、堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にすることで微結晶半導体の結晶成長を優先的に生じさせることができる。

10

【0016】

なお、種結晶は、混相粒が分散した状態や、混相粒が連続した状態（即ち、膜状）を含む。また、プラズマを生成するパワーは、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量の比に合わせて適宜選択することが好ましい。

【0017】

また、本発明の一態様において、上記第2の条件により微結晶半導体膜を形成した後に、微結晶半導体膜上に第3の条件により第2の微結晶半導体膜をプラズマCVD法により形成するものであり、第3の条件は、処理室内に供給する原料ガスとしてシリコンまたはゲルマニウムを含む堆積性気体と水素が含まれたガスを用い、堆積性気体の流量に対する水素の流量の比を上記第2の条件より高くして堆積性気体を希釈し、且つ処理室内の圧力を1333Pa以上13332Pa以下とする条件であることも可能である。

20

【0018】

また、本発明の一態様において、上記第1の条件、上記第2の条件及び上記第3の条件の少なくとも一つに用いられる原料ガスに希ガスを添加することも可能である。

【0019】

本発明の一態様は、第1の条件により、高い結晶性を有する混相粒を低い密度で有する種結晶を絶縁膜上にプラズマCVD法により形成し、第2の条件により混相粒の結晶を成長させて種結晶の隙間を埋めることで、微結晶半導体膜をプラズマCVD法により形成するものである。

30

【0020】

また、本発明の一態様は、上記微結晶半導体膜を用いてチャネル領域を形成する薄膜トランジスタを有する半導体装置の作製方法である。

【0021】

また、本発明の一態様は、上記微結晶半導体膜を、p型を示す半導体膜、n型を示す半導体膜、及び光電変換を行う半導体膜の一以上に用いた光電変換装置の作製方法である。

【発明の効果】

【0022】

本発明の一態様を適用することで、結晶性の高い微結晶半導体膜を作製することができる。また、電気特性が良好な半導体装置を、生産性高く作製することができる。

40

【図面の簡単な説明】

【0023】

【図1】本発明の一実施の形態に係る微結晶半導体膜の作製方法を説明する断面図である。

【図2】本発明の一実施の形態に係る微結晶半導体膜の作製方法を説明する図である。

【図3】本発明の一実施の形態に係る微結晶半導体膜の作製方法を説明する断面図である。

【図4】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

50

【図5】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図6】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図7】本発明の一実施の形態に係る半導体装置の作製方法を説明する上面図である。

【図8】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図9】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図10】光電変換装置の作製方法の一形態を説明する断面図である。

【図11】電子書籍の一例を示す斜視図である。

【図12】テレビジョン装置およびデジタルフォトフレームの例を示す斜視図である。

【図13】携帯型のコンピュータの一例を示す斜視図である。

【図14】半導体膜のエッチング速度を示す図である。

10

【図15】微結晶シリコン膜のSEM写真である。

【図16】薄膜トランジスタの電流電圧特性を説明する図である。

【図17】微結晶シリコン膜のX線回折強度を説明する図である。

【発明を実施するための形態】

【0024】

本発明の実施の形態について、図面を参照して以下に説明する。ただし、本発明は以下の説明に限定されるものではない。本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態及び実施例の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

20

【0025】

(実施の形態1)

本実施の形態では、密度が高く、且つ結晶性の高い微結晶半導体膜の作製方法について、図1及び図2を用いて説明する。

【0026】

図1(A)に示すように、基板51上に絶縁膜55を形成し、絶縁膜55上に種結晶57を形成する。

【0027】

基板51としては、ガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる程度の耐熱性を有するプラスチック基板等を用いることができる。また、基板に透光性を要しない場合には、ステンレス等の金属の基板の表面に絶縁膜を設けたものを用いてもよい。ガラス基板としては、例えば、バリウムホウケイ酸ガラス、アルミニオホウケイ酸ガラス若しくはアルミニケイ酸ガラス等の無アルカリガラス基板を用いるとよい。なお、基板51のサイズに限定はなく、例えば上述のフラットパネルディスプレイの分野でよく使われる第3世代乃至第10世代のガラス基板を用いることができる。

30

【0028】

絶縁膜55は、CVD法またはスパッタリング法等を用いて、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、または窒化酸化アルミニウム膜を、単層または積層して形成することができる。

40

【0029】

なお、ここでは、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering Spectrometry)を用いて測定した場合に、組成範囲として酸素が50~70原子%、窒素が0.5~1.5原子%、シリコンが25~35原子%、水素が0.1~1.0原子%の範囲で含まれるものという。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBS及びHFSを用いて測定した場合に、組成範

50

囲として酸素が5～30原子%、窒素が20～55原子%、シリコンが25～35原子%、水素が10～30原子%の範囲で含まれるものという。ただし、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

【0030】

種結晶57としては、微結晶半導体膜、代表的には、微結晶シリコン膜、微結晶シリコングルマニウム膜、微結晶ゲルマニウム膜等を用いて形成する。種結晶57は、複数の混相粒が分散した状態、混相粒が連続した膜の状態、または混相粒及び非晶質半導体が連続した膜の状態を含む。このため、種結晶57は、混相粒57aや非晶質半導体が隣接せず、混相粒57aの間に隙間57bを有するものも含まれる。さらに、高い結晶性の混相粒を低い粒密度（種結晶内における混相粒の存在割合）で有することを特徴とする。なお、混相粒は、非晶質半導体領域と、単結晶とみなせる結晶子とを有する。また、混相粒は双晶を有する場合もある。

10

【0031】

種結晶57は、プラズマCVD装置の処理室内において、高い結晶性の混相粒を低い粒密度で形成する第1の条件を用いて、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスとを混合し、グロー放電プラズマにより形成する。ここでは、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上1333Pa以下（0.5Torr以上10Torr以下）とする第1の条件により、微結晶シリコン、微結晶シリコングルマニウム、微結晶ゲルマニウム等を形成する。このときの堆積温度は、室温～300とすることが好ましく、より好ましくは150～280とする。なお、上部電極及び下部電極の間隔は、プラズマが発生しうる間隔とすればよい。第1の条件を用いて形成することで、結晶成長が促進され、種結晶57に含まれる混相粒57aの結晶性が高まる。即ち、種結晶57に含まれる混相粒57aに含まれる結晶子の大きさが増大する。また、隣り合う混相粒57aの間に隙間57bができ、混相粒57aの粒密度が低下する。

20

【0032】

シリコンまたはゲルマニウムを含む堆積性気体の代表例としては、SiH₄、Si₂H₆、GeH₄、Ge₂H₆等がある。

30

【0033】

種結晶57の原料ガスに、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の希ガスを添加することで、種結晶57の成膜速度が高まる。この結果、成膜速度が高まることで、種結晶57に混入される不純物量が低減するため、種結晶57の結晶性を高めることができる。また、種結晶57の原料ガスとして、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを用いることで、高いパワーを供給せずとも安定したプラズマを発生させることができるのであるため、種結晶57のプラズマダメージを低減することができる、混相粒57aの結晶性を高めることができる。

40

【0034】

種結晶57を形成する際のグロー放電プラズマの生成は、3MHzから30MHz、代表的には13.56MHz、27.12MHzのHF帯の高周波電力、または30MHzより大きく300MHz程度までのVHF帯の高周波電力、代表的には、60MHzを印加することで行われる。また、1GHz以上のマイクロ波の高周波電力を印加することで行われる。なお、高周波電力がパルス状に印加されるパルス発振や、連続的に印加される連続発振とができる。また、HF帯の高周波電力と、VHF帯の高周波電力を重畠させることで、大面積基板においてもプラズマのムラを低減し、均一性を高めることができると共に、堆積速度を高めることができる。

【0035】

上記のようにシリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を

50

高くすることで、種結晶 5 7 の堆積と同時に、種結晶 5 7 に含まれる非晶質半導体のエッチングが生じ、結晶性の高い混相粒 5 7 a が形成されると共に、隣接する混相粒 5 7 a の間に隙間 5 7 b ができる。装置構成及び被膜表面の化学状態によって最適な条件は異なるが、混相粒 5 7 a がほとんど堆積しなければ、上記シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量において流量比を小さく、または R F 電力を小さくすればよい。一方、混相粒 5 7 a の粒密度が高い場合、または非晶質半導体領域が結晶性半導体領域よりも多い場合は、上記シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量において流量比を大きく、または R F 電力を大きくすればよい。種結晶 5 7 の堆積の様子は S E M (Scanning Electron Microscopy) 及びラマン分光法により評価することができる。上記流量比及び処理室内の圧力条件により、良好な結晶性を有し、且つ混相粒の好ましい隙間を保つ種結晶 5 7 を形成することができる。この結果、種結晶 5 7 に含まれる非晶質半導体領域をエッチングしつつ、混相粒 5 7 a が形成されるため、結晶成長が促進され、混相粒 5 7 a の結晶性が高まる。即ち、混相粒 5 7 a に含まれる結晶子の大きさが増大する。また、隣接する混相粒 5 7 a の間の非晶質半導体領域がエッチングされるため、隣接する混相粒 5 7 a は互いに隙間 5 7 b を有しており、従って混相粒 5 7 a は低い粒密度で形成される。なお、本実施の形態における第 1 の条件で種結晶 5 7 を形成すると、混相粒の粒径にはばらつきが生じる場合がある。

【 0 0 3 6 】

なお、種結晶 5 7 を形成する前に、 C V D 装置の処理室内の気体を排気しながら、処理室内にシリコンまたはゲルマニウムを含む堆積性気体を導入して、処理室内の不純物元素を除去することで、種結晶 5 7 における不純物量を低減することが可能である。また、種結晶 5 7 を形成する前に、フッ素、フッ化窒素、フッ化シラン等のフッ素を含む雰囲気でプラズマを発生させて、フッ素プラズマを絶縁膜 5 5 に曝すことで、緻密な種結晶 5 7 を形成することができる。

【 0 0 3 7 】

次に、図 1 (B) に示すように、種結晶 5 7 上に微結晶半導体膜 5 9 を形成する。微結晶半導体膜 5 9 は、種結晶 5 7 の結晶を成長させて混相粒の隙間を埋める条件で形成することを特徴とする。なお、微結晶半導体膜 5 9 の厚さは、 3 0 n m 以上 1 0 0 n m 以下が好ましい。

【 0 0 3 8 】

微結晶半導体膜 5 9 は、プラズマ C V D 装置の処理室内において、第 2 の条件により、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、第 2 の条件の原料ガスに、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを混合し、グロー放電プラズマにより形成する。ここでは、第 2 の条件は、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比を周期的に増減させ、且つ処理室の圧力を 1 3 3 3 P a 以上 1 3 3 3 2 P a 以下 (1 0 T o r r 以上 1 0 0 T o r r 以下) とする。

【 0 0 3 9 】

シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比を周期的に増減させるとは、シリコンまたはゲルマニウムを含む堆積性気体または水素の流量を周期的に増減させることであり、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比が低い場合、代表的には堆積性気体の流量に対する水素の流量を 1 0 0 倍以上 2 0 0 0 倍以下にすることで、微結晶半導体の結晶成長が優先的に生じる。一方、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比が高い場合は、非晶質半導体のエッチングが優先的に生じる。

【 0 0 4 0 】

上記第 2 の条件により、微結晶シリコン、微結晶シリコンゲルマニウム、微結晶ゲルマニウム等を形成する。この結果、微結晶半導体膜 5 9 は、非晶質半導体領域に対する結晶領域の割合が増加すると共に、結晶領域の間が密となり、結晶性が高まる。このときの堆積

温度は、室温～300とすることが好ましく、より好ましくは150～280とする。なお、上部電極及び下部電極の間隔は、プラズマが発生しうる間隔とすればよい。

【0041】

微結晶半導体膜59を形成する際の、グロー放電プラズマの生成は、種結晶57の条件を適宜用いることができる。なお、種結晶57及び微結晶半導体膜59のグロー放電プラズマの生成は、同じ条件で行うことでスループットを向上させることができるが、異なっていてもよい。

【0042】

ここで、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比を周期的に増減させる方法について、図2を用いて説明する。図2は、本実施の形態に示す微結晶半導体膜の形成方法における原料ガスおよび装置に供給する電力の時間的变化を示すタイミングチャートである。なお、図2において、実線71は、プラズマCVD装置の電源のオンオフ状態を示し、実線73は水素の流量を示し、実線75はシリコンまたはゲルマニウムを含む堆積性気体（図2はシラン）の流量を示し、実線79は希ガス（図2ではアルゴン）の流量を示す。

10

【0043】

プラズマCVD装置の処理室に、原料ガスであるシリコンまたはゲルマニウムを含む堆積性気体と、水素とを導入し、処理室を所定の圧力とする。また、基板51の温度を所定の温度とする。このとき、水素は一定流量（図2では流量a）で処理室に導入する。

【0044】

次に、高周波電源の電源をONとし、プラズマ放電を行う。シリコンまたはゲルマニウムを含む堆積性気体は、周期的に流量を増減させながら、処理室に導入する。ここでは、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比を周期的に増減させることをサイクルフローという。本実施の形態では、電力をONとした後に流量cのシリコンまたはゲルマニウムを含む堆積性気体をt1秒流す第1周期と、電力をONとした後に流量b（b < c）のシリコンまたはゲルマニウムを含む堆積性気体をt2秒流す第2周期とを繰り返す。なお、シリコンまたはゲルマニウムを含む堆積性気体の流量は、第1周期と比較して第2周期の方が少ないため、第1周期より第2周期の方が、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量の流量比が大きい。第1周期において、堆積性気体の流量に対する水素の流量を100倍以上2000倍以下とすると、後のプラズマ放電により、微結晶半導体の結晶成長が優先的に生じ、第2周期においては、非晶質半導体のエッティングが優先的に生じる。

20

【0045】

なお、高周波電源は破線72に示すように、オンとオフを繰り返してもよい。

【0046】

プラズマ中で水素ラジカルと共に、シリコンまたはゲルマニウムを含む堆積性気体から生成されるラジカルも形成される。処理室内の圧力を1333Pa以上13332Pa以下（10Torr以上100Torr以下）とすると処理室内の圧力が高いため、堆積性気体の平均自由行程が短く、水素ラジカル及び水素イオンは衝突のたびにエネルギーを失うため、種結晶57に到達するころにはプラズマイオンのエネルギーが低くなる。このため、種結晶57で形成された混相粒の間においては、エッティング作用より結晶成長の方が優位となり、微結晶半導体が堆積するため、結晶領域の間が密となり、微結晶半導体膜の密度が高くなる。また、処理室内を上記の圧力とすると、イオンのエネルギーが低くなるため、微結晶半導体膜に対するプラズマダメージが低減し、欠陥低減に寄与する。

30

【0047】

シリコンまたはゲルマニウムを含む堆積性気体の流量が少ない第2周期（図2においては、流量b）では、処理室内の圧力を1333Pa以上13332Pa以下（10Torr以上100Torr以下）とすると処理室内の圧力が高いため、プラズマ中で解離された水素ラジカルが、第1の条件で形成した種結晶57に含まれる非晶質半導体を選択的にエッティングする。なお、シリコンまたはゲルマニウムを含む堆積性気体から生成されるわず

40

50

かなラジカル（代表的には、シリルラジカル）が堆積表面の微結晶半導体のダングリングボンドに結合するため、結晶性の高い結晶成長が生じる。即ち、選択的なエッティングと共に、結晶成長が生じるため、微結晶半導体膜の結晶性が高くなる。

【0048】

また、シリコンまたはゲルマニウムを含む堆積性気体の流量が多い第1周期（図2においては、流量c）では、流量bである第2周期と比較して、シリコンまたはゲルマニウムを含む堆積性気体から生成されるラジカルが多数存在するため、結晶成長が生じる。微結晶半導体膜は複数の混相粒で形成されるが、本実施の形態に示す微結晶半導体膜の形成方法により、混相粒の結晶子の大きさを大きくすることが可能であるため、微結晶半導体膜の結晶性を高めることができる。また、微結晶半導体膜59の欠陥低減に寄与する。

10

【0049】

なお、種結晶の混相粒の隙間に、新たに微結晶半導体膜の混相粒が発生することで、混相粒の大きさが小さくなってしまうため、種結晶の混相粒の発生頻度に対して、微結晶半導体膜の混相粒の発生頻度は少ない方が好ましい。この結果、当該種結晶からの結晶成長を優先させることができる。

【0050】

なお、はじめに、シリコンまたはゲルマニウムを含む堆積性気体の流量を流量cとした第1周期の後、流量を流量bとする第2周期に変更しているが、はじめに流量bのシリコンまたはゲルマニウムを含む堆積性気体を流す第2周期の後、流量を流量cとする第1周期に変更してもよい。また、t1とt2の長さは異なっていてもよいし、同じでもよい。なお、t1及びt2は、数秒から数十秒が好ましい。t1及びt2が数分になってしまふと、例えばt1において結晶性の低い数nmの微結晶半導体膜が形成されてしまい、こののちt2においては微結晶半導体膜の表面しか反応せず、微結晶半導体膜の内部の結晶性を高めることができない。

20

【0051】

また、ここでは、第1の周期、即ち流量cのシリコンまたはゲルマニウムを含む堆積性気体を流す時間を全てt1秒としているが、異ならせてよい。また、第2の周期、即ち流量b（b < c）のシリコンまたはゲルマニウムを含む堆積性気体を流す時間を全てt2秒としているが、異ならせてよい。

30

【0052】

また、図2の実線79で示すように、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを導入しないが、破線77で示すように、希ガスを処理室に導入してもよい。または、希ガスを周期的に増減させながら処理室に導入してもよい。

【0053】

なお、ここでは、水素の流量を一定としたが、微結晶半導体の形成に必要な量の水素であれば、流量を変化させてもよい。また、シリコンまたはゲルマニウムを含む堆積性気体を一定流量とし、水素の流量を周期的に増減させてもよい。

【0054】

また、高周波電源をオンにしたまま、原料ガスの流量を切り替えることで、微結晶半導体膜の堆積速度を向上させることができる。

40

【0055】

なお、処理室へのシリコンまたはゲルマニウムを含む堆積性気体の流量をcとした後、即ち第1周期の後、高周波電源を切斷してもよい。または、処理室へのシリコンまたはゲルマニウムを含む堆積性気体の流量をbとした後、即ち第2周期の後、高周波電源を切斷してもよい。

【0056】

以上の工程により、結晶性が高い微結晶半導体膜を形成することができる。

【0057】

なお、種結晶57の厚さは1nm以上10nm以下が好ましい。種結晶57の厚さが10nmより厚いと、微結晶半導体膜59が堆積しても、混相粒の隙間を埋めることができない。

50

なると共に、種結晶57の内部に含まれる非晶質半導体のエッティングがしにくくなり、種結晶57及び微結晶半導体膜59の結晶性が低減する。一方、種結晶57は、混相粒が形成される必要があるため、種結晶57の厚さは1nm以上であることが好ましい。

【0058】

また、微結晶半導体膜59の厚さは、30nm以上100nm以下が好ましい。微結晶半導体膜59の厚さを30nm以上とすることで、薄膜トランジスタの電気特性のばらつきを低減することができる。また、微結晶半導体膜59の厚さを100nm以下とすることで、スループットを向上させるとともに応力による膜剥がれを抑制することができる。

【0059】

種結晶57及び微結晶半導体膜59は、微結晶半導体を有する。微結晶半導体とは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体である。微結晶半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な半導体であり、混相粒径が2nm以上200nm以下、好ましくは10nm以上80nm以下、より好ましくは、20nm以上50nm以下の柱状または針状の混相粒が基板表面に対して法線方向に成長している。このため、柱状または針状の混相粒の界面には、粒界が形成される場合もある。なお、ここでの結晶粒径は、基板表面に対して平行な面における結晶粒の最大直径をいう。

【0060】

微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す520cm⁻¹よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す520cm⁻¹とアモルファスシリコンを示す480cm⁻¹の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダンギングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含んでいる。さらに、ヘリウム、アルゴン、ネオン、クリプトン、キセノンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体が得られる。このような微結晶半導体に関する記述は、例えば、米国特許4,409,134号で開示されている。

【0061】

本実施の形態により、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を作製することができる。

【0062】

（実施の形態2）

本実施の形態では、実施の形態1より結晶性の高い微結晶半導体膜の作製方法について、図1及び図3を用いて説明する。

【0063】

実施の形態1と同様に、図1の工程を経て、種結晶57及び微結晶半導体膜59を形成する。

【0064】

次に、図3に示すように、微結晶半導体膜59上に、第2の微結晶半導体膜61を形成する。

【0065】

第2の微結晶半導体膜61は、プラズマCVD装置の処理室内において、第3の条件により、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、第3の条件により、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスとを混合し、グロー放電プラズマにより形成する。シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量の比を、第2の条件より高くして堆積性気体を希釈し、且つ処理室内の圧力を第2の条件と同様である1333Pa以上13332Pa以下（10Torr以上100Torr以下）とする第3の条件により、第2の微結晶半導体膜61として、微結晶シリコン、微結晶シリコンゲルマニウム、微結晶ゲルマニウム等を形成する。このときの堆積温度は、室温～300～とすることが好ましく、より好ましくは1

10

20

30

40

50

50～280とする。

【0066】

また、第3の条件を第2の条件と同様に、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比を周期的に増減させ、且つ処理室内の圧力を1333Pa以上13332Pa以下(10Torr以上100Torr以下)としてもよい。このとき、第3の条件においてのシリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比が低い場合の流量比が、第2の条件においてのシリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比が低い場合の流量比よりも高くすることによって、第2の微結晶半導体膜61の結晶性を更に高めることが可能である。

【0067】

シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量の比を第2の条件より高くすることで、第2の微結晶半導体膜61の結晶性を更に高めることが可能であり、実施の形態1より表面において結晶性の高い微結晶半導体膜を形成することができる。

【0068】

(実施の形態3)

本実施の形態では、本発明の一形態である半導体装置に形成される薄膜トランジスタの作製方法について、図4乃至図7を参照して説明する。なお、薄膜トランジスタは、p型よりもn型の方が、キャリアの移動度が高い。また、同一の基板上に形成する薄膜トランジスタを全て同じ極性に統一すると、工程数を抑えることができ、好ましい。そのため、本実施の形態では、n型の薄膜トランジスタの作製方法について説明する。

【0069】

なお、オン電流とは、薄膜トランジスタがオン状態のときに、ソース電極とドレイン電極の間に流れる電流をいう。例えば、n型の薄膜トランジスタの場合には、ゲート電圧がトランジスタの閾値電圧よりも高いときにソース電極とドレイン電極との間に流れる電流である。

【0070】

また、オフ電流とは、薄膜トランジスタがオフ状態のときに、ソース電極とドレイン電極の間に流れる電流をいう。例えば、n型の薄膜トランジスタの場合には、ゲート電圧が薄膜トランジスタの閾値電圧よりも低いときにソース電極とドレイン電極との間に流れる電流である。

【0071】

図4(A)に示すように、基板101上にゲート電極103を形成する。次に、ゲート電極103(第1のゲート電極ともいう。)を覆うゲート絶縁膜105を形成し、ゲート絶縁膜105上に種結晶107を形成する。

【0072】

基板101としては、実施の形態1に示す基板51を適宜用いることができる。

【0073】

ゲート電極103は、モリブデン、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウム、ニッケル等の金属材料またはこれらを主成分とする合金材料を用いて、単層または積層して形成することができる。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、AgPdCu合金、Al-Nd合金、Al-Ni合金などを用いてもよい。

【0074】

例えば、ゲート電極103の二層の積層構造としては、アルミニウム膜上にモリブデン膜を積層した二層の積層構造、または銅膜上にモリブデン膜を積層した二層構造、または銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した二層構造、窒化チタン膜とモリブデン膜とを積層した二層構造、酸素を含む銅-マグネシウム-合金膜と銅膜とを積層した二層構造、酸素を含む銅-マンガン-合金膜と銅膜とを積層した二層構造、銅-マンガン-合金膜と銅膜とを積層した二層構造などとすることが好ましい。三層の積層構造として

10

20

30

40

50

は、タングステン膜または窒化タングステン膜と、アルミニウムとシリコンの合金膜またはアルミニウムとチタンの合金膜と、窒化チタン膜またはチタン膜とを積層した三層構造とすることが好ましい。電気的抵抗が低い膜上にバリア膜として機能する金属膜が積層されることで、電気的抵抗を低くでき、且つ金属膜から半導体膜への金属元素の拡散を防止することができる。

【0075】

ゲート電極103は、基板101上に、スパッタリング法または真空蒸着法を用いて、上記した材料により導電膜を形成し、該導電膜上にフォトリソグラフィ法またはインクジェット法等によりマスクを形成し、該マスクを用いて導電膜をエッチングして形成することができる。また、銀、金または銅等の導電性ナノペーストをインクジェット法により基板上に吐出し、焼成することで形成することもできる。なお、ゲート電極103と、基板101との密着性向上を目的として、上記の金属材料の窒化物膜を、基板101と、ゲート電極103との間に設けてもよい。ここでは、基板101上に導電膜を形成し、フォトリソグラフィ工程により形成したレジストで形成されるマスクを用いて、当該導電膜をエッチングする。

【0076】

なお、ゲート電極103の側面は、テーパー形状とすることが好ましい。これは、後の工程で、ゲート電極103上に形成される絶縁膜、半導体膜及び配線が、ゲート電極103の段差箇所において切断しないためである。ゲート電極103の側面をテーパー形状にするためには、レジストで形成されるマスクを後退させつつエッチングを行えばよい。

【0077】

また、ゲート電極103を形成する工程により、ゲート配線（走査線）及び容量配線も同時に形成することができる。なお、走査線とは画素を選択する配線をいい、容量配線とは画素の保持容量の一方の電極に接続された配線をいう。ただし、これに限定されず、ゲート配線及び容量配線の一方または双方と、ゲート電極103とは別に設けてもよい。

【0078】

ゲート絶縁膜105は、実施の形態1に示す絶縁膜55を適宜用いて形成することができる。なお、ゲート絶縁膜105を酸化シリコンまたは酸化窒化シリコン等の酸化絶縁膜により形成することで、薄膜トランジスタの閾値電圧の変動を低減することができる。

【0079】

ゲート絶縁膜105は、CVD法またはスパッタリング法等を用いて形成することができる。ゲート絶縁膜105のCVD法による形成工程において、グロー放電プラズマの生成は、実施の形態1に示す種結晶57の条件を適宜用いることができる。また、高周波数が1GHz以上であるマイクロ波プラズマCVD装置を用いてゲート絶縁膜105を形成すると、ゲート電極と、ドレイン電極及びソース電極との間の耐圧を向上させることができるために、信頼性の高い薄膜トランジスタを得ることができる。

【0080】

また、ゲート絶縁膜105として、有機シランガスを用いたCVD法により酸化シリコン膜を形成することで、後に形成する半導体膜の結晶性を高めることができるのであるため、薄膜トランジスタのオン電流及び電界効果移動度を高めることができる。有機シランガスとしては、テトラエトキシシラン（TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、テトラメチルシラン（TMS：化学式 $\text{Si}(\text{CH}_3)_4$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、トリスジメチルアミノシラン（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等のシリコン含有化合物を用いることができる。

【0081】

種結晶107は、実施の形態1に示す種結晶57と同様に、高い結晶性の混相粒を低い粒密度で形成する第1の条件を用いて、形成することができる。

【0082】

10

20

30

40

50

種結晶 107 の原料ガスに、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを添加することで、種結晶 107 の結晶性を高めることができる。このため、薄膜トランジスタのオン電流及び電界効果移動度が高まると共に、スループットを高めることができる。

【0083】

次に、図4(B)に示すように、種結晶 107 上に微結晶半導体膜 109 を形成する。微結晶半導体膜 109 は、実施の形態 1 に示す微結晶半導体膜 59 と同様に、種結晶 107 の混相粒を結晶成長させて隙間を埋める第 2 の条件を用いて形成することができる。

【0084】

微結晶半導体膜 109 の原料ガスに、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを添加することで、種結晶 107 と同様に、微結晶半導体膜 109 の結晶性を高めることができる。このため、薄膜トランジスタのオン電流及び電界効果移動度が高まると共に、スループットを高めることができる。 10

【0085】

次に、図4(C)に示すように、微結晶半導体膜 109 上に半導体膜 111 を形成する。半導体膜 111 は、微結晶半導体領域 111a 及び非晶質半導体領域 111b で構成される。次に、半導体膜 111 上に、不純物半導体膜 113 を形成する。次に、不純物半導体膜 113 上にレジストで形成されるマスク 115 を形成する。

【0086】

微結晶半導体膜 109 を種結晶として、部分的に結晶成長させる条件(結晶成長を抑制させる条件)で、微結晶半導体領域 111a 及び非晶質半導体領域 111b を有する半導体膜 111 を形成することができる。 20

【0087】

半導体膜 111 は、プラズマ CVD 装置の処理室内において、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、窒素を含む気体とを混合し、グロー放電プラズマにより形成する。窒素を含む気体としては、アンモニア、窒素、フッ化窒素、塩化窒素、クロロアミン、フルオロアミン等がある。グロー放電プラズマの生成は、種結晶 107 と同様にすることができる。

【0088】

このとき、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比は、種結晶 107 または微結晶半導体膜 109 と同様の流量比を用い、さらに原料ガスに窒素を含む気体を用いる条件とすることで、種結晶 107 及び微結晶半導体膜 109 の堆積条件よりも、結晶成長を抑制することができる。具体的には、半導体膜 111 の堆積初期においては、原料ガスに窒素を含む気体が含まれるため、部分的に結晶成長が抑制され、錐形状の微結晶半導体領域が成長すると共に、非晶質半導体領域が形成される。さらに、堆積中期または後期では、錐形状の微結晶半導体領域の結晶成長が停止し、非晶質半導体領域のみが堆積される。この結果、半導体膜 111において、微結晶半導体領域 111a、及び欠陥が少なく、価電子帯のバンド端における準位のテール(裾)の傾きが急峻である秩序性の高い半導体膜で形成される非晶質半導体領域 111b を形成することができる。 30

【0089】

ここでは、半導体膜 111 を形成する条件の代表例は、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量が 10 ~ 2000 倍、好ましくは 10 ~ 200 倍である。なお、通常の非晶質半導体膜を形成する条件の代表例は、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量は 0 ~ 5 倍である。 40

【0090】

また、半導体膜 111 の原料ガスに、ヘリウム、アルゴン、ネオン、キセノン、またはクリプトン等の希ガスを導入することで、成膜速度を高めることができる。

【0091】

半導体膜 111 の厚さは、厚さ 50 ~ 350 nm とすることが好ましく、さらに好ましくは 120 ~ 250 nm とする。

50

【0092】

ここで、図4(C)に示すゲート絶縁膜105と、不純物半導体膜113との間の拡大図を、図5に示す。

【0093】

図5(A)に示すように、半導体膜111の微結晶半導体領域111aは凹凸状であり、凸部はゲート絶縁膜105から非晶質半導体領域111bに向かって、先端が狭まる(凸部の先端が鋭角である)凸状(錐形状)である。なお、微結晶半導体領域111aの形状は、ゲート絶縁膜105から非晶質半導体領域111bに向かって幅が広がる凸状(逆錐形状)であってもよい。

【0094】

種結晶107、微結晶半導体膜109、及び微結晶半導体領域111aの厚さ、即ち、ゲート絶縁膜105及び種結晶107の界面から、微結晶半導体領域111aの突起(凸部)の先端までの距離を、5nm以上310nm以下とすることで、薄膜トランジスタのオフ電流を低減することができる。

【0095】

また、半導体膜111に含まれる酸素の二次イオン質量分析法によって計測される濃度を、 1×10^{-8} atoms/cm³未満とすることで、微結晶半導体領域111aの結晶性を高めることができるために好ましい。また、二次イオン質量分析法によって計測される半導体膜111の窒素濃度プロファイルのピーク濃度は、 1×10^{-2} atoms/cm³以上 $1 \times 10^{-2.1}$ atoms/cm³以下、好ましくは 2×10^{-2} atoms/cm³以上 $1 \times 10^{-2.1}$ atoms/cm³以下である。

【0096】

非晶質半導体領域111bは、窒素を有する非晶質半導体で形成される。窒素を有する非晶質半導体に含まれる窒素は、例えばNH基またはNH₂基として存在してもよい。非晶質半導体としては、アモルファスシリコンを用いて形成する。

【0097】

窒素を含む非晶質半導体は、従来の非晶質半導体と比較して、CPM(Constant photocurrent method)やフォトルミネッセンス分光測定で測定されるUrbach端のエネルギーが小さく、欠陥吸収スペクトル量が少ない半導体である。即ち、窒素を含む非晶質半導体は、従来の非晶質半導体と比較して、欠陥が少なく、価電子帯のバンド端における準位のテール(裾)の傾きが急峻である秩序性の高い半導体である。窒素を含む非晶質半導体は、価電子帯のバンド端における準位のテール(裾)の傾きが急峻であるため、バンドギャップが広くなり、トンネル電流が流れにくく。このため、窒素を含む非晶質半導体を微結晶半導体領域111a及び不純物半導体膜113の間に設けることで、薄膜トランジスタのオフ電流を低減することができる。また、窒素を含む非晶質半導体を設けることで、オン電流と電界効果移動度を高めることができる。

【0098】

さらに、窒素を含む非晶質半導体は、低温フォトルミネッセンス分光によるスペクトルのピーク領域が、1.31eV以上1.39eV以下である。なお、微結晶半導体、代表的には微結晶シリコンを低温フォトルミネッセンス分光により測定したスペクトルのピーク領域は、0.98eV以上1.02eV以下であり、窒素を含む非晶質半導体は、微結晶半導体とは異なるものである。

【0099】

また、非晶質半導体領域111bの他に、微結晶半導体領域111aにも、NH基またはNH₂基を有してもよい。

【0100】

また、図5(B)に示すように、非晶質半導体領域111bに、粒径が1nm以上10nm以下、好ましくは1nm以上5nm以下の半導体混相粒111cを含ませることで、更にオン電流と電界効果移動度を高めることができる。

【0101】

ゲート絶縁膜 105 から非晶質半導体領域 111b に向かって、先端が狭まる凸状（錐形状）の微結晶半導体は、微結晶半導体が堆積する条件で微結晶半導体膜を形成した後、部分的に結晶成長させる条件で結晶成長させると共に、非晶質半導体を堆積することで、このような構造となる。

【0102】

半導体膜 111 の微結晶半導体領域 111a は、錐形状または逆錐形状であるため、オン状態でソース電極及びドレイン電極の間に電圧が印加されたときの縦方向（膜厚方向）における抵抗、即ち、半導体膜 111 の抵抗を下げる事が可能である。また、微結晶半導体領域 111a と不純物半導体膜 113 との間に、欠陥が少なく、価電子帯のバンド端における準位のテール（裾）の傾きが急峻である秩序性の高い、窒素を含む非晶質半導体を有するため、トンネル電流が流れにくくなる。以上のことから、本実施の形態に示す薄膜トランジスタは、オン電流及び電界効果移動度を高めるとともに、オフ電流を低減することができる。

10

【0103】

ここでは、半導体膜 111 の原料ガスに窒素を含む気体を含ませて、微結晶半導体領域 111a 及び非晶質半導体領域 111b を有する半導体膜 111 を形成したが、他の半導体膜 111 の形成方法として、微結晶半導体膜 109 の表面に窒素を含む気体を曝して、微結晶半導体膜 109 の表面に窒素を吸着させた後、シリコンまたはゲルマニウムを含む堆積性気体及び水素を原料ガスとして、微結晶半導体領域 111a 及び非晶質半導体領域 111b を有する半導体膜 111 を形成することができる。

20

【0104】

不純物半導体膜 113 は、リンが添加されたアモルファスシリコン、リンが添加された微結晶シリコン等で形成する。また、リンが添加されたアモルファスシリコン及びリンが添加された微結晶シリコンの積層構造とすることもできる。なお、薄膜トランジスタとして、p 型の薄膜トランジスタを形成する場合は、不純物半導体膜 113 は、ボロンが添加された微結晶シリコン、ボロンが添加されたアモルファスシリコン等で形成する。なお、半導体膜 111 と、のちに形成する配線 129a、129b とがオーミックコンタクトをする場合は、不純物半導体膜 113 を形成しなくともよい。

【0105】

不純物半導体膜 113 は、プラズマ CVD 装置の処理室内において、シリコンを含む堆積性気体と、水素と、ホスフィン（水素希釈またはシラン希釈）とを混合し、グロー放電プラズマにより形成する。これにより、リンが添加されたアモルファスシリコン、またはリンが添加された微結晶シリコンが形成される。なお、p 型の薄膜トランジスタを作製する場合は、不純物半導体膜 113 として、ホスフィンの代わりに、ジボランを用いて、グロー放電プラズマにより形成すればよい。

30

【0106】

また、不純物半導体膜 113 を、リンが添加された微結晶シリコン、またはボロンが添加された微結晶シリコンで形成する場合は、半導体膜 111 と、不純物半導体膜 113 との間に、微結晶半導体膜、代表的には微結晶シリコン膜を形成することで、界面の特性を向上させることができる。この結果、不純物半導体膜 113 と、半導体膜 111 との界面に生じる抵抗を低減することができる。この結果、薄膜トランジスタのソース領域、半導体膜、及びドレイン領域を流れる電流量を増加させ、オン電流及び電界効果移動度の増加が可能となる。

40

【0107】

レジストで形成されるマスク 115 はフォトリソグラフィ工程により形成することができる。

【0108】

次に、レジストで形成されるマスク 115 を用いて、種結晶 107、微結晶半導体膜 109、半導体膜 111、及び不純物半導体膜 113 をエッチングする。この工程により、種結晶 107、微結晶半導体膜 109、半導体膜 111、及び不純物半導体膜 113 を素子

50

毎に分離し、島状の半導体積層体 117、及び島状の不純物半導体膜 121 を形成する。なお、半導体積層体 117 は、種結晶 107、微結晶半導体膜 109、及び半導体膜 111 の微結晶半導体領域を含む微結晶半導体領域 117a と、半導体膜 111 の非晶質半導体領域を含む非晶質半導体領域 117b とを有する。この後、レジストで形成されるマスク 115 を除去する（図 4（D）参照。）。

【0109】

次に、不純物半導体膜 121 上に導電膜 127 を形成する（図 6（A）参照。）。導電膜 127 は、アルミニウム、銅、チタン、ネオジム、スカンジウム、モリブデン、クロム、タンタル若しくはタングステン等により単層で、または積層して形成することができる。または、ヒロック防止元素が添加されたアルミニウム合金（ゲート電極 103 に用いることができる Al - Nd 合金等）により形成してもよい。ドナーとなる不純物元素を添加した結晶性シリコンを用いてもよい。ドナーとなる不純物元素が添加された結晶性シリコンと接する側の膜を、チタン、タンタル、モリブデン、タングステンまたはこれらの元素の窒化物により形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としてもよい。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステンまたはこれらの元素の窒化物で挟んだ積層構造としてもよい。導電膜 127 は、CVD 法、スパッタリング法または真空蒸着法を用いて形成する。また、導電膜 127 は、銀、金または銅等の導電性ナノペーストを用いてスクリーン印刷法またはインクジェット法等を用いて吐出し、焼成することで形成してもよい。

【0110】

次に、フォトリソグラフィ工程によりレジストで形成されるマスクを形成し、当該レジストで形成されるマスクを用いて導電膜 127 をエッチングして、ソース電極及びドレイン電極として機能する配線 129a、129b を形成する（図 6（B）参照。）。導電膜 127 のエッチングはドライエッチングまたはウェットエッチングを用いることができる。なお、配線 129a、129b の一方は、ソース電極またはドレイン電極のみならず信号線としても機能する。ただし、これに限定されず、信号線とソース電極及びドレイン電極とは別に設けてもよい。

【0111】

次に、不純物半導体膜 121 及び半導体積層体 117 の一部をエッチングして、ソース領域及びドレイン領域として機能する一対の不純物半導体膜 131a、131b を形成する。また、微結晶半導体領域 133a 及び一対の非晶質半導体領域 133b を有する半導体積層体 133 を形成する。このとき、微結晶半導体領域 133a が露出されるように半導体積層体 117 をエッチングすることで、配線 129a、129b で覆われる領域では微結晶半導体領域 133a 及び非晶質半導体領域 133b が積層され、配線 129a、129b で覆われず、かつゲート電極と重なる領域においては、微結晶半導体領域 133a が露出する半導体積層体 133 となる。

【0112】

ここでは、配線 129a、129b の端部と、不純物半導体膜 131a、131b の端部とが揃っているが、配線 129a、129b の端部と、不純物半導体膜 131a、131b の端部とがずれ、断面において、配線 129a、129b の端部が、不純物半導体膜 131a、131b の端部より内側に位置してもよい。

【0113】

次に、ドライエッチングを行ってもよい。ドライエッチングの条件は、露出している微結晶半導体領域 133a 及び非晶質半導体領域 133b にダメージが入らず、且つ微結晶半導体領域 133a 及び非晶質半導体領域 133b に対するエッチング速度が低い条件を用いる。エッチングガスとしては、代表的には Cl₂、CF₄、または N₂ 等を用いる。また、エッチング方法については特に限定はなく、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）方式、容量結合型プラズマ（CCP：Capacitively Coupled Plasma）方式、電子サイクロotron 共鳴プラズマ（ECR：Electron Cyclotron Resonance）方

10

20

30

40

50

式、反応性イオンエッティング (R I E : R e a c t i v e I o n E t c h i n g) 方式等を用いることができる。

【 0 1 1 4 】

次に、微結晶半導体領域 1 3 3 a 及び非晶質半導体領域 1 3 3 b の表面にプラズマ処理、代表的には水プラズマ処理、酸素プラズマ処理、アンモニアプラズマ処理、窒素プラズマ処理、酸素及び水素の混合ガスによるプラズマ処理等を行う。

【 0 1 1 5 】

水プラズマ処理は、水蒸気 (H₂O 蒸気) に代表される、水を主成分とするガスを反応空間に導入し、プラズマを生成して、行うことができる。この後、レジストで形成されるマスクを除去する。なお、当該レジストで形成されるマスクの除去は、不純物半導体膜 1 2 1 及び半導体積層体 1 1 7 のドライエッティング前に行ってもよい。

10

【 0 1 1 6 】

上記したように、微結晶半導体領域 1 3 3 a 及び非晶質半導体領域 1 3 3 b を形成した後に、微結晶半導体領域 1 3 3 a 及び非晶質半導体領域 1 3 3 b にダメージを与えない条件で更なるドライエッティングを行うことで、露出した微結晶半導体領域 1 3 3 a 及び非晶質半導体領域 1 3 3 b 上に存在する残渣などの不純物を除去することができる。また、ドライエッティングに続けて水プラズマ処理を行うことで、レジストで形成されるマスクの残渣を除去すると共に、微結晶半導体領域 1 3 3 a の欠陥を低減することができる。また、プラズマ処理を行うことで、ソース領域とドレイン領域との間の絶縁を確実なものにすることができ、完成する薄膜トランジスタのオフ電流を低減し、電気的特性のばらつきを低減することができる。

20

【 0 1 1 7 】

なお、フォトリソグラフィ工程によりレジストで形成されるマスクを導電膜 1 2 7 上に形成し、当該レジストで形成されるマスクを用いて導電膜 1 2 7 をエッティングして、ソース電極及びドレイン電極として機能する配線 1 2 9 a 、 1 2 9 b を形成する。次に、不純物半導体膜 1 2 1 をエッティングして、ソース領域及びドレイン領域として機能する一対の不純物半導体膜 1 3 1 a 、 1 3 1 b を形成する。この際、半導体積層体 1 1 7 の一部がエッティングされる場合もある。次に、レジストで形成されるマスクを除去した後、半導体積層体 1 1 7 の一部をエッティングして、微結晶半導体領域 1 3 3 a 及び一対の非晶質半導体領域 1 3 3 b を有する半導体積層体 1 3 3 を形成してもよい。

30

【 0 1 1 8 】

この結果、レジストで形成されるマスクを除去する工程において、微結晶半導体領域 1 1 7 a が非晶質半導体領域 1 1 7 b に覆われているため、微結晶半導体領域 1 1 7 a が剥離液、及びレジストの残渣物に触れることがない。また、レジストで形成されるマスクを除去した後、配線 1 2 9 a 、 1 2 9 b を用いて、非晶質半導体領域 1 1 7 b をエッティングして、微結晶半導体領域 1 3 3 a を露出する。このため、剥離液、及びレジストの残渣物に触れた非晶質半導体領域は、バックチャネルには残存しない。この結果、バックチャネルに残存した剥離液、及びレジストの残渣物によるリーク電流が発生しないため、薄膜トランジスタのオフ電流をより低減することができる。

40

【 0 1 1 9 】

以上の工程によりシングルゲート型の薄膜トランジスタを作製することができる。また、オフ電流が低く、オン電流及び電界効果移動度が高いシングルゲート型の薄膜トランジスタを生産性高く作製することができる。

【 0 1 2 0 】

次に、半導体積層体 1 3 3 及び配線 1 2 9 a 、 1 2 9 b の上に絶縁膜 1 3 7 (第 2 のゲート絶縁膜ともいう。) を形成する。絶縁膜 1 3 7 は、ゲート絶縁膜 1 0 5 と同様に形成することができる。

【 0 1 2 1 】

次に、フォトリソグラフィ工程により形成したレジストで形成されるマスクを用いて絶縁膜 1 3 7 に開口部 (図示しない。) を形成する。次に、絶縁膜 1 3 7 上にバックゲート電

50

極 139 (第2のゲート電極ともいう。)を形成する(図6(C)参照)。以上の工程により、デュアルゲート型の薄膜トランジスタを作製することができる。

【0122】

バックゲート電極139は、配線129a、129bと同様に形成することができる。また、バックゲート電極139は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、または酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を用いて形成することができる。

【0123】

また、バックゲート電極139は、透光性を有する導電性高分子(導電性ポリマーともいう。)を含む導電性組成物を用いて形成することができる。バックゲート電極139は、シート抵抗が10000 /sq.以下であって、且つ波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1 · cm以下であることが好ましい。

【0124】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、またはアニリン、ピロール及びチオフェンの2種以上の共重合体若しくはその誘導体等が挙げられる。

【0125】

バックゲート電極139は、スパッタリング法により、上記材料のいずれかを用いた薄膜を形成した後、フォトリソグラフィ工程によって形成したレジストで形成されるマスクを用いて上記薄膜をエッチングすることで、形成できる。また、透光性を有する導電性高分子を含む導電性組成物を塗布または印刷した後、焼成して形成することができる。

【0126】

次に、薄膜トランジスタの上面図である図7を用いて、バックゲート電極の形状を説明する。

【0127】

図7(A)に示すように、バックゲート電極139は、ゲート電極103と平行に形成することができる。この場合、バックゲート電極139に印加する電位と、ゲート電極103に印加する電位とを、それぞれ任意に制御することが可能である。このため、薄膜トランジスタのしきい値電圧を制御することができる。また、キャリアが流れる領域、即ちチャネル領域が、微結晶半導体領域のゲート絶縁膜105側、及び絶縁膜137側に形成されるため、薄膜トランジスタのオン電流を高めることができる。

【0128】

また、図7(B)に示すように、バックゲート電極139は、ゲート電極103に接続させることができる。即ち、ゲート絶縁膜105及び絶縁膜137に形成した開口部150において、ゲート電極103及びバックゲート電極139が接続する構造とすることができる。この場合、バックゲート電極139に印加する電位と、ゲート電極103に印加する電位とは、等しい。この結果、半導体膜において、キャリアが流れる領域、即ちチャネル領域が、微結晶半導体領域のゲート絶縁膜105側、及び絶縁膜137側に形成されるため、薄膜トランジスタのオン電流を高めることができる。

【0129】

また、図7(C)に示すように、バックゲート電極139は、ゲート電極103と接続せず、フローティングでもよい。バックゲート電極139に電位を印加せずとも、チャネル領域が、微結晶半導体領域のゲート絶縁膜105側、及び絶縁膜137側に形成されるため、薄膜トランジスタのオン電流を高めることができる。

【0130】

さらには、図7(D)に示すように、バックゲート電極139は、絶縁膜137を介して

10

20

30

40

50

配線 129a、129b と重畠してもよい。ここでは、図 7 (A) に示す構造のバックゲート電極 139 を用いて示したが、図 7 (B) 及び図 7 (C) に示すバックゲート電極 139 も同様に配線 129a、129b と重畠してもよい。

【0131】

本実施の形態に示すシングルゲート型の薄膜トランジスタ及びデュアルゲート型の薄膜トランジスタは、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜でチャネル領域を形成することが可能である。このため、シングルゲート型の薄膜トランジスタ及びデュアルゲート型の薄膜トランジスタのキャリアの移動量が増加し、オン電流及び電界効果移動度を高めることができる。また、微結晶半導体領域 133a と、不純物半導体膜 131a、131b の間に、非晶質半導体領域 133b を有する。このため、薄膜トランジスタのオフ電流を低減することができる。以上のことから、シングルゲート型の薄膜トランジスタ及びデュアルゲート型の薄膜トランジスタの面積を小さくすることが可能であり、半導体装置への高集積化が可能である。また、表示装置の駆動回路に本実施の形態に示す薄膜トランジスタを用いることで、駆動回路の面積を低減できるため、表示装置の狭額縁化が可能である。

【0132】

なお、本実施の形態では実施の形態 1 を用いて微結晶半導体膜を形成したが、実施の形態 2 を用いて微結晶半導体膜を形成することができる。なお、実施の形態 2 に示す微結晶半導体膜を用いてデュアルゲート型の薄膜トランジスタを形成すると、バックゲート電極側の微結晶半導体膜の結晶性が高いため、デュアルゲート型の薄膜トランジスタの電気特性を更に良好にすることができます。

【0133】

(実施の形態 4)

本実施の形態では、実施の形態 3 と比較して、さらに、オフ電流の低減が可能な薄膜トランジスタの作製方法について、図 4 及び図 8 を用いて説明する。

【0134】

実施の形態 3 と同様に、図 4 (A) 乃至図 4 (C) の工程を経て、図 8 (A) に示すように、半導体積層体 117 を形成する。

【0135】

次に、レジストで形成されるマスク 115 を残存させたまま、半導体積層体 117 の側面にプラズマ 123 を曝すプラズマ処理を行う。ここでは、酸化ガスまたは窒化ガス雰囲気でプラズマを発生させて、半導体積層体 117 にプラズマ 123 を曝す。酸化ガスとしては、酸素、オゾン、一酸化二窒素、水蒸気、酸素及び水素の混合気体等がある。また、窒化ガスとしては、窒素、アンモニア、フッ化窒素、塩化窒素、クロロアミン、フルオロアミン等がある。酸化ガスまたは窒化ガス雰囲気でプラズマを発生させることで、酸素ラジカルまたは窒素ラジカルが発生する。当該ラジカルは半導体積層体 117 と反応し、半導体積層体 117 の側面に障壁領域である絶縁領域を形成することができる。なお、プラズマを照射する代わりに、紫外光を照射し、酸素ラジカルまたは窒素ラジカルを発生させてよい。

【0136】

また、酸化ガスとして、酸素、オゾン、水蒸気、酸素及び水素の混合気体を用いると、図 8 (B) に示すように、プラズマ照射によりレジストが後退し、底面の面積が縮小したマスク 115a が形成される。このため、当該プラズマ処理により、半導体積層体 117 の側面と共に、露出された不純物半導体膜 121 が酸化し、半導体積層体 117 の側面及び不純物半導体膜 121 の側面及び上面の一部にも障壁領域である絶縁領域 125 が形成される。

【0137】

次に、実施の形態 3 に示すように、図 6 (A) 及び図 6 (B) と同様の工程を経て、図 6 (C) に示すように、ソース電極及びドレイン電極として機能する配線 129a、129b、ソース領域及びドレイン領域として機能する一対の不純物半導体膜 131a、131b

10

20

30

40

50

b、微結晶半導体領域 133a 及び一対の非晶質半導体領域 133b を有する半導体積層体 133、絶縁膜 137 を形成することで、シングルゲート型の薄膜トランジスタを作製することができる。

【0138】

また、絶縁膜 137 上にバックゲート電極を形成することで、デュアルゲート型の薄膜トランジスタを作製することができる。

【0139】

本実施の形態に示すシングルゲート型の薄膜トランジスタ及びデュアルゲート型の薄膜トランジスタは、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜でチャネル領域を形成することが可能である。また、半導体積層体 133 及び配線 129a、129b の間に障壁領域である絶縁領域を設けることにより、配線 129a、129b から半導体積層体 133 へのホールの注入を抑制することが可能であり、オフ電流が低く、電界効果移動度及びオン電流の高い薄膜トランジスタとなる。このため、薄膜トランジスタの面積を小さくすることが可能であり、半導体装置の高集積化が可能である。また、表示装置の駆動回路に本実施の形態に示す薄膜トランジスタを用いることで、駆動回路の面積を低減できるため、表示装置の狭額縫化が可能である。

【0140】

なお、本実施の形態では、実施の形態 3 を用いて説明したが、適宜他の実施の形態を用いることができる。

【0141】

(実施の形態 5)

本実施の形態では、本発明の一態様である半導体装置に形成される薄膜トランジスタの作製方法について、図 5、図 6、及び図 9 を参照して説明する。図 9 は、図 6 (B) に示す工程に対応する工程である。

【0142】

実施の形態 3 と同様に、図 4 (A) ~ (D) 及び図 6 (A) の工程を経て、導電膜 127 を形成する。

【0143】

次に、図 9 に示すように、実施の形態 3 と同様に、配線 129a、129b を形成し、不純物半導体膜 121 及び半導体積層体 117 の一部をエッチングして、ソース領域及びドレイン領域として機能する一対の不純物半導体膜 131a、131b を形成する。また、微結晶半導体領域 143a 及び非晶質半導体領域 143b を有する半導体積層体 143 を形成する。このとき、非晶質半導体領域 143b が露出されるように半導体積層体 117 をエッチングすることで、配線 129a、129b で覆われる領域では微結晶半導体領域 143a 及び非晶質半導体領域 143b が積層され、配線 129a、129b で覆われず、かつゲート電極と重なる領域においては、微結晶半導体領域 143a が露出せず、非晶質半導体領域 143b が露出する半導体積層体 143 となる。なお、ここでの半導体積層体 117 のエッチング量は図 6 (B) より少ないものとする。

【0144】

この後の工程は、実施の形態 3 と同様である。

【0145】

以上の工程によりシングルゲート型の薄膜トランジスタを作製することができる。この薄膜トランジスタは、バックチャネル側が非晶質であるため、図 6 (B) に示す薄膜トランジスタに比べてオフ電流を低減することができる。

【0146】

また、本実施の形態では、図 6 に示す工程の後に、図 6 (C) に示す工程と同様に、絶縁膜 137 を介してバックゲート電極 139 を形成してもよい。

【0147】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0148】

10

20

30

40

50

(実施の形態 6)

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、薄膜トランジスタを用いた駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0149】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(ELectro Luminescence)素子、有機EL素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

10

【0150】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前のー形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を形成した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

20

【0151】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

30

【0152】

(実施の形態 7)

本実施の形態では、半導体装置の一形態である光電変換装置について、説明する。本実施の形態に示す光電変換装置では、半導体膜に実施の形態1及び実施の形態2に示すような、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を採用する。混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜が採用される半導体膜としては、光電変換を行う半導体膜や導電型を示す半導体膜などがあるが、特に、光電変換を行う半導体膜に採用することが好適である。または、光電変換を行う半導体膜や導電型を示す半導体膜と、他の膜との界面に、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を採用することもできる。

【0153】

上述のような構成を採用することで、光電変換を行う半導体膜や導電型を示す半導体膜によって生じる抵抗(直列抵抗)を低減し、特性を向上させることができる。また、光電変換を行う半導体膜や導電型を示す半導体膜と、他の膜との界面における光学的・電気的な損失を抑制し、光電変換効率を向上させることができる。以下、図10を用いて、光電変換装置の作製方法の一形態について説明する。

40

【0154】

図10(A)に示すように、基板200上に第1の電極202を形成する。

【0155】

基板200としては、実施の形態1に示す基板51を適宜用いることができる。また、プラスチック基板を用いることもできる。プラスチック基板としては、エポキシ樹脂、不飽和ポリエステル樹脂、ポリイミド樹脂、ビスマレイミドトリアジン樹脂、シアネット樹脂等の熱硬化性樹脂を含む基板や、ポリフェニレンオキシド樹脂、ポリエーテルイミド樹脂

50

、フッ素樹脂等の熱可塑性樹脂を含む基板を用いると良い。

【0156】

なお、基板200の表面は、テクスチャー構造であってもよい。これにより、光電変換効率を向上させることが可能である。

【0157】

また、本実施の形態では、光が基板200の裏面側（図の下方）から入射する構成とするため、透光性を有する基板を採用するが、のちに形成される第2の電極210側（図の上方）から光が入射する構成とする場合には、これに限られない。この場合、シリコンなどの材料を含む半導体基板や、金属材料などを含む導電性基板を用いても良い。

【0158】

第1の電極202は、実施の形態3に示すバックゲート電極139に用いる透光性を有する導電性材料を用いて形成することができる。第1の電極202は、スパッタリング法、CVD法、真空蒸着法、塗布法、印刷法などを用いて形成する。

【0159】

第1の電極202は、10nm乃至500nm、望ましくは、50nm乃至100nmの厚さで形成する。また、第1の電極202のシート抵抗は、20 /sq. 乃至200 /sq. 程度となるように形成する。

【0160】

なお、本実施の形態では、光が基板200の裏面側（図の下方）から入射する構成とするため、透光性を有する導電性材料を用いて第1の電極202を形成しているが、のちに形成される第2の電極210側（図の上方）から光が入射する構成とする場合には、これに限られない。このような場合には、アルミニウム、白金、金、銀、銅、チタン、タンタル、タングステンなどの透光性を有しない導電性材料を用いて第1の電極202を形成することができる。特に、アルミニウム、銀、チタン、タンタルなどの光を反射しやすい材料を用いる場合には、光電変換効率を十分に向上させることができる。

【0161】

基板200と同様、第1の電極202を、テクスチャー構造としてもよい。また、第1の電極202に接するように、低抵抗な導電性材料からなる補助電極を別途形成してもよい。

【0162】

次に、図10（B）に示すように、第1の電極202上に第1の導電型を示す半導体膜204を形成する。第1の導電型を示す半導体膜204は、代表的には、導電型を付与する不純物元素が添加された半導体材料を含む半導体膜を用いて形成する。半導体材料としては、生産性や価格などの点でシリコンを用いるのが好適である。半導体材料としてシリコンを用いる場合、導電型を付与する不純物元素としては、n型を付与するリン、ヒ素、p型を付与するホウ素、アルミニウム等が採用される。

【0163】

なお、本実施の形態では、光が基板200の裏面側（図の下方）から入射する構成としているため、第1の導電型を示す半導体膜204の導電型（第1の導電型）はp型とすることが望ましい。これは、ホールの寿命が電子の寿命の約半分と短く、結果としてホールの拡散長が短いこと、電子とホールの形成が、光電変換を行う半導体膜206の光が入射する側において多く行われること、などによるものである。このように、第1の導電型をp型とすることにより、ホールが消滅する前に電流として取り出すことが可能であるため、光電変換効率の低下を抑制することができる。なお、上記が問題とならないような状況、例えば、光電変換を行う半導体膜206が十分に薄い場合などにおいては、第1の導電型をn型としても良い。

【0164】

第1の導電型を示す半導体膜204に用いることができる半導体材料としては、他にも、炭化シリコン、ゲルマニウム、ガリウムヒ素、リン化インジウム、セレン化亜鉛、窒化ガリウム、シリコンゲルマニウムなどがある。また、有機材料を含む半導体材料や、金属酸

10

20

30

40

50

化物を含む半導体材料などを用いることも可能である。当該材料については、光電変換を行う半導体膜 206 との関係で、適宜選択することができる。

【0165】

第1の導電型を示す半導体膜 204 の結晶性についての要求は特にないが、第1の導電型を示す半導体膜 204 に、実施の形態1または実施の形態2に示す混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を採用する場合には、従来の微結晶半導体膜を採用する場合と比較して、直列抵抗を低減し、また、他の膜との界面における光学的・電気的な損失を抑制することができるため、好適である。もちろん、非晶質、多結晶、単結晶などの他の結晶性の半導体を採用することも可能である。

【0166】

なお、第1の導電型を示す半導体膜 204 の表面を、基板 200 の表面と同様、テクスチャ構造としてもよい。

【0167】

第1の導電型を示す半導体膜 204 は、シリコンを含む堆積性ガス、及びジボランを用いたプラズマ CVD 法で、形成することができる。また、第1の導電型を示す半導体膜 204 は、1 nm 乃至 100 nm、望ましくは、5 nm 乃至 50 nm の厚さとなるように形成する。

【0168】

また、導電型を付与する不純物元素が添加されていないシリコン膜をプラズマ CVD 法などによって形成した後、イオン注入などの方法でホウ素を添加して、第1の導電型を示す半導体膜 204 を形成してもよい。

【0169】

次に、図 10 (C) に示すように、第1の導電型を示す半導体膜 204 上には、光電変換を行う半導体膜 206 を形成する。光電変換を行う半導体膜 206 としては、半導体膜 204 と同様の半導体材料を用いた半導体膜が適用される。すなわち、半導体材料として、シリコン、炭化シリコン、ゲルマニウム、ガリウムヒ素、リン化インジウム、セレン化亜鉛、窒化ガリウム、シリコンゲルマニウムなどが用いられる。中でも、シリコンを用いるのが好適である。他に、有機材料を含む半導体材料や、金属酸化物半導体材料などを用いることも可能である。

【0170】

光電変換を行う半導体膜 206 としては、実施の形態1及び実施の形態2に示すような、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を適用するのがより好適である。半導体膜に実施の形態1及び実施の形態2に示すような、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を採用することにより、従来の微結晶半導体膜を採用する場合と比較して直列抵抗を低減し、また、他の膜との界面における光学的・電気的な損失を抑制することができる。

【0171】

なお、光電変換を行う半導体膜 206 には十分な光吸収が求められるから、その厚みは、100 nm 乃至 10 μm 程度とすることが望ましい。

【0172】

次に、図 10 (D) に示すように、光電変換を行う半導体膜 206 上に、第2の導電型を示す半導体膜 208 を形成する。本実施の形態では、第2の導電型を n 型とする。第2の導電型を示す半導体膜 208 は、導電型を付与する不純物元素としてリンが添加されたシリコンなどの材料を用いて形成することができる。第2の導電型を示す半導体膜 208 に用いることができる半導体材料は、第1の導電型を示す半導体膜 204 と同様である。

【0173】

第2の導電型を示す半導体膜 208 は、第1の導電型を示す半導体膜 204 と同様に形成することができる。例えば、シリコンを含む堆積性ガス、及びホスフィンを用いたプラズマ CVD 法で、形成することができる。第2の導電型を示す半導体膜 208 についても、実施の形態1または実施の形態2に示す混相粒の隙間を低減することで結晶性を高めた微

10

20

30

40

50

結晶半導体膜を採用するのが好適である。

【0174】

なお、本実施の形態では、光が基板200の裏面側（図の下方）から入射する構成としているため、半導体膜208の導電型（第2の導電型）をn型としているが、開示する発明の一形態はこれに限定されない。第1の導電型をn型とする場合には、第2の導電型がp型となる。

【0175】

次に、図10（E）に示すように、第2の導電型を示す半導体膜208上に第2の電極210を形成する。第2の電極210は、金属などの導電性材料を用いて形成する。例えば、アルミニウム、銀、チタン、タンタルなどの光を反射しやすい材料を用いて形成することができる。この場合、半導体膜206において吸収しきれなかった光を再度、半導体膜206に入射させることができ、光電変換効率を向上させることができると可能であるため、好適である。

10

【0176】

第2の電極210の形成方法としては、スパッタリング法、真空蒸着法、CVD法、塗布法、印刷法などがある。また、第2の電極210は、10nm乃至500nm、望ましくは、50nm乃至100nmの厚さで形成する。

【0177】

なお、本実施の形態では、光が基板200の裏面側（図の下方）から入射する構成とするため、透光性を有しない材料を用いて第2の電極210を形成しているが、第2の電極210の構成はこれに限られない。例えば、第2の電極210側（図の上方）から光が入射する構成とする場合には、第2の電極210は、第1の電極202に示す透光性を有する導電性材料を用いて形成することができる。

20

【0178】

なお、第2の電極210に接するように、低抵抗な導電性材料からなる補助電極を形成しても良い。

【0179】

上述の方法で、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を、光電変換を行う半導体膜、第1の導電型を示す半導体膜、第2の導電型を示す半導体膜のいずれかに用いた光電変換装置を作製することができる。そして、これにより、光電変換装置の変換効率を高めることができる。なお、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜は、光電変換を行う半導体膜、第1の導電型を示す半導体膜、第2の導電型を示す半導体膜、のいずれかに用いられていれば良く、そのいずれに用いるかは適宜変更が可能である。また、上記半導体膜の複数に混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を用いる場合には、より効果的である。

30

【0180】

なお、本実施の形態では、一つのユニットセルを有する光電変換装置を示したが、適宜二つ以上のユニットセルを積層した、光電変換装置とすることができる。

【0181】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

40

【0182】

（実施の形態8）

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、デジタルサイネージ、P I D（P u b l i c I n f o r m a t i o n D i s p l a y）、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図11に示す。

【0183】

図11は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701お

50

および筐体 2703 の 2 つの筐体で構成されている。筐体 2701 および筐体 2703 は、軸部 2711 により一体とされており、該軸部 2711 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0184】

筐体 2701 には表示部 2705 及び光電変換装置 2706 が組み込まれ、筐体 2703 には表示部 2707 及び光電変換装置 2708 が組み込まれている。表示部 2705 および表示部 2707 は、継ぎ画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 11 では表示部 2705）に文章を表示し、左側の表示部（図 11 では表示部 2707）に画像を表示することができる。

10

【0185】

また、図 11 では、筐体 2701 に操作部などを備えた例を示している。例えば、筐体 2701 において、電源 2721、操作キー 2723、スピーカ 2725 などを備えている。操作キー 2723 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2700 は、電子辞書としての機能を持たせた構成としてもよい。

20

【0186】

また、電子書籍 2700 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0187】

（実施の形態 9）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

30

【0188】

図 12 (A) は、テレビジョン装置の一例を示している。テレビジョン装置 9600 は、筐体 9601 に表示部 9603 が組み込まれている。表示部 9603 により、映像を表示することができる。また、ここでは、スタンド 9605 により筐体 9601 を支持した構成を示している。

【0189】

テレビジョン装置 9600 の操作は、筐体 9601 が備える操作スイッチや、別体のリモコン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行うことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

40

【0190】

なお、テレビジョン装置 9600 は、受信機やモデムなどを備えた構成とする。受信機により一般的のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0191】

図 12 (B) は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム 9700 は、筐体 9701 に表示部 9703 が組み込まれている。表示部 970

50

3は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0192】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0193】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0194】

図13は携帯型のコンピュータの一例を示す斜視図である。

【0195】

図13の携帯型のコンピュータは、上部筐体9301と下部筐体9302とを接続するヒンジユニットを閉状態として表示部9303を有する上部筐体9301と、キーボード9304を有する下部筐体9302とを重ねた状態とすることができる、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部9303を見て入力操作を行うことができる。

【0196】

また、下部筐体9302はキーボード9304の他に入力操作を行うポインティングデバイス9306を有する。また、表示部9303をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体9302はCPUやハードディスク等の演算機能部を有している。また、下部筐体9302は他の機器、例えばUSBの通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート9305を有している。

【0197】

上部筐体9301には更に上部筐体9301内部にスライドさせて収納可能な表示部9307を有しており、広い表示画面を実現することができる。また、収納可能な表示部9307の画面の向きは使用者は調節できる。また、収納可能な表示部9307をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

【0198】

表示部9303または収納可能な表示部9307は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

【0199】

また、図13の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部に表示することができる。また、上部筐体9301と下部筐体9302とを接続するヒンジユニットを閉状態としたまま、表示部9307をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることもできる。この場合には、ヒンジユニットを開状態として表示部9303を表示させることなく、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができる、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

【実施例1】

【0200】

本実施例では、微結晶シリコン膜及びアモルファスシリコン膜のエッチング速度と圧力の関係について、図14を用いて説明する。

【0201】

はじめに、エッチング試料の作製方法について、説明する。

【0202】

10

20

30

40

50

試料 1 は、被エッティング膜がアモルファスシリコン膜である。ここでは、ガラス基板上に厚さ 100 nm のアモルファスシリコン膜を形成した。アモルファスシリコン膜の堆積は、シランの流量を 100 sccm、水素の流量を 75 sccm として原料ガスを導入して安定させ、処理室内の圧力を 100 Pa、RF 電源周波数を 13.56 MHz、RF 電源の電力を 30 W、上部電極の温度を 250、下部電極の温度を 290 として、プラズマ放電を行う、プラズマ CVD 法を用いた。

【0203】

試料 2 は、被エッティング膜が微結晶シリコン膜である。ここでは、ガラス基板上に厚さ 300 nm の窒化シリコン膜を形成した後、窒化シリコン膜に対してプラズマ処理を行った。次に、実施の形態 1 に示す第 1 の条件で厚さ 5 nm の種結晶を形成した後、第 2 の条件 (但し、サイクルフロー無し) で厚さ 65 nm の微結晶シリコン膜を形成した。

10

【0204】

ゲート絶縁膜 105 は、窒化シリコン膜により形成した。厚さ 300 nm の窒化シリコン膜を形成した。窒化シリコン膜は、プラズマ CVD 法によって堆積させて形成した。

【0205】

窒化シリコン膜の堆積は、シランの流量を 15 sccm、水素の流量を 200 sccm、窒素の流量を 180 sccm、アンモニアの流量を 500 sccm として原料ガスを導入し、処理室内の圧力を 100 Pa、基板の温度を 250 とし、RF 電源周波数を 13.56 MHz、RF 電源の電力を 200 W としてプラズマ放電を行った。

20

【0206】

窒化シリコン膜へのプラズマ処理は、一酸化二窒素 (N₂O) の流量を 400 sccm として導入して処理室内の圧力を 60 Pa とし、300 W でプラズマ放電を行った。なお、上記プラズマ処理は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を 250、下部電極温度を 290 とした。

【0207】

種結晶の堆積は、シランの流量を 4 sccm、水素の流量を 750 sccm、アルゴンの流量を 750 sccm として原料ガスを導入し、処理室内の圧力を 532 Pa、RF 電源周波数を 13.56 MHz、RF 電源の電力を 150 W、上部電極の温度を 250、下部電極の温度を 290 として、プラズマ放電を行う、プラズマ CVD 法を用いた。

【0208】

30

微結晶シリコン膜の堆積は、シランの流量を 1.8 sccm、水素の流量を 750 sccm、アルゴンの流量を 750 sccm として原料ガスを導入し、処理室内の圧力を 500 Pa、RF 電源周波数を 13.56 MHz、RF 電源の電力を 125 W、上部電極の温度を 250、下部電極の温度を 290 として、プラズマ放電を行う、プラズマ CVD 法を用いた。

【0209】

次に、試料 1 及び試料 2 において、異なる圧力条件でエッティング処理してエッティング速度を測定した。

【0210】

エッティング条件は、水素の流量を 1500 sccm、アルゴンの流量を 1500 sccm としてエッティングガスを導入し、RF 電源周波数を 13.56 MHz、上部電極の温度を 250、下部電極の温度を 290 として 600 秒のプラズマ放電を行う、プラズマエッティング法を用いた。なお、試料 1 及び試料 2 に対し、処理室内の圧力を 1000 Pa、2000 Pa、3000 Pa、4000 Pa、5000 Pa、10000 Pa とし、RF 電源の電力を 100 W、150 W とした。

40

【0211】

このときの圧力とエッティング速度の関係を図 14 に示す。横軸を 1 / 圧力 (1 / kPa) とし、縦軸をエッティング速度 (nm / min) とした。

【0212】

また、試料 1 (被エッティング膜がアモルファスシリコン膜) におけるエッティング速度を菱

50

形で示し、白抜き菱形は圧力 1 0 0 0 P a から 5 0 0 0 P a で R F 電源の電力を 1 0 0 W としたときのエッティング速度を示す。また、黒菱形は圧力 2 0 0 0 P a から 1 0 0 0 0 P a で R F 電源の電力を 1 5 0 W としたときのエッティング速度を示す。

【 0 2 1 3 】

また、試料 2 (被エッティング膜が微結晶シリコン膜) におけるエッティング速度を四角で示し、白抜き四角は圧力 1 0 0 0 P a から 5 0 0 0 P a で R F 電源の電力を 1 0 0 W としたときのエッティング速度を示す。また、黒四角は圧力 2 0 0 0 P a から 1 0 0 0 0 P a で R F 電源の電力を 1 5 0 W としたときのエッティング速度を示す。

【 0 2 1 4 】

試料 2 (被エッティング膜が微結晶シリコン膜) において、圧力が 1 0 0 0 P a、即ち横軸 10 が 1 (1 / k P a) の場合、エッティング速度が速い。しかしながら、圧力が 2 0 0 0 P a 以上、即ち横軸が 0.5 以下 (1 / k P a) の場合、エッティング速度が低減しており、微結晶シリコン膜はほぼエッティングされていない。

【 0 2 1 5 】

一方、試料 1 (被エッティング膜がアモルファスシリコン膜) において、圧力が 1 0 0 0 P a から 1 0 0 0 0 P a において、概略線形的にエッティング速度が減少しているが、アモルファスシリコン膜はエッティングされている。

【 0 2 1 6 】

このことから、処理室内の圧力を少なくとも 2 0 0 0 P a 以上とした水素雰囲気で発生させたプラズマにおいて、微結晶シリコン膜をエッティングせず、選択的にアモルファスシリコン膜をエッティングすることが可能である。

【 0 2 1 7 】

このことから、実施の形態 1 及び実施の形態 2 において、第 2 の条件においてシランサイクルフローを行うことで、周期的にシランの流量が激減する期間があり、当該期間においては、主に水素雰囲気でプラズマが発生する。このため、種結晶上に堆積される微結晶半導体膜の非晶質半導体を選択的にエッティングすることが可能である。この結果、結晶性の高い微結晶半導体膜を形成することができる。

【 実施例 2 】

【 0 2 1 8 】

本実施例では、実施の形態 1 で示した微結晶半導体膜の表面構造、結晶性、及び結晶子の大きさについて、図 15 及び図 16 を用いて説明する。

【 0 2 1 9 】

はじめに、試料の作製方法について説明する。

【 0 2 2 0 】

試料 3 及び試料 5 は、実施の形態 1 に示す方法を用いて微結晶シリコン膜を形成した試料である。

【 0 2 2 1 】

試料 3 及び試料 5 は、ガラス基板上に厚さ 3 0 0 n m の窒化シリコン膜を形成した後、窒化シリコン膜に対してプラズマ処理を行った。次に、実施の形態 1 に示す第 1 の条件で厚さ 5 n m の種結晶を形成した後、第 2 の条件で厚さ 3 0 n m の微結晶シリコン膜を形成した。

【 0 2 2 2 】

ここでは、実施例 1 に示す試料 2 で形成した窒化シリコン膜の成膜条件及びプラズマ処理の条件を用いた。

【 0 2 2 3 】

試料 3 及び試料 5 の種結晶の堆積は、シランの流量を 4 s c c m、水素の流量を 7 5 0 s c c m、アルゴンの流量を 7 5 0 s c c m として原料ガスを導入し、処理室内の圧力を 5 3 2 P a、R F 電源周波数を 1 3 . 5 6 M H z、R F 電源の電力を 1 5 0 W、上部電極の温度を 2 5 0 、下部電極の温度を 2 9 0 として、プラズマ放電を行う、プラズマ C V D 法を用いた。

10

20

30

40

50

【0224】

試料3の微結晶シリコン膜の堆積は、水素の流量を1500 sccm、アルゴンの流量を1500 sccmとし、流量2 sccmを10秒、流量0.1 sccmを5秒交互にシランを流すサイクルフローを用いて原料ガスを導入し、処理室内の圧力を10000 Pa、RF電源周波数を13.56 MHz、RF電源の電力を350 W、上部電極の温度を250、下部電極の温度を290として、プラズマ放電を行う、プラズマCVD法を用いた。

【0225】

試料5の微結晶シリコン膜の堆積は、水素の流量を1500 sccm、アルゴンの流量を1500 sccmとし、流量2 sccmを5秒、流量0.1 sccmを5秒交互にシランを流すサイクルフローを用いて原料ガスを導入し、処理室内の圧力を10000 Pa、RF電源周波数を13.56 MHz、RF電源の電力を350 W、上部電極の温度を250、下部電極の温度を290として、プラズマ放電を行う、プラズマCVD法を用いた。
10

【0226】

参考例である試料4は、試料3及び試料5と比較して、第2の条件で微結晶シリコン膜を堆積する際、サイクルフローを用いない条件とした。具体的には、ガラス基板上に厚さ300 nmの窒化シリコン膜を形成した後、窒化シリコン膜に対してプラズマ処理を行った。次に、実施の形態1に示す第1の条件で厚さ5 nmの種結晶を形成した後、サイクルフローを行わない第2の条件で厚さ30 nmの微結晶シリコン膜を形成した。
20

【0227】

サイクルフローを行わない第2の条件は、シランの流量を2 sccm、水素の流量を1500 sccm、アルゴンの流量を1500 sccmとして原料ガスを導入し、処理室内の圧力を10000 Pa、RF電源周波数を13.56 MHz、RF電源の電力を350 W、上部電極の温度を250、下部電極の温度を290として、プラズマ放電を行う、プラズマCVD法を用いた。

【0228】

試料3及び試料4を走査型電子顕微鏡によって微結晶シリコン膜を撮影し、そのSEM写真(倍率20万倍)をそれぞれ図15(A)及び図15(B)に示す。

【0229】

また、試料3及び試料4の結晶性(Ic/Ia(結晶性シリコンのピーク強度/非晶質シリコンのピーク強度)をラマン分光分析で測定した。試料3のIc/Iaは10.8であり、試料4のIc/Iaは9.7であった。
30

【0230】

次に、試料4及び試料5をIn-Plane X線回折法(In-Plane XRD)により分析し、結晶子の大きさを評価した結果を図17に示す。図17(A)は、横軸である2 θ を20度から80度まで測定したときのX線回折スペクトルを示す。図17(B)は、図17(A)において(111)面方位のピークの拡大図であり、横軸である2 θ を25度から35度まで示した。図17において、破線は比較例である試料4のX線回折スペクトルを示し、実線は試料5のX線回折スペクトルを示す。
40

【0231】

ここで、(111)面方位を示すピークの半値全幅をScherrerの式に代入して、各試料における(111)面方位を有する結晶子の平均の大きさを計算した。試料5における(111)面方位を有する結晶子の平均の大きさは10.5 nmであった。一方、比較例である、試料4における(111)面方位を有する結晶子の平均の大きさは9.2 nmであった。

【0232】

図15より、種結晶を形成した後、微結晶シリコン膜を堆積する際、サイクルフローを行うことで、混相粒が緻密になると共に、微結晶シリコン膜の結晶性が高くなることがわかる。また、図17より、種結晶を形成した後、微結晶シリコン膜を堆積する際、サイクル
50

フローを行うことで、結晶子を大きくできることがわかる。

【実施例 3】

【0233】

本実施例では、実施の形態 3 を用いて作製した薄膜トランジスタの電気特性について説明する。

【0234】

本実施例の薄膜トランジスタの作製方法は、図 4 及び図 6 を参照して説明する。

【0235】

図 4 (A) に示すように、基板 101 上に下地絶縁膜 (ここでは図示しない。) を形成し、下地絶縁膜上にゲート電極 103 を形成した。

10

【0236】

ここでは、基板 101 として、ガラス基板 (コーニング製 EAGLE XG) を用いた。

【0237】

ゲート電極 103 は、アルミニウム層をチタン層により挟持した構造とした。具体的には、まず、チタンターゲットをアルゴンイオンでスパッタリングして、厚さ 50 nm の第 1 のチタン膜を下地絶縁膜上に形成した。このとき、導入するアルゴンの流量は 20 sccm とし、処理室内の圧力は 0.1 Pa、温度は室温とした。そして、その上にアルミニウムターゲットをアルゴンイオンでスパッタリングして、厚さ 100 nm のアルミニウム膜を形成した。このとき、導入するアルゴンの流量は 50 sccm とし、処理室内の圧力は 0.4 Pa、温度は室温とした。そして、その上にチタンターゲットをアルゴンイオンでスパッタリングして、厚さ 50 nm の第 2 のチタン膜を形成した。このとき、導入するアルゴンの流量は 20 sccm とし、処理室内の圧力は 0.1 Pa、温度は室温とした。

20

【0238】

次に、第 2 のチタン膜上にレジストを塗布し、第 1 のフォトマスクを用いて露光した後、現像してレジストで形成されたマスクを形成した。

【0239】

次に、当該レジストで形成されるマスクを用いてエッチング処理を行って、ゲート電極 103 を形成した。ここでは、ICP (Inductive Coupled Plasma : 誘導結合型プラズマ) 装置を用いて 2 段階のエッチングを行った。すなわち、ICP パワー 600 W、バイアスパワー 250 W、エッチングガスとして塩化ボロンを流量 60 sccm で導入し、塩素を流量 20 sccm で導入して処理室内の圧力を 1.2 Pa とし、第 1 のエッチングを行った後、ICP パワー 500 W、バイアスパワー 50 W、圧力 2.0 Pa、エッチングガスとしてフッ化炭素を流量 80 sccm で導入して処理室内の圧力を 2.0 Pa とし、第 2 のエッチングを行った。その後、該レジストで形成されたマスクを除去した。

30

【0240】

次に、ゲート電極 103 及び下地絶縁膜上に、ゲート絶縁膜 105 を形成した。

【0241】

ゲート絶縁膜 105 として窒化シリコン膜を形成した。厚さ 300 nm の窒化シリコン膜を形成した後、窒化シリコン膜にプラズマ処理を行った。ここでは、実施例 1 に示す試料 2 で形成した窒化シリコン膜の成膜条件及びプラズマ処理の条件を用いた。

40

【0242】

次に、ゲート絶縁膜 105 上に種結晶 107 を形成した後、図 4 (B) に示すように、微結晶半導体膜 109 を形成した。

【0243】

ここで、種結晶 107 としては、実施例 2 に示す試料 3 と同様の成膜条件を用い、厚さが 5 nm となるように種結晶 107 を形成した。微結晶半導体膜 109 としては、実施例 2 に示す試料 3 と同様の成膜条件を用い、厚さが 65 nm となるように微結晶半導体膜 109 を形成した。

【0244】

50

次に、微結晶半導体膜 109 上に半導体膜 111 を形成し、半導体膜 111 上に不純物半導体膜 113 を形成した。半導体膜 111 及び不純物半導体膜 113 は、プラズマ CVD 法によって堆積させて形成した。

【0245】

半導体膜 111 の堆積条件としては、シランの流量を 20 sccm、1000 ppm アンモニア（水素希釈）の流量を 50 sccm、水素の流量を 700 sccm、アルゴンの流量を 750 sccm として材料ガスを導入し、処理室内の圧力を 350 Pa とし、RF 電源周波数を 13.56 MHz、RF 電源の電力を 60 W としてプラズマ放電を行った。なお、ここで、半導体膜 111 の堆積は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を 250、下部電極温度を 290 とした。

10

【0246】

不純物半導体膜 113 としては、厚さ 50 nm のリンが添加されたアモルファスシリコン膜を形成した。このときの堆積条件は、シランの流量を 80 sccm、0.5% ホスフィン（水素希釈）の流量を 150 sccm、水素の流量を 750 sccm として材料ガスを導入し、処理室内の圧力を 350 Pa、RF 電源周波数を 13.56 MHz、RF 電源の電力を 30 W としてプラズマ放電を行った。なお、ここで、不純物半導体膜の堆積は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を 250、下部電極温度を 290 とした。

【0247】

次に、不純物半導体膜 113 上にレジストを塗布した後、第 2 のフォトマスクを用いて露光し、現像してレジストで形成されたマスク 115 を形成した。ここまで工程を図 4 (C) に示す。

20

【0248】

次に、レジストで形成されたマスク 115 を用いて、微結晶半導体膜、半導体膜 111、不純物半導体膜 113 をエッチングして、微結晶半導体領域 117a 及び非晶質半導体領域 117b を有する半導体積層体 117 及び不純物半導体膜 121 を形成した。

【0249】

ここでは、ICP 装置を用いて、ICP パワー 450 W、バイアスパワー 100 W、エッチングガスとして塩化ボロンを流量 36 sccm、フッ化炭素を 36 sccm、酸素を 8 sccm で導入し、処理室内の圧力を 2 Pa としてエッチングを行った。

30

【0250】

次に、酸素プラズマ処理を行って、微結晶半導体領域 117a 及び非晶質半導体領域 117b を有する半導体積層体 117 及び不純物半導体膜 121 の側壁に酸化膜を形成した後、レジストで形成されたマスク 115 を除去した（図示せず。）。

【0251】

酸素プラズマ処理は、酸素の流量を 100 sccm として導入して処理室内の圧力を 0.67 Pa とし、基板温度を -10 とし、ソースパワーを 2000 W、バイアスパワーを 350 W でプラズマ放電を行った。

【0252】

次に、図 6 (A) に示すように、ゲート絶縁膜 105 上に、半導体積層体 117、不純物半導体膜 121 を覆って導電膜 127 を形成した。

40

【0253】

ここでは、導電膜 127 は、アルミニウム層をチタン層により挟持した構造とし、ゲート電極 103 と同様に形成した。ただし、第 1 のチタン膜の厚さを 50 nm とし、アルミニウム膜の厚さを 200 nm とし、第 2 のチタン膜の厚さを 50 nm とした。

【0254】

次に、導電膜 127 上にレジストを塗布した後、第 3 のフォトマスクを用いて露光し、現像してレジストで形成されたマスクを形成した。当該レジストで形成されたマスクを用いて導電膜 127 をドライエッチングして、配線 129a 及び配線 129b を形成した。

【0255】

50

ここでは、ICP装置を用いて、ICPパワー450W、バイアスパワー100W、エッチングガスとして塩化ホウ素を流量60sccmで導入し、塩素を20sccmで導入し、処理室内の圧力を1.9Paとしてエッチングを行った。

【0256】

次に、レジストで形成されたマスクを除去した後、不純物半導体膜121をドライエッチングしてソース領域及びドレイン領域として機能する一対の不純物半導体膜131a、131bを形成し、更には、半導体積層体117を一部エッチングし、微結晶半導体領域133a及び一対の非晶質半導体領域133bを有する半導体積層体133を形成した。

【0257】

なお、半導体積層体117の表面から50nmをエッチングした。なお、本実施例では、ソース電極及びドレイン電極として機能する配線129a、129b平面形状は、直線型である。

【0258】

次に、半導体積層体133の表面を水プラズマ処理し、半導体積層体133表面に残留する不純物を除去した。ここでは、パワー1800Wとして水蒸気を流量300sccmで導入し、処理室内の圧力を66.5Paとして水プラズマ処理を行った。

【0259】

次に、絶縁膜137として、厚さ300nmの窒化シリコン膜を形成した。このときの堆積条件は、シランの流量を20sccm、アンモニアの流量を220sccm、窒素の流量を450sccm、水素の流量を450sccmとして材料ガスを導入し、処理室内の圧力を160Pa、基板の温度を250とし、RF電源周波数を13.56MHz、RF電源の電力を200Wとしてプラズマ放電を行った。

【0260】

次に、絶縁膜137上にレジストを塗布した後、第4のフォトマスクを用いて露光し、現像してレジストで形成されたマスクを形成した。当該レジストで形成されたマスクを用いて絶縁膜の一部をドライエッチングして、ソース電極及びドレイン電極として機能する配線129a、129bを露出させた。また、絶縁膜137及びゲート絶縁膜105の一部をドライエッチングして、ゲート電極103を露出した。その後、レジストで形成されたマスクを除去した。

【0261】

次に、絶縁膜137上に導電膜を形成した後、該導電膜上にレジストを塗布し、第5のフォトマスクを用いて露光し、現像してレジストで形成されたマスクを形成した。当該レジストで形成されたマスクを用いて導電膜の一部をウェットエッチングして、バックゲート電極139を形成した。

【0262】

ここでは、導電膜として、スパッタリング法により厚さ50nmのインジウム錫酸化物を形成した後、ウェットエッチング処理によりバックゲート電極139を形成した。なお、ここでは図示しないが、バックゲート電極139は、ゲート電極103と接続されている。その後、レジストで形成されたマスクを除去した。

【0263】

以上の工程により、デュアルゲート型薄膜トランジスタ(TFT1と示す。)を作製した(図6(C)参照。)。

【0264】

また、比較例として、TFT1と同様の工程において、サイクルフローを用いない条件で厚さ65nmの微結晶半導体膜109を形成して、デュアルゲート型薄膜トランジスタ(TFT2と示す。)を作製した。

【0265】

サイクルフローを用いない条件で微結晶半導体膜109の堆積条件としては、シランの流量を2sccm、水素の流量を1500sccm、アルゴンの流量を1500sccmとして原料ガスを導入し、処理室内の圧力を10000Pa、RF電源周波数を13.56

10

20

30

40

50

MHz、RF電源の電力を350W、上部電極の温度を250、下部電極の温度を290として、プラズマ放電を行う、プラズマCVD法を用いた。

【0266】

図16に、本実施例で作製した薄膜トランジスタ(TFT1)及び比較例の薄膜トランジスタ(TFT2)の電気特性の測定結果を示す。ここでは、ゲート電圧103のみに上記ゲート電圧を印加した時の電気特性を示す。なお、本実施例の薄膜トランジスタのチャネル長を3.3μm、チャネル幅を20.4μm、ゲート絶縁層の厚さを300nm、平均誘電率を6.55として電界効果移動度を計算した。

【0267】

また、ドレイン電圧が10Vで、ゲート電圧が15Vのときのオン電流(Ionと示す。)、最小オフ電流(Ioff(min.)と示す。)、最小オフ電流のゲート電圧-10Vのときのオフ電流(Ioffと示す。)、しきい値電圧(Vthと示す。)、S値(S-valueと示す。)、最小オフ電流に対するオン電流の比(Ion/Ioff_minと示す。)、ドレイン電圧が10Vのときの電界効果移動度(μFE_satと示す。)を表1に示す。

【0268】

【表1】

	TFT1	TFT2
Ion(Vg=15V) [μA]	10.45	10.04
Ioff(min.) [pA]	0.25	0.43
Ioff [pA]	4.41	2.84
Vth [V]	1.33	1.35
S-value [V/dec.]	0.36	0.68
Ion/Ioff(min.) [桁]	7.62	7.37
μFE_sat. [cm ² /Vs]	1.14	1.04

【0269】

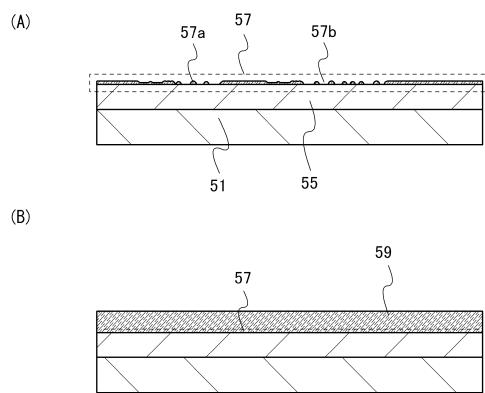
図16より、第2の条件を用いて微結晶半導体膜を形成する際、サイクルフローを行うことで、薄膜トランジスタのオン電流、最小オフ電流に対するオン電流の比、及び電界効果移動度が上昇すると共に、最小オフ電流及びS値が低下した。本実施例により、オン電流及び電界効果移動度が高く、オフ電流の低い薄膜トランジスタを作製することができた。

10

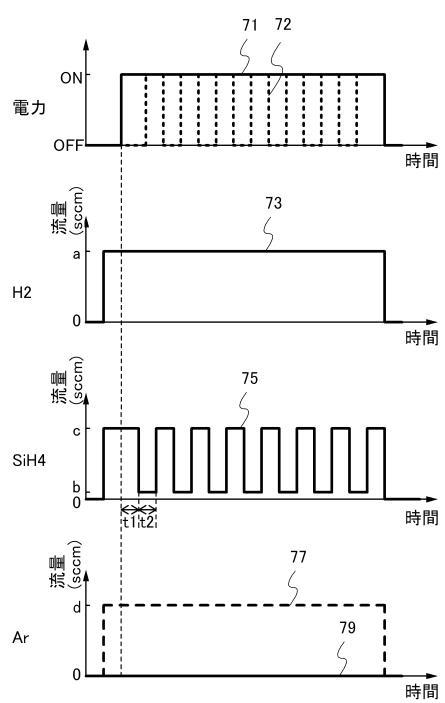
20

30

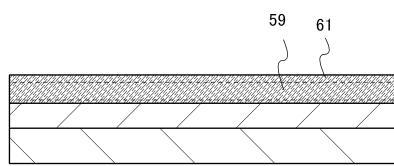
【図1】



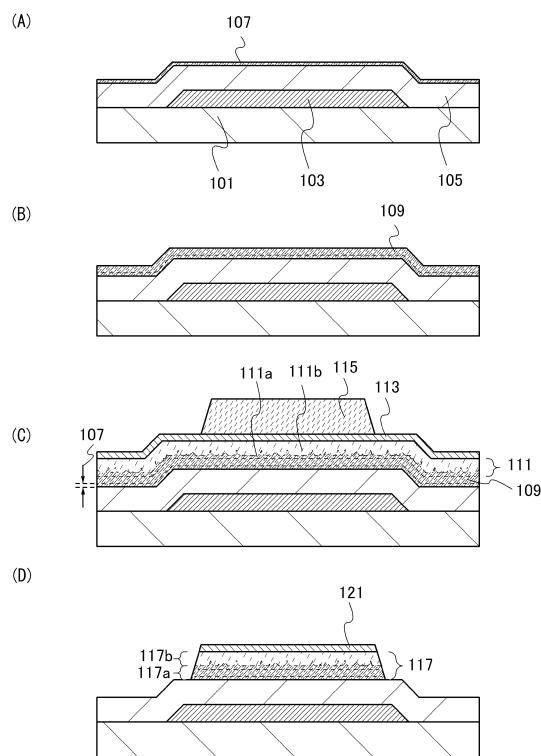
【図2】



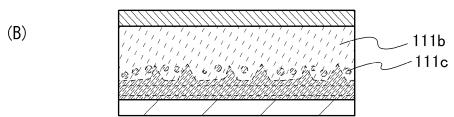
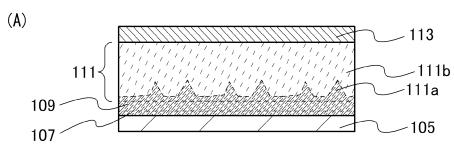
【図3】



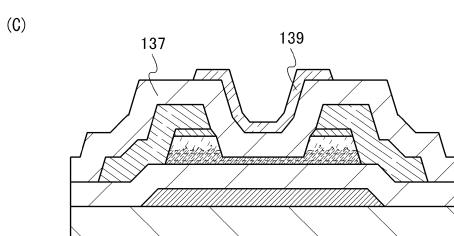
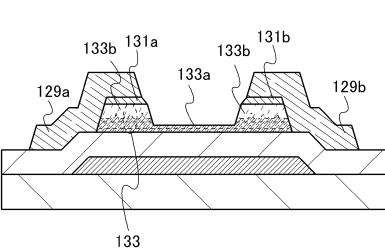
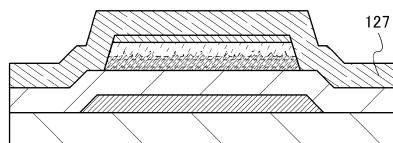
【図4】



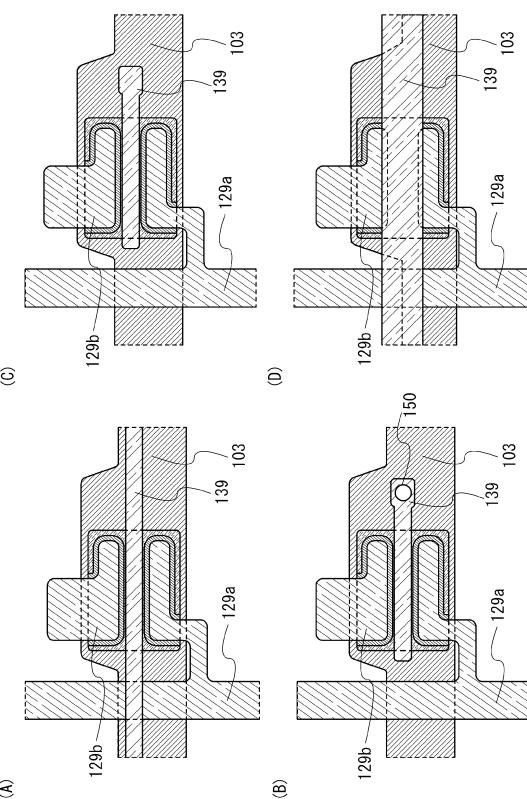
【図5】



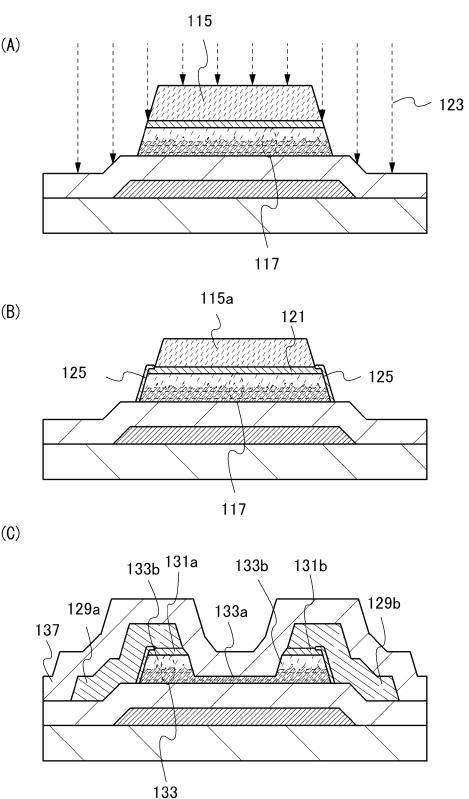
【図6】



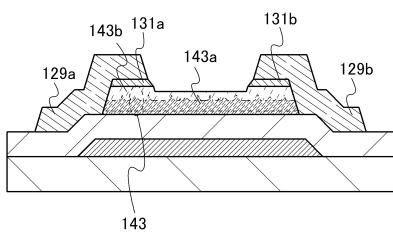
【図7】



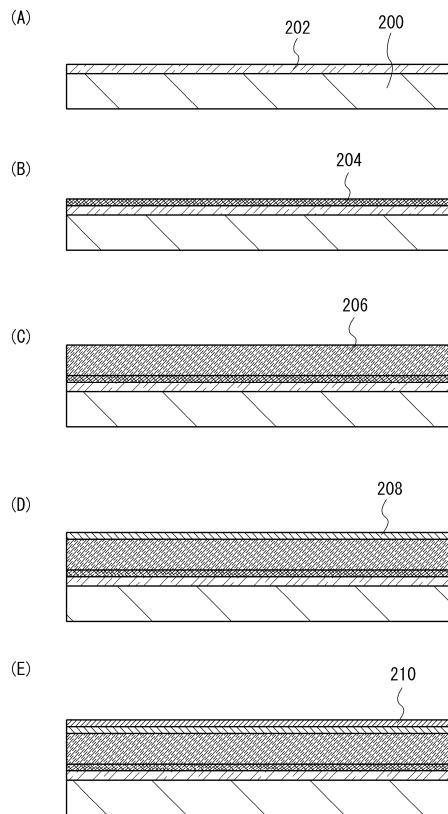
【図8】



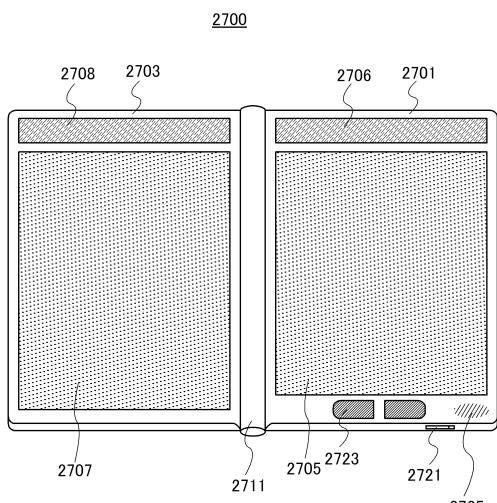
【図9】



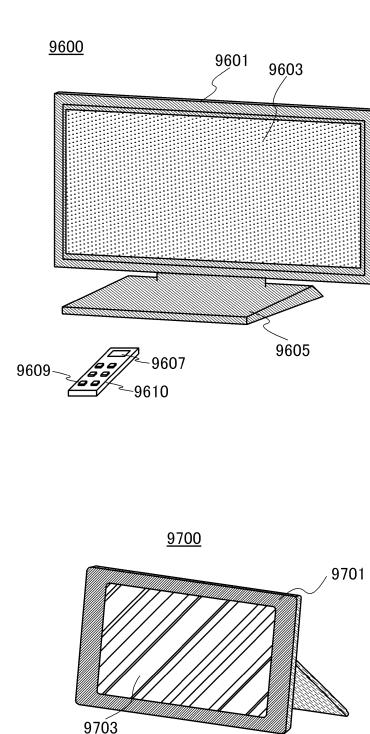
【図10】



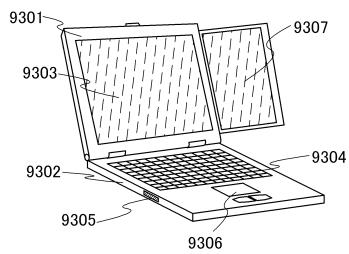
【図11】



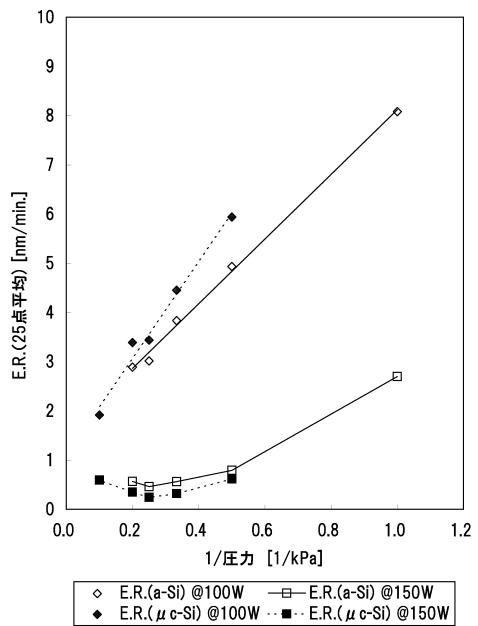
【図12】



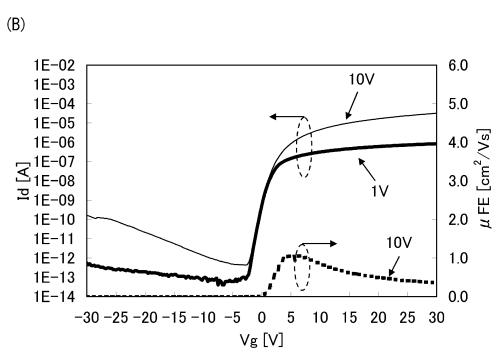
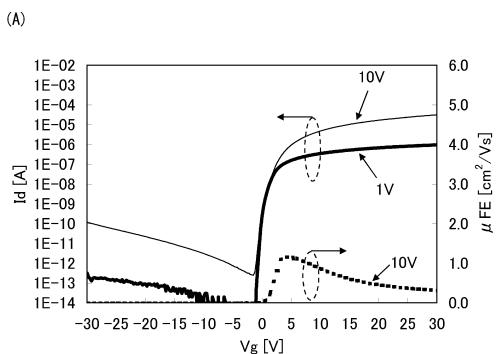
【図13】



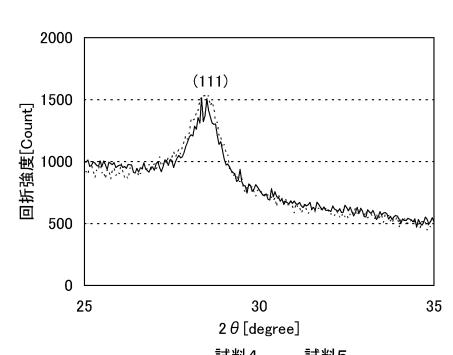
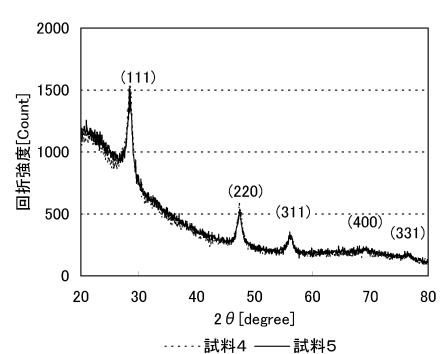
【図14】



【図16】

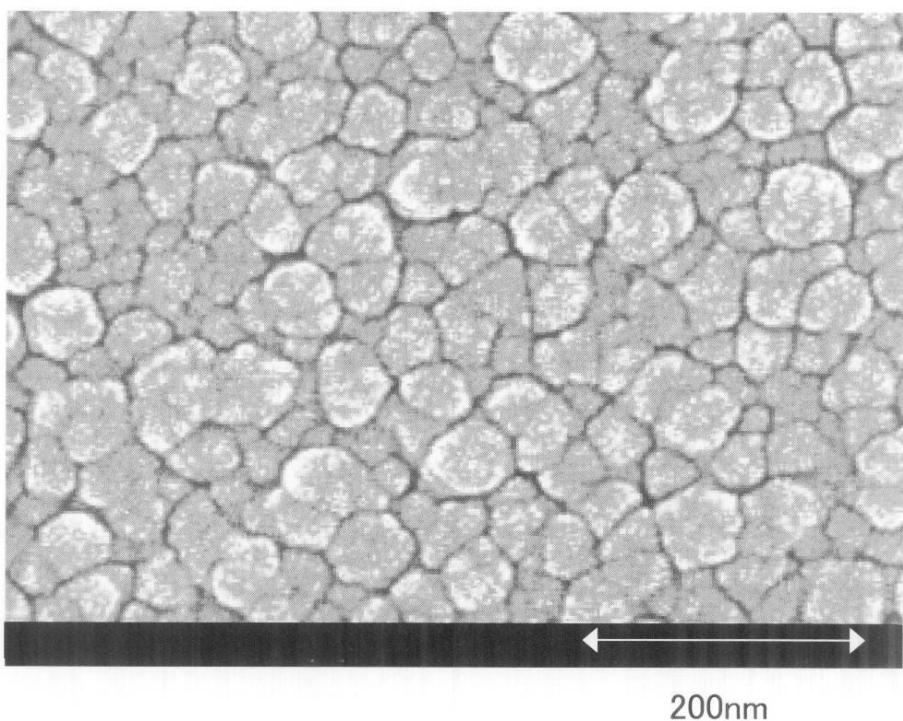


【図17】



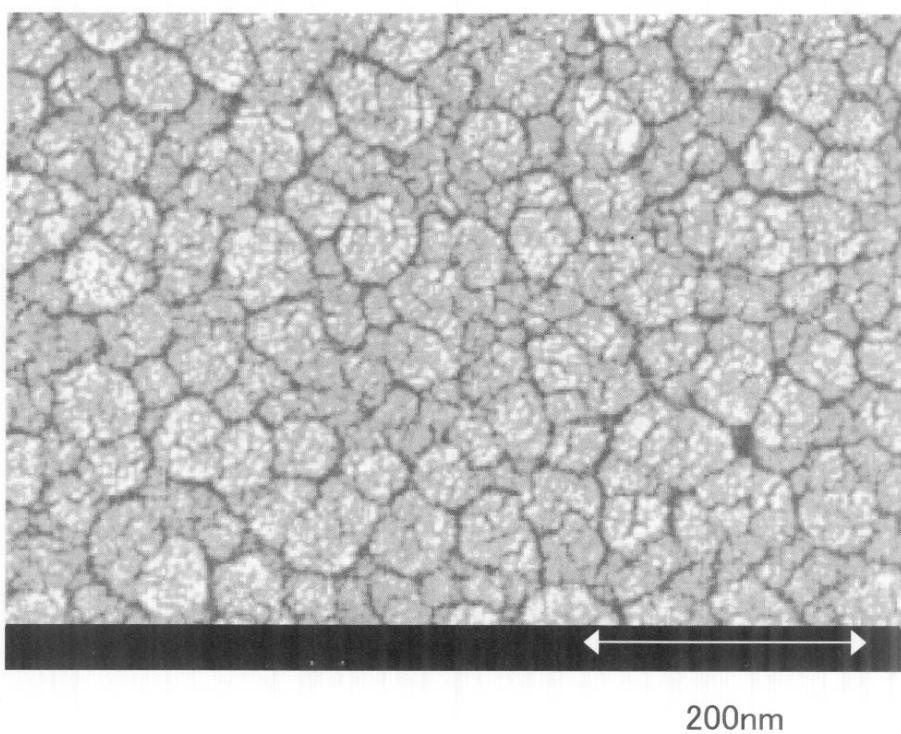
【図15】

(A)



200nm

(B)



200nm

フロントページの続き

(51)Int.Cl. F I
C 2 3 C 16/515 (2006.01) C 2 3 C 16/515
G 0 2 F 1/1368 (2006.01) G 0 2 F 1/1368

(56)参考文献 特開2010-123926 (JP, A)
特開2009-071286 (JP, A)
特開平08-097427 (JP, A)
特開平08-148690 (JP, A)
特開2007-049171 (JP, A)
特開平10-055963 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 336
C 2 3 C 16 / 24
C 2 3 C 16 / 28
C 2 3 C 16 / 515
G 0 2 F 1 / 1368
H 01 L 21 / 205
H 01 L 29 / 786