

公告本

410429

申請日期	88. 7. 6		
案號	88	107086	
類別	Int	Cl ⁶	H01L 21/768

A4
C4

(以上各欄由本局填註)

410429

發明專利說明書

一、發明 名稱	中 文	具有改良插塞導電性之堆疊電容器
	英 文	Stack Capacitor with Improved Plug Conductivity
二、發明 創作人	姓 名	1. 沈 華 Hua SHEN 2. 裘欽姆霍普夫納 Joachim HOEPFNER
	國 籍	1. 中 國 2. 美 國
	住、居所	1. 美國紐約州 12508 畢康休德森觀景路 1C 號 2. 美國紐約州 12603 包基普賽霍爾羅街 5 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德 國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

公告本

410429

申請日期	88. 7. 6		
案號	88	107286	
類別	Int'l	Cl ⁶	H01L 1/768

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有改良插塞導電性之堆疊電容器
	英 文	Stack Capacitor with Improved Plug Conductivity
二、發明 人	姓 名	1. 沈 華 Hua SHEN 2. 裴欽姆霍普夫納 Joachim HOEPFNER
	國 籍	1. 中國 2. 美國
	住、居所	1. 美國紐約州12508畢康休德森觀景路1C號 2. 美國紐約州12603包基普賽霍爾羅街5號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴契廣場2號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

410429

(由本局填寫)

承辦人代碼：

大類：

I P C 分類：

A6

B6

本案已向：

美 國 (地區) 申請專利，申請日期： 案號： ， ☒ 有 ☐ 無主張優先權
1998年5月8日 09/074,882

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先填)
背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明背景

1. 技術領域

本發明之此揭示是有關於半導體裝置用之堆疊電容器，而更尤其是堆疊電容器使用之高導電性插塞。

2. 相關技術之說明

半導體記憶體胞元包括電容器是由電晶體來接達存取以儲存資料。資料是由一高或低字元來儲存，其決於電容器的狀態。當被接達以讀取資料時，電容器之電荷或缺乏電荷指示高或低，而電容器被充電或放電，以在其上寫入資料。

堆疊電容器是使用於半導體電容器中之一種。堆疊電容器通常是位於電晶體之上以接達存取電容器之儲存節點，以相對於溝渠電容器其被埋入於裝置的基片之中。如同許多電氣裝置一樣，高導電性是有益於堆疊電容器的表現特性。

在半導體記憶體之中，例如動態隨機存取記憶體(DRAM)，高電介質常數電容器之形成過程包括沈積高電介質材料：在一種高電介質常數電容器中，一層高電介質常數材料，例如鉬鋇鈦氧化物(BSTO)，被沈積於一種氧化的環境中。

請參考第1A及1B圖，其顯示堆疊電容器之一結構2。堆疊電容器3包括兩個電極，一個頂部電極或儲存節點4，通常是鉑製成，以及由介電層18所分隔的電極12。一存取電晶體5包括一閘極6它當被電氣方式啓動時，

五、發明說明 (>)

經由位元線接觸 8，將位元線 7 連接至插塞 14。插塞 14 經由擴散阻障 16 而連接至電極 12，此擴散阻障儲存電極 12 中之電荷。

第 1B 圖顯示習知堆疊電容器 10 之部份圖示。堆疊電容器 10 包括電極 12，其最好由鉑 (Pt) 所形成。電極 12 藉由擴散阻障 16 而與插塞 14 隔離。插塞 14 最好是由多晶矽所構成。在處理過程之中，電介質層 18 被沈積於電極 12 之上。電介質層 18，通常是由具有高電介常數之材料，例如 BSTO 所構成。在沈積電介層 18 之過程中，氧化層 20 及 21 的形成是有害於堆疊電容器之性能表現。擴散阻障 16 被使用以避免氧化層 21 的形成。

氧化層 20 及 21 會形成，如果：

- (a) 矽經由擴散阻障 16 而擴散且與氧反應以在擴散阻障 16 與電極 12 之間，形成氧化物 20。
- (b) 單純是擴散阻障 16 之材料與氧反應；以及
- (c) 氧經由擴散阻障 16 而擴散，且與插塞 14 反應，以形成在擴散阻障 16 與插塞 14 之間之氧化層 21。

氧化層 20 與 21 減少了堆疊電容器 10 的電容。因此，存在著一種須要以改良堆疊電容器之電容。此是藉由消除由於處理以及擴散而在靠近阻障層之處所形成之氧化層而達成。而更須要一種方法以增加使用於堆疊電容器中插塞的導電性。

發明總述

本發明包括一種方法以改良在堆疊電容器中一電極與

五、發明說明()

一插塞之間的導電性，而氧化物形成於其間。本方法包括之步驟是，以離子轟擊氧化物，並將氧化物與電極以及插塞的材料混合，以增加電極與插塞之間的導電性。

在增加導電性之特別有用的方法中，轟擊之步驟可以包括藉由離子植入而作轟擊的步驟。轟擊的步驟也可以包括以鍍離子轟擊氧化物之步驟。此轟擊之步驟較佳是包括調整離子入射角度的步驟以提供改良之混合。此轟擊的步驟可以更包括調整入射離子之能量與劑量之步驟以提供改良之混合。此電極較佳是包括鉑，而插塞最好包括多晶矽。

在堆疊電容器之一電極中形成擴散阻障的方法，包括提供具有將插塞耦合至一電極的堆疊電容器的步驟。並且用離子轟擊電極，以在電極中形成擴散阻障，以致使得擴散阻障導電。

在電極中形成擴散阻障之替代方法之中，轟擊步驟可以包括藉由電漿摻雜轟擊或藉由電漿沈浸離子植入的步驟。轟擊的步驟可以包括用氮離子轟擊的步驟。轟擊的步驟可以包括調整入射離子之劑量與能量以提供在電極中擴散阻障之位置。亦可包括將一導電層沈積於電極上的步驟。此電極可以包括鉑。

根據本發明之堆疊電容器包括，一個電極，一個用來以電氣接達存取儲存節點之插塞。此插塞被耦合至電極以及設置於電極中的阻障層，以防止材料之擴散。此擴散會降低電極與插塞之間的導電性。

五、發明說明(4)

在堆疊電容器的替代實施例中，擴散阻障包括氮。擴散阻障可以具有一厚度，其可以防止擴散並允許電氣傳導通過其中。擴散阻障的厚度較佳是在約 $100\text{\AA}$ 至約 $500\text{\AA}$ 之間。在插塞與電極之間可以包括一額外之擴散阻障。此額外之擴散阻障可以包括TaSiN。此電極可以包括鉑，而插塞可以包括多晶矽。

本發明的這些以及其他的目的，特點，優點可以從以下實施例之詳細說明，並參考附圖，而顯得明顯。

圖式之簡單說明

本揭示將參考下列之附圖，對較佳實施例作以下之詳細說明：

第1A圖是根據習知技術之於一半導體裝置上之堆疊電容器之橫截面圖；

第1B圖是根據習知技術顯示其所形成之氧化層之堆疊電容器之橫截面圖；

第2圖是根據本發明之顯示其氧化層之離子植入之堆疊電容器的橫截面圖；

第3圖是顯示根據本發明而混合，並介於擴散阻障與電極之間的氧化層之堆疊電容器之橫截面圖；

第4圖是顯示根據本發明而混合，並介於擴散阻障與插塞之間的氧化層之堆疊電容器之橫截面圖；

第5圖是根據本發明之顯示形成於一電極上之擴散阻障堆疊電容器之橫截面圖；

第6圖是根據本發明之顯示形成於一電極中之擴散阻

五、發明說明(5)

障之堆疊電容器之橫截面圖。

較佳實施例之詳細說明

本揭示是關於半導體裝置用之堆疊電容器，更特別是有關一種高導電性插塞以傳導電荷至電容器電極。本發明包括離子植入製程，以將氧化層改變成導電層，或在電極中形成氧之擴散阻障，以防止氧化層之形成。可以使用離子植入法(I/I)，而將氧化層轉變成導電層。氧擴散阻障可以使用電漿摻雜法(PLAO)或電漿浸入離子植入法(PIII)而形成。

現在請參考圖示之特殊細節，其中在許多圖示之中，相同之參考號碼用以辨識相似或相等的元件。第2圖顯示根據本發明之一觀點之堆疊電容器100，插塞106形成於介電層108之中。介電層108可以包含二氧化矽材料。擴散阻障110形成於插塞106之頂部。擴散阻障110較佳是包括Ta₂N₅，CoSi₂，TiN，WSi₃，TaSiN或相同的材料。電極104形成於擴散阻障110之上。電極104較佳是由鉑形成，雖然其他的導電材料例如是銥(Ir)，鈦(Ru)，或是氧化鈦(RuO₂)可以被使用。一個高電介常數層102被沈積於電極104上。高電介常數層102較佳是由BSTO所形成。BSTO較佳是在高溫被沈積。然而，由於高溫增加了擴散，BSTO之沈積溫度必須被限制以降低材料之擴散，例如是氧。然而，在本發明中，層102之沈積溫度可以有利地增加，而不會造成如在此說明的性能表現之降低。

在層102之沈積過程中，如以上所描述的形成一氧化

五、發明說明 (b)

層 112 及 / 或 氧化層 114。

根據本發明執行離子植入法，以使得氧化層 112 及 / 或 114 導電。在一較佳實施例中，將銻 (Ge) 植入氧化層 112 及 / 或 114。其他之適合用於植入的元素包括矽 (Si)，碳 (C)，及 / 或 氮 (N)。藉由控制角 α ，能量及劑量，氧化層 112 及 / 或 114 與鄰近各別氧化層的材料良好混合，因而增加了插塞 106 與電極 104 之間的導電性。甚至雖然銻 (Ge) 是一種電氣中性元素，Ge 連接鄰近的導電層 (電極 / 擴散阻障或擴散阻障 / 插塞)，以大幅地增加在插塞 106 與電極 104 之間方導電性。

離子植入法包括以具有能量在大約 30 與 200 keV 之間的離子轟擊氧化層 112 及 / 或 114，較佳是在約 50 至約 150 keV 之間，而其劑量在約 1×10^{10} 與約 1×10^{16} 原子 / 平方公分之間，較佳是在約 1×10^{14} 與約 1×10^{15} 原子 / 平方公分之間。在一較佳實施例之中，離子是以角度 α 被導入，其大約在 30 度與 60 度之間。

請參考第 3 圖，其顯示用離子植入法，將銻 (Ge) 植入氧化層 112 之後的堆疊電容器 101。形成一混合區 116，其中相鄰材料 (例如從電極 104 與擴散阻障 110) 的原子與氧化層 112 相混合，以形成一導電混合物，因而增加了電極 104 與插塞 106 之間的導電性。

請參考第 4 圖，其顯示用離子植入法，將銻 (Ge) 植入氧化層 114 之後的堆疊電容器 103。形成一混合區 118，其中相鄰材料 (例如從擴散阻障 110 與插塞 106) 的原子與氧化層 114 相混合，以形成一導電混合物，因而增加了電極 104 與插塞 106 之間的導電性。

五、發明說明(7)

在根據本發明之堆疊電容器之替代實施例中，擴散阻障可以形成於電極上或電極中，以避免氧及／或矽從其中擴散通過。請參考第5圖，其顯示一部份之堆疊電容器200。堆疊電容器200包括一擴散阻障202，它被提供並形成於電極104之上。擴散阻障202禁止氧與矽從其中通過。阻障202是形成於高介電常數層102沈積之前(參考第2圖)，於此氧可以被導入。阻障202可以藉由化學氣相沈積法或藉由PIII或PLAD而沈積於電極104的表面上。在一較佳實施例中，阻障202形成於電極104的表面上並藉由防止氧擴散至電極104與插塞106之間的區域而允許在電極104與插塞106之間改良之傳電性。阻障202可以被訂大小，以避免須要擴散阻障110，因為將氧經由介電層102擴散，沈積是被阻障202所禁止。在其替代例中，阻障110可以被維持。然而對於擴散阻障110而言，因為氧的濃度被降低，它有更多的材料可供選擇，例如，一種較容易處理但具有較少之氧擴散禁止性質的材料，可以被替代。例如，可以使用TiN。

請參考第6圖，一阻障104形成於電極104的表面之下。例如，一種諸如氮的禁止擴散材料，可以藉由PLAD或PIII製程，而導入於電極104的表面之下。此氮形成於一薄膜之中，從大約 $50\text{\AA}$ 至大約 $150\text{\AA}$ 的厚度，其較佳是從大約 $70\text{\AA}$ 至大約 $100\text{\AA}$ 的厚度。以此方式，此氮層作用為擴散阻障，而沒有降低電極104與插塞106之間的導電性。阻障204可以被定位與定尺寸以避免須要擴散阻障110(第2圖)，因為從導電層102沈積而擴散氧氣是被阻障204所禁止。在替代例中，阻障110可以被維持。然而，因為氧的濃度被降低，所以對於擴散阻障110而言，

五、發明說明(8)

有更多的材料可以選擇。以此種方式，可以替換成一種更容易處理的材料。例如，可以使用TiN。

PIII與PLAD包括用具有能量在500eV至大約10keV之間的離子以轟擊電極104，其能量較佳是在約1keV至約5keV之間。其劑量是在約 1×10^{15} 原子/平方公分至約 1×10^{17} 原子/平方公分之間，較佳是在約 1×10^{15} 原子/平方公分至約 1×10^{16} 原子/平方公分之間。因為PIII是一均向性製程並包括三度空間摻雜，與 α 無關。PIII是在約5mTorr至300mTorr之間的壓力下執行，較佳是20mTorr至約100mTorr。

已經說明了具有改良插塞導電性之堆疊電容器之較佳實施例(它的目的是用於說明而非限制)，須注意的是由於以上之揭示，熟知此技術的人士可以將它作修改與變化。因此可以瞭解在本發明所揭露之特定的實施例可以作修改，而它是在隨附之申請專利範圍所概述之本發明之精神與範圍之內。

已經如此地說明描述了由專利法所特別要求的本發明之細節之後，而在所附的申請專利範圍中陳述了其所主張以及所希望被專利證書所保護之權利。

五、發明說明(9)

符號之說明

- 2.....結構
- 3,100,200....堆疊電容器
- 4.....儲存節
- 5.....接達存取電晶體
- 6.....閘極
- 7.....位元線
- 8.....位元線接觸
- 12.....電極
- 14,106....插塞
- 16,110,202....擴散阻障
- 18,108....介電層
- 20,21,112,114....氧化層
- 102.....高介電常數層
- 116.....混合區
- 204.....阻障

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：具有改良插塞導電性之堆疊電容器)

本發明是有關一種在堆疊電容器中之電極與插塞之間改良導電性之方法，而一氧化物形成於電極與插塞之間。本方法包括以離子轟擊氧化物的步驟，以及將電極與插塞的材料與氧化物混合，以增加電極與插塞之間的導電性。一種在堆疊電容器內的電極中形成擴散阻障的方法，其包括步驟：提供一種堆疊電容器其具有耦合至電極的插塞，並且以離子轟擊電極，以在電極內形成擴散阻障，以致於擴散阻障是導電。根據本發明之堆疊電容器包括一電極，一個以電氣方式來接達存取儲存節的插塞。此插塞被耦合至電極，而一阻障層設置於電極之中，以防止材料之擴散。此擴散會降低電極與插塞之間的導電性。

英文發明摘要(發明之名稱：Stack Capacitor with Improved Plug Conductivity)

The present invention includes a method of improving conductivity between an electrode and a plug in a stacked capacitor where an oxide has formed therebetween. The method includes the steps of bombarding the oxide with ions and mixing the oxide with materials of the electrode and the plug to increase a conductivity between the electrode and the plug. A method of forming a diffusion barrier within an electrode in a stacked capacitor includes the steps of providing a stacked capacitor having a plug coupled to an electrode and bombarding the electrode with ions to form the diffusion barrier within the electrode such that the diffusion barrier is electrically conductive. A stacked capacitor in accordance with the present invention includes an electrode, a plug for electrically accessing a storage node, the plug being coupled to the electrode and a barrier layer disposed within the electrode for preventing diffusion of materials which reduce conductivity between the electrode and the plug.

六、申請專利範圍

1. 一種於堆疊電容器中改良在其電極與插塞之間之導電性之方法，而一氧化物形成於此電極與插塞之間，其包括步驟：

以離子轟擊此氧化物；及

將氧化物與電極以及插塞之材料混合，以增加電極與插塞之間的導電性。

2. 如申請專利範圍第1項之方法，其中轟擊的步驟包括以離子植入法轟擊的步驟。
3. 如申請專利範圍第1項之方法，其中轟擊的步驟包括以銻離子轟擊氧化物的步驟。
4. 如申請專利範圍第1項之方法，其中轟擊的步驟包括調整入射離子的角度，以提供改良之混合。
5. 如申請專利範圍第1項之方法，其中轟擊的步驟包括調整入射離子之能量與劑量，以提供改良之混合。
6. 如申請專利範圍第1項之方法，其中電極包括鉑。
7. 如申請專利範圍第1項之方法，其中插塞包括多晶矽。
8. 一種在堆疊電容器中之電極內形成擴散阻障之方法，其包括步驟：

提供具有耦合至一電極的插塞之堆疊電容器；以及以離子轟擊電極，以在電極形成擴散阻障，以致於擴散阻障是導電。

9. 如申請專利範圍第8項之方法，其中轟擊步驟包括藉由電漿摻雜而轟擊的步驟。
10. 如申請專利範圍第8項之方法，其中轟擊步驟包括

六、申請專利範圍

藉由電漿浸入離子植入之轟擊步驟。

11.如申請專利範圍第8項之方法，其中轟擊步驟包括以氮離子轟擊的步驟。

12.如申請專利範圍第8項之方法，其中轟擊步驟包括調整入射離子之能量與劑量，以提供在電極中擴散阻障之位置。

13.如申請專利範圍第8項之方法，更包括在電極上沈積一介電層的步驟。

14.如申請專利範圍第13項之方法，其中介電層包括鋇銦氧化物(BSTO)。

15.如申請專利範圍第8項之方法，其中電極包括鉑。

16.一種堆疊電容器，包括：

一電極；

一插塞以電氣方式接達存取一儲存節，此插塞被耦合至電極；以及

一設置於電極中阻障層，以防止材料擴散，其降低電極與插塞之間的導電性。

17.如申請專利範圍第16項之堆疊電容器，其中阻障層包括一氮層。

18.如申請專利範圍第17項之堆疊電容器，其中阻障層的厚度是大約50Å與大約150Å之間。

19.如申請專利範圍第16項之堆疊電容器，其中阻障層具有之厚度可防止擴散，並允許通過其中而導電。

20.如申請專利範圍第16項之堆疊電容器，其中一額外

六、申請專利範圍

之擴散阻障是包含於插塞與電極之間。

21.如申請專利範圍第20項之堆疊電容器，其中此額外之擴散阻障之厚度是在大約 $100\text{\AA}$ 與 $500\text{\AA}$ 之間。

22.如申請專利範圍第20項之堆疊電容器，其中此額外之擴散阻障包括TaSiN。

23.如申請專利範圍第16項之堆疊電容器，其中此電極包括鉑。

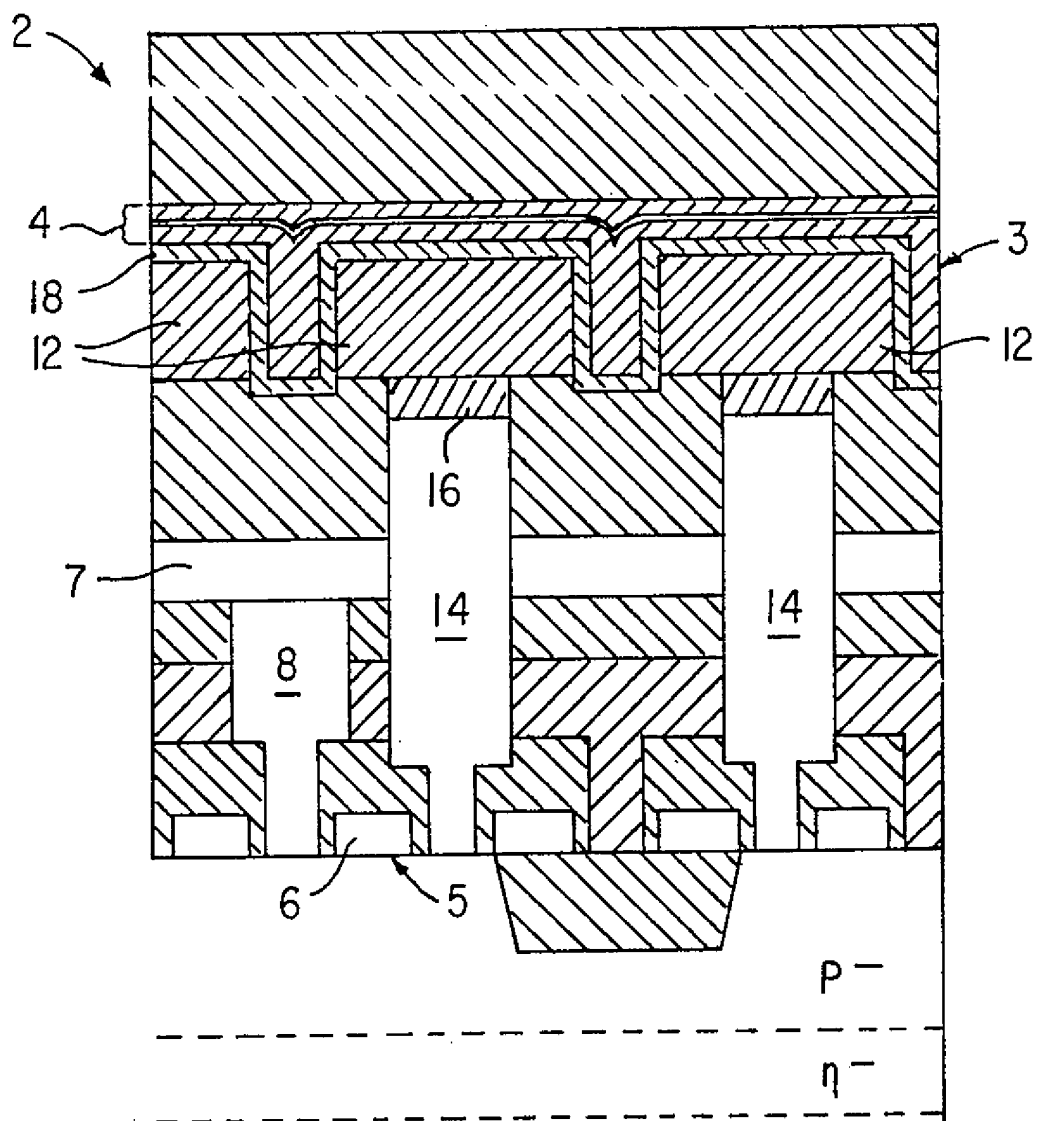
24.如申請專利範圍第16項之堆疊電容器，其中此插塞包括多晶矽。

(請先閱讀背面之注意事項再填寫本頁)

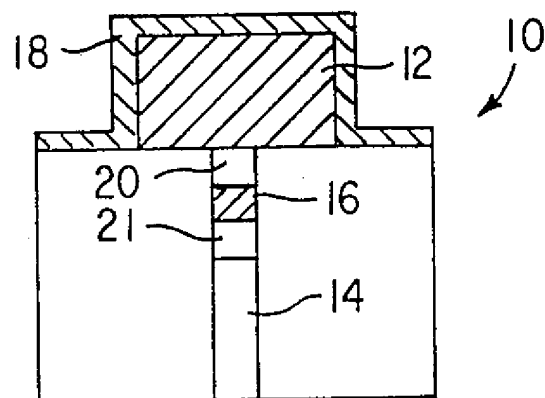
裝

訂

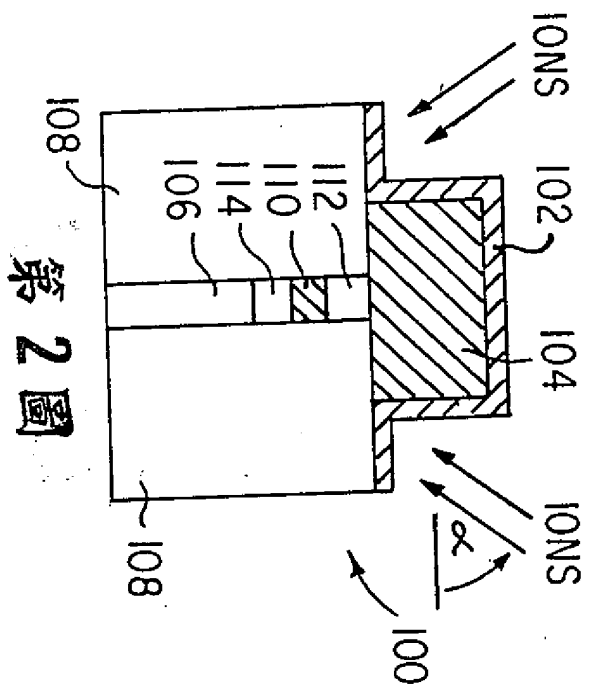
線



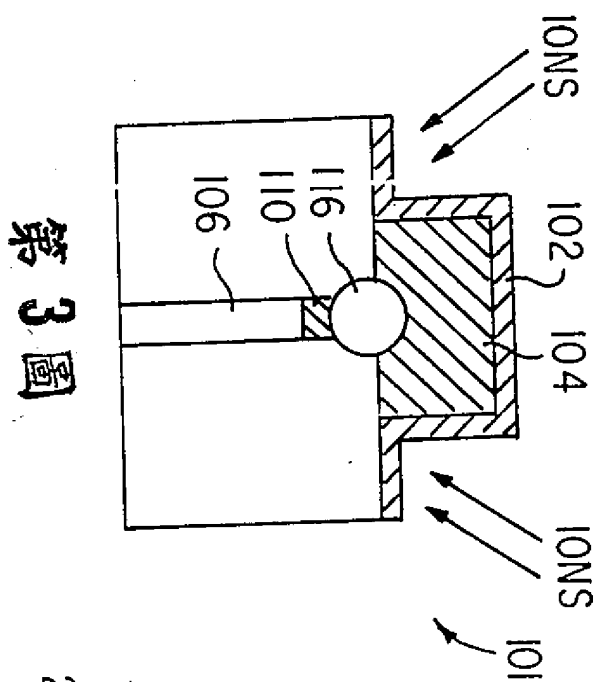
第1A圖



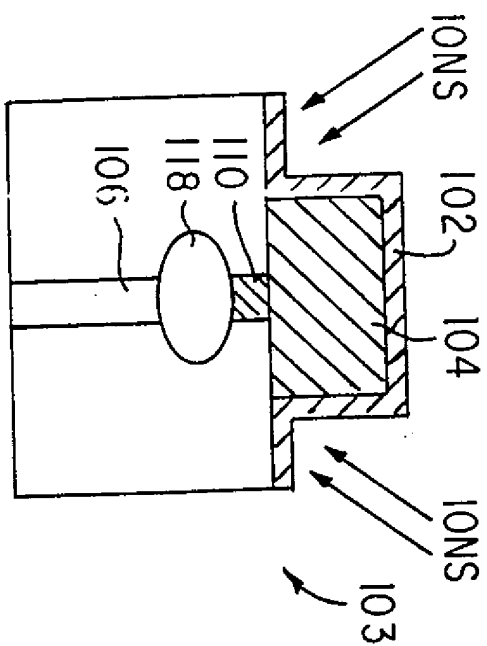
第1B圖



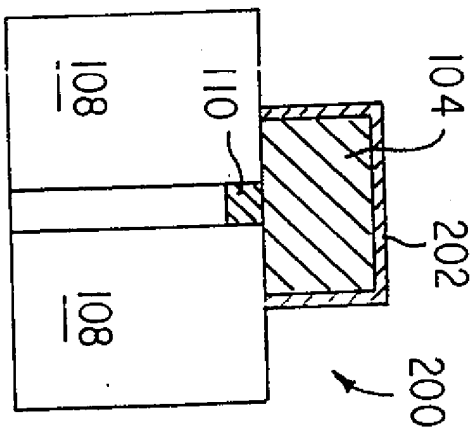
第 2 圖



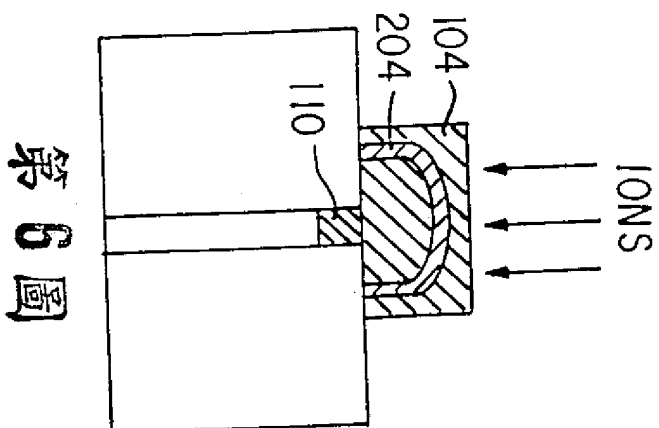
第 3 圖



第 4 圖



第 5 圖



第 6 圖