

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4141581号
(P4141581)

(45) 発行日 平成20年8月27日(2008.8.27)

(24) 登録日 平成20年6月20日(2008.6.20)

(51) Int.Cl.

F I

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/00 5 6 0 A

請求項の数 8 (全 25 頁)

(21) 出願番号	特願平11-98019	(73) 特許権者	503121103
(22) 出願日	平成11年4月5日(1999.4.5)		株式会社ルネサステクノロジ
(65) 公開番号	特開2000-293427 (P2000-293427A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成12年10月20日(2000.10.20)	(74) 代理人	100064746
審査請求日	平成17年8月11日(2005.8.11)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 フラッシュメモリを搭載する記憶装置

(57) 【特許請求の範囲】

【請求項 1】

ホストシステムから外部書込アドレス信号と外部書込データとを受けてデータ記憶を行う書込モードを備える記憶装置であって、

外部書込データ容量より容量の大きい内部書込データ容量を単位として複数のデータの書込がなされるフラッシュメモリを備え、

前記フラッシュメモリは、前記書込モードにおいて、内部書込アドレス信号を受けて、内部書込データに含まれる複数のデータを取込み保持し、

前記書込モードにおいて、前記外部書込アドレス信号を受けて前記内部書込アドレス信号を発生し、前記外部書込データを受けて保持して前記外部書込データと前記外部書込アドレス信号とに基づいて前記内部書込データを出力するデータ入出力部をさらに備え、

前記データ入出力部は、

前記書込モードにおいて、前記ホストシステムから前記外部書込データおよび前記外部書込アドレス信号を受ける第1のインタフェース部と、

前記外部書込データ容量以上で、かつ、前記内部書込データ容量より小さい記憶容量を有し、前記書込モードにおいて前記第1のインタフェース部から前記外部書込データを受け取る、バッファメモリと、

前記書込モードにおいて、前記第1のインタフェース部から前記外部書込アドレス信号を受けて前記内部書込アドレス信号を発生し、前記バッファメモリから読出した前記外部書込データに、前記フラッシュメモリを構成するメモリセルの消去状態に対応するデータ

10

20

を加えて前記内部書込データを発生する、第2のインタフェイス部とを含む、フラッシュメモリを搭載する記憶装置。

【請求項2】

前記フラッシュメモリは、前記内部書込アドレス信号に対応し、前記内部書込データ容量と同じ容量を持つメモリ領域単位を有し、前記メモリ領域単位はオフセット信号に対応する複数の領域を含み、

前記第2のインタフェイス部は、前記外部書込アドレス信号に含まれる前記オフセット信号を出力し、前記外部書込データに対応する前記内部書込データを前記メモリ領域単位の前記オフセット信号に対応する領域に書き込む、請求項1に記載のフラッシュメモリを搭載する記憶装置。

10

【請求項3】

前記第2のインタフェイス部は、前記メモリ領域単位の前記外部書込データに対応する前記内部書込データを書き込んだ残りの領域に、前記フラッシュメモリを構成するメモリセルの消去状態に対応するデータを書き込む、請求項2に記載のフラッシュメモリを搭載する記憶装置。

【請求項4】

前記内部書込データ容量は、前記外部書込データ容量の整数倍である、請求項3に記載のフラッシュメモリを搭載する記憶装置。

【請求項5】

前記フラッシュメモリは、クロックに同期して前記内部書込データを順次取込み、

20

前記第2のインタフェイス部は、

前記バッファメモリに対する読出制御信号を発生して前記バッファメモリから前記外部書込データを受けて前記内部書込データを発生し、前記外部書込アドレス信号から前記内部書込アドレス信号を発生する、データ転送制御部を有し、

前記データ転送制御部は、

前記フラッシュメモリに前記内部書込データの書込が開始されるときに、前記クロックのカウントを開始するカウンタと、

前記外部書込アドレス信号に含まれるオフセット信号と前記カウンタのカウント値の上位から所定数ビットとが一致した時に一致信号を出力する比較器と、

前記バッファメモリが前記クロックに同期して前記外部書込データを出力するように前記一致信号に応じて読出制御信号を前記バッファメモリに与えるゲート回路と、

30

前記一致信号が非活性化されている時は、前記フラッシュメモリを構成するメモリセルの消去状態に対応するデータを前記フラッシュメモリに与え、前記一致信号が活性化した時は前記バッファメモリから読出された前記外部書込データを前記フラッシュメモリに与える選択回路とを有する、請求項2に記載のフラッシュメモリを搭載する記憶装置。

【請求項6】

前記記憶装置は、前記ホストシステムから外部読出アドレス信号を受けて前記ホストシステムに外部読出データを出力する読出モードをさらに備え、

前記データ入出力部は、前記読出モード時に、前記外部読出アドレス信号を受けて内部読出アドレス信号を発生して前記フラッシュメモリに与え、前記フラッシュメモリから読出される内部読出データの一部を選択して前記外部読出データとして保持した後、前記ホストシステムに対して前記外部読出データを出力し、

40

前記第1のインタフェイス部は、前記読出モード時に、前記ホストシステムから受けた前記外部読出アドレス信号に応じた前記外部読出データを前記ホストシステムに出力し、

前記バッファメモリは、前記外部読出データ容量以上で、かつ、前記内部読出データ容量より小さい記憶容量を有し、前記読出モード時に、前記第1のインタフェイス部に対して保持していた前記外部読出データを出力し、

前記第2のインタフェイス部は、前記読出モード時に、前記第1のインタフェイス部から前記外部読出アドレス信号を受けて前記内部読出アドレス信号を発生して前記フラッシュメモリに与えて前記フラッシュメモリから前記内部読出データが含む複数のデータを読

50

出し、前記内部読出しデータの一部を前記外部読出しデータとしてバッファメモリに送出する、請求項 1 に記載のフラッシュメモリを搭載する記憶装置。

【請求項 7】

前記フラッシュメモリは、クロックに同期して前記内部読出しデータを順次出力し、

前記第 2 のインタフェース部は、

前記外部読出しアドレス信号から前記内部読出しアドレス信号を発生し、前記内部読出しデータの一部を選択して前記外部読出しデータとして前記バッファメモリが格納するように前記バッファメモリへ書込制御信号を発生する、データ転送制御部を有し、

前記データ転送制御部は、

前記フラッシュメモリから前記内部読出しデータの読出しが開始されるときに、前記クロックのカウントを開始するカウンタと、

前記外部書込アドレス信号に含まれるオフセット信号と前記カウンタのカウント値の上位から所定数ビットとが一致した時に一致信号を出力する比較器と、

前記バッファメモリが前記クロックに同期して前記内部読出しデータの一部を前記外部読出しデータとして格納するように前記一致信号に応じて前記書込制御信号を前記バッファメモリに与えるゲート回路とを有する、請求項 6 に記載のフラッシュメモリを搭載する記憶装置。

【請求項 8】

フラッシュメモリと、

ホストシステムから入力される外部アドレスに対応する内部主アドレスおよび内部副アドレスを発生し、前記ホストシステムから入力される外部データを前記フラッシュメモリに出力、または前記フラッシュメモリから入力されるデータを前記外部データとしてホストシステムへ出力する、データ入出力部とを備え、

前記データ入出力部は、

前記内部主アドレスによって前記フラッシュメモリの前記外部データの容量より大きい容量を持つメモリ領域単位を選択し、前記内部副アドレスによって前記メモリ領域単位内のデータ入出力開始位置を指定し、前記データ入出力開始位置から前記フラッシュメモリのデータ読出し、または前記データ入出力開始位置から前記フラッシュメモリへのデータの書込を行い、

前記データ入出力部は、

前記ホストシステムと前記フラッシュメモリとの間のタイミング調整をするために前記外部データを一時的に保持するバッファメモリを含み、

前記バッファメモリの記憶容量は、前記外部データの容量以上で、前記メモリ領域単位の容量より小さい、フラッシュメモリを搭載する記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、記憶装置に関し、より特定的には、フラッシュメモリを搭載する記憶装置に関する。

【0002】

【従来の技術】

近年、半導体製造技術の進歩に伴い、フラッシュメモリの記憶容量も大きくなってきている。この大容量化に伴い、小型でかつ低消費電力である特性を生かして特に携帯機器の分野においては記録メディアとしてフラッシュメモリを搭載した記憶装置が使用されるようになってきた。

【0003】

【発明が解決しようとする課題】

フラッシュメモリは、不揮発性で、一括消去後再書込ができる半導体記憶装置である。フラッシュメモリは、高密度に記憶素子を集積し、かつ、高速にデータ授受をするため、セクタアドレスを指定して一定量のデータをセクタ単位で読出し、消去、書込（プログラム）

10

20

30

40

50

を一括して行う。フラッシュメモリの大容量化に伴い、フラッシュメモリが一括してデータを読み出す単位であるセクタ容量も増加する傾向にあり、たとえば、256 MビットのAND型フラッシュメモリではこのセクタ容量は2048バイトになっている。

【0004】

一方、パーソナルコンピュータを初めとする情報機器がハードディスクやメモリカード等の記憶装置とデータ授受を行なう際の単位のデータ容量（本明細書中では以降メディアセクタ容量と称する）は、たとえば、標準的には512バイトであり、このメディアセクタ容量は特に増加する傾向は見られない。

【0005】

このような、セクタ構造を持ったフラッシュメモリを搭載する記憶装置では、フラッシュメモリのセクタデータを一時的に格納し、ホストシステムとのデータ転送を行なうためのタイミングおよび容量の調整を行なうためのバッファメモリを記憶装置の内部に搭載する必要がある。このバッファメモリは通常SRAM（Static Random Access Memory）等が用いられる。

【0006】

ホストシステムとのデータ転送の容量、すなわちメディアセクタ容量が、フラッシュメモリのセクタ容量よりも小容量である場合でも、バッファメモリの容量は、フラッシュメモリのセクタ容量と同容量もしくはそれ以上の容量にする必要があった。

【0007】

しかしながら、フラッシュメモリのセクタ容量が年々大容量化しつつあり、このような場合には、バッファメモリとして大容量のSRAMを搭載する必要があり、コスト的にデメリットが生じていた。

【0008】

本発明は、このような問題点を解決するようになされたもので、その目的は、メディアセクタ容量に相当する小容量のバッファメモリを搭載することを可能にし、コストダウンを図ったフラッシュメモリを搭載する記憶装置を提供することである。

【0009】

【課題を解決するための手段】

この発明は、ある局面においては、ホストシステムから外部書込アドレス信号と外部書込データとを受けてデータ記憶を行う書込モードを備える記憶装置であって、外部書込データ容量より容量の大きい内部書込データ容量を単位として複数のデータの書込がなされるフラッシュメモリを備え、フラッシュメモリは、書込モードにおいて、内部書込アドレス信号を受けて、内部書込データに含まれる複数のデータを取込み保持し、書込モードにおいて、外部書込アドレス信号を受けて内部書込アドレス信号を発生し、外部書込データを受けて保持して外部書込データと外部書込アドレス信号とに基づいて内部書込データを出力するデータ入出力部をさらに備え、データ入出力部は、書込モードにおいて、ホストシステムから外部書込データおよび外部書込アドレス信号を受ける第1のインタフェイス部と、外部書込データ容量以上で、かつ、内部書込データ容量より小さい記憶容量を有し、書込モードにおいて第1のインタフェイス部から外部書込データを受け取る、バッファメモリと、書込モードにおいて、第1のインタフェイス部から外部書込アドレス信号を受けて内部書込アドレス信号を発生し、バッファメモリから読出した外部書込データに、フラッシュメモリを構成するメモリセルの消去状態に対応するデータを加えて内部書込データを発生する、第2のインタフェイス部とを含む。

【0010】

好ましくは、フラッシュメモリは、内部書込アドレス信号に対応し、内部書込データ容量と同じ容量を持つメモリ領域単位を有し、メモリ領域単位はオフセット信号に対応する複数の領域を含み、第2のインタフェイス部は、外部書込アドレス信号に含まれるオフセット信号を出力し、外部書込データに対応する内部書込データをメモリ領域単位のオフセット信号に対応する領域に書き込む。

【0011】

10

20

30

40

50

より好ましくは、第2のインタフェイス部は、メモリ領域単位の外部書込データに対応する内部書込データを書き込んだ残りの領域に、フラッシュメモリを構成するメモリセルの消去状態に対応するデータを書き込む。

【0012】

さらに好ましくは、内部書込データ容量は、外部書込データ容量の整数倍である。

【0013】

より好ましくは、フラッシュメモリは、クロックに同期して内部書込データを順次取込み、第2のインタフェイス部は、バッファメモリに対する読出制御信号を発生してバッファメモリから外部書込データを受けて内部書込データを発生し、外部書込アドレス信号から内部書込アドレス信号を発生する、データ転送制御部を有し、データ転送制御部は、フラッシュメモリに内部書込データの書込が開始されるときに、クロックのカウントを開始するカウンタと、外部書込アドレス信号に含まれるオフセット信号とカウンタのカウント値の上位から所定数ビットとが一致した時に一致信号を出力する比較器と、バッファメモリがクロックに同期して外部書込データを出力するように一致信号に応じて読出制御信号をバッファメモリに与えるゲート回路と、一致信号が非活性化されている時は、フラッシュメモリを構成するメモリセルの消去状態に対応するデータをフラッシュメモリに与え、一致信号が活性化した時はバッファメモリから読出された外部書込データをフラッシュメモリに与える選択回路とを有する。

【0014】

好ましくは、記憶装置は、ホストシステムから外部読出アドレス信号を受けてホストシステムに外部読出データを出力する読出モードをさらに備え、データ入出力部は、読出モード時に、外部読出アドレス信号を受けて内部読出アドレス信号を発生してフラッシュメモリに与え、フラッシュメモリから読出される内部読出データの一部を選択して外部読出データとして保持した後、ホストシステムに対して外部読出データを出力し、第1のインタフェイス部は、読出モード時に、ホストシステムから受けた外部読出アドレス信号に応じた外部読出データをホストシステムに出力し、バッファメモリは、外部読出データ容量以上で、かつ、内部読出データ容量より小さい記憶容量を有し、読出モード時に、第1のインタフェイス部に対して保持していた外部読出データを出力し、第2のインタフェイス部は、読出モード時に、第1のインタフェイス部から外部読出アドレス信号を受けて内部読出アドレス信号を発生してフラッシュメモリに与えてフラッシュメモリから内部読出データが含む複数のデータを読出し、内部読出しデータの一部を外部読出データとしてバッファメモリに送出する。

【0018】

好ましくは、フラッシュメモリは、クロックに同期して内部読出データを順次出力し、第2のインタフェイス部は、外部読出アドレス信号から内部読出アドレス信号を発生し、内部読出データの一部を選択して外部読出データとしてバッファメモリが格納するようにバッファメモリへ書込制御信号を発生する、データ転送制御部を有し、データ転送制御部は、フラッシュメモリから内部読出データの読出が開始されるときに、クロックのカウントを開始するカウンタと、外部書込アドレス信号に含まれるオフセット信号とカウンタのカウント値の上位から所定数ビットとが一致した時に一致信号を出力する比較器と、バッファメモリがクロックに同期して内部読出データの一部を外部読出データとして格納するように一致信号に応じて書込制御信号をバッファメモリに与えるゲート回路とを有する。

【0019】

この発明は他の局面では、フラッシュメモリを搭載する記憶装置であって、フラッシュメモリと、ホストシステムから入力される外部アドレスに対応する内部主アドレスおよび内部副アドレスを発生し、ホストシステムから入力される外部データをフラッシュメモリに出力、またはフラッシュメモリから入力されるデータを外部データとしてホストシステムへ出力する、データ入出力部とを備え、データ入出力部は、内部主アドレスによってフラッシュメモリの外部データの容量より大きい容量を持つメモリ領域単位を選択し、内部副アドレスによってメモリ領域単位内のデータ入出力開始位置を指定し、データ入出力開

10

20

30

40

50

始位置からフラッシュメモリのデータ読出、またはデータ入出力開始位置からフラッシュメモリへのデータの書込を行う。

【 0 0 2 0 】

好ましくは、データ入出力部は、ホストシステムとフラッシュメモリとの間のタイミング調整をするために外部データを一時的に保持するバッファメモリを含み、バッファメモリの記憶容量は、外部データの容量以上で、メモリ領域単位の容量より小さい。

【 0 0 2 1 】

【発明の実施の形態】

以下図面を参照しつつ、本発明の実施の形態について詳しく説明する。なお、図中同一符号は、同一または相当部分を示す。

【 0 0 2 2 】

[実施の形態 1]

図 1 は、フラッシュメモリを搭載した記憶装置 1 の概略構成を示すブロック図である。

【 0 0 2 3 】

図 1 を参照して、記憶装置 1 は、ホストシステム 1 2 と記憶する外部データの授受を行なうためのものであり、ホストシステムからメディアアドレスを受けてアドレス変換を行い、ホストシステムとの間で外部データを授受するためにデータ変換を行うデータ入出力部 9 と、データ入出力部 9 が変換したアドレス信号に応じてデータ授受を行うフラッシュメモリ 1 0 とを含む。データ入出力部 9 はフラッシュメモリ 1 0 が入出力するデータと外部データとの間のデータの変換を行う。

【 0 0 2 4 】

データ入出力部 9 は、ホストシステムとデータ転送を行なうホストインタフェイス部 2 と、ホストインタフェイス部 2 がホストシステム 1 2 とデータ転送を行なうためにフラッシュメモリのセクタデータの一部を一時的に格納する 5 1 2 バイトの容量を持つバッファメモリ 4 と、ホストインタフェイス部 2 からの指令に応じてバッファメモリ 4 とフラッシュメモリとのデータ授受のコントロールを行なうフラッシュインタフェイス部 7 と、記憶装置 1 が記憶すべきデータを保持する半導体装置であるフラッシュメモリ 1 0 とを含む。

【 0 0 2 5 】

フラッシュインタフェイス部 7 は、フラッシュメモリの仕様に合わせたシーケンスで、読出や書込等の動作を設定するコマンドや、読出や書込時にメモリ領域を指定するためのアドレスをフラッシュメモリに送出するシーケンサ部 6 と、ホストシステム 1 2 から与えられたメディアセクタアドレスからフラッシュメモリのセクタアドレスおよびカラムアドレスオフセットを生成するデータ転送制御部 8 とを含む。

【 0 0 2 6 】

フラッシュメモリ 1 0 は、各々が 2 0 4 8 バイトの容量を持つ複数のセクタを有する。フラッシュメモリ 1 0 は、セクタアドレスが指定されると、指定されたセクタに記憶されている 2 0 4 8 バイトのデータをシリアルに出力することができる。

【 0 0 2 7 】

図 2 は、実施の形態 1 におけるフラッシュメモリとバッファメモリとのアドレスの対応関係を示すメモリマップである。

【 0 0 2 8 】

図 2 を参照して、メディアセクタ容量、すなわち記憶装置 1 が一括してデータ授受を行なうセクタ容量が 5 1 2 バイト、フラッシュメモリ 1 0 の 1 セクタが 2 0 4 8 バイトである場合のメモリマップであり、フラッシュメモリ 1 0 の 1 / 4 セクタをメディアセクタとして割当てている。

【 0 0 2 9 】

たとえば、メディアセクタアドレス 0 h は、フラッシュセクタアドレス 0 h のフラッシュカラムアドレス 0 h ~ 1 F F h に相当する。メディアセクタアドレス 1 h は、フラッシュセクタアドレス 0 h のフラッシュカラムアドレス 2 0 0 h ~ 3 F F h に相当する。同様に、メディアセクタアドレス 2 h は、フラッシュセクタアドレス 0 h のフラッシュカラムア

10

20

30

40

50

ドレス 4 0 0 h ~ 5 F F h に相当する。メディアセクタアドレス 3 h は、フラッシュセクタアドレス 0 h のフラッシュカラムアドレス 6 0 0 h ~ 7 F F h に相当する。つまり、各フラッシュセクタアドレスはそれぞれ 4 分割され、メディアセクタアドレスに割当てられている。

【 0 0 3 0 】

図 3 は、メディアセクタアドレスをフラッシュセクタアドレスとカラムアドレスオフセット生成ビットとに変換する説明をするための図である。

【 0 0 3 1 】

図 3 を参照して、メディアセクタアドレス M A 1 5 ~ M A 0 の上位 1 4 ビットは、フラッシュセクタアドレス S A 1 3 ~ S A 0 として使用される。また、メディアセクタアドレスのうち下位 2 ビットである M A 1、M A 0 は、カラムアドレスオフセット生成ビット C 1、C 0 として使用され、このカラムアドレスオフセット生成ビットから後に説明するスタートフラッシュカラムアドレスオフセットを発生する。

10

【 0 0 3 2 】

図 4 は、スタートフラッシュカラムアドレスオフセットとメディアセクタアドレスの下位 2 ビットとの関係を示す図である。

【 0 0 3 3 】

図 4 を参照して、M A 1、M A 0 がともに 0 であるときは、スタートフラッシュカラムアドレスオフセットは 0 h に設定され、メディアセクタ容量である 5 1 2 バイトのデータの授受がバッファメモリとフラッシュメモリとの間で行なわれる。

20

【 0 0 3 4 】

M A 1、M A 0 がそれぞれ、0、1 であるときは、スタートフラッシュカラムアドレスオフセットは 2 0 0 h に設定され、バッファメモリとフラッシュメモリとの間のデータ授受が行なわれる。

【 0 0 3 5 】

M A 1、M A 0 がそれぞれ 1、0 の場合には、スタートフラッシュカラムアドレスオフセットは 4 0 0 h に設定され、バッファメモリとフラッシュメモリとの間でデータ授受が行なわれる。

【 0 0 3 6 】

M A 1、M A 0 がともに 1 であるときは、スタートフラッシュカラムアドレスオフセットは 6 0 0 h に設定され、バッファメモリとフラッシュメモリとの間のデータ授受が行なわれる。

30

【 0 0 3 7 】

図 5 は、実施の形態 1 の記憶装置の処理のメインフローを示す図である。

図 5 を参照して、ステップ S 0 1 は、ホストシステムからの要求待ちのステップである。続いて、ステップ S 0 2 において、読出の要求があったか否かが判断される。読出要求があった場合には、ステップ S 0 4 に移り、読出処理が行なわれる。読出処理が完了すると、再び、ステップ S 0 1 に戻りホストシステムからの要求待ち状態となる。

【 0 0 3 8 】

ステップ S 0 2 において、読出要求が行なわれていない場合には、ステップ S 0 3 に進む。ステップ S 0 3 では、ホストシステムから書込要求が行なわれていないかどうか判断される。書込要求があった場合には、ステップ S 0 5 に進み、書込処理が行なわれる。書込処理が完了すると、再び、ステップ S 0 1 に進みホストシステムからの要求待ち状態となる。

40

【 0 0 3 9 】

ステップ S 0 3 において、書込要求が行なわれなかった場合には、再び、ステップ S 0 1 に戻り、ホストシステムからの要求待ち状態となる。

【 0 0 4 0 】

図 6 は、図 5 に示したステップ S 0 4 の読出処理の詳細を示すフローチャートである。

【 0 0 4 1 】

50

図 6 を参照して、ステップ S 1 1 において、読出が開始される。

次いで、ステップ S 1 2 において、メディアセクタアドレスがホストシステムから受信される。続いて、受信したメディアセクタアドレスをもとにアドレス変換が行なわれ、図 4 で示したスタートフラッシュカラムアドレスオフセットの値が生成される。

【 0 0 4 2 】

続いてステップ S 1 4 において、フラッシュメモリからセクタ読出が行なわれる。そして読出されたデータは、ステップ S 1 5 において、オフセット値に基づきバッファメモリに書込まれる。続いてステップ S 1 6 において、ホストシステムに割込み信号を送出し、ステップ S 1 7 において、バッファメモリに書込まれたデータをホストシステムに対して読出データとして送出する。そしてステップ S 1 8 において、読出が終了する。

10

【 0 0 4 3 】

図 7 は、図 6 に示した読出処理の各ステップが記憶装置内のどのブロックで実施されているかを示す図である。

【 0 0 4 4 】

図 7 を参照して、まずホストシステムからコントローラやバッファメモリに対してメディアセクタアドレスの読出要求が発信される。コントローラというのは、図 1 におけるホストインタフェイス部 2 およびフラッシュインタフェイスシーケンサ部 6 に該当する。

【 0 0 4 5 】

これを受けて、コントローラではメディアセクタアドレスからフラッシュメモリのセクタアドレス S A とオフセット値の生成がされる。そして、フラッシュメモリに対してリードコマンドとセクタアドレス S A が発信される。応じて、フラッシュメモリではセクタリードが行なわれ 2 0 4 8 バイトのデータが順次フラッシュインタフェイスデータ出力としてコントローラに送出される。これを受けてコントローラではメディアセクタアドレスに基づくオフセットに対応する 5 1 2 バイトのデータを抜き出してバッファメモリへと転送する。

20

【 0 0 4 6 】

そしてバッファメモリへのデータの格納が終了すると、コントローラはホストシステムに対してメディアセクタアドレスのデータ読出要求を行ないホストシステムは割込みを受け付ける。続いて、コントローラはバッファメモリからデータを出力しこれによりメディアセクタアドレスのデータ読出が行なわれる。そして読出が終了する。

30

【 0 0 4 7 】

図 8 は、図 5 に示したステップ S 0 5 における書込処理の詳細を示すフローチャートである。

【 0 0 4 8 】

図 8 を参照して、まず、ステップ S 2 1 において書込が開始される。

続いて、ステップ S 2 2 においてホストシステムから発信されたメディアセクタアドレスが受信される。

【 0 0 4 9 】

続いて、ステップ S 2 3 において、記憶装置がホストシステムに対してデータを要求する。そして、ステップ S 2 4 において、記憶装置がホストシステムからデータを受信する。このデータはステップ S 2 5 において、バッファメモリに書込まれる。

40

【 0 0 5 0 】

そして、ステップ S 2 6 において、ステップ S 2 2 で受信したメディアセクタアドレスからオフセット値の生成がされる。その後、ステップ S 2 7 においてフラッシュメモリに対するプログラムコマンドの設定がされる。続いて、ステップ S 2 8 において、バッファメモリからのデータを初期値データと合成し所定のタイミングでフラッシュメモリに書込が行なわれる。

【 0 0 5 1 】

そして、ステップ S 2 9 において書込が終了する。

図 9 は、図 8 に示した書込処理の各ステップがホストシステムとコントローラおよびバッ

50

ファメモリとフラッシュメモリとの間でどのように行なわれるかを示す図である。

【 0 0 5 2 】

図 9 を参照して、まずホストシステムからメディアセクタアドレスの書込要求がコントローラに向けて発信される。続いて、コントローラはこれを受けてメディアセクタアドレスへのデータ書込要求をホストシステムに対して行なう。応じてホストシステムはメディアセクタアドレスに対するデータの書込を行なう。このデータはコントローラを経由してバッファメモリに入力される。

【 0 0 5 3 】

続いて、コントローラでは受信していたメディアセクタアドレスからフラッシュメモリのセクタアドレスおよびオフセット値の生成がされる。そして、フラッシュメモリに対するプログラムコマンドおよびセクタアドレスの発信がされる。

10

【 0 0 5 4 】

これを受けて、フラッシュメモリはデータ書込可能状態となる。そして、コントローラからの所定の信号に基づきバッファメモリからはオフセット値に基づいて格納されていた 5 1 2 バイトのデータが転送される。フラッシュメモリへの書込データが転送されている期間のうち、バッファメモリに格納されていたデータが転送される期間以外の書込データとしては“ F F h ” が転送される。フラッシュメモリへバッファメモリのデータを含む書込データが入力されると、その後、所定のウェイト時間経過後書込が終了する。

【 0 0 5 5 】

ここで、書込みデータ“ F F h ” について説明する。

20

フラッシュメモリの各メモリセルは、フローティングゲートを有する M O S トランジスタで構成されている。各メモリセルは M O S トランジスタのしきい値電圧の状態データ“ 1 ”、“ 0 ”を保持している。一般に、メモリセルの消去直後の状態は、保持データ“ 1 ”に対応する。データ“ 0 ”の書込動作がされるとしきい値電圧が変化し、変化後のしきい値電圧を有するメモリセルの状態が保持データ“ 0 ”に対応する。一方、データ“ 1 ”の書込動作ではしきい値電圧は変化しない。このため、初期状態としてデータ“ 0 ”を保持しているメモリセルに対してデータ“ 1 ”の書込動作が行われても、保持データは変化しない。

【 0 0 5 6 】

つまり、通常は、メモリセルデータの消去が行なわれてからデータの書込が行なわれるが、実施の形態 1 では、消去動作を行わずデータとして“ F F h ”を書込む。“ F F h ”はビットがすべて“ 1 ”の 1 バイトのデータであるため、フラッシュメモリは書込む直前のデータを保持するのである。

30

【 0 0 5 7 】

図 1 0 は、図 1 に示したデータ転送制御部 8 の詳細を示すブロック図である。図 1 0 を参照して、データ転送制御部 8 は、記憶装置内部で生成されるリードセクタイネーブル信号 R S E をクロック信号 S C の立上がり同期してラッチするフリップフロップ 2 2 と、フリップフロップ 2 2 の出力と記憶装置内部で生成されるライトセクタイネーブル信号 W S E との論理和をリセット信号 R S T として出力する A N D 回路 2 4 と、リセット信号 R S T によってリセットされその後クロック信号 S C の立上がりに対応してカウントアップを開始する S C カウンタ 2 6 と、ホストシステムより 1 6 ビットのメディアセクタアドレスをラッチして上位 1 4 ビットをシーケンサ部 6 へセクタアドレス S A 0 ~ S A 1 5 として出力するメディアセクタアドレスラッチ部 3 0 と、 S C カウンタ 2 6 の出力である 1 1 ビットの計数値のうち上位 2 ビットとメディアセクタアドレスラッチ部 3 0 がラッチしたメディアセクタアドレスの下位 2 ビットとを比較する比較器 3 2 とを含む。

40

【 0 0 5 8 】

比較器 3 2 は、 S C カウンタ 2 6 からの 2 ビットのデータとメディアセクタアドレスラッチ部 3 0 からの 2 ビットのデータとが一致したときに L レベルとなる比較結果信号を C M P を出力する。

【 0 0 5 9 】

50

データ転送制御部 8 は、さらに、フリップフロップ 22 の出力とクロック信号 SC と結果信号 CMP とを受けてライトイネーブル信号 /WE を出力するゲート回路 28 と、バッファメモリ 4 からの出力と固定データ “FFh” とを受けて比較結果信号 CMP に応じてフラッシュメモリに対して出力するセクタ 34 とを含む。セクタ 34 は、比較信号 CMP が L のときはバッファメモリからの出力をフラッシュメモリに対して出力し、比較信号 CMP が H のときは固定データ “FFh” をフラッシュメモリに対して出力する。

【0060】

尚、説明の便宜のため、図 10 にはバッファメモリ 4 が記載されている。バッファメモリ 4 は、SC カウンタ 26 の 11 ビットの計数値のうちの下位 9 ビットをアドレス信号 ADDR として受け、ライトセクタイネーブル信号 WSE をアウトプットイネーブル信号 /OE として受け、ゲート回路 28 の出力をライトイネーブル信号 /WE として受けこれらに应答してフラッシュメモリからのデータ入力 DI を受けて保持し、またはセクタ 34 を介してフラッシュメモリへデータ出力 DO を送出する。

【0061】

図 11 は、フラッシュメモリからバッファメモリへのデータ転送の様子を示すタイミング図である。

【0062】

図 11 を参照して、時刻 t1 からクロック信号 SC に応じてデータ信号 DATA がフラッシュメモリから読出される。この読出は、セクタ単位で行なわれるため、通常は 2048 データが連続して以後読出される。

【0063】

ここで、ホストシステムから指定されたメディアセクタアドレスのうち最下位の 2 ビットである (MA1, MA0) が (0, 1) のときには時刻 t1 ~ t2 においては、フラッシュメモリから読出されたデータはバッファメモリへは転送されない。

【0064】

そして、時刻 t2 ~ t3 において、カラムアドレス 200h ~ 3FFh に相当するデータがフラッシュメモリから読出されている間は、これらのデータはバッファメモリへと転送されて保持される。この保持されるデータは、フラッシュメモリから読出されるセクタ容量 2048 バイトのうち 512 バイトであり、セクタ容量の 4 分の 1 である。

【0065】

時刻 t3 以降は、カラムアドレス 400h 以降のデータが順次読出されるが、これらはバッファメモリへは保持されることはない。

【0066】

図 12 は、図 11 に示したバッファメモリへのデータ書込の動作をより詳細に示した動作波形図である。

【0067】

図 10、図 12 を参照して、時刻 t0 において、ホストシステムから読出要求が行なわれたことに応じて、リードセクタイネーブル信号 RSE が H レベルから L レベルへと立下がる。続いて、時刻 t1 においてリセット信号 RST が H レベルから L レベルへと立下がり、SC カウンタ 26 のリセットが解除される。以降、時刻 t1 ~ t2 において、クロック信号 SC の入力に応じて SC カウンタ 26 は 11 ビットのカウンタ値を 0h から 1FFh までカウンタアップする。カウンタ値の下位 9 ビットであるバッファメモリに入力されるアドレス信号 ADDR は、同様に 0h から 1FFh まで変化する。このとき、比較器 32 に入力されるカウンタ値の上位 2 ビットは (0, 0) であり、メディアセクタアドレスラッチ部 30 からの 2 ビットの入力 (0, 1) であるため、比較結果信号 CMP は不一致を示す H レベルである。そのため、データ入力信号 DI の内容は、時刻 t1 ~ t2 においては、バッファメモリ 4 に書込まれることはない。

【0068】

時刻 t2 において、SC カウンタ 26 のカウンタ値が 200h になり、カウンタ値の上位 2 ビットがメディアセクタアドレスラッチ部 30 から入力される 2 ビットの信号と一致す

10

20

30

40

50

る。応じて、比較結果信号 C M P が H から L レベルへと立下がる。すなわち、そして、比較結果信号 C M P は、カウント値が 2 0 0 h ~ 3 F F h である間 L レベルとなる。この比較結果信号 C M P の変化に応じて、ゲート回路 2 8 がクロック信号 S C をライトイネーブル信号 / W E としてバッファメモリに対して出力する。バッファメモリ 4 は、ライトイネーブル信号 / W E が入力されるため、ライトイネーブル信号 / W E の立上がりエッジにおけるアドレス信号 A D R が示すアドレスにデータ入力であるデータ 0 h ~ データ 1 F F h が書込まれる。

【 0 0 6 9 】

時刻 t 3 以降においては、S C カウンタ 2 6 のカウント値が 4 0 0 h 以上となるため、比較結果信号 C M P は再び H レベルになり、以降入力されるデータはバッファメモリへは書込まれない。

10

【 0 0 7 0 】

図 1 3 は、バッファメモリからフラッシュメモリへのデータ転送の様子を示すタイミング図である。

【 0 0 7 1 】

図 1 3 を参照して、メディアセクタアドレス (M A 1 , M A 0) が (0 , 1) のときには、時刻 t 1 ~ t 2 において、フラッシュメモリのカラムアドレス 0 h ~ 1 F F h には、ダミーデータである “ F F h ” が書込まれる。このダミーデータは、フラッシュメモリの消去直後の初期値に対応するデータであり、一般に、フラッシュメモリはこの初期値データを書込む動作を行なっても既に内部に保持されているデータが破壊されることはない。

20

【 0 0 7 2 】

したがって、実施の形態 1 の記憶装置は、一括消去され、その後逐次データを追加していくような用途、例えば、デジタルカメラの画像の一時保存や、携帯型デジタルオーディオ機器の音響信号の保存等に好適に用いられる。

【 0 0 7 3 】

時刻 t 2 ~ t 3 において、フラッシュメモリのカラムアドレス 2 0 0 h ~ 3 F F h には、バッファメモリからデータが順次書込まれる。このデータはフラッシュメモリのセクタ容量の 1 / 4 に相当する 5 1 2 バイトのデータである。

【 0 0 7 4 】

時刻 t 3 以降は、時刻 t 1 ~ t 2 と同様に、ダミーデータである “ F F h ” が書込まれる。

30

【 0 0 7 5 】

図 1 4 は、図 1 3 に示したバッファメモリからフラッシュメモリへのデータ転送の様子をさらに詳しく説明するための動作波形図である。

【 0 0 7 6 】

図 1 0、図 1 4 を参照して、時刻 t 0 において、ホストシステムからの書込要求に応じてライトセクタイネーブル信号 W S E が H レベルから L レベルへと立下がる。応じて、リセット信号 R S T が H レベルから L レベルへと立下がり、S C カウンタ 2 6 のリセットが解除される。また、バッファメモリのアウトプットイネーブル入力信号 / O E は H レベルから L レベルへと立下がり、バッファメモリ 4 は、アクセス可能な状態となる。

40

【 0 0 7 7 】

時刻 t 1 ~ t 2 において、クロック信号 S C の立上がり同期して、セクタ 3 4 が出力するデータ出力信号がフラッシュメモリへ書込まれる。そのときの書込カラムアドレスに対応するカウント値が S C カウンタ 2 6 によってカウントアップされる。時刻 t 1 ~ t 2 においてはメディアセクタアドレス (M A 1 , M A 0) が S C カウンタ 2 6 の上位 2 ビットと一致しないので、データ出力信号 D O はセクタ 3 4 の “ 1 ” 側の入力ノードに入力されている固定データ “ F F h ” である。

【 0 0 7 8 】

時刻 t 2 において、カウント値の変化に従って、比較結果信号 C M P は H レベルから L レベルへと立下がり、アドレス信号 A D R に指定されるアドレスのデータはバッファメモリ

50

4 から読出され、セクタ 3 4 を介してデータ出力信号 D 0 としてフラッシュメモリへと転送される。以降時刻 t 3 に至るまでの間バッファメモリからフラッシュメモリへとデータ転送が行なわれる。

【 0 0 7 9 】

データ 0 h ~ データ 1 F F h の 5 1 2 バイトのデータの転送が終了すると、時刻 t 3 において、カウント値の変化に従い比較結果信号 C M P が L レベルから H レベルへと立上がるため、再びデータ出力信号はセクタ 3 4 の “ 1 ” 側の入力ノードに入力されている固定値 “ F F h ” となる。

【 0 0 8 0 】

以上説明したように、実施の形態 1 の記憶装置は、一括消去され、その後逐次データを追加していくような用途、例えば、デジタルカメラの画像の一時保存や、携帯型デジタルオーディオ機器の音響信号の保存等に好適に用いられる。

10

【 0 0 8 1 】

そして、使用するフラッシュメモリの 1 セクタの容量よりもホストシステムとのデータ転送の単位容量であるメディアセクタ容量が小さい場合に、一時的なデータ格納を行なうバッファメモリの容量をメディアセクタ容量に合わせて小さくすることができるため、ハードウェアを構成する上でコスト的に有利な記憶装置を提供することができる。

【 0 0 8 2 】

[実施の形態 2]

図 1 5 は、実施の形態 2 の記憶装置 5 1 の概略構成を示すブロック図である。

20

【 0 0 8 3 】

図 1 5 を参照して、記憶装置 5 1 は、ホストシステム 1 2 と記憶する外部データの授受を行なうためのものであり、ホストシステムからメディアアドレスを受けてアドレス変換を行い、ホストシステムの間で外部データを授受するためにデータ変換を行うデータ入出力部 5 9 と、データ入出力部 5 9 が変換したアドレス信号に応じてデータ授受を行うフラッシュメモリ 6 0 とを含む。データ入出力部 5 9 はフラッシュメモリ 6 0 が入出力するデータと外部データとの間のデータの変換を行う。

【 0 0 8 4 】

データ入出力部 5 9 は、ホストシステム 1 2 とデータ転送を行なうホストインタフェース部 5 2 と、ホストインタフェース部 5 2 がホストシステム 1 2 とデータ転送を行なうために記憶データを一時的に格納する 5 1 2 バイトの容量を持つバッファメモリ 5 4 と、ホストインタフェース部 5 2 からの指令に応じてバッファメモリ 5 4 とフラッシュメモリ 6 0 とのデータ授受のコントロールを行なうフラッシュインタフェース部 5 7 とを含む。

30

【 0 0 8 5 】

フラッシュインタフェース部 5 7 は、フラッシュメモリの仕様に合わせたシーケンスで、読出や書込等の動作を設定するコマンドや、読出や書込時にメモリ領域を指定するためのアドレスをフラッシュメモリに送出するシーケンサ部 5 6 と、ホストシステム 1 2 から与えられたメディアセクタアドレスからフラッシュメモリのセクタアドレスとセクタアドレスで指定されたカラムの読出開始位置を指定するスタートカラムアドレスとを生成するカラムアドレス制御部 5 8 とを含む。

40

【 0 0 8 6 】

図 1 5 において、フラッシュメモリ 6 0 は、データのリードおよびプログラムをセクタの任意のカラムアドレスから読出および書込開始をすることができる分割リード / プログラム機能を有する。

【 0 0 8 7 】

フラッシュメモリ 6 0 は、各々が 2 0 4 8 バイトの容量を持つ複数のセクタを有する。フラッシュメモリは、セクタアドレスが指定されると、指定されたセクタ容量分だけのデータをクロック信号に同期してシリアルに出力することができる。そして、スタートカラムアドレスがさらに指定されると、指定されたセクタのカラムアドレスに該当するデータからセクタの最終アドレスに該当するデータまでをクロック信号に同期してシリアルに出力

50

することができる。

【 0 0 8 8 】

図 1 6 は、実施の形態 2 におけるフラッシュメモリとバッファメモリとの対応関係を示すメモリマップである。

【 0 0 8 9 】

図 1 6 に示されるメモリマップは、図 2 に示した実施の形態 1 に用いられるメモリマップと同様の割付を示しているため説明は繰返さない。

【 0 0 9 0 】

図 1 7 は、メディアセクタアドレスがフラッシュセクタアドレスとスタートカラムアドレスとに変換されることを説明するための図である。

10

【 0 0 9 1 】

図 1 7 を参照して、メディアセクタアドレス $MA15 \sim MA0$ の上位 14 ビットは、フラッシュセクタアドレス $SA13 \sim SA0$ として使用される。また、メディアセクタアドレスのうち下位 2 ビットである $MA1$ 、 $MA0$ は、スタートカラムアドレスのうちそれぞれ $CA10$ 、 $CA9$ として使用される。また、スタートカラムアドレスの他のビットである $CA11$ 、 $CA8 \sim CA0$ はすべて “ 0 h ” に設定される。

【 0 0 9 2 】

図 1 8 は、フラッシュメモリのスタートカラムアドレスとメディアセクタアドレスの下位 2 ビットとの関係を示す図である。

【 0 0 9 3 】

20

図 1 8 を参照して、 $MA1$ 、 $MA0$ がともに 0 であるときは、スタートカラムアドレスは 0 h に設定され、 $MA1$ 、 $MA0$ がそれぞれ 0、1 であるときは、スタートカラムアドレスは 2 0 0 h に設定される。

【 0 0 9 4 】

$MA1$ 、 $MA0$ がそれぞれ 1、0 であるときは、スタートカラムアドレスは 4 0 0 h に設定され、 $MA1$ 、 $MA0$ がともに 1 であるときは、スタートカラムアドレスは 6 0 0 h に設定される。このアドレス変換は図 1 5 のカラムアドレス制御部 5 8 で行われるが、図 1 8 に対応する配線の接続をするだけで容易に実現できる。

【 0 0 9 5 】

図 1 9 は、スタートカラムアドレスの説明をするための概念図である。

30

図 1 9 を参照して、1 セクタが 2 0 4 8 バイトであるときは、フラッシュセクタアドレス SA に対応して 0 h ~ 7 F F h のカラムアドレスが存在する。スタートカラムアドレス CA を設定すると、設定したフラッシュセクタアドレス SA 中のスタートカラムアドレスに対応するカラムのデータからクロック信号に同期して読出が開始される。

【 0 0 9 6 】

図 2 0 は、分割リード/プログラム機能を有するフラッシュメモリからデータを読出す際のコマンド設定とアドレス設定とを説明するための動作波形図である。

【 0 0 9 7 】

図 2 0 を参照して、時刻 t_1 において、コマンドデータイネーブル信号 / CDE が L レベルのときに、ライトイネーブル信号 / WE の立上がりエッジが検出されると、そのタイミングにおいて、リードコマンドがフラッシュメモリに取込まれる。

40

【 0 0 9 8 】

時刻 t_2 において、ライトイネーブル信号 / WE の立上がりエッジにおいて、セクタアドレスの下位 8 ビットである $SA(1)$ が取込まれる。次いで時刻 t_3 において、ライトイネーブル信号 / WE の立上がりエッジにおいて、セクタアドレスの上位 6 ビットである $SA(2)$ がフラッシュメモリに取込まれる。

【 0 0 9 9 】

次いで、時刻 t_4 において、ライトイネーブル信号 / WE の立上がりエッジでスタートカラムアドレス CA の下位 8 ビットである $CA(1)$ がフラッシュメモリに取込まれる。続いて、時刻 t_5 において、ライトイネーブル信号 / WE の立上がりエッジでスタート

50

カラムアドレスの上位 4 ビットである C A (2) が取込まれる。

【 0 1 0 0 】

時刻 t 6 以降は、クロック信号 S C に同期してアドレス / データ入出力端子から指定されたスタートカラムアドレスのデータを先頭にしてフラッシュメモリからデータが出力される。

【 0 1 0 1 】

図 2 1 は、実施の形態 2 においてフラッシュメモリにデータを書込む入力波形を示す図である。

【 0 1 0 2 】

図 2 1 を参照して、時刻 t 1 において、コマンドデータイネーブル入力 / C D E が L レベルのときに、ライトイネーブル信号 / W E の立上がりエッジが検出されると、プログラムコマンドがフラッシュメモリに読込まれる。

10

【 0 1 0 3 】

続いて、時刻 t 2 において、ライトイネーブル信号 / W E の立上がりエッジでセクタアドレスの下位 8 ビットである S A (1) がフラッシュメモリに取込まれる。続いて、時刻 t 3 において、ライトイネーブル信号 / W E の立上がりエッジでセクタアドレスの上位 6 ビットである S A (2) がフラッシュメモリに取込まれる。

【 0 1 0 4 】

時刻 t 4 において、ライトイネーブル信号 / W E の立上がりエッジでスタートカラムアドレスの下位 8 ビットである C A (1) がフラッシュメモリに取込まれる。続いて、時刻 t 5 において、ライトイネーブル信号 / W E の立上がりエッジでスタートカラムアドレスの上位 4 ビットである C A (2) がフラッシュメモリに取込まれる。以上でアドレス設定が終了する。

20

【 0 1 0 5 】

時刻 t 6 以降は、設定されたセクタアドレスのスタートカラムアドレスに対応するデータを先頭としてクロック信号 S C に同期してシリアルにデータ入力がされ対応するアドレスにデータが書込まれる。

【 0 1 0 6 】

図 2 0、図 2 1 で示したフラッシュメモリに対するコマンドやアドレス信号を与える制御は、図 1 5 におけるフラッシュインタフェースシーケンサ部 5 6 で行なわれる。

30

【 0 1 0 7 】

図 2 2 は、実施の形態 2 の記憶装置の処理のメインフローを示す図である。

図 2 2 を参照して、実施の形態 2 の記憶装置の処理のメインフローは、図 5 に示した実施の形態 1 の読出処理ステップ S 0 4 に代えてステップ S 1 0 4 を含み、書込処理ステップ S 0 5 に代えてステップ S 1 0 5 を含む点が図 5 で示したフローと異なる。他の部分は図 5 で示したフローと同様であるので説明は繰返さない。

【 0 1 0 8 】

図 2 3 は、図 2 2 に示したステップ S 1 0 4 の読出処理の詳細を示すフローチャートである。

【 0 1 0 9 】

40

図 2 3 を参照して、ステップ S 1 1 1 において、読出が開始される。

次いで、ステップ S 1 1 2 において、メディアセクタアドレスがホストシステムから受信される。続いて、ステップ S 1 1 3 において、受信したメディアセクタアドレスを変換してフラッシュメモリのセクタアドレス S A およびスタートカラムアドレス C A が発生される。続いて、ステップ S 1 1 4 において、フラッシュメモリの分割リードコマンドが設定されセクタアドレス S A およびスタートカラムアドレス C A も指定される。そして、ステップ S 1 1 5 において、データがフラッシュメモリから読出され、バッファメモリに書込まれる。

【 0 1 1 0 】

バッファメモリへの書込が終了すると、ステップ S 1 1 6 においてホストシステムに対し

50

て割込信号が送出される。

【 0 1 1 1 】

続いて、ステップ S 1 1 7 において、バッファメモリに書込まれたデータはホストシステムに対して読出データとして送出される。そして、ステップ S 1 1 8 において、読出が終了する。

【 0 1 1 2 】

図 2 4 は、図 2 3 で示した読出処理の各ステップが記憶装置内のどのブロックで実施されているかを示す図である。

【 0 1 1 3 】

図 2 4 を参照して、まずホストシステムからコントローラやバッファメモリに対してメディアセクタアドレスの読出要求が発信される。コントローラというのは、図 1 5 におけるホストインタフェイス部 5 2 およびフラッシュインタフェイスシーケンサ部 5 6 に該当する。

10

【 0 1 1 4 】

これを受けてコントローラではメディアセクタアドレスからフラッシュメモリのセクタアドレス S A とスタートカラムアドレス C A とが生成される。そしてコントローラからはリードコマンドとセクタアドレスおよびスタートカラムアドレスとがフラッシュメモリに送出される。応じて、フラッシュメモリでは、分割リード動作が行なわれ、5 1 2 バイトのデータがバッファメモリへと出力される。バッファメモリへのデータ書込が終了すると、コントローラは指定されたメディアセクタアドレスのデータ読出をホストシステムに対して要求する。そして、バッファメモリからはホストシステムに対してデータの読出が行なわれ、読出動作は終了する。

20

【 0 1 1 5 】

図 2 5 は、図 2 2 に示したステップ S 1 0 5 における書込処理の詳細を示すフローチャートである。

【 0 1 1 6 】

図 2 5 を参照して、まずステップ S 1 2 1 において書込が開始される。

続いてステップ S 1 2 2 においてホストシステムから発信されたメディアセクタアドレスが受信される。

【 0 1 1 7 】

続いて、ステップ S 1 2 3 において、記憶装置がホストシステムに対してデータを要求する。そして、ステップ S 1 2 4 においてホストシステムからデータを受信する。このデータは、ステップ S 1 2 5 においてバッファメモリに書込まれる。

30

【 0 1 1 8 】

そして、ステップ S 1 2 6 において、ステップ S 1 2 2 で受信したメディアセクタアドレスからフラッシュメモリのセクタアドレス S A およびスタートカラムアドレス C A が生成される。続いてステップ S 1 2 7 において、フラッシュメモリに対して分割プログラムコマンドが設定され、続いてセクタアドレス S A およびスタートカラムアドレス C A の指定がされる。

【 0 1 1 9 】

そして、ステップ S 1 2 8 において、データが、バッファメモリから読出されフラッシュメモリに書込まれる。そしてステップ S 1 2 9 において、データの書込が終了する。

40

【 0 1 2 0 】

図 2 6 は、図 2 5 に示した書込処理の各ステップがホストシステムとコントローラおよびバッファメモリとフラッシュメモリとの間でどのように行なわれるかを示す図である。

【 0 1 2 1 】

図 2 6 を参照して、まずホストシステムからメディアセクタアドレスの書込要求がコントローラに向けて発信される。続いて、コントローラはこれを受けてメディアセクタアドレスのデータ書込要求をホストシステムに対して行なう。応じてホストシステムはメディアセクタアドレスに対するデータの書込を行なう。このデータはコントローラを経由してバ

50

ッファメモリに入力される。

【0122】

続いて、コントローラでは、受信していたメディアセクタアドレスからフラッシュメモリのセクタアドレスSAおよびスタートカラムアドレスCAが生成される。そして、コントローラがフラッシュメモリに対してプログラムコマンドとセクタアドレス/SAおよびスタートカラムアドレス/CAの設定を行なう。応じて、フラッシュメモリは、分割プログラム動作を行なう。そしてバッファからは512バイトのデータがフラッシュメモリに対して入力され、所定のカラムアドレスを先頭にしてデータ書込が行なわれる。フラッシュメモリへバッファメモリから512バイトの書込データが入力されると、その後、所定のウェイト時間経過後書込が終了する。

10

【0123】

実施の形態2においては、バッファメモリのアドレス制御およびメディアセクタアドレスからフラッシュメモリに与えるアドレス信号の生成は図15におけるカラムアドレス制御部58で行なわれる。

【0124】

図27は、図15におけるカラムアドレス制御部58の詳細を示すブロック図である。

【0125】

図27を参照して、カラムアドレス制御部58は、記憶装置内部で生成されるリードセクタイネーブル信号RSEをクロック信号SCの立上がり同期してラッチするフリップフロップ72と、フリップフロップ72の出力と記憶装置内部で生成されるライトセクタイネーブル信号WSEとの論理和をリセット信号RSTとして出力するAND回路74と、リセット信号RSTによってリセットされその後クロック信号SCの立上がり同期してカウントアップを開始する9ビットのSCカウンタ76と、ホストシステムより16ビットのメディアセクタアドレスをラッチして上位14ビット、下位2ビットをそれぞれセクタアドレスSA0~SA15、スタートカラムアドレスCA0~1としてシーケンサ部6へ出力するメディアセクタアドレスラッチ部30と、フリップフロップ72の出力とクロック信号SCとを受けてライトイネーブル信号/WEを出力するゲート回路78を含む。

20

【0126】

尚、説明の便宜のため、図27にはバッファメモリ54が記載されている。バッファメモリ54は、SCカウンタ76の計数值9ビットをアドレス信号ADRとして受け、ライトセクタイネーブル信号WSEをアウトプットイネーブル信号/OEとして受け、ゲート回路78の出力をライトイネーブル信号/WEとして受けこれらに同期してフラッシュメモリからのデータ入力DIを受けて保持し、またはフラッシュメモリへデータ出力DOを送出する。

30

【0127】

以上説明したように、実施の形態2においては、ホストインタフェース部がホストシステムとデータ転送を行なうときにデータを一時的に格納するバッファメモリの容量をフラッシュメモリの1セクタの容量よりも小さくできるため、コストメリットのある記憶装置を提供することができる。さらに、分割リード/プログラム可能なフラッシュメモリを搭載し使用することで、メディアセクタ単位で読出および再書込が可能である。

40

【0128】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0129】

【発明の効果】

本発明のある局面に従うフラッシュメモリを搭載する記憶装置は、セクタ読出をするフラッシュメモリを記憶用半導体装置として用いる場合小容量のバッファメモリを搭載する

50

のでコスト的に有利である。

【0130】

本発明の他のフラッシュメモリを搭載する記憶装置は、ダミーデータとしてフラッシュメモリが消去された直後のデータと同じデータを書込むため、既にデータ保持が行なわれた部分のデータが失われることはない。

【0131】

本発明のさらに他のフラッシュメモリを搭載する記憶装置は、フラッシュメモリのセクタ容量を外部のメディアセクタ容量で区切って使用することができ、効率的にフラッシュメモリを使用することができる。

【0132】

本発明のさらに他のフラッシュメモリを搭載する記憶装置は、セクタデータの読出をする際にも小容量のバッファメモリを使用することができる。

【0133】

本発明のさらに他のフラッシュメモリを搭載する記憶装置は、フラッシュメモリのセクタ容量を外部のメディアセクタ容量で区切って使用することができ、効率的にフラッシュメモリを使用することができる。

【0134】

本発明のさらに他のフラッシュメモリを搭載する記憶装置は、小容量のバッファメモリを搭載するのでコスト的に有利であり、さらに、メディアセクタ単位でデータの再書込が可能である。

【図面の簡単な説明】

【図1】 フラッシュメモリを搭載した記憶装置1の概略構成を示すブロック図である。

【図2】 実施の形態1におけるフラッシュメモリとバッファメモリとのアドレスの対応関係を示すメモリマップである。

【図3】 メディアセクタアドレスをフラッシュセクタアドレスとカラムアドレスオフセット生成ビットとに変換する説明をするための図である。

【図4】 スタートフラッシュカラムアドレスオフセットとメディアセクタアドレスの下位2ビットとの関係を示す図である。

【図5】 実施の形態1の記憶装置の処理のメインフローを示す図である。

【図6】 図5に示したステップS04の読出処理の詳細を示すフローチャートである。

【図7】 図6に示した読出処理の各ステップが記憶装置内のどのブロックで実施されているかを示す図である。

【図8】 図5に示したステップS05における書込処理の詳細を示すフローチャートである。

【図9】 図8に示した書込処理の各ステップがホストシステムとコントローラおよびバッファメモリとフラッシュメモリとの間でどのように行なわれるかを示す図である。

【図10】 図1に示したデータ転送制御部8の詳細を示すブロック図である。

【図11】 フラッシュメモリからバッファメモリへのデータ転送の様子を示すタイミング図である。

【図12】 図11に示したバッファメモリへのデータ書込の動作をより詳細に示した動作波形図である。

【図13】 バッファメモリからフラッシュメモリへのデータ転送の様子を示すタイミング図である。

【図14】 図13に示したバッファメモリからフラッシュメモリへのデータ転送の様子をさらに詳しく説明するための動作波形図である。

【図15】 実施の形態2の記憶装置51の概略構成を示すブロック図である。

【図16】 実施の形態2におけるフラッシュメモリとバッファメモリとの対応関係を示すメモリマップである。

【図17】 メディアセクタアドレスをフラッシュセクタアドレスとスタートカラムアドレスとに変換を説明するための図である。

10

20

30

40

50

【図 18】 スタートカラムアドレスとメディアセクタアドレスの下位 2 ビットとの関係を示す図である。

【図 19】 スタートカラムアドレスの説明をするための概念図である。

【図 20】 分割リード/プログラム機能を有するフラッシュメモリからデータを読み出す際のコマンド設定とアドレス設定とを説明するための動作波形図である。

【図 21】 実施の形態 2 においてフラッシュメモリにデータを書込む入力波形を示す図である。

【図 22】 実施の形態 2 の記憶装置の処理のメインフローを示す図である。

【図 23】 図 22 に示したステップ S 104 の読出処理の詳細を示すフローチャートである。

【図 24】 図 23 で示した読出処理の各ステップが記憶装置内のどのブロックで実施されているかを示す図である。

【図 25】 図 22 に示したステップ S 105 における書込処理の詳細を示すフローチャートである。

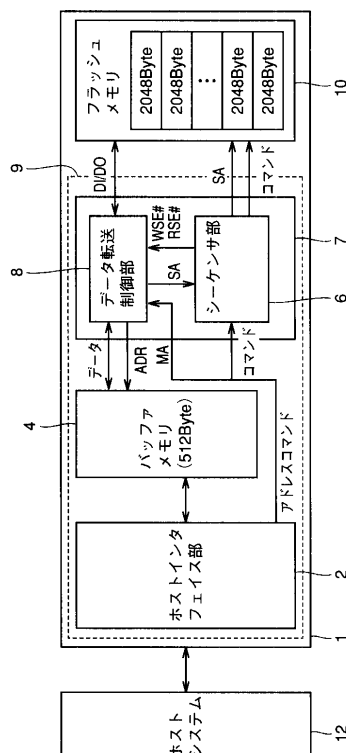
【図 26】 図 25 に示した書込処理の各ステップがホストシステムとコントローラおよびバッファメモリとフラッシュメモリとの間でどのように行なわれるかを示す図である。

【図 27】 図 15 におけるカラムアドレス制御部 58 の詳細を示すブロック図である。

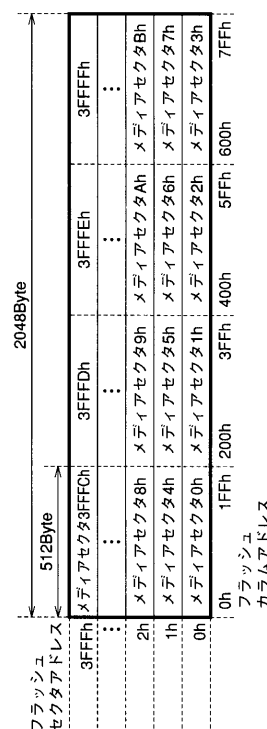
【符号の説明】

1, 51 記憶装置、2, 52 ホストインタフェース部、4, 54 バッファメモリ、6, 56 フラッシュインタフェースシーケンサ、8 データ転送制御部、10, 60 フラッシュメモリ、58 カラムアドレス制御部、22 フリップフロップ、24 AND 回路、26 SC カウンタ、28 ゲート回路、30 メディアセクタアドレスラッチ部、32 比較器、34 セレクタ。

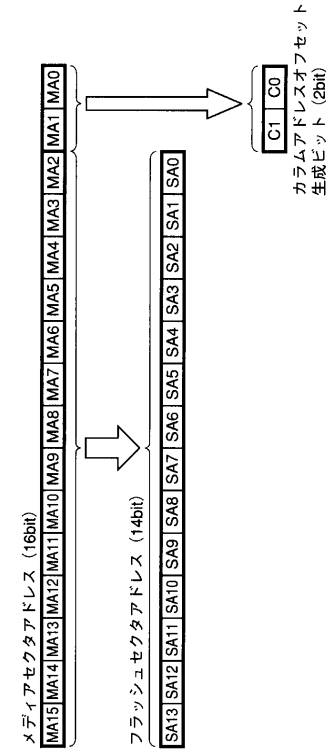
【図 1】



【図 2】



【図 3】

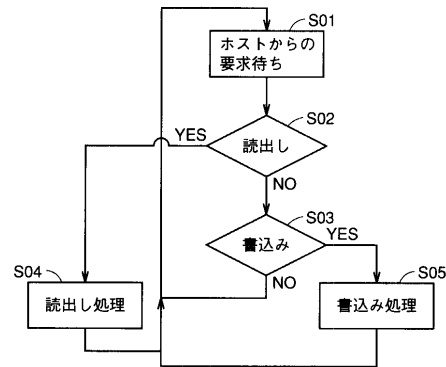


【図 4】

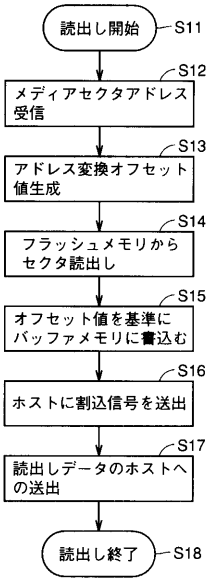
◆メディアセクタアドレス (下位 2bit)

MA1	MA0	動作
0	0	スタートフラッシュカラムアドレスオフセットを0hとし、512Byteのデータをバッファメモリへ (バッファメモリから) 転送する。
0	1	スタートフラッシュカラムアドレスオフセットを200hとし、512Byteのデータをバッファメモリへ (バッファメモリから) 転送する。
1	0	スタートフラッシュカラムアドレスオフセットを400hとし、512Byteのデータをバッファメモリへ (バッファメモリから) 転送する。
1	1	スタートフラッシュカラムアドレスオフセットを600hとし、512Byteのデータをバッファメモリへ (バッファメモリから) 転送する。

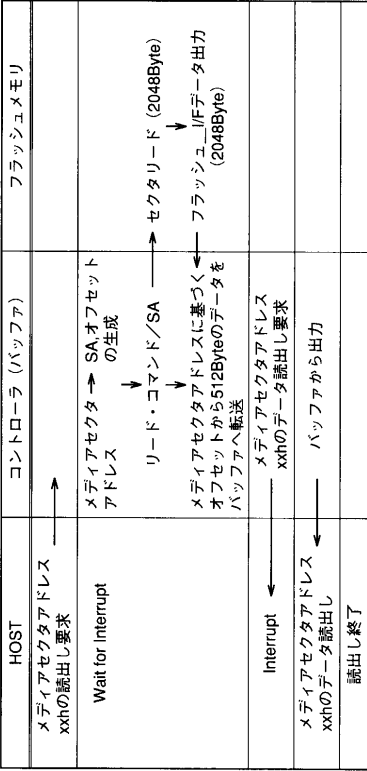
【図 5】



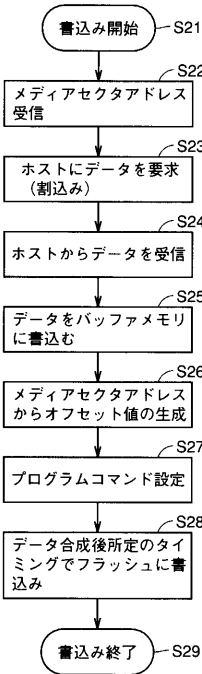
【図 6】



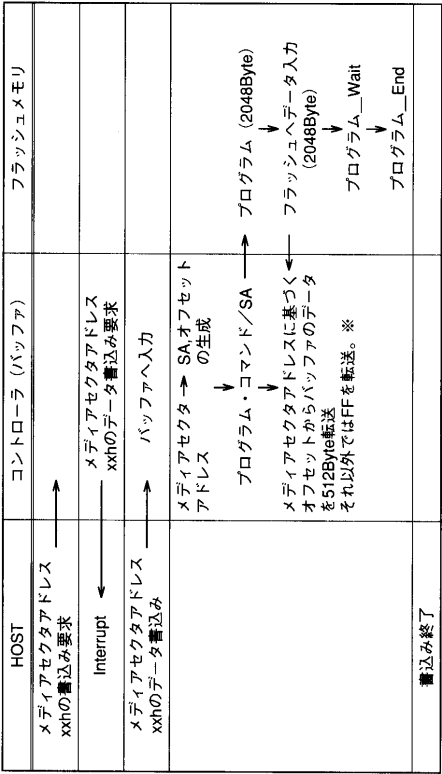
【図 7】



【図 8】

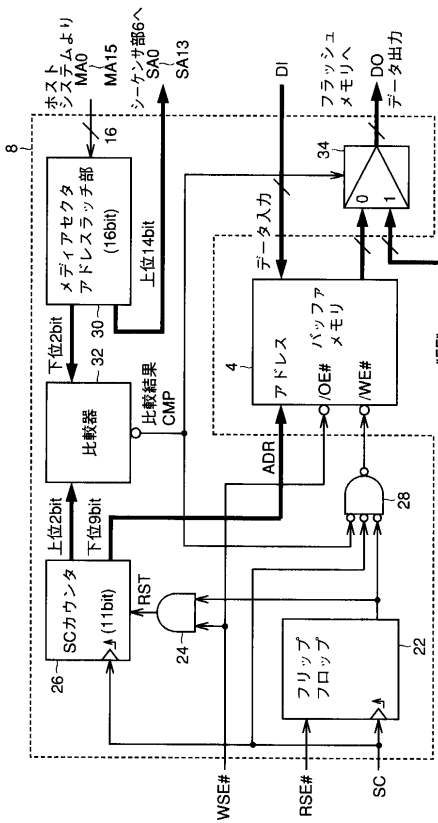


【図 9】



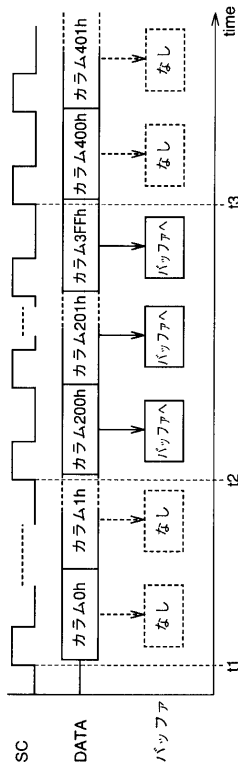
※フラッシュメモリのイレース状態がFFである場合。

【図 10】

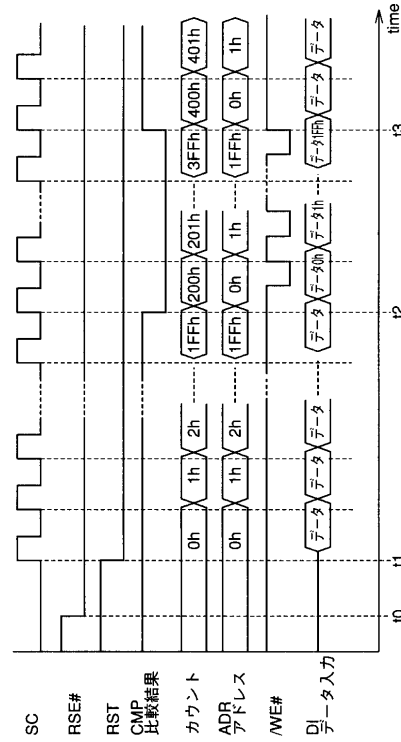


【図 1 1】

◆メディアセクタアドレス：(MA1,MA0)=(0,1)の時

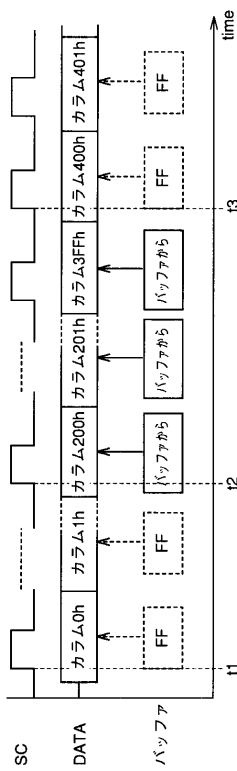


【図 1 2】

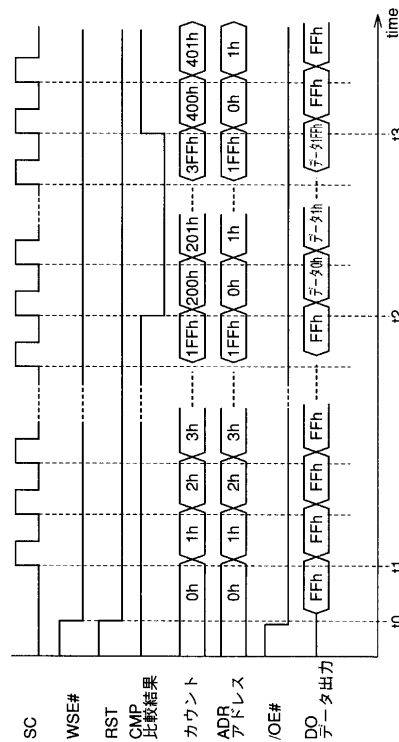


【図 1 3】

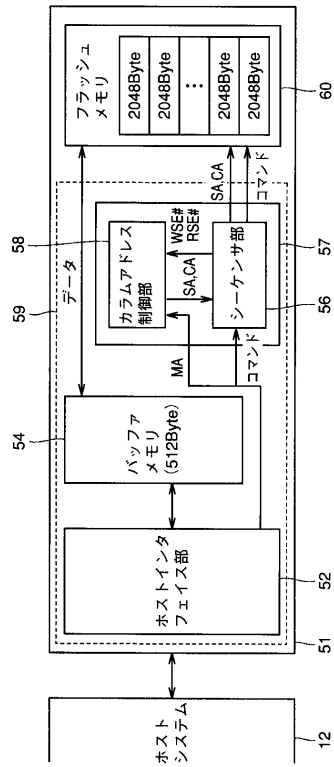
◆メディアセクタアドレス：(MA1,MA0)=(0,1)の時



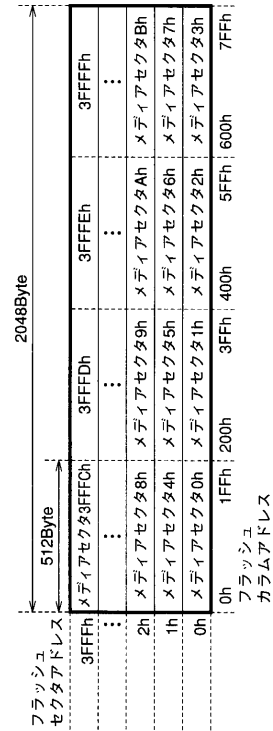
【図 1 4】



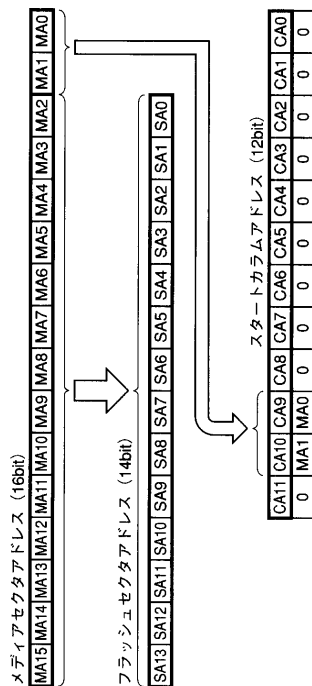
【図 15】



【図 16】



【図 17】

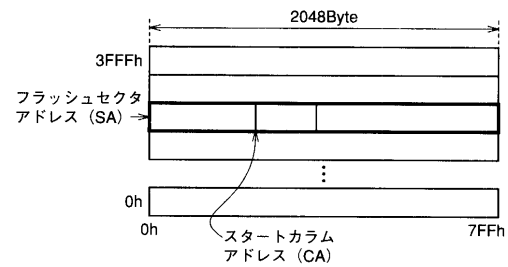


【図 18】

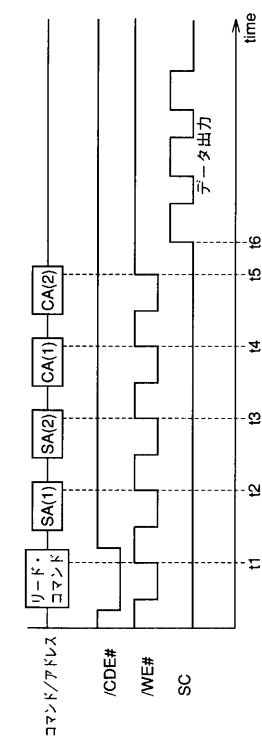
◆メディアセクタアドレス (下位 2bit)

MA1	MA0	スタートカラムアドレス
0	0	スタートカラムアドレス: 0h
0	1	スタートカラムアドレス: 200h
1	0	スタートカラムアドレス: 400h
1	1	スタートカラムアドレス: 600h

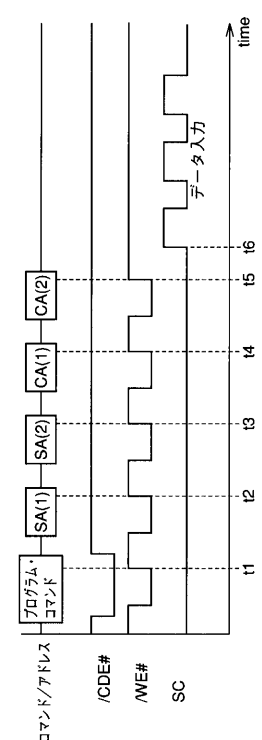
【図 19】



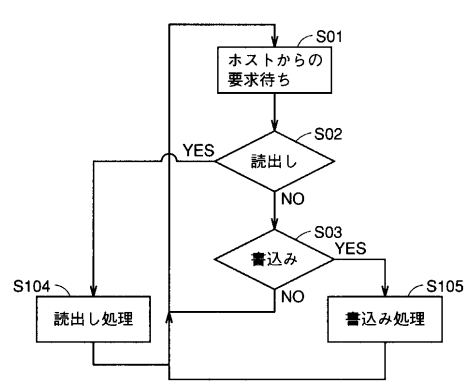
【図 20】



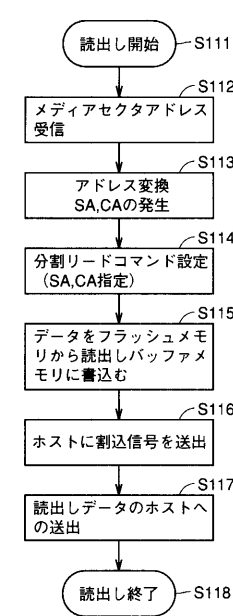
【図 21】



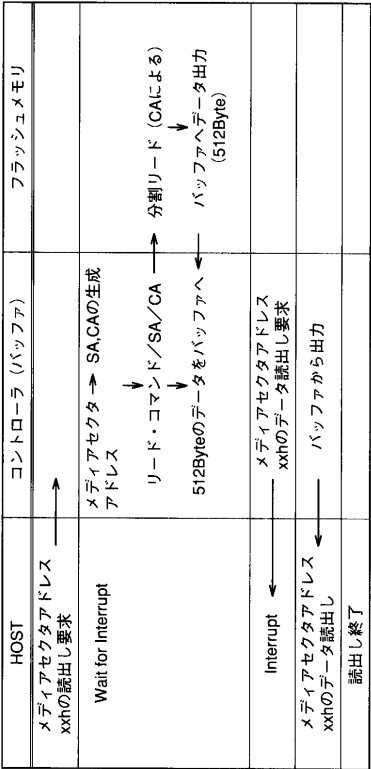
【図 22】



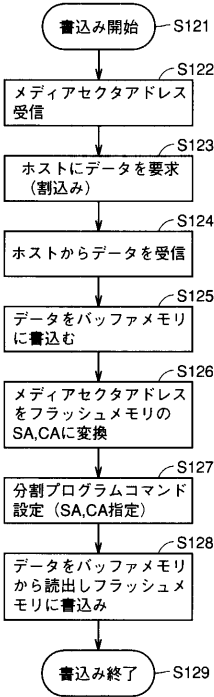
【図 23】



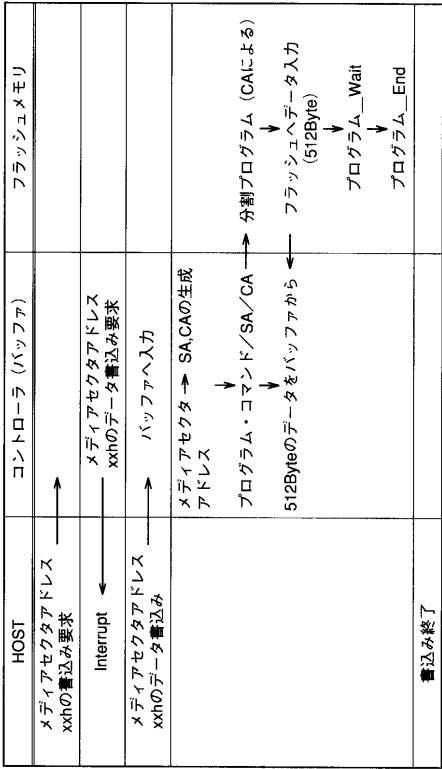
【図 2 4】



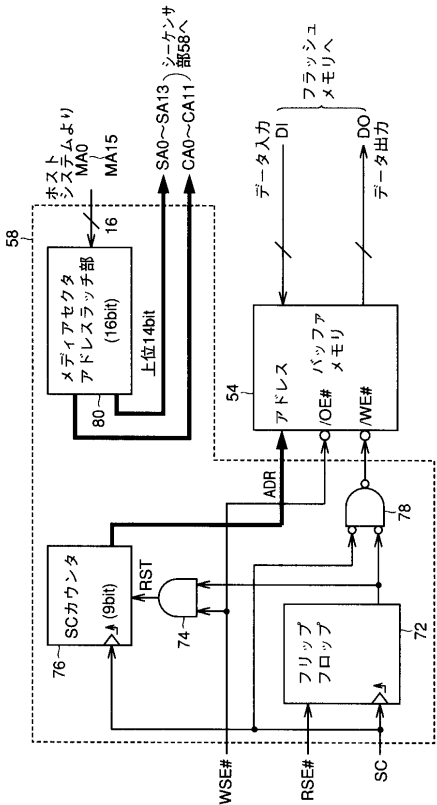
【図 2 5】



【図 2 6】



【図 2 7】



フロントページの続き

(72)発明者 福住 知也
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 田中 秀人

(56)参考文献 特開平01-237861(JP,A)
特開平07-141247(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 12/00 - 12/06