



(12) 发明专利申请

(10) 申请公布号 CN 103440839 A

(43) 申请公布日 2013. 12. 11

(21) 申请号 201310346888. X

(22) 申请日 2013. 08. 09

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
申请人 成都京东方光电科技有限公司

(72) 发明人 谭文 祁小敬

(74) 专利代理机构 北京天昊联合知识产权代理有限公司 11112
代理人 彭瑞欣 陈源

(51) Int. Cl.

G09G 3/20(2006. 01)

G11C 19/28(2006. 01)

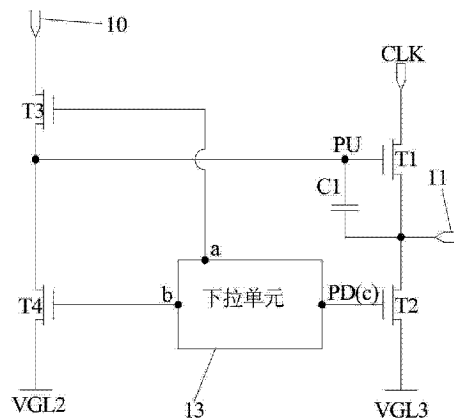
权利要求书2页 说明书10页 附图6页

(54) 发明名称

移位寄存单元、移位寄存器和显示装置

(57) 摘要

本发明提供一种移位寄存单元,该移位寄存单元包括第一驱动信号输入端、第一驱动信号输出端、第一时钟信号输入端、第一上拉晶体管、第一输出下拉晶体管、开关晶体管、复位晶体管和自举电容,其中,移位寄存单元还包括下拉单元,该下拉单元的第一端与开关晶体管的栅极相连,下拉单元的第二端与复位晶体管的栅极相连,下拉单元的第三端与第一输出下拉晶体管的栅极相连,复位晶体管的源极与第二低电平输入端相连,第一输出下拉晶体管的源极与第三低电平输入端相连。本发明还提供一种包括移位寄存单元的移位寄存器,一种包括该移位寄存器的栅极驱动器 and 一种包括该栅极驱动器的显示装置。移位寄存单元中可以使用耗尽型晶体管。



1. 一种移位寄存单元,该移位寄存单元包括第一驱动信号输入端、第一驱动信号输出端、第一时钟信号输入端、第一上拉晶体管、第一输出下拉晶体管、开关晶体管、复位晶体管和自举电容,所述开关晶体管的漏极与所述第一驱动信号输入端相连,所述第一输出下拉晶体管的漏极与所述第一驱动信号输出端相连,所述自举电容的一端与所述第一上拉晶体管的栅极相连,另一端与所述第一驱动信号输出端相连,所述第一上拉晶体管的栅极与所述开关晶体管的源极相连,所述第一上拉晶体管的漏极与所述第一时钟信号输入端相连,所述第一上拉晶体管的漏极与所述第一驱动信号输出端相连,所述复位晶体管的漏极与所述开关晶体管的源极相连,其特征在于,所述移位寄存单元还包括下拉单元,该下拉单元的第一端与所述开关晶体管的栅极相连,所述下拉单元的第二端与所述复位晶体管的栅极相连,所述下拉单元的第三端与所述第一输出下拉晶体管的栅极相连,所述复位晶体管的源极与能够输出第二低电平的第二低电平输入端相连,所述第一输出下拉晶体管的源极与能够输出第三低电平的第三低电平输入端相连,在求值阶段,所述下拉单元能够向所述第一输出下拉晶体管的栅极、所述开关晶体管的栅极以及所述复位晶体管的栅极输出第一低电平,所述第一低电平与所述第二低电平的差值小于所述复位晶体管的阈值电压,所述第一低电平与所述第三低电平的差值小于所述第一输出下拉晶体管的阈值电压。

2. 根据权利要求1所述的移位寄存单元,其特征在于,该移位寄存单元包括第一下拉模块和第二下拉模块,所述第一下拉模块用于在预充电阶段向所述第二端和所述第三端输出第二低电平,该第二低电平与所述第三低电平的差值小于所述第一输出下拉晶体管的阈值电压,所述第二下拉模块用于在所述求值阶段向所述第二端和所述第三端输出所述第一低电平。

3. 根据权利要求2所述的移位寄存单元,其特征在于,该移位寄存单元包括第二驱动信号输出端,该第二驱动信号输出端与所述第一驱动信号输出端同步,且能够输出所述高电平和所述第一低电平,所述第二下拉模块包括第一下拉控制晶体管和第二驱动信号输入端,该第一下拉控制晶体管的栅极与所述第二驱动信号输出端相连,所述第一下拉控制晶体管的源极与所述第一低电平输入端相连,所述第一下拉控制晶体管的漏极与所述第二端和所述第三端连接,所述第二驱动信号输入端与所述第一驱动信号输入端同步,且所述第二驱动信号输入端能够输入高电平和所述第一低电平,所述第二驱动信号输入端与第一端相连。

4. 根据权利要求3所述的移位寄存单元,其特征在于,所述第二下拉模块还包括第二下拉控制晶体管,该第二下拉控制晶体管的栅极与所述第二驱动信号输出端相连,所述第二下拉控制晶体管的源极与所述第一低电平输入端相连,所述第二下拉控制晶体管的漏极与所述第一端相连。

5. 根据权利要求3或4所述的移位寄存单元,其特征在于,该移位寄存单元还包括第二驱动信号输出模块,该第二驱动信号输出模块包括第二上拉晶体管和第二输出下拉晶体管,所述第二上拉晶体管的栅极与所述第一上拉晶体管的栅极相连,所述第二上拉晶体管的漏极与所述第一时钟信号输入端相连,所述第二上拉晶体管的源极与所述第二驱动信号输出端相连,所述第二输出下拉晶体管的栅极与所述第一输出下拉晶体管的栅极相连,所述第二输出下拉晶体管的源极与所述第一低电平输入端相连,所述第二输出下拉晶体管的漏极与所述第二驱动信号输出端相连。

6. 根据权利要求3或4所述的移位寄存单元,其特征在于,所述移位寄存单元还包括第二时钟信号输入端,该第二时钟信号输入端与所述第一时钟信号输入端相反,所述第一下拉模块包括第三下拉控制晶体管和第四下拉控制晶体管,所述第四下拉控制晶体管的电阻小于第三下拉晶体管的电阻,所述第三下拉控制晶体管的栅极和漏极与所述第二时钟信号输入端相连,所述第三下拉控制晶体管的源极与所述第二端相连,所述第四下拉控制晶体管的栅极与所述第二驱动信号输入端相连,所述第四下拉控制晶体管的源极与所述第二低电平输入端相连,所述第四下拉控制晶体管的漏极与所述第二端相连,所述第二端与所述第三端相连。

7. 根据权利要求3或4所述的移位寄存单元,其特征在于,所述移位寄存单元还包括第二时钟信号输入端,该第二时钟信号输入端与所述第一时钟信号输入端相反,所述第一下拉模块包括第三下拉控制晶体管、第四下拉控制晶体管、第五下拉控制晶体管和第六下拉控制晶体管,所述第四下拉控制晶体管的电阻小于第三下拉晶体管的电阻,所述第六下拉控制晶体管的电阻小于所述第五下拉控制晶体管的电阻,所述第三下拉控制晶体管的栅极和漏极与所述第二时钟信号输入端相连,所述第三下拉控制晶体管的源极与所述第四下拉控制晶体管的漏极相连,所述第四下拉控制晶体管的栅极与所述第二驱动信号输入端相连,所述第四下拉控制晶体管的源极与所述第二低电平输入端相连,所述第四下拉控制晶体管的漏极与所述第三下拉控制晶体管的源极相连,所述第五下拉控制晶体管的栅极和漏极与所述第二时钟信号输入端相连,所述第五下拉控制晶体管的源极与所述第二端相连,所述第六下拉控制晶体管的栅极与所述第二时钟信号输入端相连,所述第六下拉控制晶体管的源极与所述第二低电平输入端相连,所述第六下拉控制晶体管的漏极与所述第二端相连,所述第二端与所述第三端相连。

8. 根据权利要求3或4所述的移位寄存单元,其特征在于,所述移位寄存单元还包括第二时钟信号输入端,该第二时钟信号输入端与所述第一时钟信号输入端相反,所述第一下拉模块包括第七下拉控制晶体管和下拉电容,该下拉电容的电阻大于所述第七下拉控制晶体管的电阻,所述下拉电容的一端与所述第二时钟信号输入端相连,所述下拉电容的另一端与所述第二端相连,所述第七下拉控制晶体管的栅极与所述第二驱动信号输入端相连,所述第七下拉控制晶体管的源极与所述第二低电平输入端相连,所述第七下拉控制晶体管的漏极与所述第二端相连,所述第二端与所述第三端相连。

9. 根据权利要求1所述的移位寄存单元,其特征在于,所述第一上拉晶体管、第一输出下拉晶体管、开关晶体管、复位晶体管中的至少一个为耗尽型晶体管。

10. 根据权利要求9所述的移位寄存单元,其特征在于,所述第一上拉晶体管、第一输出下拉晶体管、开关晶体管、复位晶体管均为N沟道薄膜晶体管。

11. 一种移位寄存器,该移位寄存器包括多级移位寄存单元,其特征在于,所述移位寄存单元为权利要求1至10中任意一项所述的移位寄存单元,下一级所述移位寄存单元的第一驱动信号输入端与上一级所述移位寄存单元的第一驱动信号输出端相连。

12. 一种显示装置,该显示装置包括薄膜晶体管、数据线、栅线和与该栅线电连接的移位寄存器,其特征在于,所述移位寄存器为权利要求11所述的移位寄存器,所述移位寄存器的第一驱动信号输出端与所述栅线连接。

移位寄存单元、移位寄存器和显示装置

技术领域

[0001] 本发明涉及显示领域,具体地,涉及一种移位寄存单元、一种包括该移位寄存单元的移位寄存器和一种包括该移位寄存器的显示装置。

背景技术

[0002] 随着平板显示的发展,高分辨率、窄边框成为发展的潮流,而在显示面板上集成栅极驱动电路是实现高分辨率、窄边框显示最重要的解决办法。

[0003] 图 1 中所示的是现有的基本的移位寄存单元的电路图,如图 1 所示,该基本的移位寄存单元包括上拉晶体管 T100、输出下拉晶体管 T200、自举电容 C1、上拉控制晶体管 T300、下拉控制晶体管 T400、第一时钟信号输入端 CLK、下拉单元 13、驱动信号输入端 OUT (n-1) 和驱动信号输出端 OUT (n)。

[0004] 在图 1 中,上拉节点 PU 点为与上拉晶体管 T100 的栅极连接的节点,下拉节点 PD 为与输出下拉晶体管 T200 的栅极连接的节点。从驱动信号输入端 OUT (n-1) 输入起始信号 STV, VGL 表示低电平。图 2 中所示的是图 1 中的移位寄存单元在工作时各信号的时序图, VGH 表示高电平。

[0005] a-si (非晶硅) 和 p-si (多晶硅) 制成的薄膜晶体管为增强型薄膜晶体管,当使用增强型 TFT 技术制作该基本的移位寄存单元电路时,图 1 中所示的移位寄存单元可以正常工作(如图 2 的实线部分所示)。

[0006] 近年来,氧化物薄膜晶体管作为一种非常有潜力的半导体技术,相比于 p-si 工艺更简单,成本更低,相比于 a-si 迁移率更高,因而越来越受到重视,未来很可能是各种显示面板、尤其是 OLED (有机发光二极管) 和柔性显示的主流背板驱动技术。然而氧化物薄膜晶体管具有耗尽型的特点,如图 2 中虚线部分所示,将作为耗尽型薄膜晶体管的氧化物薄膜晶体管直接应用于图 1 中所示的电路时,并不能正常工作。

[0007] 原因解释如下:耗尽型薄膜晶体管与增强型薄膜晶体管的差别见图 3 和图 4,图 3 为增强型薄膜晶体管的特性曲线图,纵轴为薄膜晶体管漏极的电流,横轴为栅源极的电压,从图 3 中所示的增强型薄膜晶体管的特性曲线图中可以看出,当 V_{gs} (栅源电压) 电压为零时, i_d (漏极电流) 为零,说明 V_{gs} 为零时,增强型薄膜晶体管完全关闭。图 4 为耗尽型薄膜晶体管的特性曲线图,同样纵轴为漏极电流,横轴为栅源电压,但该图显示的却是 V_{gs} 为零时, i_d 远大于零,而只有在栅源电压为一定的负电压时, i_d 才为零。

发明内容

[0008] 本发明的目的在于提供一种移位寄存单元、一种包括该移位寄存单元的移位寄存器、一种包括该移位寄存器的栅极驱动器和一种包括该栅极驱动器的显示装置,所述移位寄存单元中可以使用耗尽型薄膜晶体管。

[0009] 为了实现上述目的,作为本发明的一个方面,提供一种移位寄存单元,该移位寄存单元包括第一驱动信号输入端、第一驱动信号输出端、第一时钟信号输入端、第一上拉晶体

管、第一输出下拉晶体管、开关晶体管、复位晶体管和自举电容,所述开关晶体管的漏极与所述第一驱动信号输入端相连,所述第一输出下拉晶体管的漏极与所述第一驱动信号输出端相连,所述自举电容的一端与所述第一上拉晶体管的栅极相连,另一端与所述第一驱动信号输出端相连,所述第一上拉晶体管的栅极与所述开关晶体管的源极相连,所述第一上拉晶体管的漏极与所述第一时钟信号输入端相连,所述第一上拉晶体管的漏极与所述第一驱动信号输出端相连,所述复位晶体管的漏极与所述开关晶体管的源极相连,其中,所述移位寄存单元还包括下拉单元,该下拉单元的第一端与所述开关晶体管的栅极相连,所述下拉单元的第二端与所述复位晶体管的栅极相连,所述下拉单元的第三端与所述第一输出下拉晶体管的栅极相连,所述复位晶体管的源极与能够输出第二低电平的第二低电平输入端相连,所述第一输出下拉晶体管的源极与能够输出第三低电平的第三低电平输入端相连,在求值阶段,所述下拉单元能够向所述第一输出下拉晶体管的栅极、所述开关晶体管的栅极以及所述复位晶体管的栅极输出第一低电平,所述第一低电平与所述第二低电平的差值小于所述复位晶体管的阈值电压,所述第一低电平与所述第三低电平的差值小于所述第一输出下拉晶体管的阈值电压。

[0010] 优选地,所述移位寄存单元包括第一下拉模块和第二下拉模块,所述第一下拉模块用于在预充电阶段向所述第二端和所述第三端输出第二低电平,该第二低电平与所述第三低电平的差值小于所述第一输出下拉晶体管的阈值电压,所述第二下拉模块用于在所述求值阶段向所述第二端和所述第三端输出所述第一低电平。

[0011] 优选地,所述移位寄存单元包括第二驱动信号输出端,该第二驱动信号输出端与所述第一驱动信号输出端同步,且能够输出所述高电平和所述第一低电平,所述第二下拉模块包括第一下拉控制晶体管和第二驱动信号输入端,该第一下拉控制晶体管的栅极与所述第二驱动信号输出端相连,所述第一下拉控制晶体管的源极与所述第一低电平输入端相连,所述第一下拉控制晶体管的漏极与所述第二端和所述第三端连接,所述第二驱动信号输入端与所述第一驱动信号输入端同步,且所述第二驱动信号输入端能够输入高电平和所述第一低电平,所述第二驱动信号输入端与第一端相连。

[0012] 优选地,所述第二下拉模块还包括第二下拉控制晶体管,该第二下拉控制晶体管的栅极与所述第二驱动信号输出端相连,所述第二下拉控制晶体管的源极与所述第一低电平输入端相连,所述第二下拉控制晶体管的漏极与所述第一端相连。

[0013] 优选地,所述移位寄存单元还包括第二驱动信号输出模块,该第二驱动信号输出模块包括第二上拉晶体管和第二输出下拉晶体管,所述第二上拉晶体管的栅极与所述第一上拉晶体管的栅极相连,所述第二上拉晶体管的漏极与所述第一时钟信号输入端相连,所述第二上拉晶体管的源极与所述第二驱动信号输出端相连,所述第二输出下拉晶体管的栅极与所述第一输出下拉晶体管的栅极相连,所述第二输出下拉晶体管的源极与所述第一低电平输入端相连,所述第二输出下拉晶体管的漏极与所述第二驱动信号输出端相连。

[0014] 优选地,所述移位寄存单元还包括第二时钟信号输入端,该第二时钟信号输入端与所述第一时钟信号输入端相反,所述第一下拉模块包括第三下拉控制晶体管和第四下拉控制晶体管,所述第四下拉控制晶体管的电阻小于第三下拉晶体管的电阻,所述第三下拉控制晶体管的栅极和漏极与所述第二时钟信号输入端相连,所述第三下拉控制晶体管的源极与所述第二端相连,所述第四下拉控制晶体管的栅极与所述第二驱动信号输入端相连,

所述第四下拉控制晶体管的源极与所述第二低电平输入端相连,所述第四下拉控制晶体管的漏极与所述第二端相连,所述第二端与所述第三端相连。

[0015] 优选地,所述移位寄存单元还包括第二时钟信号输入端,该第二时钟信号输入端与所述第一时钟信号输入端相反,所述第一下拉模块包括第三下拉控制晶体管、第四下拉控制晶体管、第五下拉控制晶体管和第六下拉控制晶体管,所述第四下拉控制晶体管的电阻小于第三下拉晶体管的电阻,所述第六下拉控制晶体管的电阻小于所述第五下拉控制晶体管的电阻,所述第三下拉控制晶体管的栅极和漏极与所述第二时钟信号输入端相连,所述第三下拉控制晶体管的源极与所述第四下拉控制晶体管的漏极相连,所述第四下拉控制晶体管的栅极与所述第二驱动信号输入端相连,所述第四下拉控制晶体管的源极与所述第二低电平输入端相连,所述第四下拉控制晶体管的漏极与所述第三下拉控制晶体管的源极相连,所述第五下拉控制晶体管的栅极和漏极与所述第二时钟信号输入端相连,所述第五下拉控制晶体管的源极与所述第二端相连,所述第六下拉控制晶体管的栅极与所述第二时钟信号输入端相连,所述第六下拉控制晶体管的源极与所述第二低电平输入端相连,所述第六下拉控制晶体管的漏极与所述第二端相连,所述第二端与所述第三端相连。

[0016] 优选地,所述移位寄存单元还包括第二时钟信号输入端,该第二时钟信号输入端与所述第一时钟信号输入端相反,所述第一下拉模块包括第七下拉控制晶体管和下拉电容,该下拉电容的电阻大于所述第七下拉控制晶体管的电阻,所述下拉电容的一端与所述第二时钟信号输入端相连,所述下拉电容的另一端与所述第二端相连,所述第七下拉控制晶体管的栅极与所述第二驱动信号输入端相连,所述第七下拉控制晶体管的源极与所述第二低电平输入端相连,所述第七下拉控制晶体管的漏极与所述第二端相连,所述第二端与所述第三端相连。

[0017] 优选地,所述第一上拉晶体管、第一输出下拉晶体管、开关晶体管、复位晶体管中的至少一个为耗尽型晶体管。

[0018] 优选地,所述第一上拉晶体管、第一输出下拉晶体管、开关晶体管、复位晶体管均为 N 沟道薄膜晶体管。

[0019] 作为本发明的另一个方面,还提供一种移位寄存器,该移位寄存器包括多级移位寄存单元,其中,所述移位寄存单元为本发明所提供的上述移位寄存单元,下一级所述移位寄存单元的第一驱动信号输入端与上一级所述移位寄存单元的第一驱动信号输出端相连。

[0020] 作为本发明的还一个方面,提供一种显示装置,该显示装置包括薄膜晶体管、数据线、栅线和与该栅线电连接的移位寄存器,其中,所述移位寄存器为本发明所提供的上述移位寄存器,所述移位寄存器的第一驱动信号输出端与所述栅线连接。

[0021] 本发明所提供的移位寄存单元中,在求值阶段,第一输出下拉晶体管的栅极电位为第一低电平,源极电位为第三低电平,因此,第一输出下拉晶体管在求值阶段完全关闭;复位晶体管的源极电位为第二低电平,栅极电位为第一低电平,因此,复位晶体管完全关闭;开关晶体管的源极电位与上拉节点的电位相同(高于高电平),开关晶体管的栅极电位为第一低电平,因此,开关晶体管也完全关闭。

[0022] 即使第一输出下拉晶体管、开关晶体管以及复位晶体管均为耗尽型晶体管,该第一输出下拉晶体管、开关晶体管以及复位晶体管也可以在求值极端完全关闭,不会产生漏电,从而可以使上拉节点耦合至较高的电位。

附图说明

[0023] 附图是用来提供对本发明的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明,但并不构成对本发明的限制。在附图中:

[0024] 图 1 是现有基本的移位寄存单元的电路图;

[0025] 图 2 是图 1 中所示的移位寄存单元在工作时各信号的时序图;

[0026] 图 3 是增强型晶体管的特性曲线图;

[0027] 图 4 是耗尽型晶体管的特性曲线图;

[0028] 图 5 是本发明所提供的移位寄存单元的原理图;

[0029] 图 6 是本发明所提供的移位寄存单元第一种实施方式的电路图;

[0030] 图 7 是本发明所提供的移位寄存单元的第二种实施方式的电路图;

[0031] 图 8 是本发明所提供的移位寄存单元的第三种实施方式的电路图;

[0032] 图 9 是本发明所提供的移位寄存单元的第四种实施方式的电路图;

[0033] 图 10 是本发明所提供的移位寄存单元工作时各信号的时序图;

[0034] 图 11 是本发明所提供的移位寄存器的示意图。

[0035] 附图标记说明

[0036]

T1: 第一上拉晶体管

T2: 第一输出下拉晶体管

T3: 开关晶体管

T4: 复位晶体管

T5: 第二上拉晶体管

T6: 第二输出下拉晶体管

T7: 第三下拉控制晶体管

T8: 第四下拉控制晶体管

T9: 第二下拉控制晶体管

T10: 第一下拉控制晶体管

T11: 第五下拉控制晶体管

T12: 第六下拉控制晶体管

T13: 第七下拉控制晶体管

C1: 自举电容

C2: 下拉电容

CLK: 第一时钟信号输入端

CLKB: 第二时钟信号输入端

10: 第一驱动信号输入端

[0037] 11: 第一驱动信号输出端

12: 第二驱动信号输出端

13: 下拉单元

14: 第二驱动信号输入端

13a: 第一下拉模块

13b: 第二下拉模块

15: 第二驱动信号输出模块

VGH: 高电平

VGL: 低电平

VGL1: 第一低电平

VGL2: 第二低电平

VGL3: 第三低电平

具体实施方式

[0038] 以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是,此处所描

述的具体实施方式仅用于说明和解释本发明,并不用于限制本发明。

[0039] 如图 5 所示,作为本发明的一个方面,提供一种移位寄存单元,该移位寄存单元包括第一驱动信号输入端 10、第一驱动信号输出端 11、第一时钟信号输入端 CLK、第一上拉晶体管 T1、第一输出下拉晶体管 T2、开关晶体管 T3、复位晶体管 T4 和自举电容 C1,开关晶体管 T3 的漏极与第一驱动信号输入端 10 相连,第一输出下拉晶体管 T2 的漏极与第一驱动信号输出端 11 相连,自举电容 C1 的一端与第一上拉晶体管 T1 的栅极相连,另一端与第一驱动信号输出端 11 相连,第一上拉晶体管 T1 的栅极与开关晶体管 T3 的源极相连,第一上拉晶体管 T1 的漏极与第一时钟信号输入端 CLK 相连,第一上拉晶体管 T1 的漏极与第一驱动信号输出端 11 相连,复位晶体管 T4 的漏极与开关晶体管 T3 的源极相连,其中,所述移位寄存单元还包括下拉单元 13,该下拉单元 13 的第一端 a 与开关晶体管 T3 的栅极相连,下拉单元 13 的第二端 b 与复位晶体管 T4 的栅极相连,下拉单元 13 的第三端 c 与第一输出下拉晶体管 T2 的栅极相连,复位晶体管 T4 的源极与能够输出第二低电平 VGL2 的第二低电平输入端相连,第一输出下拉晶体管 T2 的源极与能够输出第三低电平 VGL3 的第三低电平输入端相连,在求值阶段,下拉单元 13 可以向第一输出下拉晶体管 T2 的栅极、开关晶体管 T3 的栅极以及复位晶体管 T4 的栅极输出第一低电平 VGL1,该第一低电平 VGL1 与第二低电平 VGL2 的差值小于复位晶体管 T4 的阈值电压(即, $VGL1-VGL2 < V_{th,T4}$),第一低电平 VGL1 与第三低电平 VGL3 的差值小于第一输出下拉晶体管 T2 的阈值电压(即, $VGL1-VGL3 < V_{th,T2}$)。

[0040] 本领域技术人员应当理解的是,第一上拉晶体管 T1 的栅极形成为上拉节点 PU,第一输出下拉晶体管 T2 的栅极形成为下拉节点 PD,该下拉节点 PD 与下拉单元 13 的第三端 c 重合(参见图 6 至图 9)。

[0041] 在求值阶段(即,图 10 中的阶段②),第一输出下拉晶体管 T2 的栅极电位为第一低电平 VGL1,源极电位为第三低电平 VGL3,因此,第一输出下拉晶体管 T2 在求值阶段完全关闭;复位晶体管 T4 的源极电位为第二低电平 VGL2,栅极电位为第一低电平 VGL1,因此,复位晶体管 T4 完全关闭;开关晶体管 T3 的源极电位与上拉节点 PU 的电位相同(高于高电平 VGH),开关晶体管 T3 的栅极电位为第一低电平 VGL1,因此,开关晶体管 T3 也完全关闭。

[0042] 即使第一输出下拉晶体管 T2、开关晶体管 T3 以及复位晶体管 T4 均为耗尽型晶体管,该第一输出下拉晶体管 T2、开关晶体管 T3 以及复位晶体管 T4 也可以在求值极端完全关闭,不会产生漏电,从而可以使上拉节点耦合至较高的电位,使第一上拉晶体管 T1 开启,并使得第一驱动信号输出端可以输出高电平 VGH。

[0043] 应当理解的是,在预充电阶段(即,图 10 中的阶段①),下拉单元 13 的第一端 a 应当向开关晶体管 T3 的栅极输出高电平,使得开关晶体管 T3 开启,对上拉节点 PU 进行充电。并且,在预充电阶段,复位晶体管 T4 和第一输出下拉晶体管 T2 应当至少大致关闭,以保证预充电阶段的正常进行。

[0044] 还应当理解的是,在复位阶段,下拉单元 13 的第二端 b 应当向复位晶体管 T4 的栅极输出高电平 VGH,使得复位晶体管 T4 开启,从而对上拉节点 PU 进行放电。

[0045] 下面结合图 6 至图 9 描述下拉单元 13 的具体结构。

[0046] 如图 6 至图 9 中所示,所述移位寄存单元可以包括第一下拉模块 13a 和第二下拉模块 13b,第一下拉模块 13a 用于在预充电阶段(即,图 10 中的阶段①)向下拉单元的第二端 b 和下拉单元的第三端 c 输出第二低电平 VGL2,该第二低电平 VGL2 与第三低电平 VGL3

的差值小于第一输出下拉晶体管 T2 的阈值电压 $V_{th, T2}$, (即 $V_{GL2}-V_{GL3} < V_{th, T2}$), 第二下拉模块 13b 用于在所述求值阶段向下拉单元的第一端 a、第二端 b 和第三端 c 输出第一低电平 VGL1。

[0047] 在预充电阶段, 第一输出下拉晶体管 T2 完全关闭, 复位晶体管 T4 大致关闭, 因此, 可以正常对上拉节点 PU 进行充电。

[0048] 更具体地, 为了使得第二下拉模块 13b 可以在求值阶段向下拉单元的第一端 a、第二端 b 和第三端 c 输出第一低电平 VGL1, 如图 6 至 9 中所示, 所述移位寄存单元还可以包括第二驱动信号输出端 12, 该第二驱动信号输出端 12 与第一驱动信号输出端 11 同步, 且能够输出高电平 VGH 和第一低电平 VGL1, 第二下拉模块 13b 可以包括第一下拉控制晶体管 T10 和第二驱动信号输入端 14, 该第一下拉控制晶体管 T10 的栅极与第二驱动信号输出端 12 相连, 第一下拉控制晶体管 T10 的源极与所述第一低电平输入端相连, 第一下拉控制晶体管 T10 的漏极与所述下拉单元的第二端 b 和第三端 c 连接, 第二驱动信号输入端 14 与所述下拉单元的第一端 a 相连, 第二驱动信号输入端 14 与第一驱动信号输入端 10 同步, 并且第二驱动信号输入端 14 可以向第一端 a 输入高电平 VGH 和第一低电平 VGL1。

[0049] 第二驱动信号输入端 14 与第一驱动信号输入端 10 同步的意思是, 当通过第一驱动信号输入端 10 向开关晶体管 T3 的漏极输入高电平 VGH 时, 通过第二驱动信号输入端 14 向开关晶体管 T3 的栅极输入高电平 VGH, 当通过第一驱动信号输入端 10 向开关晶体管 T3 的漏极输入低电平时, 通过第二驱动信号输入端 14 向开关晶体管 T3 的漏极输入第一低电平 VGL1。

[0050] 第二驱动信号输入端 14 可以确保开关晶体管 T3 在预充电阶段开启, 并在求值阶段关闭。

[0051] 所谓第二驱动信号输出端 12 与第一驱动信号输出端 11 同步是指, 当第一驱动信号输出端 11 输出高电平时, 第二驱动信号输出端 12 也输出高电平, 当第一驱动信号输出端 11 输出低电平时, 第二驱动信号输出端 12 也输出低电平。第一驱动信号输出端 11 只在求值阶段输出高电平 VGH, 因此第二驱动信号输出端 12 也仅在求值阶段输出高电平 VGH。

[0052] 在求值阶段, 第一下拉控制晶体管 T10 的栅极为第二驱动信号输出端 12 输出的高电平 VGH, 所以第一下拉控制晶体管 T10 导通, 第一下拉控制晶体管 T10 的漏极电位为第一低电平 VGL1, 以能够将所述下拉单元的第二端 b 和第三端 c 的电位拉低至第一低电平 VGL1。

[0053] 为了确保开关晶体管 T3 在求值阶段关闭, 优选地, 第二下拉模块 13b 还可以包括第二下拉控制晶体管 T9, 该第二下拉控制晶体管 T9 的栅极与第二驱动信号输出端 12 相连, 第二下拉控制晶体管 T9 的源极与所述第一低电平输入端相连, 第二下拉控制晶体管 T9 的漏极与所述下拉单元的第一端 a 相连。

[0054] 在求值阶段, 第二驱动信号输出端 12 向第二下拉控制晶体管 T9 的栅极输出高电平, 使第二下拉控制晶体管 T9 导通, 并进一步将所述下拉单元的第二端 a 的电位下拉至第一低电平 VGL1。

[0055] 下面介绍如何通过第二驱动信号输出端 12 输出与第一驱动信号同步的第二驱动信号。

[0056] 如图 6 至图 7 中所示, 移位寄存单元还包括第二驱动信号输出模块 15, 该第二驱

动信号输出模块 15 包括第二上拉晶体管 T5 和第二输出下拉晶体管 T6, 第二上拉晶体管 T5 的栅极与第一上拉晶体管 T1 的栅极(上拉节点 PU)相连, 第二上拉晶体管 T5 的漏极与第一时钟信号输入端 CLK 相连, 第二上拉晶体管 T5 的源极与第二驱动信号输出端 12 相连, 第二输出下拉晶体管 T6 的栅极与第一输出下拉晶体管 T2 的栅极(下拉节点 PD)相连, 第二输出下拉晶体管 T6 的源极与所述第一低电平输入端相连, 第二输出下拉晶体管 T6 的漏极与第二驱动信号输出端 12 相连。

[0057] 如上所述, 第二上拉晶体管 T5 的栅极也上拉节点 PU 相连, 第二输出下拉晶体管 T6 与下拉节点 PD 相连因此, 在求值阶段, 第二驱动信号输出端 12 可以输出高电平 VGH, 而在预充电阶段、复位阶段以及非工作阶段, 第二驱动信号输出端 12 可以输出第一低电平 VGL1。因此, 在预充电阶段、复位阶段以及非工作阶段, 第一下拉控制角晶体管 T10 和第二下拉控制晶体管 T9 大致关闭(虽然存在漏电流, 但很小)。

[0058] 第一下拉模块 13a 有如下作用: 第一、在复位阶段拉高下拉节点 PD 处的电位, 从而使得复位晶体管 T4 导通, 对上拉节点 PU 进行放电; 第二、在移位寄存单元的非工作阶段, 对下拉节点 PD 进行交流下拉, 即下拉节点 PD 可以处在交变电压状态, 避免长时间的直流偏压导致下第一输出下拉晶体管 T2 的传输曲线向右偏移老化失效, 进而提高整个移位寄存单元的使用寿命。

[0059] 下面结合图 7 至图 9 介绍第一下拉模块 13a 的几种具体实施方式。

[0060] 在如图 7 中所示的第一种实施方式中, 所述移位寄存单元还包括第二时钟信号输入端 CLKB, 该第二时钟信号输入端 CLKB 与第一时钟信号输入端 CLK 相反, 第一下拉模块 13a 包括第三下拉控制晶体管 T7 和第四下拉控制晶体管 T8, 第四下拉控制晶体管 T8 的电阻小于第三下拉控制晶体管 T7 的电阻, 第三下拉控制晶体管 T7 的栅极和漏极与第二时钟信号输入端 CLKB 相连, 第三下拉控制晶体管 T7 的源极与第二端 b 相连, 第四下拉控制晶体管 T8 的栅极与第二驱动信号输入端 14 相连, 第四下拉控制晶体管 T8 的源极与所述第二低电平输入端相连, 第四下拉控制晶体管 T8 的漏极与第二端 b 相连, 第二端 b 与第三端 c 相连。

[0061] 其中, 第一时钟信号输入端 CLK 和第二时钟信号输入端 CLKB 相反的意思是, 当从第一时钟信号输入端 CLK 输入高电平时, 从第二时钟信号输入端 CLKB 输入低电平, 当从第一时钟信号输入端 CLK 输入低电平时, 从第二时钟信号输入端 CLKB 输入高电平。

[0062] 下面结合图 7 和图 10 具体介绍本发明第一种实施方式的移位寄存单元的工作原理。

[0063] 在预充电阶段(图 10 中的阶段①), 通过第一驱动信号输入端 10 输入高电平 VGH, 通过第二驱动信号输入端 14 输入高电平 VGH, 通过第一时钟信号输入端 CLK 输入第一低电平 VGL1, 通过第二时钟信号输入端 CLKB 输入高电平 VGH。

[0064] 开关晶体管 T3 导通, 对上拉节点 PU 点进行充电, 使该上拉节点 PU 处的电位为高电平 VGH, 此时, 第一上拉晶体管 T1 和第二上拉晶体管 T5 开启, 第一驱动信号输入端 11 和第二驱动信号输出端 12 均输出由第一时钟信号输入端 CLK 输入的第一低电平 VGL1, 因此, 第一下拉控制晶体管 T10 和第二下拉控制晶体管 T9 大致关闭。在该阶段, 第三下拉控制晶体管 T7 和第四下拉控制晶体管 T8 均导通。由于第四下拉控制晶体管 T8 的电阻小于第三下拉控制晶体管 T7 的电阻, 因此, 所述下拉单元的第二端 b 处的电位接近第二低电平 VGL2, 由

于第二端 b 与第三端 c 相连,因此,第三端 c (即,下拉节点 PD)的电位为第二低电平 VGL2。因此,第一输出下拉晶体管 T2 完全关闭,复位晶体管 T4 大致关闭,充电过程可以正常进行。

[0065] 在求值阶段(图 10 中的阶段②),通过第一驱动信号输入端 10 输入低电平,通过第二驱动信号输入端 14 输入第一低电平 VGL1,通过第一时钟信号输入端 CLK 输入高电平 VGH,通过第二时钟信号输入端 CLKB 输入第一低电平 VGL1。

[0066] 上拉节点 PU 处的电位被自举电容 C1 耦合至更高,使第一上拉晶体管 T1 和第二上拉晶体管 T5 开启,第一驱动信号输出端 11 和第二驱动信号输出端 12 可以输出高电平 VGH,第一下拉控制晶体管 T10 和第二下拉控制晶体管 T9 均因栅极电位为第二驱动信号输出端 12 输出的高电平 VGH 而导通,因此,第三端 c (即,下拉节点 PD)和开关晶体管 T3 的栅极均被下拉至第一低电平 VGL1,从而使得第一输出下拉晶体管 T2 和开关晶体管 T3 彻底关闭。在求值阶段,第三下拉控制晶体管 T7 和第四下拉控制晶体管 T8 关闭,而下拉单元的第二端 b 和第三端 c 相连,因此,第二端 b 的电位与第三端 c 的电位相同,均为第一低电平 VGL1,使得复位晶体管 T4 彻底关闭。由此可知,在求值阶段,第一输出下拉晶体管 T2、开关晶体管 T3 和复位晶体管 T4 均彻底关闭,不存在漏电现象,使得上拉节点 PU 可以具有较高的电位,确保从第一驱动信号输出端 11 输出足够高的高电平 VGH。

[0067] 在复位阶段,通过第一驱动信号输入端 10 输入低电平,通过第二驱动信号输入端 14 输入低电平,通过第一时钟信号输入端 CLK 输入第一低电平 VGL1,通过第二时钟信号输入端 CLKB 输入高电平 VGH。

[0068] 第二驱动信号输出端 12 输出低电平,第一下拉控制晶体管 T10 和第二下拉控制晶体管 T9 关闭,开关晶体管 T3 关闭,从第二时钟信号输入端 CLKB 输入高电平 VGH,从第二驱动信号输入端 14 输入第一低电平 VGL1,第三下拉控制晶体管 T7 打开,第四下拉控制晶体管 T8 关闭,因此第二端 b 处电位为高电平 VGH,由于第二端 b 和第三端 c 相连,因此,第三端 c 处的电位也为高电平 VGH,因此,第一输出下拉晶体管 T2、第二输出下拉晶体管 T6 以及复位晶体管 T4 均导通,复位晶体管 T4 对上拉节点 PU 进行放电,第一驱动信号输出端输出第三低电平 VGL3,第二驱动信号输出端输出第一低电平 VGL1。

[0069] 在非工作阶段,第三下拉控制晶体管 T7 处于开启和关闭的交替状态,即下拉节点 PD 可以处在交变电压状态,避免长时间的直流偏压导致下第一输出下拉晶体管 T2 的传输曲线向右偏移老化失效,进而提高整个移位寄存单元的使用寿命。

[0070] 在图 8 所示的第二种实施方式中,所述第一下拉模块 13a 包括第三下拉控制晶体管 T7、第四下拉控制晶体管 T8、第五下拉控制晶体管 T11 和第六下拉控制晶体管 T12,第四下拉控制晶体管 T8 的电阻小于第三下拉控制晶体管 T7 的电阻,第六下拉控制晶体管 T12 的电阻小于第五下拉控制晶体管 T11 的电阻,第三下拉控制晶体管 T7 的栅极和漏极与第二时钟信号输入端 CLKB 相连,第三下拉控制晶体管 T7 的源极与第四下拉控制晶体管 T8 的漏极相连,第四下拉控制晶体管 T8 的栅极与第二驱动信号输入端 14 相连,第四下拉控制晶体管 T8 的源极与所述第二低电平输入端相连,第四下拉控制晶体管 T8 的漏极与第三下拉控制晶体管 T7 的源极相连,第五下拉控制晶体管 T11 的栅极和漏极与第二时钟信号输入端 CLKB 相连,第五下拉控制晶体管 T11 的源极与所述下拉单元的第二端 b 相连,第六下拉控制晶体管 T12 的栅极与所述第二时钟信号输入端相连,第六下拉控制晶体管 T12 的源极与所述第二低电平输入端相连,第六下拉控制晶体管 T12 的漏极与所述下拉单元的第二端 b 相

连,所述下拉单元的第二端 b 与所述下拉单元的第三端 c 相连。

[0071] 由于在本实施方式中,第二下拉模块 13b 以及第二驱动信号输出模块 15 的结构与第一种实施方式中相同,工作原理也相同,因此,此处仅介绍第二下拉模块 13b 在移位寄存单元的各个工作阶段以及非工作阶段的状态。

[0072] 在预充电阶段,第三下拉控制晶体管 T7、第四下拉控制晶体管 T8、第六下拉控制晶体管 T12 均开启,由于第三下拉控制晶体管 T7 的电阻大于第四下拉控制晶体管 T8 的电阻,因此,第五下拉控制晶体管 T11 的栅极电位为接近第二低电平 VGL2,因此,第五下拉控制晶体管 T11 大致关闭,所以,第六下拉控制晶体管 T12 的漏极电位(即,所述下拉单元的第二端 b)为第二低电平 VGL2,因此可以确保第一输出下拉晶体管 T2 在预充电阶段彻底关闭,以确保预充电阶段的顺利进行。

[0073] 在求值阶段,第三下拉控制晶体管 T7、第四下拉控制晶体管 T8、第五下拉控制晶体管 T11 和第六下拉控制晶体管 T12 均关闭。

[0074] 在复位阶段,第三下拉控制晶体管 T7 和第五下拉控制晶体管 T11 开启,第四下拉控制晶体管 T8 和第六下拉控制晶体管 T12 关闭,所述下拉单元的第二端 b 处的电位为高电平,可以使复位晶体管 T4 开启,对上拉节点进行放电。

[0075] 在非工作阶段,第三下拉控制晶体管 T7 和第五下拉控制晶体管 T11 处于开启和关闭的交替状态,即下拉节点 PD 可以处在交变电压状态。

[0076] 为了使移位寄存单元的结构更加简单,如图 9 中所示的第三种实施方式,第一下拉模块 13a 可以包括第七下拉控制晶体管 T13 和下拉电容 C2,该下拉电容 C2 的一端与第二时钟信号输入端 CLKB 相连,下拉电容 C2 的另一端与所述下拉单元的第二端 b 相连,第七下拉控制晶体管 T13 的栅极与第二驱动信号输入端 14 相连,第七下拉控制晶体管 T13 的源极与所述第二低电平输入端相连,第七下拉控制晶体管 T13 的漏极与所述下拉单元的第二端 b 相连,所述下拉单元的第二端 b 与所述下拉单元的第三端 c 相连。

[0077] 在预充电阶段,下拉电容 C2 进行充电,第七下拉控制晶体管 T13 导通,由于下拉电容 C2 的电阻大于第七下拉控制晶体管 T13 的电阻,因此所述下拉单元的第二端 b 处的电位接近第二低电平 VGL2。

[0078] 在求值阶段,第七下拉控制晶体管 T13 关闭,下拉电容 C2 停止充电。

[0079] 在复位阶段,第七下拉控制晶体管 T13 关闭,下拉电容 C2 充电和,使下拉单元的第二端 b 处的电位为高电平 VGH,使复位晶体管 T4 开启,对上拉节点 PU 进行放电。

[0080] 在非工作阶段,第七下拉控制晶体管 T13 关闭,下拉电容 C2 交替地处于充电和断电的状态,从而对下拉节点 PD 进行交流下拉。

[0081] 优选地,在本发明所提供的移位寄存单元中,第一上拉晶体管 T1、第一输出下拉晶体管 T2、开关晶体管 T3 和复位晶体管 T4 中的至少一者为耗尽型晶体管。进一步优选地,第一上拉晶体管 T1、第一输出下拉晶体管 T2、开关晶体管 T3 和复位晶体管 T4 均可以为耗尽型晶体管。背景技术中已经描述了耗尽型晶体管的优点,这里不再赘述。

[0082] 在本发明所提供的几种实施方式中,第一上拉晶体管 T1、第一输出下拉晶体管 T2、开关晶体管 T3 和复位晶体管 T4 均为 N 沟道薄膜晶体管。

[0083] 作为本发明的另外一个方面,如图 11 所示,还提供一种移位寄存器,该移位寄存器包括多级移位寄存单元,其中,所述移位寄存单元为本发明所提供的上述移位寄存单元,

下一级所述移位寄存单元的第一驱动信号输入端 10 (n) 与上一级所述移位寄存单元的第一驱动信号输出端 11 (n-1) 相连。此处, n 代表的是自然数。

[0084] 应当理解的是, 10 (1) 代表的是第一级移位寄存单元的第一驱动信号输入端, 11 (1) 代表的是第一级移位寄存单元的第一驱动信号输出端, 10 (n-1) 代表的是第(n-1) 级移位寄存单元的第一驱动信号输入端, 11 (n-1) 代表的是第(n-1) 级移位寄存单元的第一驱动信号输出端, 10 (n) 代表的是第 n 级移位寄存单元的第一驱动信号输入端, 11 (n) 代表的是第 n 级移位寄存单元的第一驱动信号输出端, V_{dd} 和 V_{ss} 分别代表的是为移位寄存单元器供电的电源的正极和负极。

[0085] 当所述移位寄存单元包括第二驱动信号输出模块时, 上一级移位寄存单元的第二驱动信号输出端 12 (n-1) 与下一级移位寄存单元的第二驱动信号输入端 14 (n) 连接。

[0086] 在图 11 中, 14 (1) 代表第一级移位寄存单元的第二驱动信号输入端, 12 (1) 代表第一级移位寄存单元的第二驱动信号输出端; 14 (n-1) 代表第(n-1) 级移位寄存单元的第二驱动信号输入端, 12 (n-1) 代表第(n-1) 级移位寄存单元的第二驱动信号输出端; 14 (n) 代表第 n 级移位寄存单元的第二驱动信号输入端, 12 (n) 代表第 n 级移位寄存单元的第二驱动信号输出端。

[0087] 可以将耗尽型晶体管应用于本发明所提供的移位寄存单元中。

[0088] 作为本发明的还一个方面, 提供一种显示装置, 该显示装置包括薄膜晶体管、数据线、栅线和与该栅线电连接的移位寄存器, 其中, 所述移位寄存器为本发明所提供的上述移位寄存器, 所述移位寄存器的驱动信号输出端与所述栅线连接。

[0089] 与现有技术中一样, 所述显示装置可以包括多条栅线和多条数据线, 多条数据线和多条栅线交叉形成多个像素单元, 每个像素单元中都设置有一个薄膜晶体管, 每一级移位寄存单元与一条栅线对应连接, 通过向栅线提供高电平 V_{GH} 而将薄膜晶体管打开。

[0090] 在所述显示装置中, 栅极驱动器中所用到的第一上拉晶体管 T1、第一输出下拉晶体管 T2、开关晶体管 T3 和复位晶体管 T4 均可以为耗尽型晶体管。背景技术中已经描述了耗尽型晶体管的优点, 这里不再赘述。

[0091] 可以理解的是, 以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式, 然而本发明并不局限于此。对于本领域内的普通技术人员而言, 在不脱离本发明的精神和实质的情况下, 可以做出各种变型和改进, 这些变型和改进也视为本发明的保护范围。

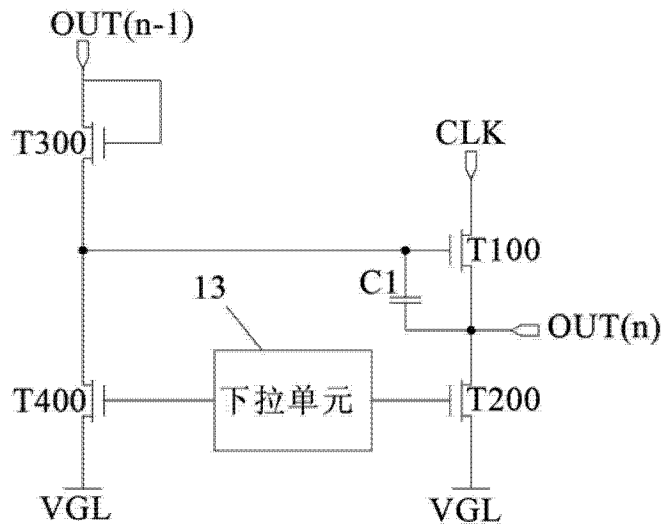


图 1

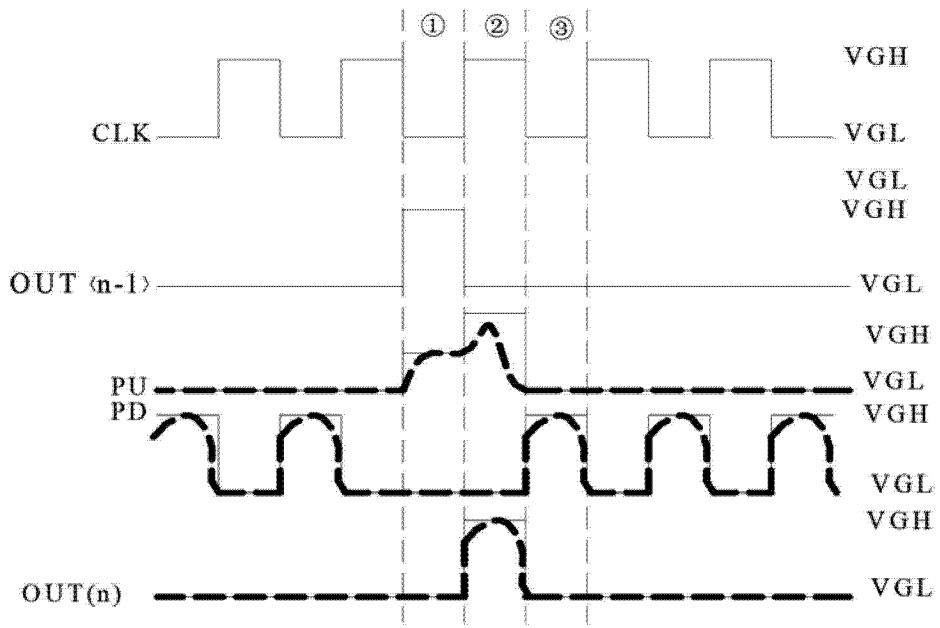


图 2

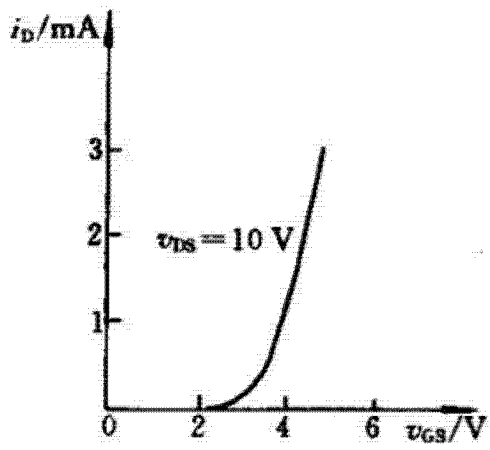


图 3

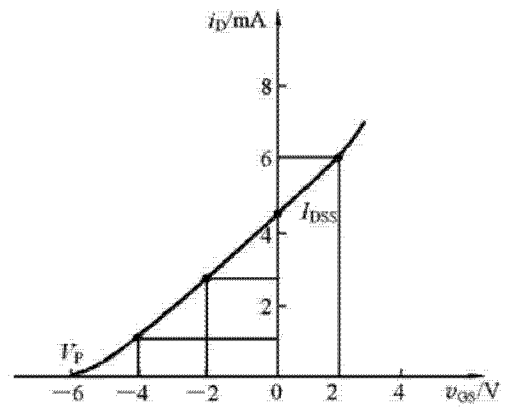


图 4

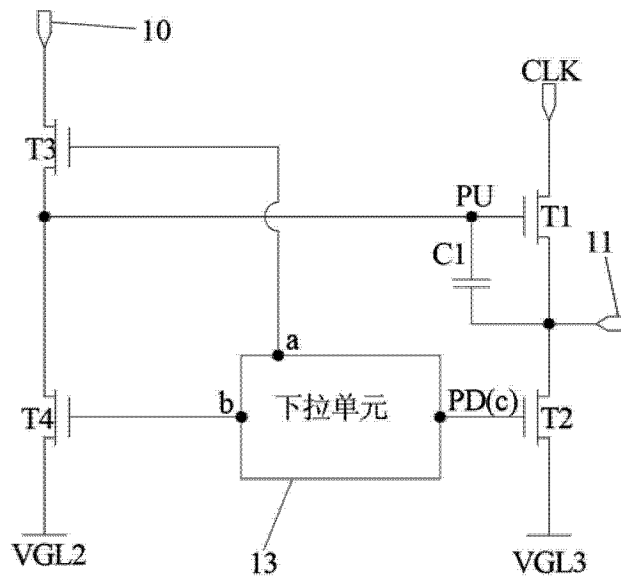


图 5

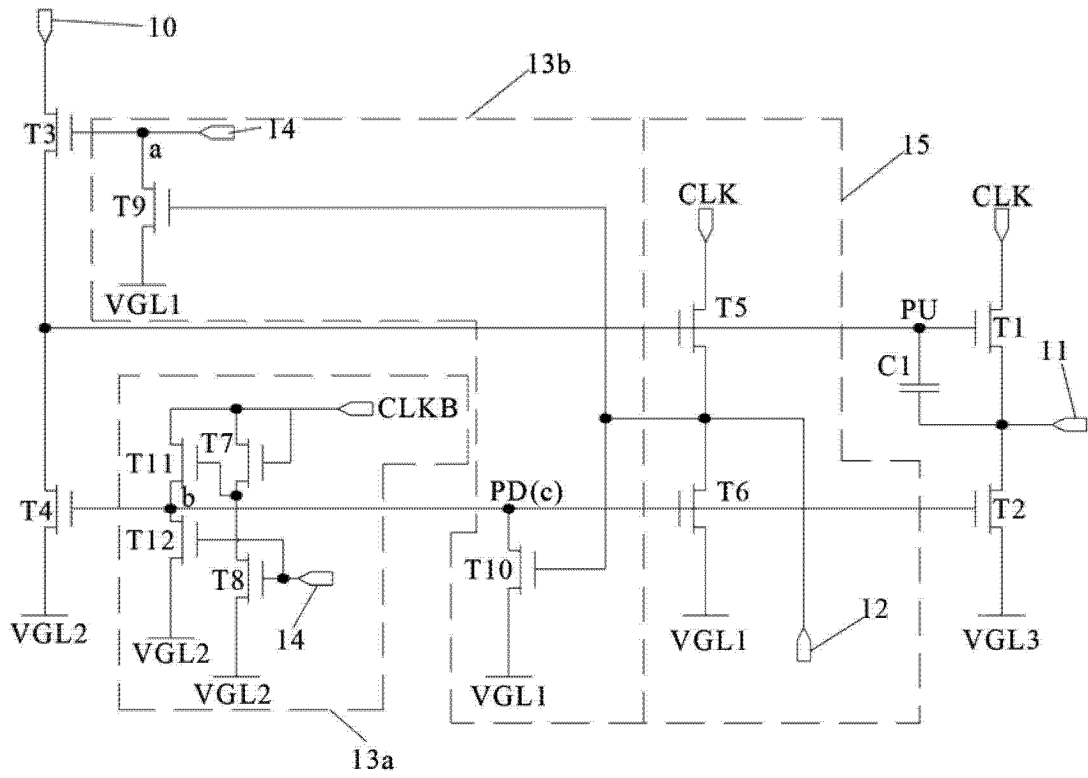


图 8

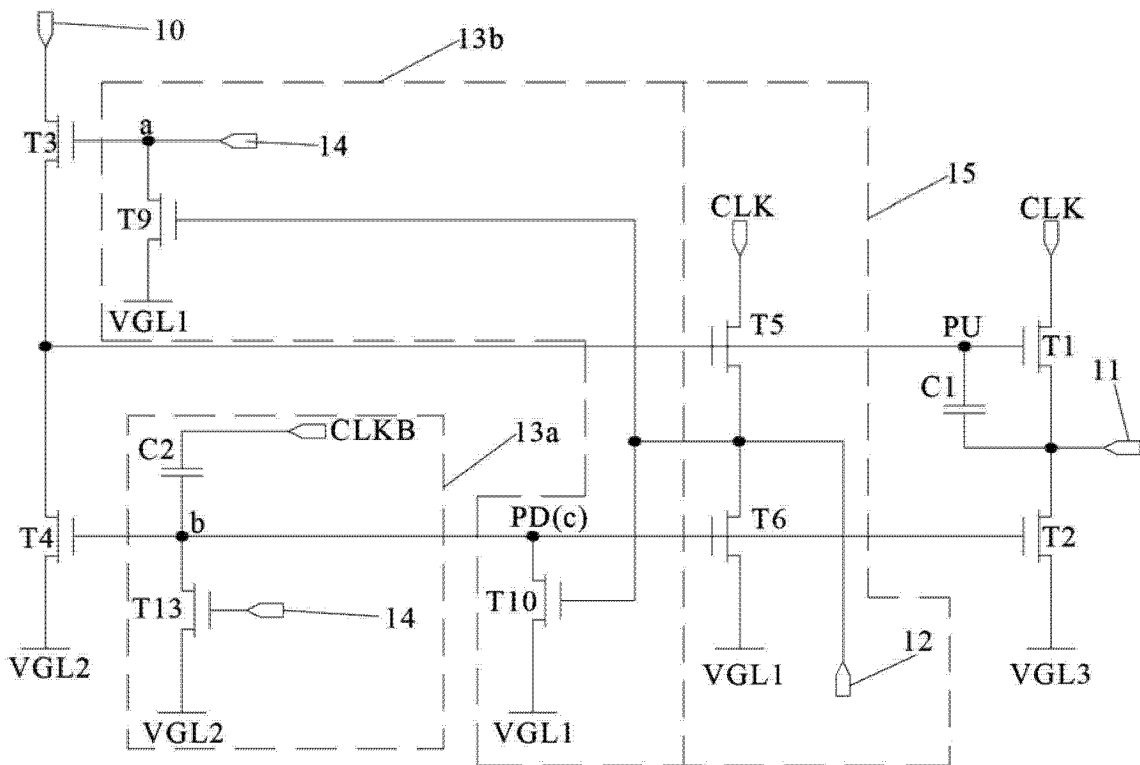


图 9

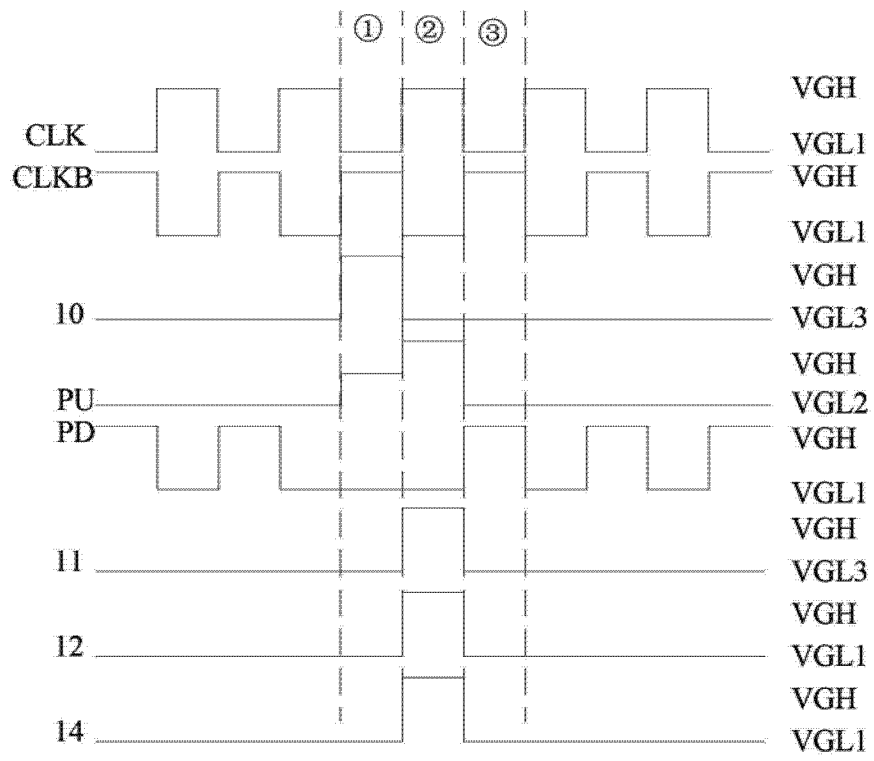


图 10

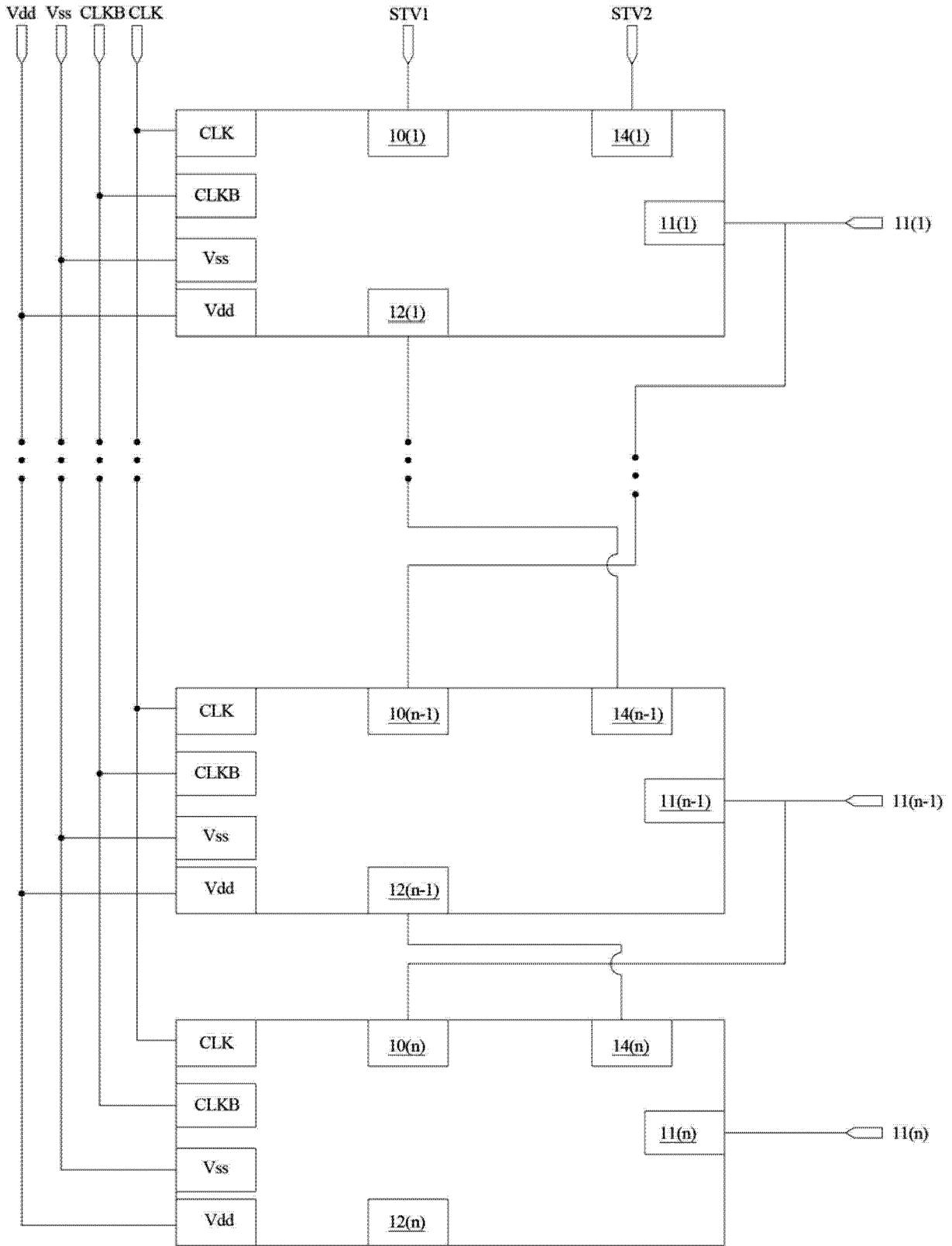


图 11