

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 10 月 31 日(31.10.2013)



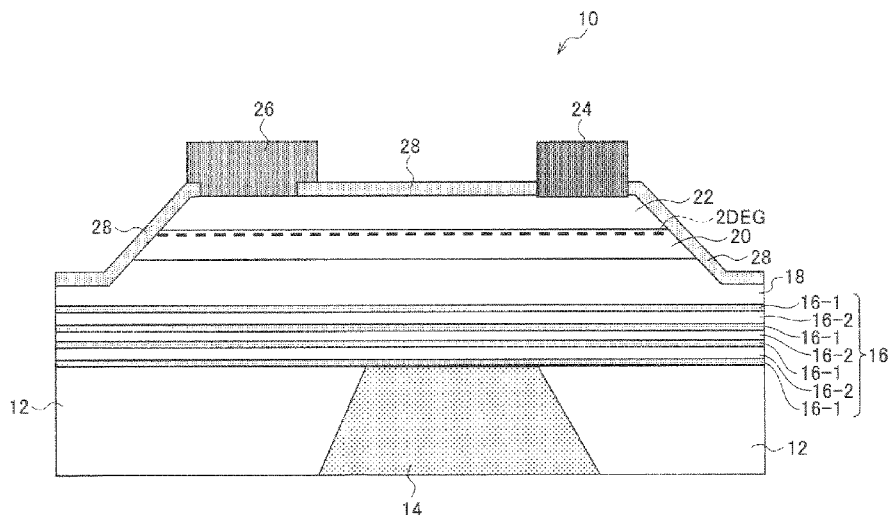
(10) 国際公開番号
WO 2013/161478 A1

- (51) 国際特許分類:
H01L 29/47 (2006.01) H01L 29/78 (2006.01)
H01L 21/20 (2006.01) H01L 29/812 (2006.01)
H01L 21/336 (2006.01) H01L 29/861 (2006.01)
H01L 21/338 (2006.01) H01L 29/868 (2006.01)
H01L 29/778 (2006.01) H01L 29/872 (2006.01)
- (21) 国際出願番号: PCT/JP2013/058598
- (22) 国際出願日: 2013 年 3 月 25 日(25.03.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-100385 2012 年 4 月 25 日(25.04.2012) JP
- (71) 出願人: 次世代パワーデバイス技術研究組合
(ADVANCED POWER DEVICE RESEARCH ASSO-
CIATION) [JP/JP]; 〒2200073 神奈川県横浜市西区
岡野 2 丁目 4 番 3 号 Kanagawa (JP).
- (72) 発明者: 池田 成明(IKEDA, Nariaki); 〒2200073 神
奈川県横浜市西区岡野 2 丁目 4 番 3 号 次世代
パワーデバイス技術研究組合内 Kanagawa (JP).
- (74) 代理人: 中島 淳, 外(NAKAJIMA, Jun et al.); 〒
1600022 東京都新宿区新宿 4 丁目 3 番 1 7 号
H K 新宿ビル 7 階 太陽国際特許事務所 Tokyo
(JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: NITRIDE SEMICONDUCTOR ELEMENT

(54) 発明の名称: 窒化物系半導体素子



(57) Abstract: The present invention is a highly reliable nitride semiconductor element having a high withstand voltage when being operated. The nitride semiconductor element has a substrate region partially removed therefrom, said region corresponding to a region between a cathode electrode and an anode electrode, and the nitride semiconductor element has a p-type semiconductor embedded in the removed area, said p-type semiconductor having high heat conductivity. Diamond and WBG oxide semiconductor are used as the p-type semiconductor. The p-type semiconductor preferably has a band gap equal to or more than that of GaN ($\Delta E_g = 3$ to 4 eV) to be more effective.

(57) 要約: 本発明は、動作時の耐圧が大きく、信頼性が高い窒化物系半導体素子である。すなわち、窒化物系半導体素子は、基板のカソード電極とアノード電極との間の領域に対応する領域を部分的に除去し、除去した部分に熱伝導率が高い p 型半導体を埋め込んでいる。p 型半導体は、ダイヤモンドや、WBG 酸化物半導体を用いる。より効果的には、p 型半導体は、GaN と同程度のバンドギャップ ($\Delta E_g = 3 \sim 4$ eV) 以上とすることが好ましい。

WO 2013/161478 A1

WO 2013/161478 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：窒化物系半導体素子

技術分野

[0001] 本発明は、窒化物系半導体素子、特にGaN系電子バイスである窒化物系半導体素子に関する。

背景技術

[0002] 窒化物系半導体素子であるGaN系電子デバイスは、GaAs系の材料に比べてそのバンドギャップエネルギーが大きく、しかも耐熱度が高く高温動作に優れている。そのため、窒化物系半導体素子では、これらの材料、とくにGaN／AlGaN系半導体を用いたヘテロ接合電界効果トランジスタ（Hetero-structure Field Effect Transistor：HFET）の開発が進められている。Si基板は安価で大口径化が期待できるため、GaN系電子デバイスの有望な基板の一つである。一方、高耐圧素子を実現するためにはSi基板上のエピ層は厚くする必要がある。これは、窒化物系半導体素子では、横方向の電界強度を緩和するだけでなく、縦方向にも電界強度の緩和が必要であるからである。図9には、従来の窒化物系半導体素子の一例のバンド構造図を示す。窒化物系半導体素子では、SiとGaの反応を避けるため、Si基板にはAlN層が形成されることが多いが、図9に示すように、Si基板とバッファ層のAlN層との界面には、反転層が形成されることが指摘されている。当該反転層がリークパスになり、ひいては窒化物系半導体素子の耐圧を劣化させる原因になっていると推定されている。

[0003] そのため、窒化物系半導体素子の基板の一部をエッチングしてリークパスを断ち切り、より薄層でも耐圧がでる技術が示されている（例えば、非特許文献（P.Srivastava and et al., “Si Trench Around Drain(STAD)Technology GaN-DHFETs on Si Substrate for Boosting Power Performance,” IEEE IEDM2011.473-476）参照）。

発明の開示

発明が解決しようとする課題

- [0004] 上述したように、従来、上記非特許文献に記載の窒化物系半導体素子のよ
うに、横型素子において、基板の一部をエッチングすることで耐圧を改善さ
せる提案がされている。図10には、このような従来の窒化物系半導体素子
の概略構成の一例の断面図を示す。
- [0005] しかしながら、図10に示した窒化物系半導体素子の構造には問題がある
。すなわち、図10に示した窒化物系半導体素子では、裏面はA I Nがむき
出しであり、パシベーションがないため強度の低下、また信頼性の問題が懸
念される。また、図10に示した窒化物系半導体素子は、電極間（アノード
電極とカソード電極との間）、特にアノード端部において（横型のF E Tの
場合はソース・ドレイン間の特にゲート電極の下部において）、駆動時に発
生する熱を吸収しきれず、熱抵抗のためにオン特性が劣化する。そのため、
図10に示した窒化物系半導体素子では、オン抵抗の悪化や信頼性の悪化の
問題があり、改善する必要がある。
- [0006] 本発明は、動作時の耐圧が大きく、信頼性が高い窒化物系半導体素子を提
供することを目的とする。

課題を解決するための手段

- [0007] 本発明の第1の態様は、窒化物系化合物半導体素子であって、導電性の基
板と、前記導電性の基板の一部の領域に設けられた、p型電気伝導材料と、
前記基板及び前記p型電気伝導材料の上に形成された、電子走行層及び電子
供給層を有する窒化物系半導体層と、前記窒化物系半導体層上に形成された
第1電極と、前記窒化物系半導体層上に前記第1電極と離間して形成された
第2電極と、を備え、前記p型電気伝導材料は、前記窒化物系半導体層上の
前記第1電極の前記第2電極側の端部と前記第2電極の前記第1電極側の端
部との間の領域に対応する前記基板の領域内に設けられている。
- [0008] また、本発明の第2の態様は、上記第1の態様において、前記p型電気伝
導材料は、前記窒化物系半導体層の最下層との間に反転層が形成されない材

料からなる。

[0009] また、本発明の第3の態様は、上記態様のいずれかにおいて、前記p型電気伝導材料は、該p型電気伝導材料の伝導帯端のエネルギーが前記窒化物系半導体層の最下層のフェルミエネルギーから0.1 eV以上高い準位である。

[0010] また、本発明の第4の態様は、上記態様のいずれかにおいて、前記p型電気伝導材料のバンドギャップが2 eV以上である。

[0011] また、本発明の第5の態様は、上記態様のいずれかにおいて、前記p型電気伝導材料は、p型ダイヤモンドからなる。

[0012] また、本発明の第6の態様は、上記第1の態様から上記第4の態様のいずれかにおいて、前記p型電気伝導材料は、p型酸化物半導体からなる。

[0013] また、本発明の第7の態様は、上記第6の態様において、前記p型酸化物半導体は、 Cu_2O 、 CuAlO_2 、 ZnRh_2O_4 、 NiO_x 、及びGaNのいずれかからなる。

[0014] また、本発明の第8の態様は、上記態様のいずれかにおいて、前記基板は、Si基板、SiC基板、及びi型またはn型導電性酸化物基板のいずれかである。

[0015] また、本発明の第9の態様は、上記態様のいずれかにおいて、ダイオードである。

[0016] また、本発明の第10の態様は、上記第1の態様から上記第8の態様のいずれかにおいて、トランジスタである。

発明の効果

[0017] 本発明の上記態様によれば、動作時の耐圧が大きく、高い信頼性を得ることができる、という効果を奏する。

図面の簡単な説明

[0018] [図1A]第1の実施例の窒化物系半導体素子の概略構成の一例を示す断面図である。

[図1B]第1の実施例の窒化物系半導体素子の概略構成の一例を示す上視図で

ある。

[図2]第1の実施例の窒化物系半導体素子のオン状態を示す概略構成の一例を示す断面図である。

[図3]第1の実施例の窒化物系半導体素子のオフ状態を示す概略構成の一例を示す断面図である。

[図4]第1の実施例の窒化物系半導体素子の一例のバンド構造を示す説明図である。

[図5]酸化物半導体及び半導体のバンド構造図である。

[図6]第1の実施例の窒化物系半導体素子の製造方法における第1工程を説明するための説明図である。

[図7]第1の実施例の窒化物系半導体素子の製造方法における第2工程を説明するための説明図である。

[図8A]第2の実施例の窒化物系半導体素子の概略構成の一例を示す断面図である。

[図8B]第2の実施例の窒化物系半導体素子の概略構成の一例を示す上視図である。

[図9]従来の窒化物系半導体素子の一例のバンド構造を示す説明図である。

[図10]従来の窒化物系半導体素子の概略構成の一例を示す断面図である。

発明を実施するための最良の形態

[0019] 以下、図面を参照して本実施の形態の窒化物系半導体素子について詳細に説明する。なお、本実施の形態は、本発明の窒化物系半導体素子の一例であり、本実施の形態により本発明が限定されるものではない。

[0020] [第1の実施例]

[0021] 第1の実施例では、本発明の窒化物系半導体素子がダイオードである場合について説明する。

[0022] まず、本発明に係るGaN系ダイオードの構成について説明する。図1Aには、本実施例のGaN系ダイオードの概略構成の断面図を示す。また、図1Bには、実施例のGaN系ダイオードの概略構成の上視図を示す。

[0023] 図1A及び図1Bに示した、窒化物系半導体素子10は、基板12、p型半導体14、バッファ層16、高抵抗層18、チャネル層20、バリア層22、カソード電極24、アノード電極26、及び絶縁膜28を備えている。

[0024] 基板12は、(111)面を主表面とするシリコン(Si)からなる導電性の基板である。本実施例の基板12は、アノード電極26の端部に相当する位置に沿ってエッチングされ、そこにワイドバンドギャップ(WBG)のp型半導体(p型半導体14)が埋め込まれている。本実施例のp型半導体14は、窒化物系半導体素子10がオフ状態におけるリーク電流(バッファリーク)のリークパスを断ち切る機能を有する。また、p型半導体14は、素子の駆動時に、カソード電極24及びアノード電極26間で発生する熱を吸収(伝導)する機能を有している。p型半導体14の材料としては、両機能を両立する材料を用いることが好ましい。特に、詳細は後述するが、p型半導体14の材料としては、p型半導体14とバッファ層16の最下層のAlN層との間に反転層が形成されないようなバンド構造を示す材料であることが好ましい。このような材料としては、熱伝導率が非常に高いため、ダイヤモンドを用いることが特に好ましい。なお、ダイヤモンドは、CVD法やスパッタにより形成しやすいため、製造上の観点からも好ましい。また、p型半導体14の材料としては、WBGの半導体であれば、酸化物でもよく、例えば、 Cu_2O 、 CuAlO_2 、 ZnRh_2O_4 、及び NiO_x 等のp型になる酸化物であってもよい。

[0025] 基板12及びp型半導体14の上に形成されたバッファ層16は、例えばAlN層16-1とGaN層16-2との積層構造からなるバッファ層である。バッファ層16上に形成された高抵抗層18は、チャネル層20よりも電気抵抗が高く、例えば、Cが添加されたGaN層(GaN:C層)である。

[0026] 高抵抗層18上に形成されたチャネル層20は、アンドープGaN(undoped GaN)層である。チャネル層20は、電子走行層として機能する。また、チャネル層20上に形成されたバリア層22は、アンドープAlGaN層(

バリア層)である。バリア層22は、電子供給層として機能する。ここで、チャンネルの長さLに相当するアンドープGa_{0.5}N層(チャンネル層20)の表面にはアンドープAlGa_{0.5}N層(バリア層22)がヘテロ接合している。そのため、ヘテロ接合している部分の界面には2次元電子ガス(2DEG)が発生する。窒化物系半導体素子10では、2次元電子ガスがアクセス抵抗を低減する役割を果たすため、低オン抵抗を示すようになる。

[0027] カソード電極24は、バリア層22のAlGa_{0.5}N層に最も近接した領域からTi、AlとSiの合金、及びWの順に形成されている。また、アノード電極26は、バリア層22のAlGa_{0.5}N層に最も近接した領域からNi、及びAuの順に形成されている。

[0028] 次に、本実施例の窒化物系半導体素子10の電気特性を評価した場合の窒化物系半導体素子10の動作状態を説明する。

[0029] 図2には、窒化物系半導体素子10のオン状態の概略構成の一例の断面図を示す。図2に示すように、オン状態では、アノード電極26からカソード電極24に向かって、2DEGを通して電流が流れる。

[0030] 一方、図3には、窒化物系半導体素子10のオフ状態の概略構成の断面図を示す。オフ状態では、アノード電極26に逆バイアス電圧が印加されているため、2DEGチャンネルはピンチオフし、電流は流れない。しかし、高電圧印加時は、わずかにリーク電流(バッファリーク)がバッファ層16の最下層であるAlN層16-1と基板12との界面を介して流れようとする。

[0031] しかしながら、窒化物系半導体素子10では、図3に示すように、基板12中にp型半導体14があるため、リーク電流は、基板12とp型半導体14との界面付近でストップする。図4には、この際のバンド構造の模式図を示す。

[0032] 図9にバンド構造図を示した、従来の、基板に加工が何も施されていない、窒化物系半導体素子の場合では、バッファ層の最下層のAlN層と基板との界面に反転層が形成されるため、当該反転層が導電層となってリークパスとなる。しかしながら、本実施例の窒化物系半導体素子10では、図4に示

したように p 型半導体 14 を基板 12 に埋め込んだ場合、バッファ層 16 の最下層の A I N 層と基板 12 との界面に反転層が形成されないため、リークパスは形成されず、リーク電流は非常に小さくなる。

[0033] 本実施例において、基板 12 に埋め込む p 型半導体 14 については、反転層が形成されないようにするという観点から、以下のような理由により規定される。図 5 には、各半導体材料及び誘電体材料のバンド構造図を示す。図 5 から分かるように A I N (バッファ層 16 の A I N 層) の真空準位からの伝導帯端までの距離は、約 1 eV である。一方、A I N の真空準位からのエネルギー差は、フェルミ面を横切るのが約 4 eV である。このことから、A I N の伝導帯端と p 型半導体 (p 型半導体 14) の伝導帯端との間は、差し引き ($4\text{ eV} - 1\text{ eV} =$) 3 eV 以下であれば良い。なお、熱励起等を考慮すると、A I N の伝導帯端と p 型半導体の伝導帯端との間は、 2.9 eV 以下であることが望ましい。よって、p 型半導体の真空準位から伝導帯端までのエネルギーは、 $1\text{ eV} + 2.9\text{ eV} = 3.9\text{ eV}$ 以下であれば、反転層はほぼ形成されない。つまり、反転層が形成されないようにするには、p 型半導体の伝導帯端のエネルギーが基板上の半導体層の最下層を構成する材料のフェルミエネルギーから 0.1 eV 以上高い準位 (真空準位に近づく方向) にあれば良い。また、p 型半導体の伝導帯端のエネルギーが基板上の半導体層の最下層を構成する材料のフェルミエネルギーから 0.2 eV 以上高い準位にあればより確実に反転層の形成を防ぐことができるため、さらに好ましい。

[0034] また、p 型半導体のバンドギャップが 2 eV 以上あれば、電界集中が緩和されることで素子が破壊されることを防ぐことができる。

[0035] またリーク電流は、通常、基板 12 に加工を施さない場合は、バッファ層 16 の膜厚によって異なっている。表 1 には、バッファ層 16 の膜厚 (総膜厚) と、リーク電流との関係を示す。

[0036]

[表1]

総膜厚 (μm)	200 Vにおけるリーク電流(A): 基板加工なし	200 Vにおけるリーク電流(A): 基板加工あり
2.5	1×10^{-4}	1×10^{-7}
3.5	1×10^{-5}	5×10^{-8}
5.2	1×10^{-7}	3×10^{-8}
7.3	1×10^{-8}	1×10^{-8}

表1に示すように、基板12の裏面加工を施さない場合は、バッファ層16の膜厚が厚くなるとともにリーク電流が桁違いに下がっている。このことは、電界強度が緩和することによって、窒化物系半導体素子10の縦方向のリーク電流が抑制されていることを表す。

[0037] 一方、表1に示すように、基板12の裏面加工を施した場合（p型半導体14を埋め込んだ場合）は、バッファ層16の膜厚が2.5 μm と薄い場合でもリーク電流は 1×10^{-7} と、裏面加工を施さない場合に比べて、十分に低く抑えられる。更にバッファ層16の膜厚を厚くしていても徐々にリー

ク電流が下がるものの、それほど劇的には下がらない傾向がある。このことは、基板 1 2 の裏面加工を施すことによって、バッファ層 1 6 の膜厚が薄くてもリーク電流を効果的に抑制することが出来ることをあらわしており、よりスループットが向上する。

[0038] また、基板 1 2 に埋め込む p 型半導体 1 4 については、素子の駆動時に発生した熱、特にカソード電極 2 4 とアノード電極 2 6 との間に発生する熱を吸収（伝導）するため、熱伝導率の観点から規定される。

[0039] 例えば、従来の図 1 0 に示した窒化物系半導体素子の場合、本実施例の p 型半導体 1 4 に替わり、基板 1 2 中に空気（空間）が設けられている。このような場合では、空気は熱伝導率が高くなく、特に p 型半導体 1 4 に比べて低いため、カソード電極 2 4 とアノード電極 2 6 との間に発生する熱を十分に吸収（伝導）することができない懸念がある。また、本実施例の p 型半導体 1 4 に替わり、基板 1 2 中にその他の一般的な絶縁体を設けた場合も考えられる。しかしながら、一般的に絶縁体は、p 型半導体 1 4 に比べて、熱伝導率が低いため、カソード電極 2 4 とアノード電極 2 6 との間に発生する熱を十分に吸収（伝導）することができない懸念がある。このように熱が十分に吸収（伝導）されない場合、窒化物系半導体素子では、熱抵抗が増大し、ジャンクション温度が高くなり、その結果、信頼性が低下するという問題が生じる。

[0040] そのため、本実施例では、空気や絶縁体に比べて熱伝導率が高い p 型半導体 1 4 を用いることにより、カソード電極 2 4 とアノード電極 2 6 との間に発生する熱を十分に吸収（伝導）させる。本実施例では、熱を十分に吸収させることにより、熱抵抗を抑制して、ジャンクション温度が高くなるのを抑制し、その結果信頼性が向上するという効果が得られる。

[0041] さらに効果を得るために、より熱伝導率が高い p 型半導体 1 4 を用いることが好ましい。ダイヤモンドは熱伝導率が非常に高いため、熱抵抗を下げる事が出来、オン特性も良好になる。また、p 型半導体は、WBG の半導体であれば、酸化物でもよく、 Cu_2O 、 CuAlO_2 、 ZnRh_2O_4 、 NiO_x

、及びGaNなどのp型になる酸化物であればより効果的にリーク電流を抑制することが可能である。好ましいp型半導体を選択する際には、図5にあるようなバンドのエネルギーを元に反転層が形成されないような材料を選択すればよく、熱抵抗の観点から熱伝導率が高い材料であればより好ましい。

[0042] 次に、上述した本実施例の窒化物系半導体素子10の製造方法の一例について説明する。なお、窒化物系半導体素子10の製造にあたり、成長装置はMOCVD (Metal Organic Chemical Vapor Deposition) 装置を用い、基板12はシリコン(111)基板を用いた。

[0043] 1) 第1工程について図6を参照して説明する。

[0044] まず、第1工程では、シリコン(111)基板12をMOCVD装置内に導入し、ターボポンプでMOCVD装置内の真空度を 1×10^{-6} hPa以下になるまで真空引きした後、真空度を100 hPaとし基板12を1050℃に昇温する。温度が安定したところで、基板12を900 rpmで回転させ、原料となるトリメチルアルミニウム(TMA)を $100 \text{ cm}^3/\text{min}$ 、アンモニアを12リットル/minの流量で基板12の表面に導入し、AlN層16-1から成るバッファ層16をエピタキシャル成長させる。成長時間は、4 minでバッファ層16の膜厚は50 nm程度である。

[0045] その後、第1工程では、当該AlN層16-1上に、例えば、膜厚が5～100 nmのGaN層16-2と、膜厚が1～10 nmのAlN層16-1と、からなる積層膜を、20～80層重ねて、バッファ層16を形成する。なお、バッファ層16は、この構成に限定されず、チャンネル層20等の材料や、その他の条件によって種々変形されてよい。さらに、バッファ層16上に、トリメチルガリウム(TMGe)を原料として、高抵抗層18をエピタキシャル成長させ、Cをドーピングさせる。

[0046] 次に、第1工程では、アンモニアを12リットル/minの流量で流しながら、TMGeを $300 \text{ cm}^3/\text{min}$ の流量で高抵抗層182の上に導入して、GaN層からなるチャンネル層20をエピタキシャル成長させる。チャンネル

層20は、電子走行層として機能する。チャネル層20の成長時間は200 secであり、チャネル層20の膜厚は、300 nmである。

[0047] 次に、第1工程では、TMAを $50\text{ cm}^3/\text{min}$ 、トリメチルガリウム (TMG) を $100\text{ cm}^3/\text{min}$ 、アンモニアを12リットル/ min の流量で導入し、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ 層からなるバリア層22をエピタキシャル成長させる。バリア層22は、電子供給層として機能する。バリア層22の成長時間は40 secであり、バリア層22の膜厚は30 nmである。

[0048] 2) 第2工程について図7を参照して説明する。

[0049] 次に、第2工程では、塩素ガス等を用いて素子分離のためのアイソレーションメサ形成を実施する。その後、レジスト等を用いてカソード電極24を形成すべき箇所を開口してバリア層22の表面を表出させ、そこに、Ti、AlとSiの合金膜、及びWを順次蒸着してカソード電極24をリフトオフ法等により、形成した。

[0050] 第2工程では、次にレジストなどによりパターニングを行って、アノード電極26を形成すべき箇所に、レジスト等を用いアノード電極26を形成すべき箇所に開口部を設けたパターニングをし、バリア層22の表面を表出させ、そこにNiあるいはAu等を蒸着してアノード電極26を形成した。

[0051] その後、第2工程では、ポリイミドや SiO_2 等の絶縁膜28を更に堆積させ、層間絶縁膜としてパターニングを行う。また、第2工程では、カソード電極24及びアノード電極26上に金属抵抗を低減させるため、金メッキやAlの厚膜などを堆積させる(図示省略)。第2工程では、最後にポリイミドや SiO_2 などの絶縁膜を堆積させてパシベーション膜として形成する(図示省略)。手法はPECVDでもよいし、APCVD法でも良い。

[0052] 3) 第3工程について説明する。

[0053] 第3工程では、第2工程後、素子表面をレジスト等で保護し、基板12を両面マスクアライナー等を用いて、アノード電極26の端部周囲を開口させるようなパターニングを行う。その後、第3工程では、フッ素系のガスやHF系の溶液を用いて、開口された面を基板12の裏面からエッチングし、メ

サを形成する。その際にA I Nはフッ素系のガスやH F系の溶液には侵食されないため、選択的に基板12だけをエッチングすることが可能である。エッチングにより形成される開口部分は、例えば、1 μ m以上の開口幅で形成して良い。その後、第3工程では、開口部分に選択的にp型半導体14（p型のダイヤモンド）をスパッタ法等を用いて堆積させる。こうして図1A及び図1Bに示した、窒化物系半導体素子10が完成する。

[0054] 以上説明したように、本実施例の窒化物系半導体素子10では、基板12を部分的に除去し、除去した部分に熱伝導率が高いp型半導体14を埋め込んでいる。p型半導体14は、ダイヤモンドや、WBG酸化物半導体を用いる。より効果的には、p型半導体14は、Ga Nと同程度のバンドギャップ($\Delta E_g = 3 \sim 4 \text{ eV}$)以上とすることが好ましい。

[0055] 400 mA/mmを得るためのオン電圧が1.6 Vの従来の窒化物系半導体素子においてが、耐圧が400 Vだった。一方、このようにして得られた本実施例の窒化物系半導体素子10であるGa N系ダイオードでは、耐圧が800 Vにまで向上した。また、本実施例では、基板12にp型半導体14を埋め込むことによって、熱抵抗の上昇はなく、従来と同じオン電圧である1.6 Vが得られた。また、本実施例では、200℃までの高温特性を評価した結果、従来リーク電流は2桁程度上昇していたのに対し、3倍程度の上昇に抑えることが出来た。

[0056] そのため、本実施例によれば、高耐圧のインバータやコンバータなどへの応用が可能になる。従って、本実施例によれば、高耐圧で、かつ高い信頼性をもつGa N系パワーデバイスの実現が可能である。

[0057] 特に上述したように、基板12に何も加工を施さない場合、基板12に空間（空気）が設けられている場合（図11参照）、及び基板12に絶縁体が埋め込まれている場合に比べて、本実施例では、より高い効果が得られることはいうまでもない。また、本実施例のように、p型半導体14を用いることにより、これらに比較して、電子と共にホールが形成された場合に、これを引き抜くことができるという効果が得られる。

[0058] なお、本実施例では、基板 12 がシリコン基板である場合の例を示したが、シリコン基板以外の SiC 基板、サファイア基板、GaN 基板、MgO 基板、及び ZnO 基板等、GaN が結晶成長可能なあらゆる基板を用いることができ、当該基板上に形成される窒化物系半導体素子 10 についても本実施例が成り立つことは言うまでも無い。なお、基板 12 が n 型導電性酸化物基板である場合は、リーク電流が発生しやすい。そのため、n 型導電性酸化物基板に対して本実施例を適用する場合は、より高い効果が得られる。

[0059] また、p 型半導体 14 を設ける位置、及び大きさは、本実施例に限定されない。p 型半導体 14 を設ける位置、及び大きさは、リークパスが形成される箇所、及び駆動時に発熱が大きい箇所等を考慮し、カソード電極 24 のアノード電極 26 側の端部 24a とアノード電極 26 のカソード電極 24 側の端部 26a との間の領域を結晶成長方向に基板 12 側に平行移動させた時に対応する位置を含むように設けられていれば、上述した本実施例の効果が得られることはいうまでもない。また、熱伝導の観点から、p 型半導体 14 の大きさ（設けられた領域の大きさ）は大きい方が好ましいが、特に限定されず、本実施例に示した領域よりも狭い領域であっても、上述した本実施例の効果が得られることはいうまでもない。

[0060] [第 2 の実施例]

[0061] なお、本発明は、上記第 1 の実施例に限らず、通常のノーマリオン型の HFE T 構造を持つ素子や、ノーマリオフ型の素子等、基板 12 上に形成された横型素子のあらゆる形態においても成立することは言うまでもない。

[0062] その他の窒化物系半導体素子 10 の一例として、図 8A には、ノーマリオフ型の電解効果トランジスタとして形成した一例の概略構成の断面図を示す。図 8B には、ノーマリオフ型の電解効果トランジスタとして形成した一例の上視図を示す。

[0063] 図 8A 及び図 8B に示すように、電界効果トランジスタである本実施例の窒化物系半導体素子 10 は、基板 12、p 型半導体 14、バッファ層 16、高抵抗層 18、チャネル層 20、バリア層 22、絶縁膜 28、ゲート電極 3

0、ゲート絶縁膜31、ソース電極32、及びドレイン電極34を備えている。すなわち、本実施例の窒化物系半導体素子10は、第1の実施例のカソード電極24及びアノード電極26に替わり、ゲート絶縁膜31上に形成されたゲート電極30、ソース電極32、及びドレイン電極34を備えている。本実施例においても、ソース電極32のドレイン電極34側の端部32aとドレイン電極34のソース電極32側の端部34aとの間の領域を結晶成長方向に基板12側に平行移動させた時対応する基板12の領域にp型半導体14が埋め込まれている。そのため、本実施例においても、第1の実施例と同様の効果を得られることはいうまでもない。なお、このように窒化物系半導体素子10をトランジスタとした場合は、ゲート電極30の発熱が大きいため、ゲート電極30の下部領域にp型半導体14が埋め込まれていることが好ましい。

[0064] 日本出願2012-100385の開示は、その全体が参照により本明細書に取り込まれる。

[0065] 本明細書に記載された全ての文献、特許出願、及び技術規格は、個々の文献、特許出願、及び技術規格が参照により取り込まれることが具体的かつ個々に記された場合と同程度に、本明細書中に参照により取り込まれる。

請求の範囲

- [請求項1] 導電性の基板と、
前記導電性の基板の一部の領域に設けられた、p型電気伝導材料と、
、
前記基板及び前記p型電気伝導材料の上に形成された、電子走行層及び電子供給層を有する窒化物系半導体層と、
前記窒化物系半導体層上に形成された第1電極と、
前記窒化物系半導体層上に前記第1電極と離間して形成された第2電極と、
を備え、前記p型電気伝導材料は、前記窒化物系半導体層上の前記第1電極の前記第2電極側の端部と前記第2電極の前記第1電極側の端部との間の領域に対応する前記基板の領域内に設けられている、窒化物系半導体素子。
- [請求項2] 前記p型電気伝導材料は、前記窒化物系半導体層の最下層との間に反転層が形成されない材料からなる、請求項1に記載の窒化物系半導体素子。
- [請求項3] 前記p型電気伝導材料は、該p型電気伝導材料の伝導帯端のエネルギーが前記窒化物系半導体層の最下層のフェルミエネルギーから0.1 eV以上高い準位である、請求項1または請求項2に記載の窒化物系半導体素子。
- [請求項4] 前記p型電気伝導材料のバンドギャップが2 eV以上である、請求項1から請求項3のいずれか1項に記載の窒化物系半導体素子。
- [請求項5] 前記p型電気伝導材料は、p型ダイヤモンドからなる、請求項1から請求項4のいずれか1項に記載の窒化物系半導体素子。
- [請求項6] 前記p型電気伝導材料は、p型酸化物半導体からなる、請求項1から請求項4のいずれか1項に記載の窒化物系半導体素子。
- [請求項7] 前記p型酸化物半導体は、 Cu_2O 、 CuAlO_2 、 ZnRh_2O_4 、 NiO_x 、及びGaNのいずれかからなる、請求項6に記載の窒化

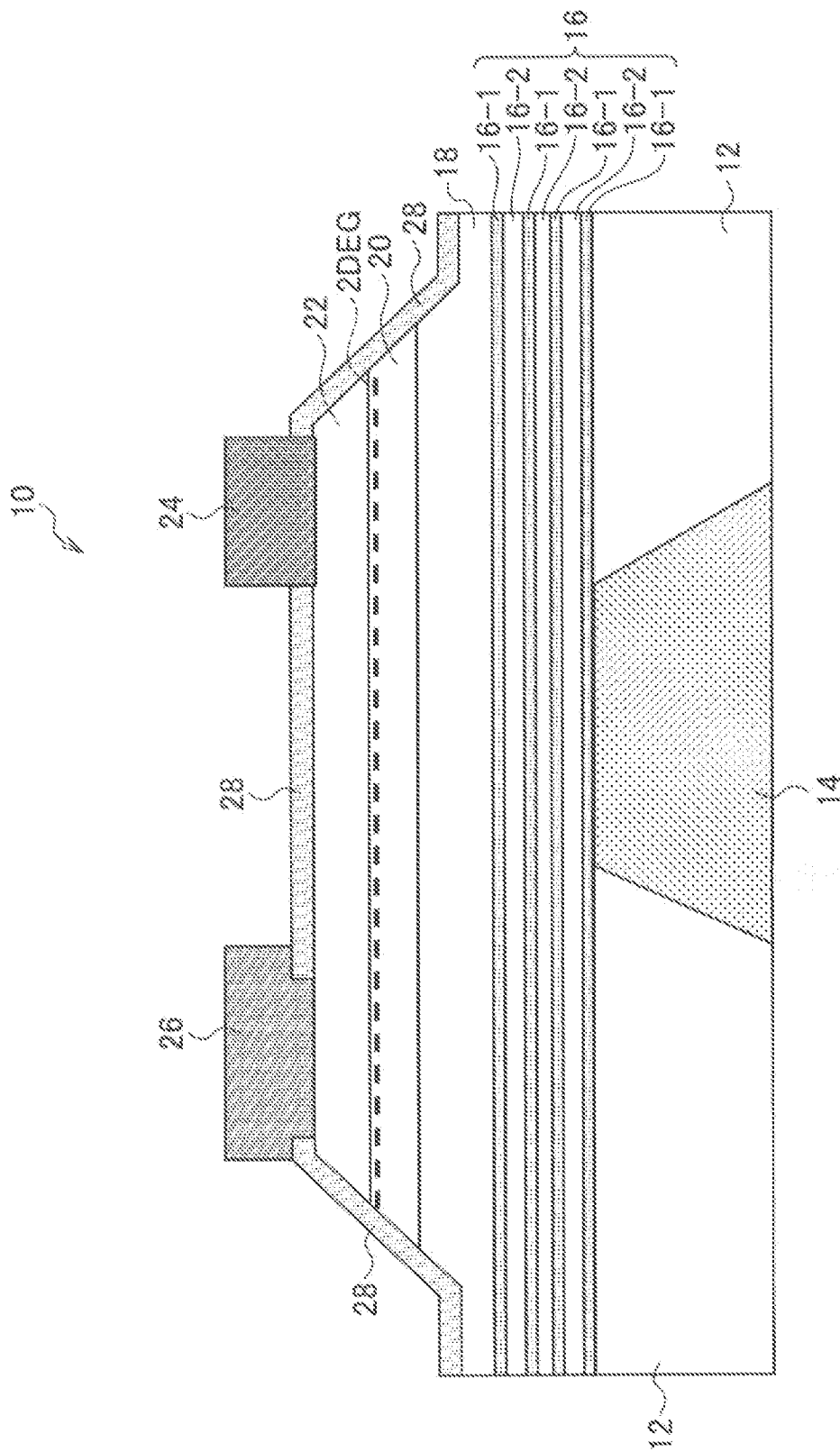
物系半導体素子。

[請求項8] 前記基板は、S i 基板、S i C 基板、及び i 型または n 型導電性酸化物基板のいずれかである、請求項 1 から請求項 7 のいずれか 1 項に記載の窒化物系半導体素子。

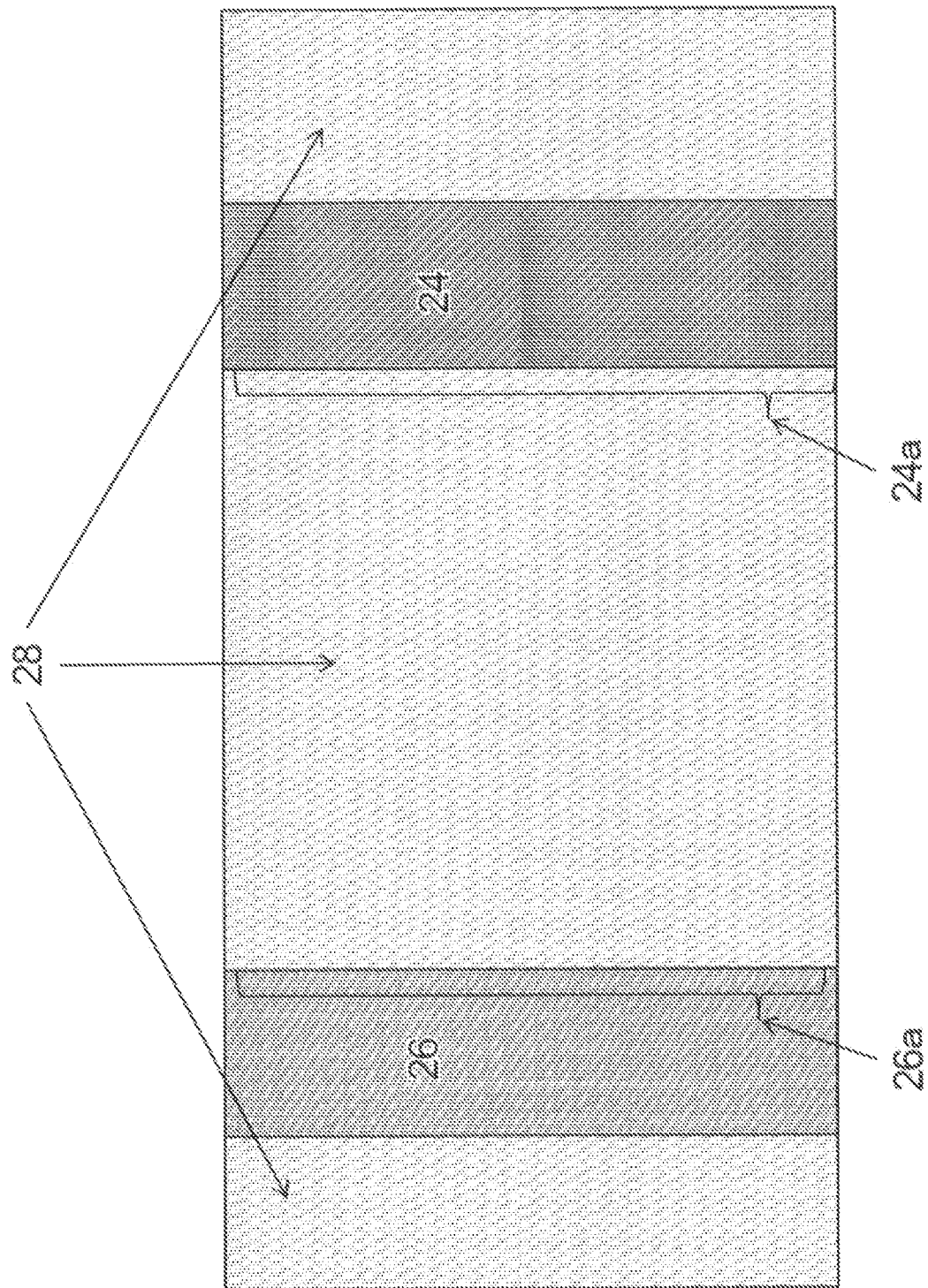
[請求項9] 前記窒化物系半導体素子は、ダイオードである、請求項 1 から請求項 8 のいずれか 1 項に記載の窒化物系半導体素子。

[請求項10] 前記窒化物系半導体素子は、トランジスタである、請求項 1 から請求項 8 のいずれか 1 項に記載の窒化物系半導体素子。

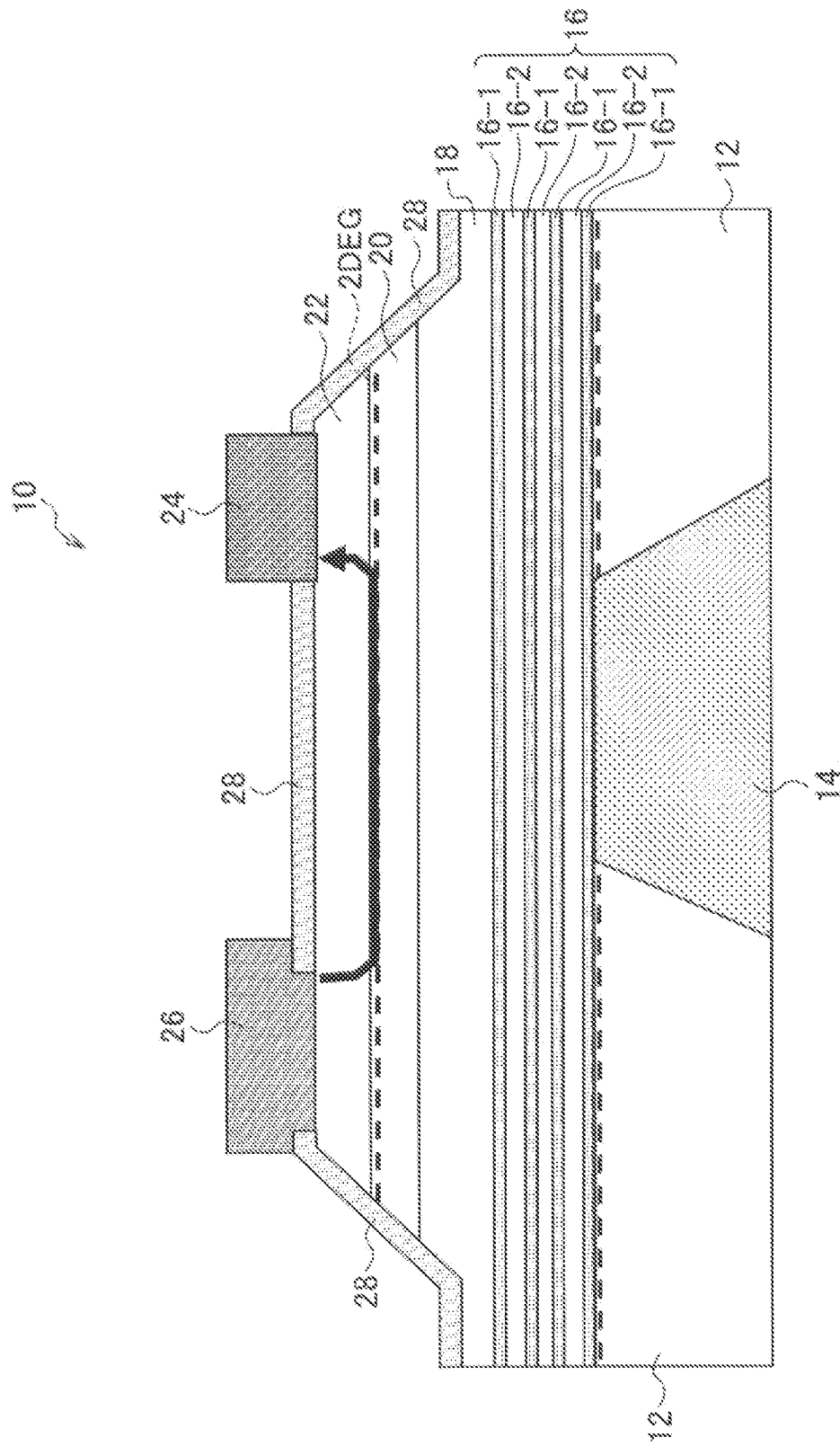
[図1A]



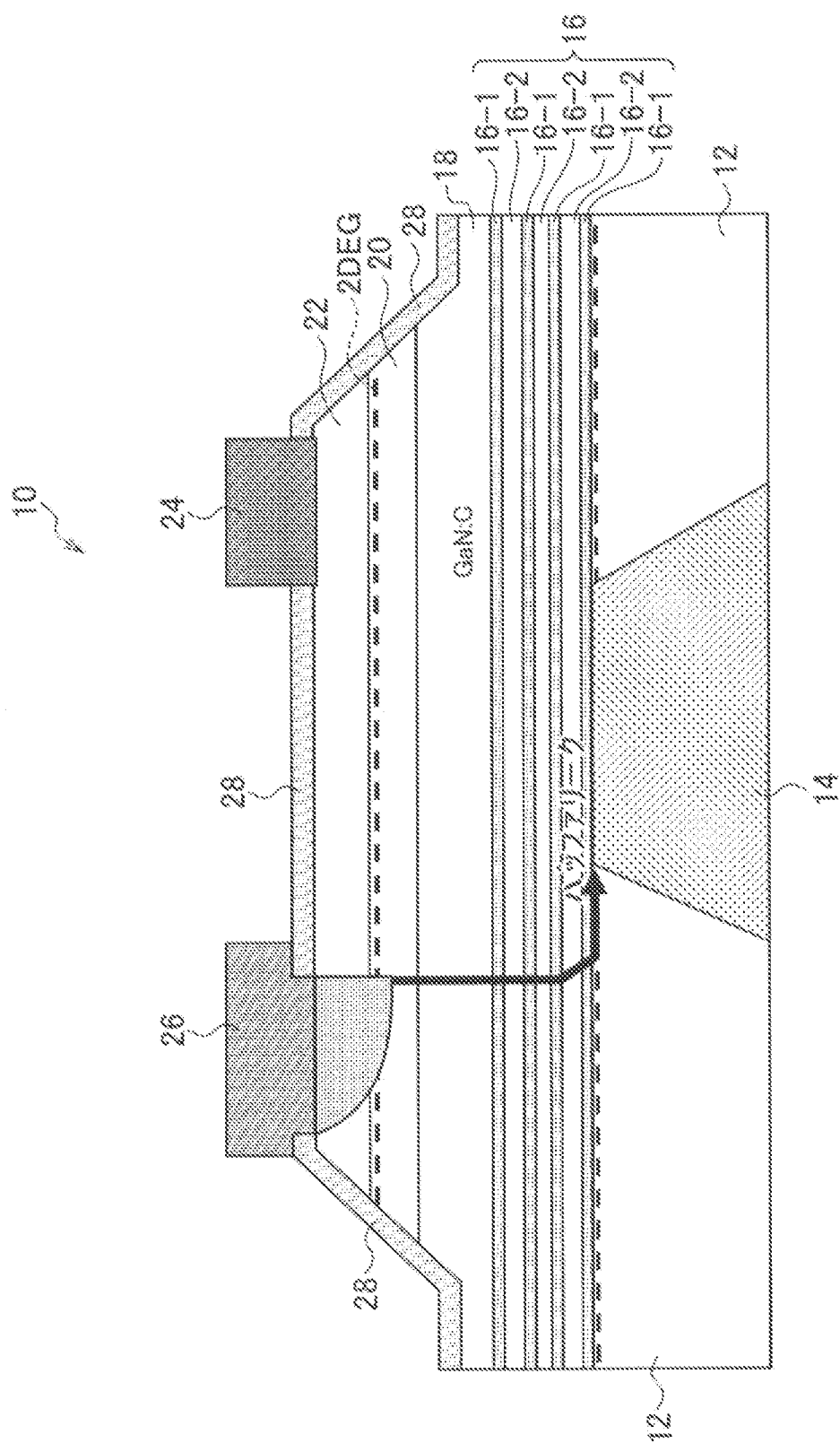
[図1B]



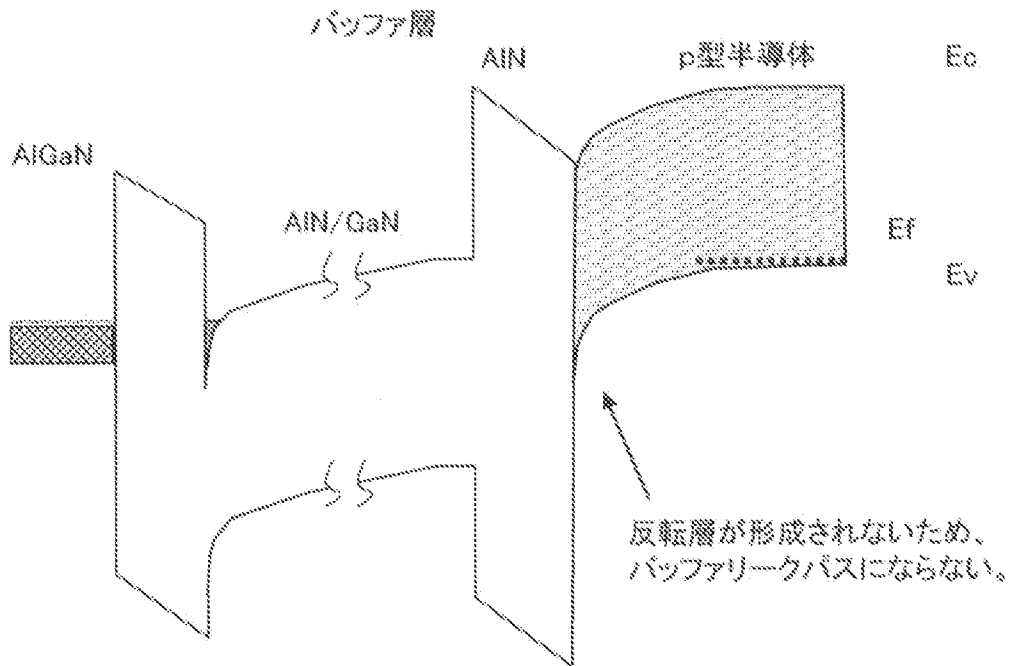
[図2]



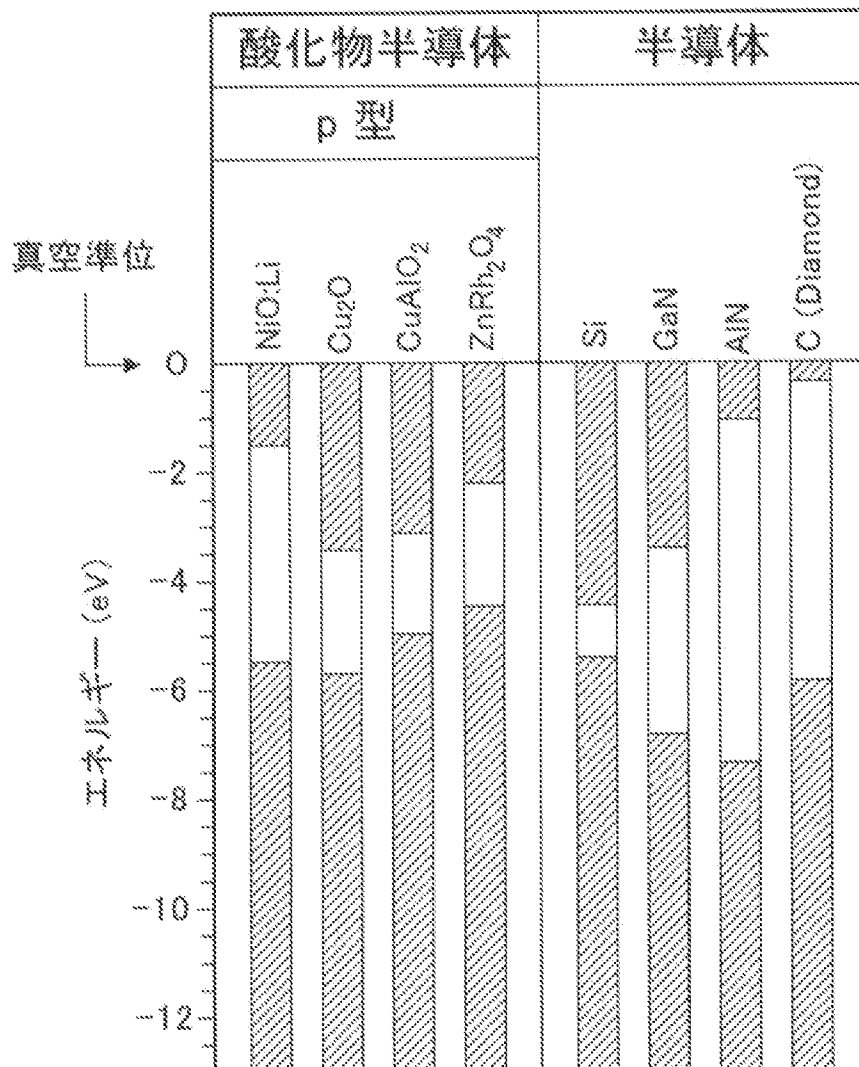
[図3]



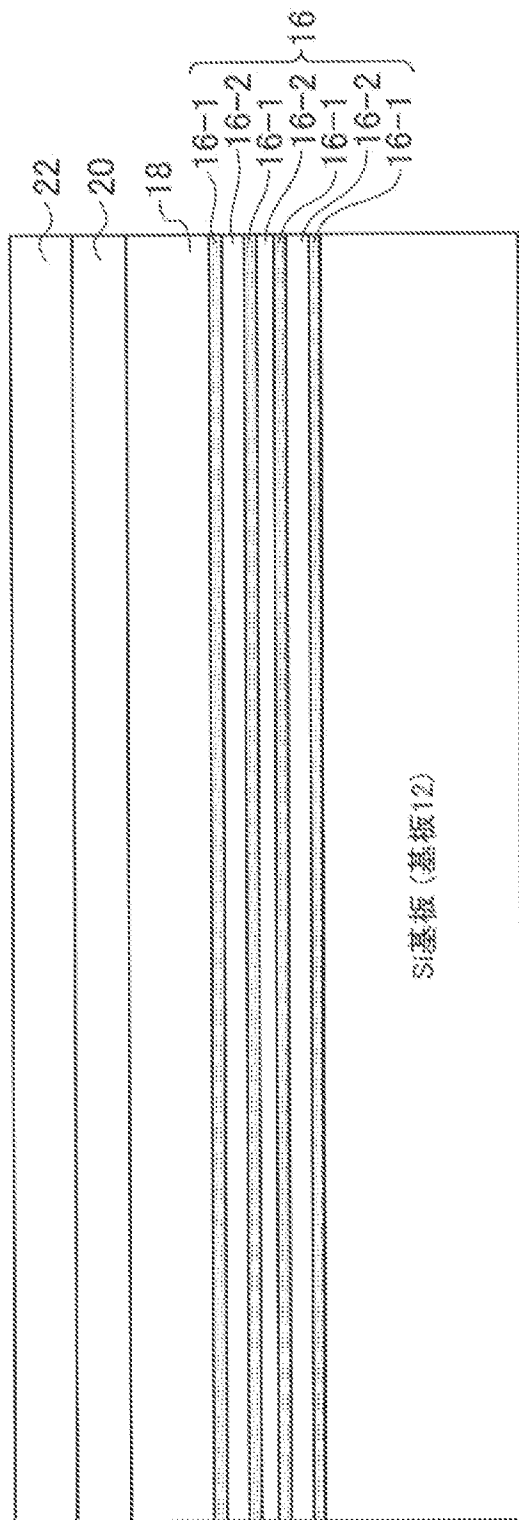
[図4]



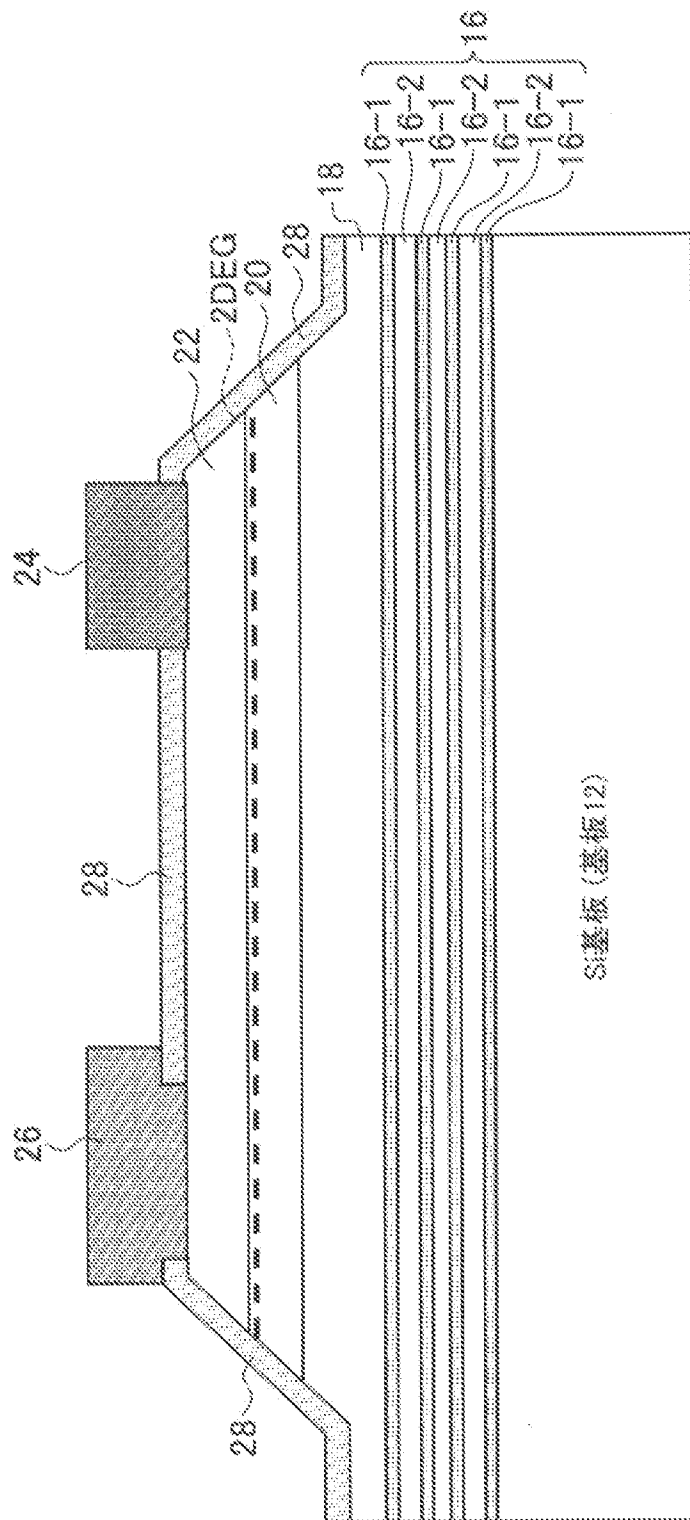
[図5]



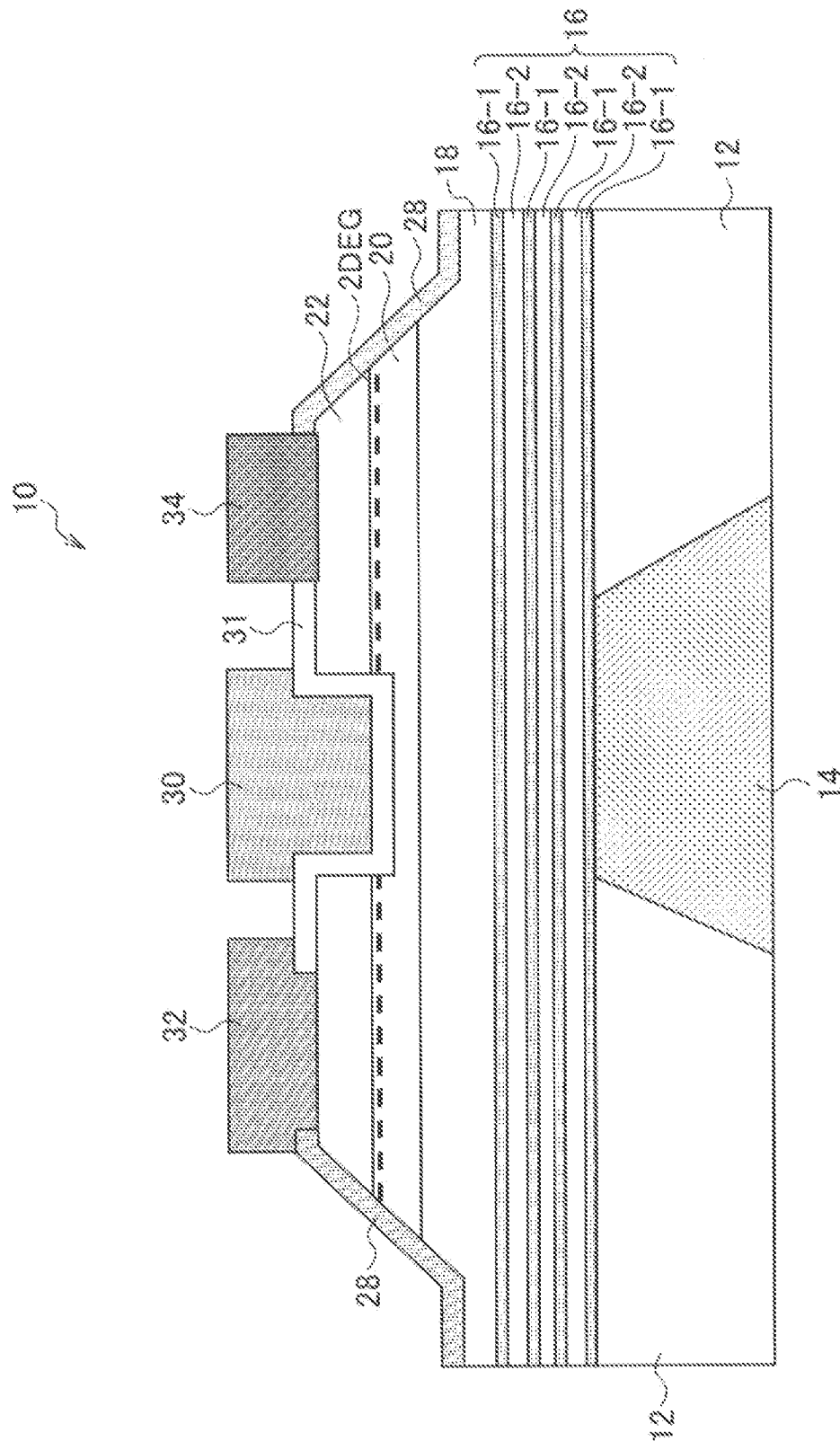
[図6]



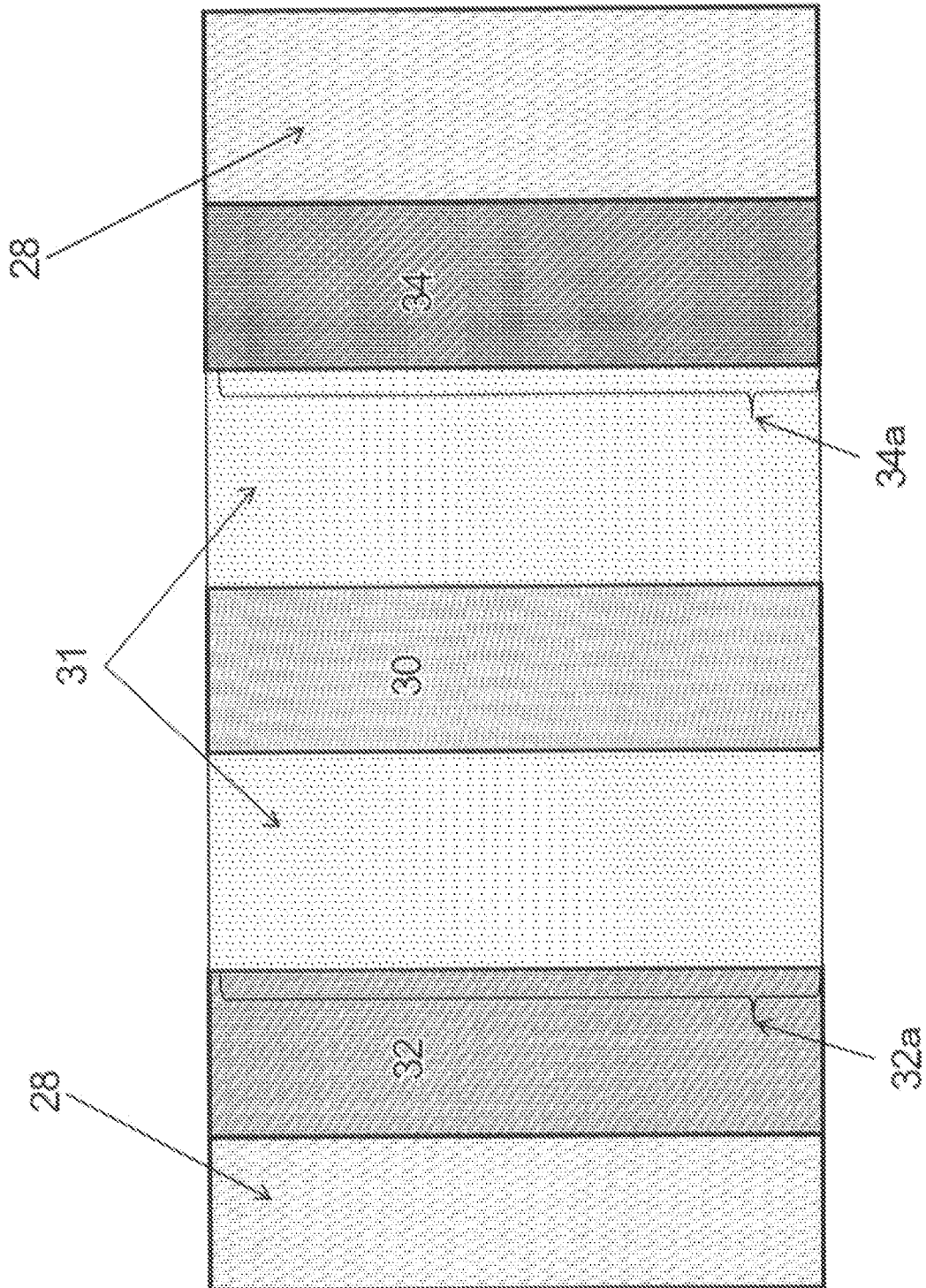
[図7]



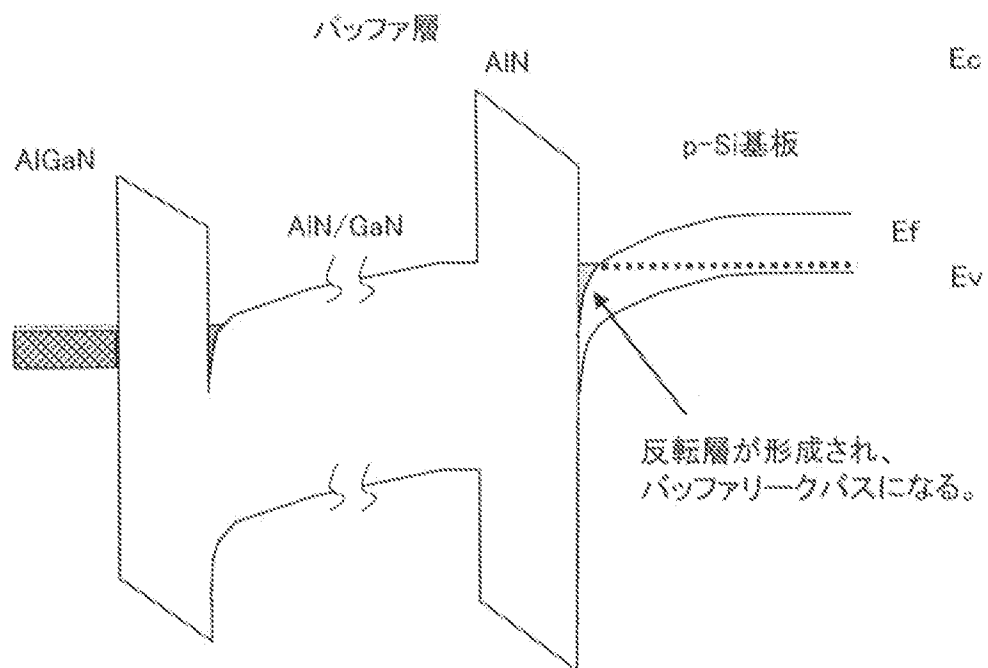
[図8A]



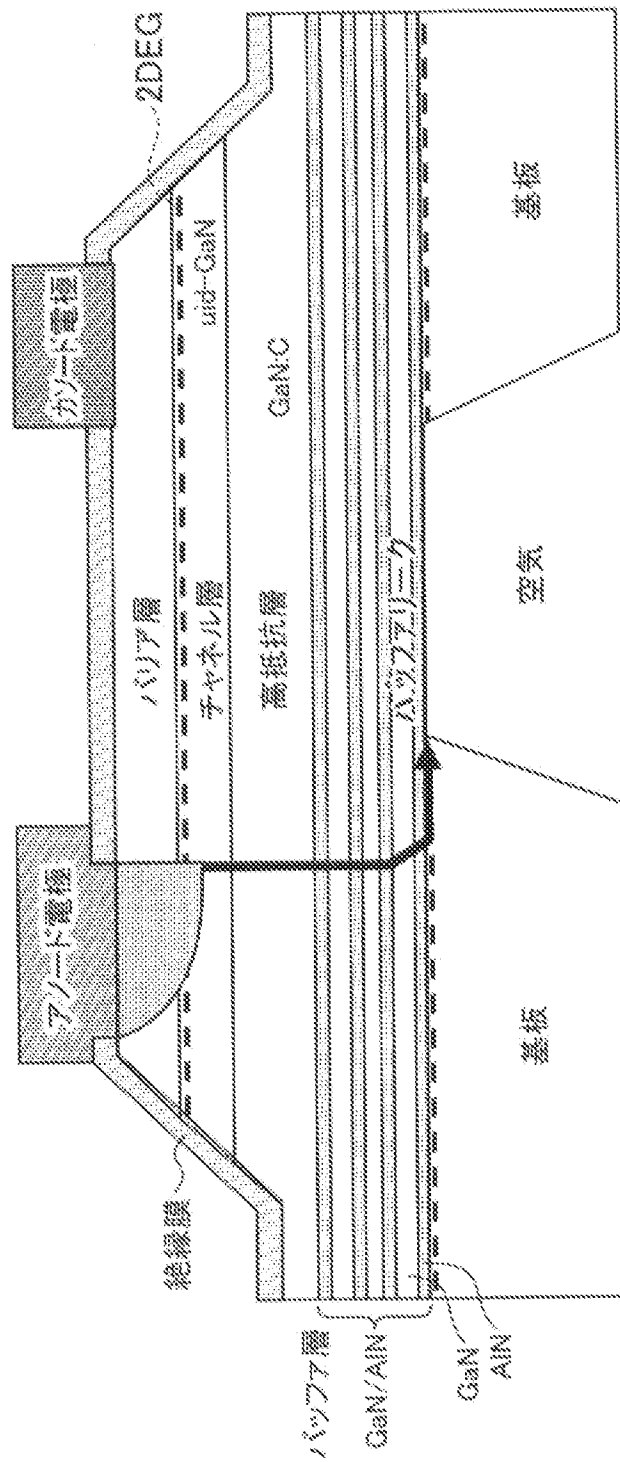
[図8B]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/058598

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/47(2006.01)i, H01L21/20(2006.01)i, H01L21/336(2006.01)i,
H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i,
H01L29/812(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/47, H01L21/20, H01L21/336, H01L21/338, H01L29/778, H01L29/78,
H01L29/812, H01L29/861, H01L29/868, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2009-206142 A (Rohm Co., Ltd.), 10 September 2009 (10.09.2009), paragraphs [0013] to [0048]; fig. 1 to 2E (Family: none)	1-4, 8, 10 5, 9 6, 7
Y	JP 2004-510329 A (Cambridge Semiconductor Ltd.), 02 April 2004 (02.04.2004), paragraphs [0057], [0067], [0111]; fig. 7, 8 & US 2002/0041003 A1 & US 2004/0084752 A1 & US 2004/0087065 A1 & US 2005/0242368 A1 & US 2005/0242369 A1 & EP 1319252 A & WO 2002/025700 A2 & CN 1470073 A	5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
14 June, 2013 (14.06.13)

Date of mailing of the international search report
25 June, 2013 (25.06.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/058598

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 1-246867 A (Sumitomo Electric Industries, Ltd.), 02 October 1989 (02.10.1989), page 2, lower right column to page 3, upper left column & US 4982243 A	5
Y	JP 2006-261474 A (The Furukawa Electric Co., Ltd.), 28 September 2006 (28.09.2006), paragraphs [0028] to [0036]; fig. 4 (Family: none)	9
A	JP 2010-67662 A (NEC Corp.), 25 March 2010 (25.03.2010), entire text; all drawings (Family: none)	1-10
A	JP 2008-117885 A (Matsushita Electric Industrial Co., Ltd.), 22 May 2008 (22.05.2008), entire text; all drawings (Family: none)	1-10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/058598

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

H01L29/872(2006.01) i

(According to International Patent Classification (IPC) or to both national classification and IPC)

A. 発明の属する分野の分類（国際特許分類（I P C））			
Int.Cl. H01L29/47(2006.01)i, H01L21/20(2006.01)i, H01L21/336(2006.01)i, H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i, H01L29/872(2006.01)i			
B. 調査を行った分野			
調査を行った最小限資料（国際特許分類（I P C））			
Int.Cl. H01L29/47, H01L21/20, H01L21/336, H01L21/338, H01L29/778, H01L29/78, H01L29/812, H01L29/861, H01L29/868, H01L29/872			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 3 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 3 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 3 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y A	JP 2009-206142 A（ローム株式会社）2009.09.10, 段落【0013】 －【0048】、図1－2E（ファミリーなし）	1-4, 8, 10 5, 9 6, 7	
Y	JP 2004-510329 A（ケンブリッジ セミコンダクター リミテッド） 2004.04.02, 段落【0057】、【0067】、【0111】、図7、8 & US 2002/0041003 A1 & US 2004/0084752 A1 & US 2004/0087065 A1 & US 2005/0242368 A1 & US 2005/0242369 A1 & EP 1319252 A & WO 2002/025700 A2 & CN 1470073 A	5	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献	
「P」国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 1 4 . 0 6 . 2 0 1 3		国際調査報告の発送日 2 5 . 0 6 . 2 0 1 3	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 正山 旭	5 F 9 2 7 6
		電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 7	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 1-246867 A (住友電気工業株式会社) 1989. 10. 02, 第 2 頁右下欄 －第 3 頁左上欄 & US 4982243 A	5
Y	JP 2006-261474 A (古河電気工業株式会社) 2006. 09. 28, 段落【0 0 2 8】－【0 0 3 6】、図 4 (ファミリーなし)	9
A	JP 2010-67662 A (日本電気株式会社) 2010. 03. 25, 全文、全図 (フ ァミリーなし)	1-10
A	JP 2008-117885 A (松下電器産業株式会社) 2008. 05. 22, 全文、全 図 (ファミリーなし)	1-10