



# (12) 发明专利

(10) 授权公告号 CN 103493424 B

(45) 授权公告日 2015. 09. 30

(21) 申请号 201280016798. 8

H03L 7/06(2006. 01)

(22) 申请日 2012. 03. 28

(56) 对比文件

(30) 优先权数据

13/083, 399 2011. 04. 08 US

CN 101233706 A, 2008. 07. 30,

US 2011075782 A1, 2011. 03. 31,

WO 2009155263 A1, 2009. 12. 23,

WO 2010080172 A1, 2010. 07. 15,

WO 2011100122 A1, 2011. 08. 18,

(85) PCT国际申请进入国家阶段日

2013. 09. 30

(86) PCT国际申请的申请数据

PCT/US2012/030838 2012. 03. 28

审查员 吕小倩

(87) PCT国际申请的公布数据

W02012/138515 EN 2012. 10. 11

(73) 专利权人 晶像股份有限公司

地址 美国加利福尼亚州

(72) 发明人 崔薰 金大卿 J·H·李 裴映敦

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 高见

(51) Int. Cl.

H04L 7/04(2006. 01)

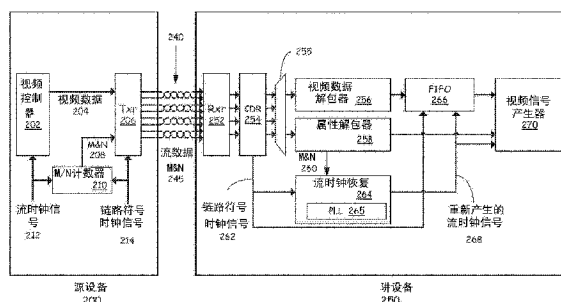
权利要求书2页 说明书7页 附图7页

## (54) 发明名称

对从数据流中重新产生的时钟信号的调整

## (57) 摘要

本发明一般涉及对从数据流重新产生的时钟信号的调整。方法的实施例系包含：经由通信链路从传送方设备接收数据流，所述数据流包含流数据、链路时钟信号、以及用以指示此链路时钟信号与流时钟信号之间的关系时间戳。所述方法还包括至少部分地基于与数据流有关的一个或多个测量调整此流时钟，所述一个或多个相关测量包含对一时间段期间流时钟的脉冲的数量的计数、或对某一时间点来自缓冲器中所存储的此数据流的数据元素的数量测量。



1. 一种用于从数据流进行时钟信号重新生成的方法,所述方法包括:

经由通信链路从传送方设备接收所述数据流,所述数据流包含流数据、链路时钟信号、用以指示所述链路时钟信号与流时钟信号之间的关系的時間戳、以及表示水平线时段中所述流时钟信号的预期脉冲数量的参考值;

从所述数据流检测所述参考值;以及

至少部分地基于与所述数据流有关的一个或多个测量来调整所述流时钟信号,对所述流时钟信号的调整包含:

在所述水平线时段期间对所述流时钟信号的脉冲的数量的计数,

比较所述流时钟信号的脉冲的所述计数与所检测的参考值,以及

如果所述比较指示脉冲的所述计数低于所述参考值,则增加锁相环的速率,而如果所述比较指示脉冲的所述计数高于所述参考值,则减小所述锁相环的速率。

2. 如权利要求 1 所述的方法,其特征在于,还包括检测空白开始和空白结束符号,并且其中计数水平线中所述流时钟信号的脉冲的数量包括计数连续空白开始符号或空白结束符号之间的脉冲的数量。

3. 一种用于从数据流进行时钟信号重新生成的装置,所述装置包括:

接收器,用以经由通信链路从传送方设备接收所述数据流,所述数据流是以链路时钟信号速率来时钟控制的,所述数据流包括用于指示所述链路时钟信号与流时钟信号之间的关系的時間戳,以及表示水平线时段中所述流时钟信号的预期脉冲数量的参考值;

属性解包器,用于从数据流检测所述参考值;

流时钟恢复单元,用以至少部分地基于所述链路时钟信号和所述時間戳来重新产生所述流时钟信号;及

锁相环元件,

其中所述装置至少部分地基于与所述数据流有关的一个或多个测量以调整所述流时钟信号的速率,所述一个或多个测量包括对所述流时钟信号的速率的调整中的一个或多个,包括:

对所述水平线时段期间所述流时钟信号的脉冲的数量的计数,

比较所述流时钟信号的脉冲的所述计数与所检测的参考值,以及

如果所述比较指示脉冲的所述计数低于所述参考值,则增加所述锁相环元件的速率,而如果所述比较指示脉冲的所述计数高于所述参考值,则减小所述锁相环元件的速率。

4. 如权利要求 3 所述的装置,其特征在于,所述通信链路为显示端口 TM 兼容链路。

5. 如权利要求 3 所述的装置,其特征在于,所述属性解包器进一步用于恢复空白开始和空白结束符号,并且其中计数所述水平线中所述流时钟信号的脉冲的数量包括计数连续空白开始符号或空白结束符号之间的脉冲的数量。

6. 一种用于从数据流进行时钟信号重新生成的设备,所述设备包括:

用于经由通信链路接收来自传送方设备的所述数据流的装置,所述数据流包含流数据、链路时钟信号、用以指示所述链路时钟信号与流时钟信号之间的关系的時間戳、以及表示水平线时段中所述流时钟信号的预期脉冲数量的参考值;

用于从所述数据流检测所述参考值的装置;以及

用于至少部分地基于与所述数据流有关的一个或多个测量来调整所述流时钟信号的

装置,对所述流时钟信号的调整包括:

用于对所述水平线时段期间所述流时钟信号的脉冲的数量的计数的装置,  
用于比较所述流时钟信号的脉冲的所述计数与所检测的参考值的装置,以及  
用于如果所述比较指示脉冲的所述计数低于所述参考值,则增加锁相环的速率,而如果所述比较指示脉冲的所述计数高于所述参考值,则减小锁相环的速率的装置。

7. 如权利要求 6 所述的设备,其特征在于,还包括:

用于检测空白开始和空白结束符号的装置;  
其中用于计数所述水平线中所述流时钟信号的脉冲的数量的装置包括用于计数连续空白开始符号或空白结束符号之间的脉冲的数量的装置。

## 对从数据流中重新产生的时钟信号的调整

### 技术领域

[0001] 本发明系一般涉及电子数据通信的领域,尤其涉及对从数据流重新产生的时钟信号的调整。

### 背景技术

[0002] 在电子设备之间的数据流的传输中,数据流通常包含时钟信号信息。于如此的运作中,通常传送数据流的传送方(源)设备或其它设备(诸如例如,多媒体数据的流)将把时钟信号信息插入到此数据流中,且接收方(阱)设备用于从此数据流接收此时钟信号信息。

[0003] 于一范例中,诸如由显示端口版本 1.2(2009 年 12 月 22 日)或更早的规格所定义的显示端口™(DisplayPort™)包含时钟数据的传送,所述显示端口系统包含链路符号时钟信号,以通过源设备与阱设备之间的通信链路来传输数据,以及流时钟信号,以在源设备及阱设备内部传输像素及其它数据。源设备传送与链路符号时钟及流时钟时钟相关的时间戳值以允许根据此时间戳值及链路符号时钟信号重新产生流时钟。

[0004] 然而,链路时钟信号与流时钟信号彼此间可能不具有任何关联,亦可彼此间存在偏移。用以从数据流恢复时间戳数的传统系统及过程可能要求重要的硬件来重新产生此流时钟,亦可能要求重要的缓冲器来在使用此数据之前存储所恢复的流数据。

[0005] 附图简述

[0006] 本发明实施例的图式系用以做为范例,而非限制本发明,其中相似的组件符号系表示相似的组件。

[0007] 图 1 是用以从数据流产生流时钟的系统的实施例的示意图;

[0008] 图 2 是用以从数据流重新产生流时钟的系统的实施例的框图;

[0009] 图 3 为包含时钟数据脉冲的测量的用以从数据流中重新产生流时钟的系统的实施例的框图;

[0010] 图 4 为用以重新产生流时钟信号的过程的实施例的时序图;

[0011] 图 5 为包含缓冲器存储的测量的用以从数据流中重新产生流时钟的系统的实施例的框图;

[0012] 图 6 为用以重新产生流时钟信号的过程的实施例的时序图;以及

[0013] 图 7 为用以重新产生时钟信号的过程的实施例的流程图。

[0014] 概述

[0015] 本发明的实施例一般涉及对从数据流重新产生的时钟信号的调整。

[0016] 于本发明的第一方面,方法的实施例包括:通过通信链路从传送方设备接收数据流,所述数据流包含流数据、链路时钟信号以及用以指示此链路时钟信号与流时钟信号之间的关系时间戳。所述方法还包括至少部分地基于与数据流有关的一个或多个测量来调整此流时钟,所述一个或多个测量包括对一时间段期间流时钟的脉冲的数量的计数、或对某一时间来自缓冲器中所存储的此数据流的数据元素的数量测量。

[0017] 于本发明的第二方面,装置的实施例包括:接收器,用以经由与传送方设备的通信链路接收数据流,所述数据流是在链路时钟信号速率下进行时钟控制的,此数据流包含时间戳,用以指示此链路时钟信号与流时钟信号之间的关系。所述装置还包括:流时钟恢复单元,用以至少部分地基于此链路时钟信号与时间戳重新产生此流时钟信号;以及数据缓冲器,用以保持来自数据流的数据元素。所述装置至少部分地基于与数据流有关的一个或多个测量来调整此流时钟信号的速率,所述一个或多个测量包含对一时间段期间流时钟的脉冲的数量的计数、或对某一时间来自缓冲器中所存储的此数据流的数据元素的数量的测量。

[0018] 详细描述

[0019] 本发明的实施例一般涉及对从数据流重新产生的时钟信号的调整。

[0020] 于一些实施例中,一种方法、装置或系统提供至少部分地基于相关于数据流的数据测量来从数据流重新产生时钟信号。于一些实施例中,一种方法、装置或系统提供给定时间段中时钟脉冲的一个或多个测量、以及某一时间点缓冲器中存储的数据的测量。

[0021] 显示端口系统协议包含两个不同时钟源,称为“链路符号时钟”及“流时钟”。链路符号时钟被用于通过源设备(位于传送器侧)及阱设备(位于接收器侧)之间的通信信道来传输数据。于如此的协议中,链路符号时钟具有 1.62Gbps、2.7Gbps、或 5.4Gbps 的固定数据率。流时钟用以传输源设备及阱设备内部的每一像素数据。于显示端口中,流时钟频率并不与链路符号时钟关联或相关,并可取决于相关显示设定(例如,分辨率、遮没时段(blanking period)、以及帧速率)而变化。

[0022] 于传统的运作中,阱设备用以重新建构此视频数据及流时钟。为了允许于接收器侧重新建构此流时钟,源设备发送时间戳值“M”及“N”,其同链路符号时钟频率与流时钟时钟之比有以下关系:

[0023]

$$\frac{M}{N} = \frac{f_{\text{流时钟}}}{f_{\text{链路符号时钟}}}$$

[0024] 于传统的运作中,接收方设备利用此时间戳的值来确定流时钟与链路符号时钟的关系,并且基于此链路符号时钟与所恢复的时间戳,重新产生链路流时钟。于传统的运作中,接收方设备将根据改变此时间戳的值以调整此流时钟,以便维持此流时钟信号的准确度。

[0025] 图 1 是用以从数据流产生流时钟的系统的实施例的示意图。于此高层级图式中,第一设备 100 包含传送器 110,此传送器 110 经由通信链路 145 根据链路时钟速率 120 来传送数据流 140,所述数据流包含内容及其它数据 130、以及时间戳 135,用以指示所传输数据的时钟信号 120 与流时钟信号 125 之间的关系。

[0026] 于一些实施例中,具有接收器 155 的第二设备 150 经由此通信链路 145 接收此数据流 140,第二设备 150 用于恢复此链路时钟信号 160 及时间戳 165 来重新产生此流时钟信号,第二设备包含锁相环(PLL) 170,用于在产生此流时钟 175 时使用、以及缓冲器 180,用以保持从数据流接收的数据 190。于一些实施例中,第二设备还提供相关于此数据流的一个或多个测量 185,第二设备 150 用于通过至少部份地基于此一个或多个测量 185 更改此锁相环 170 的速率来调整此流时钟信号速率。于一些实施例中,一个或多个测量 185 包含于在

某一时间段期间流时钟的脉冲的数量、以及于某一时间缓冲器 180 中所存储的数据元素的数量、的一个或多个测量。

[0027] 图 2 是用以从数据流重新产生流时钟的系统的实施例的框图。于此例示中,源设备 200 经由接口 240 耦合于阱设备 250。如所例示的,源设备 200 可包含视频控制器 202,该视频控制器提供视频数据 204 至传送器 (Txr) 206 以经由接口 240 传输至阱设备 250。如图所示,视频控制器 202 依据流时钟信号 212 运作,并且传送器 206 接收链路时钟信号 214,用以对经由接口 240 的数据传输进行时钟控制。流时钟信号 212 及链路时钟信号 214 被进一步提供给 M/N 计数器 210,其利用此类信号以产生 M 与 N 值 208 来供传送器 206 进行传输。所传送的数据流因而包含此流数据以及 M 与 N 值 245。

[0028] 如图 2 中进一步例示的,阱设备 250 进一步包含接收器 (Rxr) 252,用以从接口 250 接收数据流。接收器 252 提供所接收的数据至时钟和数据恢复单元 254,其运作以恢复数据,导入解码器 255,并用以恢复链路符号时钟信号 262,所述链路符号时钟信号 262 被提供给流时钟恢复单元 264 以及示为 FIFO(先进先出)缓冲器 266 的缓冲器。从流数据恢复的数据被解码器 255 导入至视频数据解包器 256(该视频数据解包器提供视频数据至 FIFO 缓冲器 266)以及导入至属性解包器 258,该属性解包器获得 M 与 N 值 260 并提供此数据至流数据恢复单元 264。阱设备 250 可包含锁相环 265,其在此被例示为流数据恢复单元 264 的一部分,但亦可为分离的元件。利用连接符号时钟信号及 M 与 N 值,流时钟恢复单元 264 重新产生流时钟信号,并且提供此重新产生的流时钟信号 268 至 FIFO 缓冲器 266 及视频信号产生器 270,所述视频信号产生器 270 基于此重新产生的流时钟信号来从 FIFO 缓冲器 266 接收视频数据。

[0029] 于运作中,M 与 N 值的设定基于时钟的关系而有所变化。如果两个时钟信号具有相同时钟源并除以一给定数,则源设备会知晓这两个时钟频率的比率,并因此可以对 M 与 N 设定恒定值。然而,如果所述两个时钟信号具有彼此毫无关系的时钟源,则源设备被要求随时间计算 M 与 N 值,诸如通过在对应于给定数量的链路符号时钟脉冲的时间期间对流时钟脉冲的数量进行计数。毫无关系的时钟信号通常将彼此间会有偏移,M 与 N 的数值因而会随着时间改变,并且必须随着时间来重新计算。于一特定的范例中,对于异步模式的显示端口,所述 N 的值固定为 32768。

[0030] 如上所述,阱设备通过从接收的数据流提取时间戳值 M 及 N 以及重新产生流时钟来恢复此流时钟。然而,用以于阱设备中重新产生此流时钟的传统运作面对一些难题。一个难题为所需 PLL 的复杂性及尺寸。于显示端口传输中,时间戳值 M 及 N 系为 24 比特值,而 24 比特分数型 (fractional) 锁相环通常被要求产生一精确的流时钟信号。然而,24 比特分数型 PLL 要求复杂的电路,且因此需要装置或系统中大量的硅面积。于一传统装置或系统中,可试图利用面积高效 PLL 设计来降低所需面积,举例而言,例如  $\Delta \Sigma$  分数型 PLL(delta-sigma fractional PLL)。此外,藉由与替代的 M 及 N 值的判定一起运作,可在阱设备中实现每次仅解决 M 或 N 值中的一个的较高分辨率 PLL。

[0031] 然而,在达成精确的流时钟信号时存在其它难题。第一,源设备中的时钟源因为频率位移而不完美;第二,M 与 N 值本身就不精确,因为例如这些数值每 32,768 个链路符号时钟周期就更新一次,其需要数百毫秒。如果对于如此一时间段累积这些相位差,则此相位差可能会导致附加或错失可对与显示设备的顺应产生显著显示伪像及妨害的时钟脉冲或

缺少时钟脉冲。为了补偿这些不精确,需要非常大的 FIFO 缓冲器来防止缓冲器欠载运行(underrun)或溢出。

[0032] 于一些实施例中,阱设备 250 可利用较不复杂的硬件(例如,低分辨率 PLL 及小尺寸的 FIFO)来提供流时钟恢复。于一些实施例中,阱设备运作以利用对此数据流的测量来提供对流时钟的精确重新产生。

[0033] 于一些实施例中,装置或系统系可利用由在确定流时钟信号时属性解包器 258 所解码的空白开始符号或空白结束符号之间的时钟脉冲的计数。于一些实施例中,一装置或系统系可在调整流时钟频率时利用 FIFO 缓冲器 266 的层级。

[0034] 图 3 为包含时钟数据脉冲的测量的用以从数据流中重新产生流时钟的系统的实施例的框图。于一些实施例中,源设备 300 传送数据流至阱设备 350。于一些实施例中,除了参照图 2 描述的元件,装置、系统或方法提供对连续空白开始符号或空白结束符号(BS 或 BE)之间的流时钟脉冲的数量进行计数。于一些实施例中,源设备 300 的视频控制器 202 依据显示分辨率确定水平线时段的流时钟脉冲的数量,并提供此脉冲的数量至传送器 206,以将其连同 Htotal 的值传送至阱设备 350,其中 Htotal 为参考值,表示水平线时段中预期脉冲数量。于一些实施例中,所例示的属性解包器的运作进一步包含所检测到的空白开始符号或空白结束符号、以及 Htotal(H 总数)值。

[0035] 于一些实施例中,在接收器侧,流时钟恢复单元 264 在重新产生流时钟信号 268 时利用 M 与 N 信号 260 连同空白开始数值或空白结束值、以及所述 Htotal 值 361。于一些实施例中,如果产生于两个空白开始符号或两个空白结束符号之间的流时钟脉冲的数量大于 Htotal,则此阱设备 350 动作以减缓此流时钟恢复单元 264 的 PLL265,藉此降低所重新产生的流时钟信号的比率。如果对某一时间段(例如一个水平线时段)产生的流时钟的数量低于 Htotal,则阱设备 350 动作以增加流时钟恢复单元 264 的 PLL265 的速度,藉此增加所重新产生的流时钟信号的比率。

[0036] 于一些实施例中,装置、系统或方法提供一机会以比仅基于时间戳 M 与 N 值的传统方法更频繁地调整 PLL。对每一条线接收空白开始信号及空白结束信号,同时通常每若干条线(例如,对 1080p 显示而言,每八条线)更新时间戳值一次。于一些实施例中,用以防止缓冲器欠载运行及溢出的所需的 FIFO 的尺寸小于传统方法中的尺寸。

[0037] 于一些实施例中,装置、系统或方法允许对流时钟进行恢复得以处理的时间早于传统方法的处理时间,因而时钟相位误差可被降低,并且,因为相较于传统流时钟信号的产生,溢出数据较小,所以所需 FIFO 尺寸可被减小。

[0038] 图 4 为用以重新产生流时钟信号的过程的实施例的时序图。于此图式中,水平同步信号 410 被提供于用于数据线,且像素数据于此同步信号 420 之后被传送。如图所示,从所接收的数据流重新产生流时钟 430。于一些实施例中,装置或系统包含流时钟计数器 440,用以确定一时间段(例如于任一水平线)中的流时钟脉冲的数量,且将此数量与 Htotal 值 450(其中该值被标示为“H”)作比较,与计数之间的差被示为时钟计数差 460。于此图式中,对于第一线,脉冲的数量为 H,导致时钟计数差为零;对于第二线,为 H+1,导致总时钟计数差为 1;以及对于第三线,为 H-1,导致总时钟计数差为零。于一些实施例中,装置或系统提供 PLL 控制信号(快速)470,用以致使此 PLL 更快运行,从而导致此流时钟速率的增加,以及 PLL 控制信号(缓慢)475,用以致使此 PLL 更慢运行 475,从而导致此流时钟

速率的减小。于此图式中,当时钟计数差为零时,PLL 控制信号(快速)470 与 PLL 控制信号(缓慢)475 被禁用,而当时钟计数差值为一正值时,PLL 控制信号(缓慢)475 被启用,以降低此流时钟速率。类似的,如果时钟计数差变为一负值,则 PLL 控制信号(快速)470 将被启用以增大此流时钟速率。图 4 进一步例示了所产生的水平同步信号 480 及所产生的数据 490。

[0039] 图 5 为包含缓冲器存储的测量的用以从数据流中重新产生流时钟的系统的实施例的框图。于一些实施例中,源设备 500 传送数据流至阱设备 550。除参照第 2 图描述的元件之外,在一些实施例中,方法、装置或系统对 PLL 时钟调整以重新产生的流时钟信号时利用 FIFO 缓冲器层级。于一些实施例中,对给定数量的流脉冲期间写入 FIFO 缓冲器的像素数量计数可提供流时钟与链路符号时钟之间的关系指示。

[0040] 于一些实施例中,于某些时间中,流时钟恢复单元 264 获得此 FIFO 缓冲器 266 的层级 569。举例而言,于一些实施例中可在从 FIFO 缓冲器读取第一像素数据元素之前、或是当从缓冲器 266 读取此像素数据时的期间读取 FIFO 层级 569。然而,这些实施例并不限定于任何特定时间点的测量,并且可包含像素数据开始被读取之前或之后的任何时间。

[0041] 于一些实施例中,在确定 FIFO 层级的时间点,FIFO 层级 569 提供所存储的数据元素的数量减去已经被读出的数据元素的数量,并且可表示数据被多快地写入 FIFO 缓冲器 266 与数据被多快地从 FIFO 缓冲器读出之间的比率。于此运作中,数据系依据链路符号时钟被写入此 FIFO 缓冲器 266,并且依据所恢复的流时钟从 FIFO 缓冲器 266 读出。因此,此 FIFO 层级 569 表示链路符号时钟频率与流时钟频率之间的关系。于一些实施例中,如果此 FIFO 缓冲器层级 569 增加,指示此数据被存储至此 FIFO 缓冲器 266 比从 FIFO 缓冲器读出此数据更快,则 PLL265 的频率被增加以增加读出的速度。此外,如果 FIFO 缓冲器层级 569 减少,指示此数据被存储至此 FIFO 缓冲器 266 比从 FIFO 缓冲器 266 读出此数据更慢,则 PLL265 的频率被减少以降低读出的速度。于一些实施例中,至少部分地基于当前 FIFO 缓冲器层级 569 与先前测量时间的层级或与参考值的比较来将流时钟恢复单元 264 的 PLL265 的频率控制成更快或更慢,并且阱设备 550 操作用于相应地调整 PLL 速度。

[0042] 图 6 为用以重新产生流时钟信号的过程的实施例的时序图。于此图式中,周期性水平同步信号 610 指示一系列线中的每一个的开始,且像素数据 620 在此同步信号之后被传送。如图所示,从接收的数据流重新产生流时钟 630。于一些实施例中,装置或系统包含 FIFO 缓冲器层级 640,此 FIFO 缓冲器层级表示于某一时间点(例如,对特定线从缓冲器读取像素之前的时间点)被存储于 FIFO 缓冲器中的像素数量或其它数据元素的数量。

[0043] 举例而言,如图所示的,FIFO 缓冲器层级 640 在第一线的第一像素读出时为 8(由所产生的 DE650 表示),而第二线的第一像素被读取时为 7。于此范例中,可假设对于当从 FIFO 缓冲器读取第一像素时的时间点,先前 FIFO 缓冲器层级或参考值为 7。于一些实施例中,装置或系统提供基于此 FIFO 层级致使 PLL 运行得更快 670,增加此流时钟速率,或更慢 675,降低此流时钟速率。于此图式中,当 FIFO 层级为 7(或另一参考层级)时,PLL(快速)670 与 PLL(缓慢)675 被禁用,且当 FIFO 层级高于 7,指示此时钟速度缓慢运行时,PLL(快速)670 被启用以增加此流时钟速率,如图 6 所示。类似地,如果 FIFO 层级低于先前层级或参考层级,则 PLL(缓慢)675 将被启用以增加此流时钟速率。图 6 进一步例示所产生的水平同步信号 660。



[0044] 于一些实施例中,随着流时钟及链路符号时钟改变一小度数,此 FIFO 层级将在每一水平线的第一像素的点处改变。如果此 FIFO 层级小于此参考值,则流时钟快于预期速率,并因而在 FIFO 层级达到此参考层级之前读取使像素数据。另一方面,FIFO 层级大于此参考值意味着流时钟慢于预期速率,因而在 FIFO 缓冲器达到此参考层级之后读取像素数据。于图 6 所提供的范例中,第一像素被读出的时刻的预期 FIFO 层级为 7。FIFO 层级为 8 大于 7 导致对 PLL 信号(快速)670 的断言以增加此 PLL 频率。

[0045] 于一些实施例中,方法、装置或系统利用信号分析,包含相关于所接收的数据流的多个测量。于一些实施例中,时钟信号的重新产生包含确定某一时段中时钟脉冲的数量、以及确定在某一时间点缓冲器中存储的数据的数量。

[0046] 图 7 为用以重新产生时钟信号的过程的实施例的流程图。于一些实施例中,过程包括在接收方设备处经由通信链路从传送方设备接收数据流(700),其中此数据流的传输是以链路时钟信号速率来时钟控制的。该过程进一步包含从所接收的数据流恢复链路时钟信号和流数据(705),以及恢复提供链路时钟与流时钟之间的关系的时间戳(710),该流时钟用于接收方设备处的数据的传输。该过程进一步包含至少部分地基于链路时钟和所恢复的时间戳来重新产生链路时钟信号(715)。

[0047] 于一些实施例中,进行相关于此数据流的一个或多个测量以便调整流时钟信号的频率(720)。所述相关于数据流的测量包括某一时间段(例如数据线)中的时钟脉冲的数量 H 的一个或多个计数(725),以及比较值 H 与参考值(730);或确定某一时间点(诸如从缓冲器读出第一元素组件(例如像素)时或之前的时间点)存储于缓冲器(例如 FIFO 缓冲器)中的数据元素的数量 N(735),并且比较值 N 与参考值(740)。测量可包含相关于数据流的一个或多个测量(745)。

[0048] 于一些实施例中,过程包含至少部分地基于相关于数据流的测量确定流时钟是快速运行、是缓慢运行还是准确的(750)。如果流时钟快速运行(750),则过程包括减少锁相环元件的速率(755),藉此降低流时钟的速率,并且继续从所接收的数据流恢复链路时钟及流数据的过程(705)。如果流时钟缓慢运行(750),则过程包括增加锁相环的速率(760),藉此增加流时钟的速率,并且继续从所接收的数据流恢复链路时钟和流数据的过程。如果流时钟准确地运行(750),则无需调整锁相环的速率,并且继续从所接收的数据流恢复链路时钟和流数据的过程(705)。

[0049] 于一些实施例中,如果使用数据流的多种不同类型的测量,则确定流时钟是否准确(750)包括组合多个测量,由此无需结合调节流时钟来调节 PLL,从而以降低流时钟的速率,并且继续从所接收的数据流恢复链路时钟和流数据的过程。

[0050] 在以上描述中,出于说明目的阐述了众多具体细节以便提供对本发明的全面理解。然而,对本领域技术人员将显而易见的是,没有这些具体细节中的一些也可实践本发明。在其他情况下,公知结构和设备以框图的形式示出。在所示部件之间可以存在中间结构。本文中所描述或示出的部件可以具有未示出或未描述的附加输入或输出。所示元件或组件还能以不同的排列或次序来安排,包括对任何字段重新排序或修改字段大小。

[0051] 本发明可包括各种过程。本发明的过程可由硬件组件来执行或可以用计算机可执行指令来包含,这可被用于使得用这些指令编程的通用或专用处理器或逻辑电路执行这些过程。或者,这些过程可由硬件和软件的组合来执行。

[0052] 本发明的各部分可以作为计算机程序产品来提供,计算机程序产品可包括其上存储有计算机程序指令的计算机可读存储介质,计算机程序指令可被用来对计算机(或其他电子设备)进行编程来执行根据本发明的过程。机器可读介质可包括,但不限于,软盘、光盘、CD-ROM(压缩盘只读存储器)、以及磁光盘、ROM(只读存储器)、RAM(随机存取存储器)、EPROM(可擦除可编程只读存储器)、EEPROM(电可擦除可编程只读存储器)、磁卡或光卡、闪存、或适于存储电子指令的其它类型的介质/机器可读介质。此外,本发明还可作为计算机程序产品来下载,其中该程序可以从远程计算机传送到作出请求的计算机。

[0053] 许多方法是以其最基本的形式来描述的,但可以向这些方法中的任一个添加或从中删除过程,并且可以向所描述的消息中的任一个添加或从中减去信息,而不背离本发明的基本范围。对本领域技术人员而言显而易见的是,还可以作出许多修改和改编。各具体实施例不是为了限制本发明而是为了说明本发明来提供的。

[0054] 当描述元件“A”耦合至元件或“A”与“B”耦合时,元件A可直接耦合至元件B,或通过例如元件C间接耦合。当说明书声明组件、特征、结构、过程、或特性A“引起”组件、特征、结构、过程或特性B时,它意味着“A”至少是“B”的部分起因,但还可能有帮助引起“B”的至少一个其它组件、特征、结构、过程或特性。”如果说明书指示组件、特征、结构、过程或特性“可能”、“也许”或“可”被包括,则并非要求该组件、特征、结构、过程或特性被包括。如果说明书述及“一个(a,英文中的不定冠词)”或“一个(an,英文中的不定冠词)元件,则这不意味着仅有单个所描述的元件。”

[0055] 实施例是本发明的实现或示例。说明书中对“实施例”、“一个实施例”、“某些实施例”或“其它实施例”的引用表示结合实施例所描述的特定特征、结构或特性包括在至少某些实施例中,但不一定包括在所有实施例中。“实施例”、“一个实施例”或“某些实施例”的多次出现不一定都指示同样的实施例。应当理解,在对本发明的示例性实施例的以上描述中,出于流水线化本发明以及帮助理解各发明性方面中的一个或多个的目的,本发明的各个特征有时被一起分组在单个实施例、附图、或对实施例或附图的描述中。

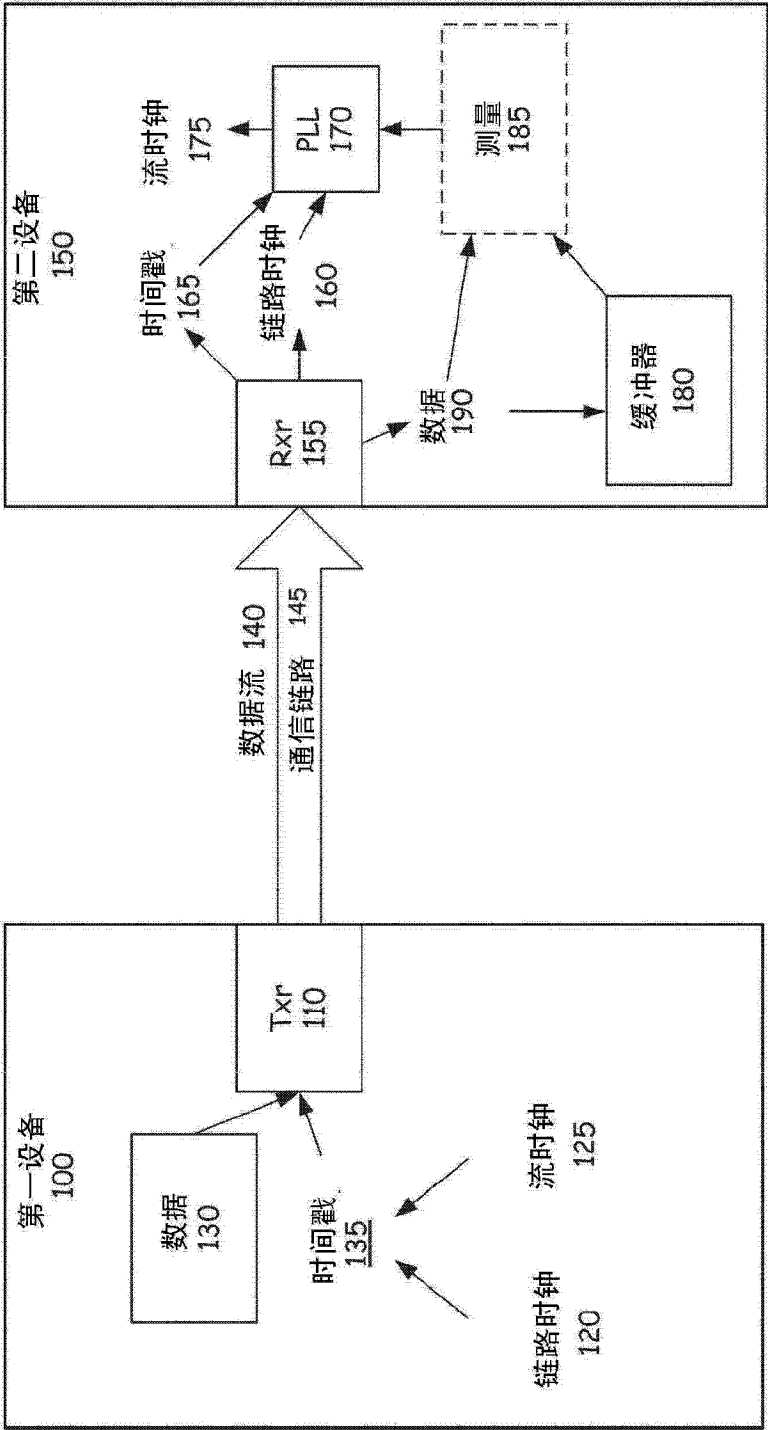


图 1

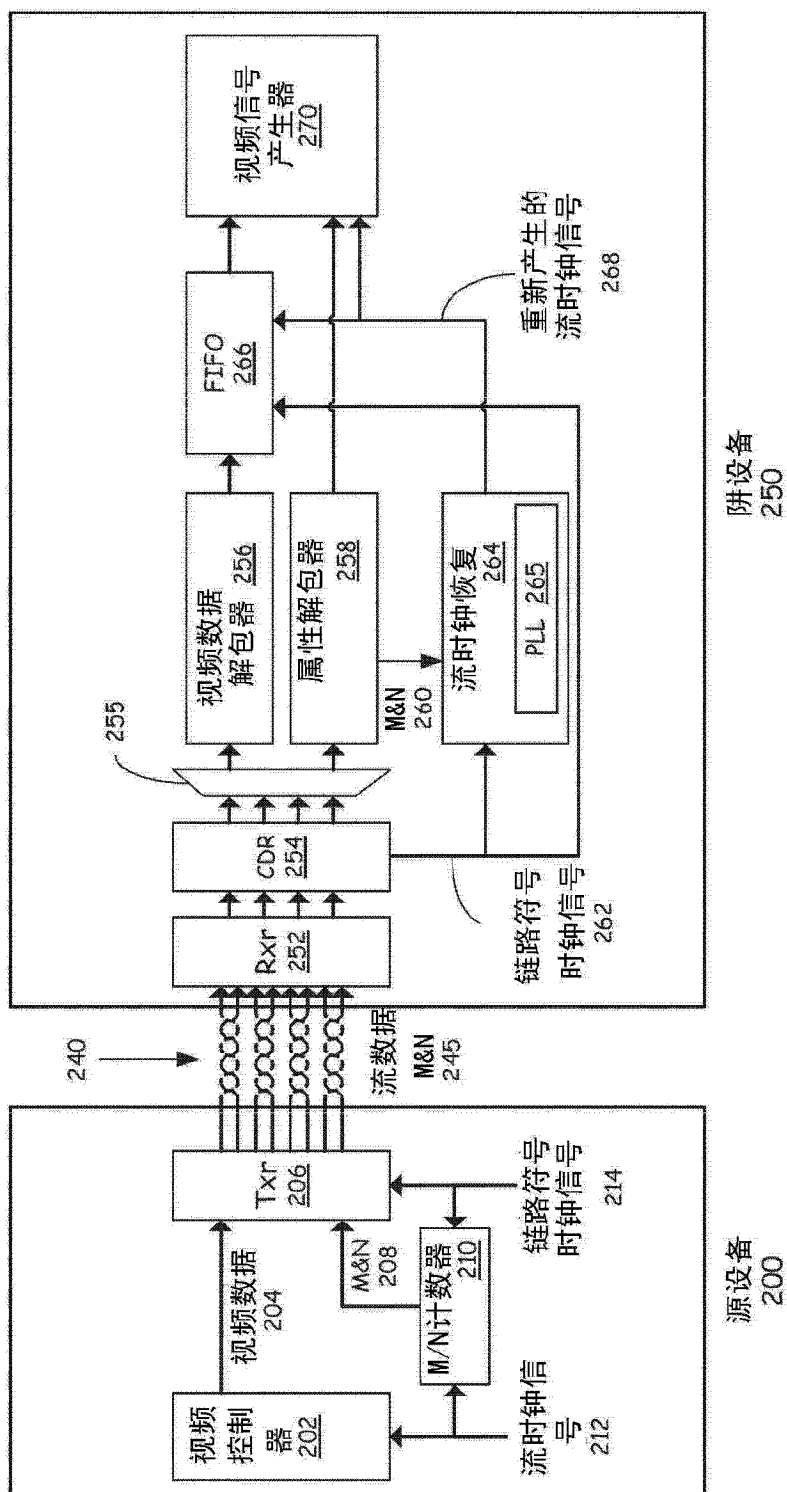


图 2

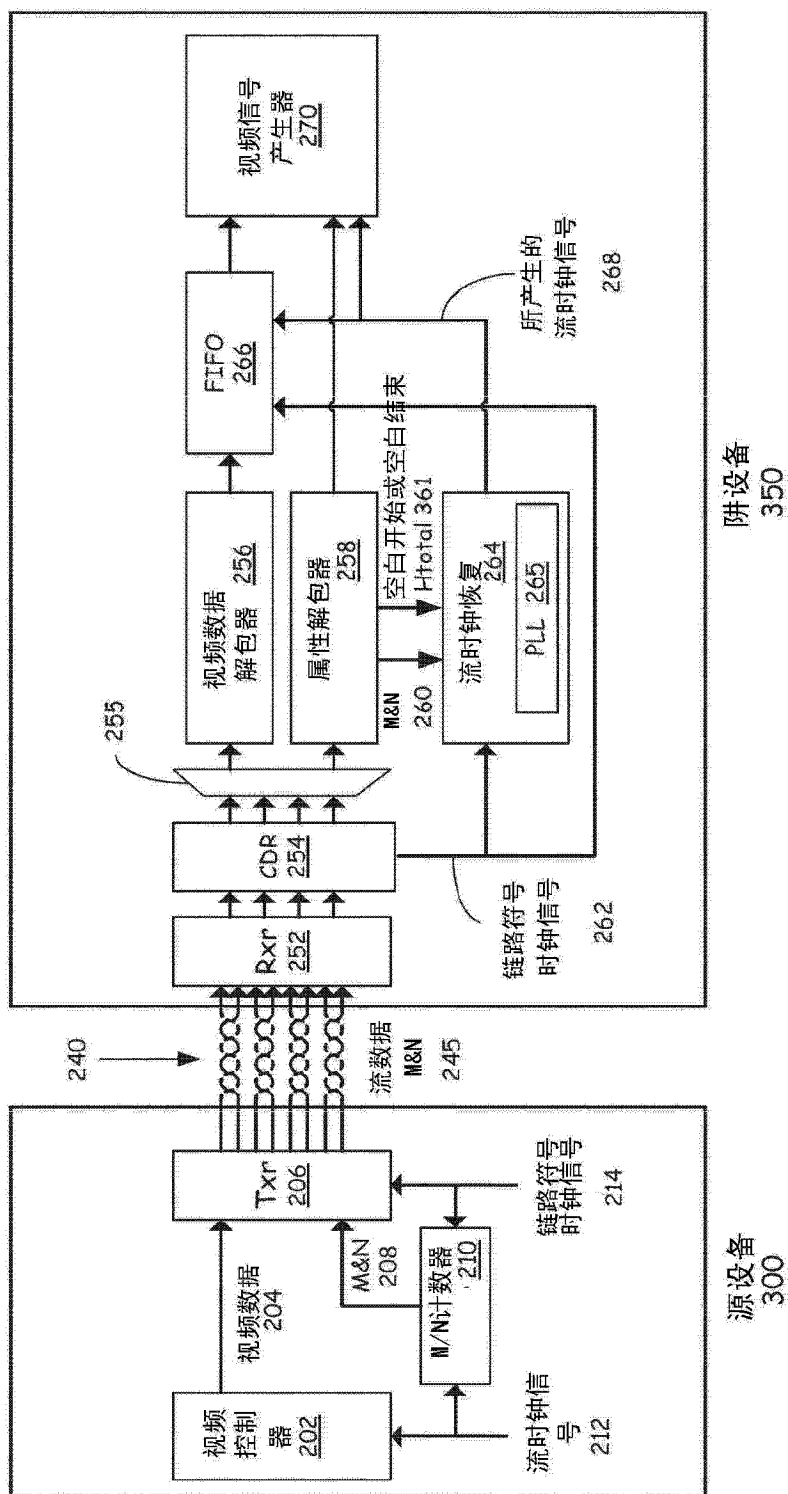


图 3

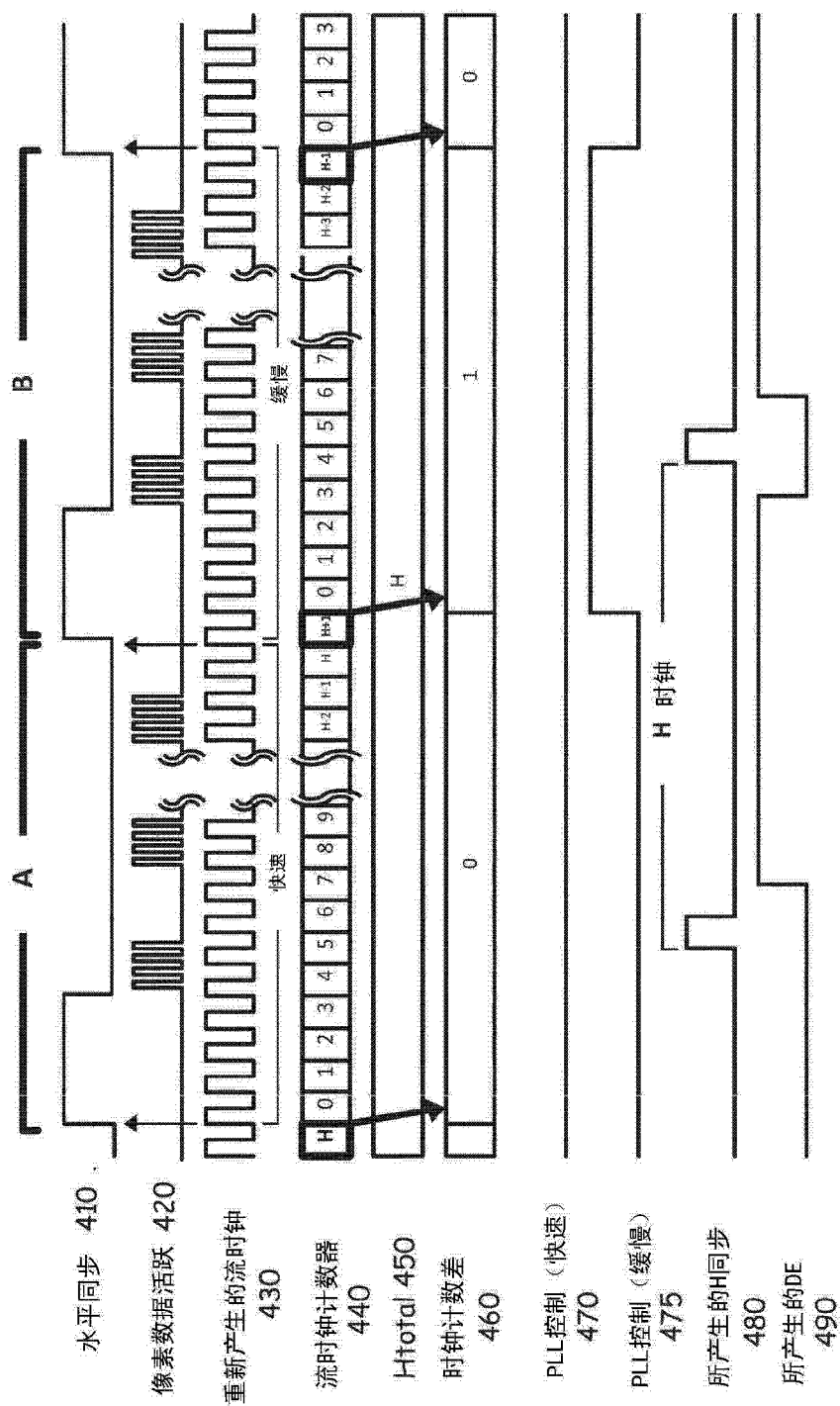


图 4

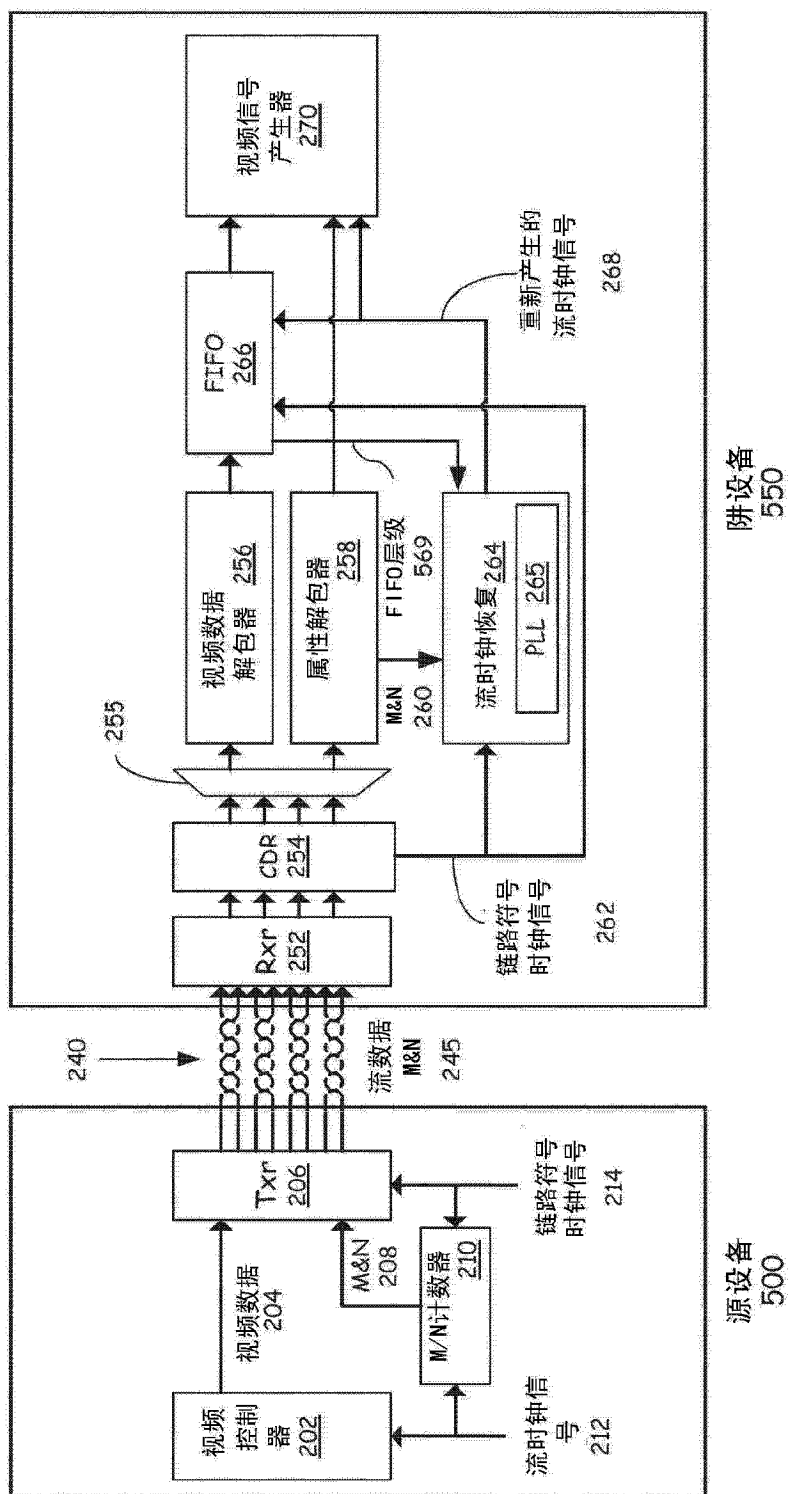


图 5

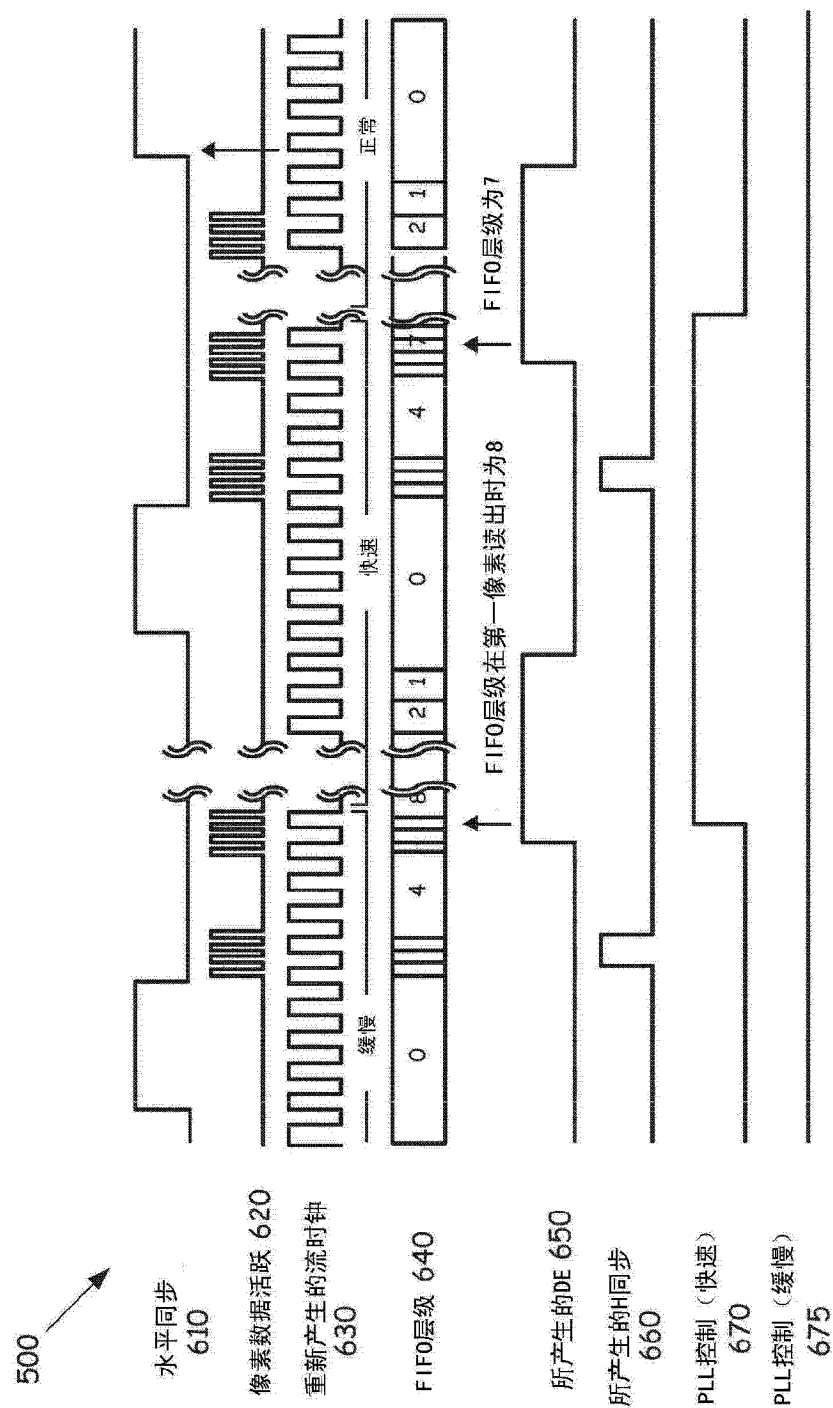


图 6



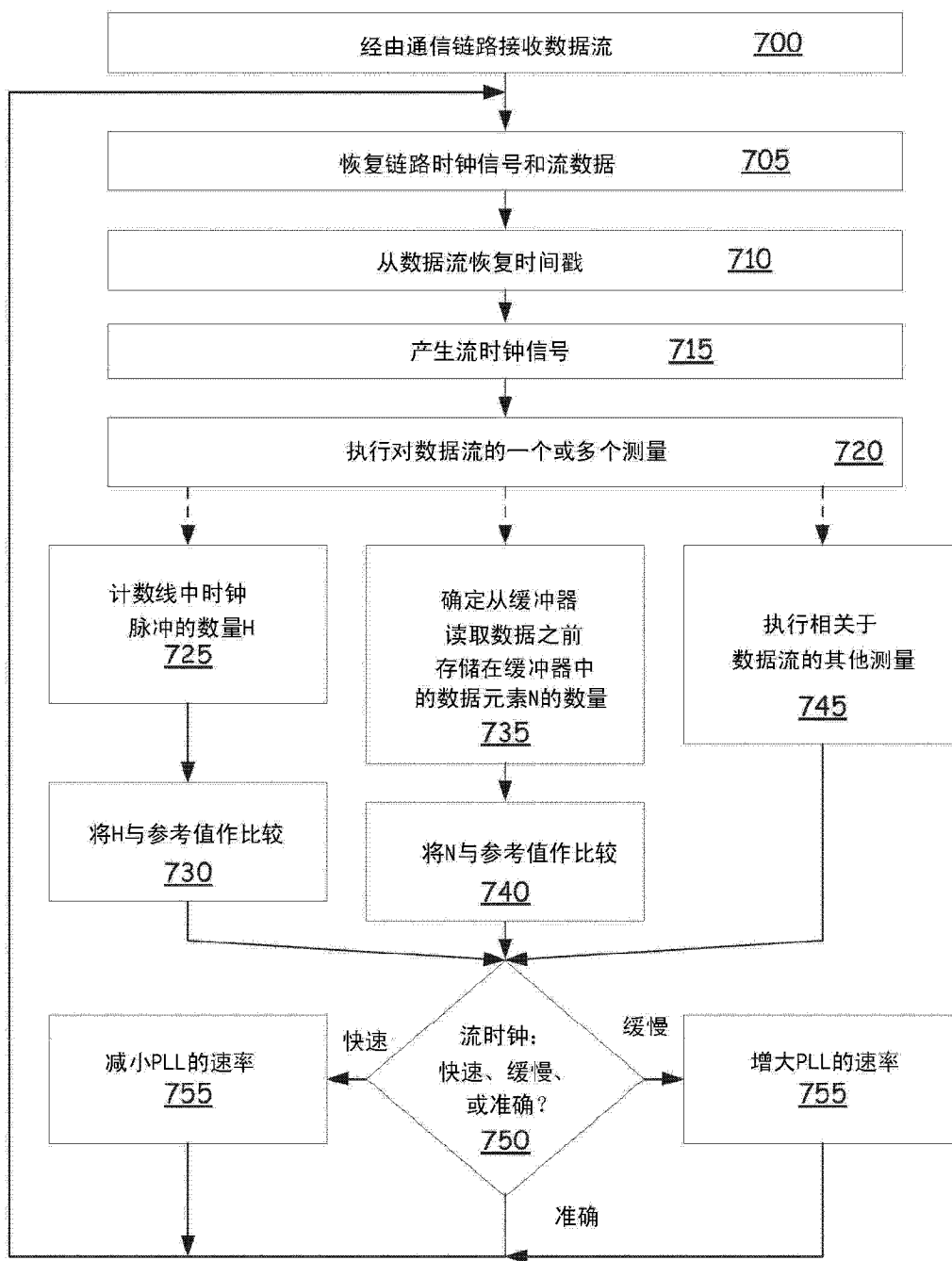


图 7