

(43) 国際公開日
2008 年 1 月 24 日 (24.01.2008)

PCT

(10) 国際公開番号
WO 2008/010436 A1

- (51) 国際特許分類:
H02N 13/00 (2006.01) H01P 1/12 (2006.01)
B81B 3/00 (2006.01) H01H 59/00 (2006.01)
- (21) 国際出願番号: PCT/JP2007/063726
- (22) 国際出願日: 2007 年 7 月 10 日 (10.07.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-197185 2006 年 7 月 19 日 (19.07.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 川合 浩史

(KAWAI, Hiroshi) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP). 竹村 光治 (TAKEMURA, Koji) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP). 山本 倭二 (YAMAMOTO, Teiji) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).

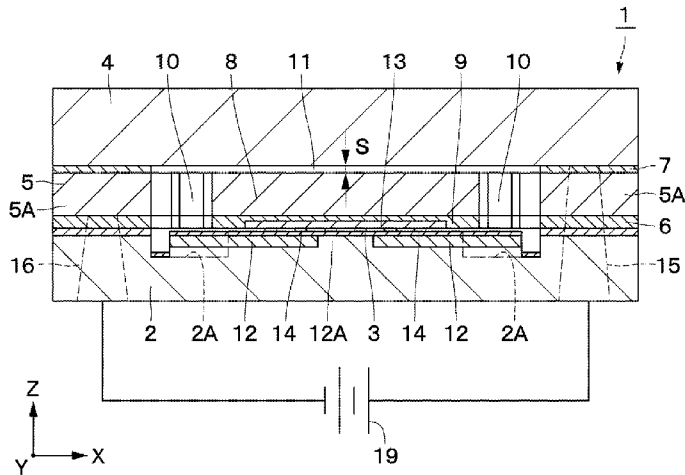
(74) 代理人: 広瀬 和彦 (HIROSE, Kazuhiko); 〒1600023 東京都新宿区西新宿 3 丁目 1 番 2 号 H A P 西新宿ビル 4 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME,

[続葉有]

(54) Title: ELECTROSTATIC ACTUATOR AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 静電型アクチュエータおよびその製造方法



(57) Abstract: A variable capacitance element (1) is composed of a substrate (2), a driving electrode (4), a supporting section (5), a movable body (8), a fixed electrode (12), a movable electrode (13) and the like. When the element is operating, the movable body (8) is displaced by an amount of a dimension (S) of a space (11) by an electrostatic force, and an electrostatic capacitance between the electrodes (12, 13) is changed. When manufacturing the element, the driving electrode (4) is formed by using one silicon layer (21) of an SOI substrate (20), by removing an insulating layer (23) of the SOI substrate (20), and the supporting section (5), the movable body (8) and the like are formed by processing other silicon layer (22). Thus, the structure and the manufacturing process of the driving electrode (4) can be simplified. Furthermore, the dimension (S) of the space (11), i.e., the displacement quantity of the movable body (8), can be accurately set, corresponding to the thickness (S') of an insulating layer (23).

(57) 要約: 可変容量素子 1 を、基板 2、駆動電極 4、支持部 5、可動体 8、固定電極 12、可動電極 13 等によって構成する。そして、素子の作動時には、可動体 8 を静電力によって隙間 11 の寸法 S 分だけ変位させ、電極 12、13

[続葉有]



WO 2008/010436 A1



MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,
SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

間の静電容量を変化させる。また、素子の製造時には、SOI基板20の絶縁層23を除去することにより、SOI基板20の一つのシリコン層21を用いて駆動電極4を形成し、他のシリコン層22を加工して支持部5、可動体8等を形成する。これにより、駆動電極4の構造や製造工程を簡略化することができる。また、可動体8の変位量となる隙間11の寸法Sを、絶縁層23の厚さS'に応じて正確に設定することができる。

明 細 書

静電型アクチュエータおよびその製造方法

技術分野

- [0001] 本発明は、例えば可変容量素子、スイッチ素子等として好適に用いられ、可動体を静電力によって駆動する構成とした静電型アクチュエータおよびその製造方法に関する。

背景技術

- [0002] 一般に、静電型アクチュエータとしては、例えば可動体を静電力によって変位させることにより、スイッチング動作を行うようにしたスイッチング素子等が知られている(例えば、特許文献1参照)。
- [0003] 特許文献1:特開2003-258502号公報
- [0004] この種の従来技術によるスイッチング素子は、絶縁性の材料により形成された基板と、該基板と対向して配置された板状の上部部材とを有し、この上部部材は、例えば絶縁性のガラス板等によって形成されている。また、上部部材には、基板と対向する部位にエッチング加工等を施すことによって凹部が設けられ、この凹部内には導体層等からなる駆動電極が設けられている。
- [0005] また、基板と上部部材との間には、例えば板状のシリコン材料にエッチング加工を施すことによって可動体が設けられている。この可動体は、基板と上部部材との間に設けられた支持部等によって基板と垂直な方向に変位可能に支持されている。そして、駆動電極と可動体との間に電圧を印加したときには、これらの間に静電力(静電引力)が発生し、可動体は、この静電力によって基板から離れる方向に変位する。
- [0006] また、基板には、例えば高周波信号を伝送する伝送線路等として形成された固定電極が設けられ、可動体には、この固定電極と対向する位置に可動電極が設けられている。そして、可動電極は、可動体と一緒に垂直方向に変位することにより、固定電極に対して近接、離間する。
- [0007] これにより、スイッチング素子は、電圧印加の有無に応じて可動体を変位させ、その位置に応じて固定電極を伝わる高周波信号を伝送、遮断するものである。一方、例

例えば静電型アクチュエータを可変容量素子として用いる場合には、可動電極の位置、即ち固定電極と可動電極との電極間距離に応じて素子の容量を変化させる構成となっている。

[0008] また、これらの静電型アクチュエータは、例えば可動体が基板から離れる方向に変位して駆動電極と当接したときに、この当接位置に応じて可動電極の変位量を定める構成としている。この場合、可動電極の変位量は、静電型アクチュエータとしての動作特性に影響することが多い。

[0009] このため、従来技術では、例えば上部部材の凹部の深さ寸法や可動体の厚さ寸法等をエッチング加工によって調整することにより、電圧を印加していないときの可動体と駆動電極との間の隙間寸法(即ち、電圧を印加したときの可動電極の変位量)を適切に設定するようにしている。

[0010] ところで、上述した従来技術では、上部部材の凹部内に駆動電極を設け、この駆動電極と可動体との間の隙間寸法に応じて可動体の変位量を設定する構成としている。

[0011] この場合、アクチュエータの製造時には、例えば上部部材にエッチング加工を施して凹部を形成する工程や、この凹部内に導体層等を形成する工程、さらには導体層にエッチングを施して駆動電極を形成する工程等が必要となる。このため、従来技術では、静電型アクチュエータの製造工程が複雑化し、これを効率よく製造するのが難しいという問題がある。

[0012] また、従来技術では、例えば上部部材の凹部の深さ寸法や可動体の厚さ寸法等をエッチング加工によって調整することにより、可動電極の変位量を設定する構成としている。

[0013] しかし、これらのエッチング加工時には、ある程度の加工誤差が必然的に生じるので、可動体と駆動電極との位置関係を正確に設定するのは難しい。このため、従来技術では、エッチング加工時の誤差によって可動体の変位量にばらつきが生じ易くなり、信頼性が低下するという問題がある。

発明の開示

[0014] 本発明は上述した従来技術の問題に鑑みなされたもので、本発明の目的は、アク

チュエータの構造や製造工程を簡略化することができ、生産性を向上できるようにした静電型アクチュエータおよびその製造方法を提供することにある。

[0015] また、本発明の他の目的は、可動体の変位量を正確に設定することができ、アクチュエータとしての動作特性や信頼性を向上できるようにした静電型アクチュエータおよびその製造方法を提供することにある。

[0016] (1). 上述した課題を解決するために本発明は、基板と、該基板と垂直な方向で対向する板状の駆動電極と、前記基板と駆動電極との間に設けられた支持部と、前記基板と駆動電極との間に位置して該支持部により垂直方向に変位可能に支持され前記駆動電極との間に発生する静電力により前記基板に対して近接、離間する可動体とを備えてなる静電型アクチュエータに適用される。

[0017] そして、本発明が採用する構成の特徴は、前記駆動電極は、低抵抗な第1、第2のシリコン層が絶縁層を挟んで形成されたSOI基板のうち第1のシリコン層を用いて形成し、前記支持部と可動体とは、前記SOI基板のうち第2のシリコン層を用いて形成し、前記SOI基板の絶縁層を除去することによって前記駆動電極と可動体との間に隙間を形成し、前記他方のシリコン層のうち前記支持部となる部位を前記基板に固定する構成としたことにある。

[0018] 本発明によれば、SOI基板を用いて静電型アクチュエータを製造することができる。この場合、アクチュエータの製造時には、例えばSOI基板の絶縁層をエッチング加工等の手段によって除去することができ、この絶縁層の両側に位置する第1、第2のシリコン層を用いて駆動電極と可動体とを容易に形成することができる。

[0019] これにより、絶縁層を除去するだけの簡単な工程によって、SOI基板の第1のシリコン層をそのまま使用して駆動電極を効率よく形成することができる。このため、例えば可動体と対向する構造物に導体を設ける工程や、この導体を駆動電極として成形する工程等が不要となるから、アクチュエータの構造及び製造工程を簡略化することができ、生産性を向上させることができる。

[0020] また、絶縁層を除去した後には、駆動電極と可動体との間に垂直方向の隙間を設けることができ、この隙間の寸法は、予め高い寸法精度をもって形成されたSOI基板の絶縁層の厚さに応じて正確に設定することができる。そして、アクチュエータの作動

時には、駆動電極と可動体との間に静電引力を発生させることにより、可動体を駆動電極に向けて前記隙間の寸法分だけ変位させることができ、これによって静電型アクチュエータの静電容量や信号の伝送状態等を切換えることができる。

[0021] 従って、例えば所望の厚さに形成しておいた絶縁層を除去することにより、駆動電極と可動体との間の隙間寸法、即ち可動体の変位量を正確かつ容易に設定することができる。これにより、例えば静電型アクチュエータの製造ライン等では、複数のアクチュエータ間で可動体の変位量を精度よく揃えることができ、動作特性のばらつき等を抑えて信頼性を向上させることができる。

[0022] (2). 本発明では、前記駆動電極と可動体とは、前記シリコン層の種類をp型とn型としたときに互いに種類が異なるシリコン層によって形成し、前記駆動電極と可動体との間には、前記n型のシリコン層と前記p型のシリコン層とに対して逆バイアスとなる方向に電圧を印加して静電力を発生させる構成としてもよい。

[0023] 本発明によれば、p型とn型のシリコン層を有するSOI基板を用いることにより、駆動電極と可動体のうち一方の部材をp型シリコン層によって形成し、他方の部材をn型シリコン層によって形成することができる。そして、アクチュエータの作動時には、駆動電極と可動体との間に直流電源を接続し、これらの間に電圧を印加して静電力を発生させることにより、可動体を駆動電極と当接する位置まで変位させることができる。

[0024] このとき、駆動電極と可動体とが当接した部位では、p型シリコン層とn型シリコン層との接触部位に電源電圧が印加されるが、これらの接触部位に対してpn接合の逆バイアス方向に電圧が作用するように、電源の極性を予め設定しておくことができる。

[0025] これにより、駆動電極と可動体との接触部位を通じて電源の短絡やリーク電流等が生じるのを防止でき、静電型アクチュエータを安定的に作動させることができる。従って、例えば駆動電極と可動体との間にストッパ等の絶縁構造を設けなくてもよいから、可動体の変位量を駆動電極との当接位置に応じて正確に設定することができ、またアクチュエータを小型化することができる。

[0026] (3). 本発明では、前記駆動電極と可動体とのうち少なくともいずれか一方には、前記隙間に位置して前記SOI基板の絶縁層よりも厚さ寸法が小さい薄膜絶縁層を設ける構成としてもよい。

- [0027] 本発明によれば、駆動電極と可動体とのうち少なくともいずれか一方には隙間に位置して薄膜絶縁層を設ける構成としたから、駆動電極と可動体との間に薄膜絶縁層を配置することができる。このため、可動体が駆動電極側に変位したときに、可動体と駆動電極との間に薄膜絶縁層が挟まるから、可動体と駆動電極とが直接接触することがなくなる。この結果、駆動電極と可動体との間の耐圧を高めることができるから、駆動電極と可動体との間に印加する電圧を高めることができる。
- [0028] (4). 本発明は、基板と、該基板と垂直な方向で対向する板状の駆動電極と、前記基板と駆動電極との間に設けられた支持部と、前記基板と駆動電極との間に位置して該支持部により垂直方向に変位可能に支持され前記駆動電極との間に発生する静電力により前記基板に対して近接、離間する可動体とを備えてなる静電型アクチュエータの製造方法であって、低抵抗な第1、第2のシリコン層の間に絶縁層を挟んでSOI基板を形成する工程と、該SOI基板の第2のシリコン層を用いて前記支持部および可動体を形成する工程と、前記SOI基板の第1のシリコン層を前記駆動電極とし、前記絶縁層のうち前記可動体と対向する部位を除去することによって該駆動電極と可動体との間に隙間を形成する工程と、前記第2のシリコン層のうち前記支持部となる部位を前記基板に固定する工程とを備える構成としている。
- [0029] 本発明によれば、SOI基板の絶縁層のうち可動体と対向する部位を除去する工程を備えるから、例えばエッチング加工等の手段を用いて絶縁層を部分的に除去することによって、駆動電極と可動体との間に隙間を形成することができる。この隙間の寸法は、予め高い寸法精度をもって形成されたSOI基板の絶縁層の厚さに応じて正確に設定することができる。従って、例えば所望の厚さに形成しておいた絶縁層を除去することにより、駆動電極と可動体との間の隙間寸法、即ち可動体の変位量を正確かつ容易に設定することができる。これにより、例えば静電型アクチュエータの製造ライン等では、複数のアクチュエータ間で可動体の変位量を精度よく揃えることができ、動作特性のばらつき等を抑えて信頼性を向上させることができる。
- [0030] また、絶縁層を除去するだけの簡単な工程によって、SOI基板のシリコン層をそのまま使用して駆動電極を効率よく形成することができる。このため、例えば可動体と対向する構造物に導体を設ける工程や、この導体を駆動電極として成形する工程等が

不要となるから、アクチュエータの構造及び製造工程を簡略化することができ、生産性を向上させることができる。

[0031] (5). 本発明は、基板と、該基板と垂直な方向で対向する板状の駆動電極と、前記基板と駆動電極との間に設けられた支持部と、前記基板と駆動電極との間に位置して該支持部により垂直方向に変位可能に支持され前記駆動電極との間に発生する静電力により前記基板に対して近接、離間する可動体とを備えてなる静電型アクチュエータの製造方法であって、絶縁層には内部に厚さ寸法の小さい薄膜絶縁層が配置された凹部を形成する工程と、低抵抗な第1、第2のシリコン層の間に前記絶縁層を挟んでSOI基板を形成する工程と、該SOI基板のうち第1のシリコン層を前記駆動電極としたときに、第2のシリコン層を用いて前記支持部および可動体を形成し、該可動体を前記凹部と対向した位置に配置し、前記駆動電極と該可動体との間に隙間を形成する工程と、前記第2のシリコン層のうち前記支持部となる部位を前記基板に固定する工程とを備える構成としている。

[0032] 本発明によれば、絶縁層に凹部を形成する工程を備えるから、SOI基板の絶縁層には、隙間を形成するための凹部を予め形成しておくことができる。これにより、第2のシリコン層にエッチング加工を施すことによって、凹部と対向した位置に可動体を形成することができると共に、凹部によって可動体と駆動電極との間に隙間を形成することができる。

[0033] また、凹部内には絶縁層よりも厚さ寸法の小さい薄膜絶縁層を配置するから、第2のシリコン層にエッチング加工を行って凹部と対向した位置に可動体を形成したときに、可動体と駆動電極との間に薄膜絶縁層を配置することができる。このため、可動体が駆動電極側に変位したときに、可動体と駆動電極との間に薄膜絶縁層が挟まるから、可動体と駆動電極とが直接接触することがなくなる。この結果、駆動電極と可動体との間の耐圧を高めることができるから、駆動電極と可動体との間に印加する電圧を高めることができる。

[0034] さらに、駆動電極と可動体との間の隙間の寸法は、絶縁層の凹部の深さ寸法に応じて正確に設定することができるから、駆動電極と可動体との間の隙間寸法を正確かつ容易に設定することができる。また、SOI基板の第1のシリコン層をそのまま使用し

て駆動電極を効率よく形成することができるから、アクチュエータの構造及び製造工程を簡略化することができ、生産性を向上させることができる。

図面の簡単な説明

[0035] [図1]図1は本発明の第1の実施の形態による可変容量素子を駆動電極を取外した状態で示す正面図である。

[図2]図2は可変容量素子を図1中の矢示II-II方向からみた縦断面図である。

[図3]図3は可変容量素子を図1中の矢示III-III方向からみた縦断面図である。

[図4]図4は図2中の可動体等を拡大して示す拡大断面図である。

[図5]図5は可動体が静電力によって変位した状態を示す拡大断面図である。

[図6]図6は可変容量素子の製造に用いるSOI基板を示す縦断面図である。

[図7]図7は熱拡散工程によりSOI基板の第2のシリコン層の一部を低抵抗化した状態を示す縦断面図である。

[図8]図8は熱酸化工程によりSOI基板にシリコン酸化膜を形成した状態を示す縦断面図である。

[図9]図9はメッキ工程によりSOI基板に金属膜を形成した状態を示す縦断面図である。

[図10]図10は可動電極形成工程によりSOI基板に可動電極を形成した状態を示す縦断面図である。

[図11]図11はストッパ形成工程によりSOI基板にストッパを形成した状態を示す縦断面図である。

[図12]図12はシリコン層加工工程によりSOI基板の第2のシリコン層を用いて可動体、支持梁等を形成した状態を示す縦断面図である。

[図13]図13は絶縁層除去工程によりSOI基板の絶縁層の一部を除去して隙間を形成した状態を示す縦断面図である。

[図14]図14は固定電極形成工程により基板に固定電極を形成した状態を示す縦断面図である。

[図15]図15は基板形成工程により基板を形成した状態を示す縦断面図である。

[図16]図16は保護膜形成工程により基板に保護膜を形成した状態を示す縦断面図

である。

[図17]図17はSOI基板を陽極接合する状態を示す縦断面図である。

[図18]図18は本発明の第2の実施の形態によるスイッチ素子を示す拡大断面図である。

[図19]図19は本発明の第3の実施の形態によるリレー素子を示す拡大断面図である。

[図20]図20は本発明の第4の実施の形態による複数ビット型の可変容量素子を駆動電極を破断した状態を示す正面図である。

[図21]図21は本発明の第5の実施の形態による可変容量素子を示す図2と同様位置の縦断面図である。

[図22]図22は本発明の第5の実施の形態による可変容量素子を示す図3と同様位置の縦断面図である。

[図23]図23は図21中の可動体等を拡大して示す拡大断面図である。

[図24]図24は可動体が静電力によって変位した状態を示す拡大断面図である。

[図25]図25は第1, 第2のシリコン層に第1, 第2の予備絶縁層をそれぞれ形成した状態を示す縦断面図である。

[図26]図26は第1, 第2の予備絶縁層を接合して凹部を形成した状態を示す縦断面図である。

[図27]図27はサポート基板を取外してSOI基板を形成した状態を示す縦断面図である。

[図28]図28は熱拡散工程によりSOI基板の第2のシリコン層の一部を低抵抗化した状態を示す縦断面図である。

[図29]図29は熱酸化工程によりSOI基板にシリコン酸化膜を形成した状態を示す縦断面図である。

[図30]図30は駆動側引出電極形成工程により第1のシリコン層に駆動用引出電極を形成した状態を示す縦断面図である。

[図31]図31はコンタクトホール形成工程によりシリコン酸化膜をパターニングした状態を示す縦断面図である。

[図32]図32は電極形成工程によりSOI基板に可動電極および接続電極を形成した状態を示す縦断面図である。

[図33]図33はストッパ形成工程によりSOI基板にストッパを形成した状態を示す縦断面図である。

[図34]図34はシリコン層加工工程によりSOI基板のシリコン層を用いて可動体、支持梁等を形成した状態を示す縦断面図である。

[図35]図35はSOI基板を陽極接合する状態を示す縦断面図である。

符号の説明

- [0036] 1, 51, 61 可変容量素子(静電型アクチュエータ)
2, 2' 基板
4, 62 駆動電極
5, 63 支持部
8, 64 可動体
10, 65 支持梁
11 隙間
12, 32 固定電極
13, 33 可動電極
14 ストッパ
19 電源
20, 80 SOI基板
21, 71 第1のシリコン層
22, 72 第2のシリコン層
23, 78 絶縁層
31 スイッチ素子(静電型アクチュエータ)
41 リレー素子(静電型アクチュエータ)
42 接点部
52, 53 容量可変部

発明を実施するための最良の形態

- [0037] 以下、本発明の実施の形態による静電型アクチュエータを、添付図面を参照して詳細に説明する。
- [0038] ここで、図1ないし図17は第1の実施の形態を示し、本実施の形態では、静電型アクチュエータとして可変容量素子を例に挙げて述べる。
- [0039] 図中、可変容量素子1(可変容量スイッチ)は例えばマイクロマシニング技術により形成され、基板2は該可変容量素子1のベースをなしている。ここで、基板2は、例えば絶縁性を有するガラス材料等からなり、数ミリ程度の大きさの四角形状に形成されている。そして、基板2は、互いに直交する3軸方向をX軸、Y軸及びZ軸としたときに、例えばX軸及びY軸に沿って水平方向に延びている。
- [0040] また、基板2の表面側には、例えばエッチング加工等の手段によって2箇所の凹溝2Aが形成されている。これらの凹溝2Aは、後述の支持梁10に対応する位置にそれぞれ形成され、撓み変形する支持梁10に対して基板2が接触するのを防止している。さらに、基板2の表面には、図2、図4に示すように、例えばシリコン酸化物(SiO_2)等からなる絶縁性の保護膜3が設けられ、この保護膜3は、例えば0.1~1 μm 程度の厚さ寸法をもって基板2の表面と後述の固定電極12とを覆っている。
- [0041] 駆動電極4は、後述の支持部5、絶縁部7等を介して基板2上に設けられ、平板状に形成されている。この駆動電極4は、後述のSOI基板20を構成する第1のシリコン層21(例えば、低抵抗なn型シリコン層)を用いて形成され、例えば数十~数百 μm 程度の厚さ寸法を有している。
- [0042] また、駆動電極4は、図2に示す如く、基板2と垂直方向(Z軸方向)の間隔をもって対向し、これらの間には後述の可動体8が配置されている。そして、駆動電極4は、図4に示す如く、可動体8との間に電圧が印加されたときに、可動体8を引付ける垂直方向の静電力を発生し、この静電力によって可動体8を基板2から離れる方向に駆動するものである。
- [0043] 支持部5は、基板2と駆動電極4との間に設けられている。該支持部5は、可動体8、支持梁10等と同様に、導電性を有する低抵抗なシリコン材料(後述のシリコン層22)によって形成されている。そして、支持部5は、例えば基板2の周縁に沿って延びる四角形の枠状に形成され、可動体8、支持梁10等を取囲んでいる。この場合、支持

部5の内側には、可動体8を挟んでX軸方向の両側に位置する梁連結部5A、5Aが設けられている。

[0044] また、支持部5の基端側(図2中の下部側)は、例えば陽極接合等の手段を用いることにより、シリコン酸化物等からなる棒状の接合部6を介して基板2上に固定されている。一方、支持部5の先端側(図2中の上部側)には、例えばシリコン酸化物等からなる棒状の絶縁部7を介して後述の駆動電極4が固着されている。そして、支持部5は、基板2と駆動電極4との間に可動体8を配置する空間を保持している。

[0045] 可動体8は、基板2と駆動電極4との間に設けられ、支持部5により支持梁10を介して垂直方向に変位可能に支持されている。この可動体8は、SOI基板20を構成する第2のシリコン層22(例えば、低抵抗なp型シリコン層)を用いて形成され、例えば5〜10 μm 程度の厚さ寸法を有する四角形の平板状をなしている。

[0046] ここで、可動体8は、シリコン層22にエッチング加工等を施すことにより、支持部5、支持梁10等と一緒に形成されている。この場合、例えば支持部5、支持梁10等は、後述の熱拡散工程(図7参照)によって十分に低い抵抗値に形成されている。

[0047] これに対し、可動体8は、例えば熱拡散を実施しないことにより、低抵抗であっても比較的高い抵抗率(例えば、 $200\ \Omega\cdot\text{cm}$ 程度)を有しており、後述する電極12、13等の近傍で高周波信号の損失を低減するように構成されている。一方、可動体8のうち基板2と対向する面には、可動体8の一部を構成する絶縁性の電極形成層9が設けられている。この電極形成層9は、例えばシリコン酸化物等を用いて数 μm 程度の厚さ寸法に形成され、可動電極13の形成部位となるものである。

[0048] そして、可動体8は、駆動電極4との間に発生する静電力によって垂直方向に変位し、基板2に対して近接、離間する。即ち、可動体8は、図4に示す如く、駆動電極4と可動体8との間に電圧を印加していないときに、後述の支持梁10によって基板2と近接した位置に保持され、駆動電極4とは後述の隙間11を介して離間している。

[0049] また、駆動電極4と可動体8との間に電圧を印加したときには、図5に示す如く、これらの間に静電力が作用することにより、可動体8が駆動電極4に引付けられる。この結果、可動体8は、駆動電極4に当接する位置まで垂直方向に変位し、基板2から離間した位置に保持される。

- [0050] そして、可変容量素子1は、可動体8の位置に応じて固定電極12と可動電極13との電極間距離が変化することにより、左、右の固定電極12間の静電容量値が選択的に切換わるものである。
- [0051] 支持梁10は、可動体8を垂直方向に変位可能に支持し、可動体8と支持部5との間に例えば4本設けられている。これらの支持梁10は、例えばクランク状に屈曲した梁として形成され、基板2と駆動電極4との間に位置して水平方向に延びると共に、これらの基板2及び駆動電極4から垂直方向に離間している。
- [0052] また、各支持梁10は、基端側が支持部5の梁連結部5Aに連結され、先端側が可動体8の四隅にそれぞれ連結されている。そして、支持梁10は、図5に示す如く、可動体8が駆動電極4に向けて変位するときに、垂直方向に撓み変形するものである。
- [0053] 隙間11は、駆動電極4と可動体8との間に垂直方向に設けられている。この隙間11は、図4に示す如く、可変容量素子1に電圧を印加していないときに、例えば0.1～0.5 μm 程度の予め定められた寸法Sを有している。また、電圧印加時には、可動体8が駆動電極4に当接する位置まで垂直方向に変位し、このときの変位量は隙間11の寸法Sに等しくなる。このように、隙間11は、その寸法Sに応じて可動体8の変位量を設定するものである。
- [0054] ここで、本実施の形態では、後述の絶縁層除去工程において、予め形成されたSOI基板20の絶縁層23を除去することにより、隙間11を形成している。このため、隙間11の寸法S、即ち可動体8の変位量を絶縁層23の厚さS' に等しい寸法値として正確に設定することができる($S=S'$)。
- [0055] 固定電極12は、可動体8と対向する位置で基板2に例えば2個設けられている。これらの固定電極12は、図1、図2に示す如く、例えば1～10 μm 程度の厚さ寸法を有する銅等の金属膜からなり、この金属膜を基板2に埋込んで表面を平坦化することによって形成されている。この場合、金属膜の平坦化には、例えばCMP技術(Chemical Mechanical Planarization)等が用いられている。
- [0056] また、各固定電極12の一端側は、可動電極13のほぼ中央に対応する位置でX軸方向の間隔12Aを挟んで互いに対向している。また、固定電極12の他端側は可動体8の外側位置まで延び、この部位は後述の信号用引出電極18に接続されている。

- [0057] 可動電極13は、可動体8の電極形成層9に設けられている。該可動電極13は、固定電極12とほぼ同様に、電極形成層9に埋込んだ金属膜等を平坦化することによって形成されている。また、可動電極13は、各固定電極12の一端側及び間隔12Aと垂直方向で対向し、可動体8が垂直方向に変位するときには、各固定電極12に対して近接または離間する。
- [0058] この場合、左側の固定電極12と可動電極13との間、及び右側の固定電極12と可動電極13との間には、可動電極13を介して直列に接続された2つのコンデンサ(エアギャップコンデンサ)が形成されている。そして、これらのコンデンサ全体の静電容量、即ち左、右の固定電極12間の静電容量は、各電極12, 13の電極間距離に応じて変化する構成となっている。
- [0059] ストップ14は、可動電極13に複数設けられている。これらのストップ14は、例えばシリコン酸化物等により絶縁性の突起として形成され、可動電極13の表面から固定電極12に向けて突出している。そして、ストップ14は、図4に示す如く、可変容量素子1に電圧を印加していないときに固定電極12側の保護膜3に当接し、固定電極12と可動電極13との間に所定寸法の間隔を保持している。
- [0060] 一方、駆動用引出電極15, 16は、基板2等に例えば2個設けられている。これらの駆動用引出電極15, 16は、駆動電極4と可動体8とを基板2の裏面側に引出して後述の電源19に接続するものである。
- [0061] ここで、駆動用引出電極15, 16は、図1ないし図3に示す如く、例えばサンドブラスト法等によって基板2等の裏面側に有底穴を穿設し、この有底穴内に導電性材料を充填することにより、基板2の裏面に開口するビアホールとして形成されている。
- [0062] そして、一方の駆動用引出電極15は、基板2を貫通すると共に、基板2と駆動電極4との間に固着された電極引出部17等を貫通して駆動電極4に接続されている。また、他方の駆動用引出電極16は、基板2を貫通して支持部5の梁連結部5A(または梁連結部5Aに接続して設けられた金属膜等の低抵抗部位)に接続され、支持部5、支持梁10等を通じて可動体8に電圧を印加する構成となっている。
- [0063] 信号用引出電極18は、基板2に設けられ、各固定電極12にそれぞれ接続されている。これらの信号用引出電極18は、図3に示す如く、引出電極15, 16とほぼ同様

に、各固定電極12を基板2の裏面側に引出すビアホールとして形成されている。そして、左、右の固定電極12間の静電容量は、信号用引出電極18を介して外部の回路等に出力される。

[0064] また、図2、図5等において、直流の電源19は、可変容量素子1に接続されている。この電源19は、可動体8を駆動するときに、例えば3V程度の直流電圧を駆動電極4と可動体8との間に印加するものである。ここで、電源19は、例えばプラス極が駆動用引出電極15を介して駆動電極4に接続され、マイナス極が他の駆動用引出電極16等を介して可動体8に接続されている。

[0065] 即ち、可動体8を駆動するときには、図5に示す如く、例えばn型のシリコン層21からなる駆動電極4がプラスとなり、p型のシリコン層22からなる可動体8がマイナスとなるように電圧が印加される。これにより、可動体8が所定の位置まで変位して駆動電極4と接触したときに、両者の接触部位にはpn接合の逆バイアス方向に電圧が印加されるようになるから、この接触部位を通じて電源19の短絡やリーク電流等が生じるのを防止することができる。

[0066] 一方、SOI(Silicon On Insulator)基板20は、可変容量素子1の製造に用いられる。このSOI基板20は、図6に示す如く、例えば導電性を有する2つの低抵抗なシリコン層21、22が絶縁層23を挟んで形成されたものである。

[0067] ここで、シリコン層21、22のうち第1のシリコン層(支持基板)21は、例えばn型(n^+ 型)半導体として形成され、例えば数十～数百 μm 程度の厚さ寸法を有している。また、第2のシリコン層(活性層)22は、例えばp型半導体として形成され、例えば5～10 μm 程度の厚さ寸法を有している。

[0068] また、絶縁層(BOX層)23は、例えばシリコン酸化物等の絶縁性材料からなり、例えば0.1～0.5 μm 程度の予め定められた厚さ S' をもって形成されている。そして、絶縁層23は、シリコン層21、22の間に介在し、これらの間を絶縁している。

[0069] ここで、SOI基板20は、一般的にシリコン層21、22及び絶縁層23の厚さ寸法を正確に形成することが可能であり、絶縁層23の厚さ S' は、例えば設計値に対する寸法誤差が1%程度またはそれ以下となるように、高い寸法精度をもって形成されている。

[0070] 本実施の形態による可変容量素子1は上述の如き構成を有するもので、次にその作動について説明する。

[0071] まず、可変容量素子1に電圧を印加していない状態では、図4に示す如く、可動体8(可動電極13)が固定電極12と近接した位置に保持され、各固定電極12間の静電容量は、互いに近接した電極12, 13の電極間距離に対応する容量値となる。

[0072] また、駆動電極4と可動体8との間に電圧を印加したときには、これらの間に静電力が発生する。これにより、可動体8は、支持梁10を撓み変形させつつ、駆動電極4と当接する位置まで隙間11の寸法S分だけ変位し、可動電極13は固定電極12から離間した位置に保持される。この結果、各固定電極12間の静電容量は、互いに離間した電極12, 13の電極間距離に対応する容量値となるので、電圧印加の有無に応じて静電容量を切換えることができる。

[0073] 次に、図6ないし図17を参照しつつ、可変容量素子1の製造方法について説明する。

[0074] この製造方法では、まず図6に示すように、低抵抗なシリコン層21, 22の間に絶縁層23を挟んでSOI基板20を形成する。この場合、SOI基板20の絶縁層23は、その厚さS' が所定の寸法値(寸法S)となるように、高い寸法精度をもって形成されている。

[0075] そして、図7に示す熱拡散工程では、SOI基板20のシリコン層22のうち、可変容量素子1の支持部5や支持梁10等となる部位22Aに対して、例えばホウ素イオン等を熱拡散させる。これにより、シリコン層22のうち導体として機能させる部位22Aを低抵抗化する。このとき、可動体8となる部位については熱拡散を行わず、この部位は比較的高い抵抗値に形成する。

[0076] 次に、図8に示す熱酸化工程では、SOI基板20を加熱することにより、可変容量素子1の接合部6、電極形成層9等となるシリコン酸化膜24をシリコン層22の表面に形成する。

[0077] 次に、図9に示すメッキ工程では、まずシリコン酸化膜24にエッチング加工等を施すことにより、可動電極13等に対応した形状の溝24Aを形成する。続いて、例えば銅等の金属メッキ処理を行うことにより、シリコン酸化膜24の表面に金属膜25を形成

する。

[0078] そして、図10に示す可動電極形成工程では、CMP技術等によって金属膜25を平坦化しつつ、溝24A以外の位置で金属膜25を除去することにより、可動電極13を形成する。

[0079] また、図11に示すストップ形成工程では、可動電極13及びシリコン酸化膜24の表面にシリコン酸化膜を形成し、これをエッチング加工等によって所定の形状にパターニングすることにより、複数のストップ14を形成する。

[0080] 次に、図12に示すシリコン層加工工程では、例えばRIE加工(反応性イオンエッチング)等の手段を用いて、SOI基板20のシリコン層22のうち不要な部位を除去し、残った部位によって可変容量素子1の支持部5、可動体8、支持梁10、電極引出部17等を形成する。

[0081] そして、図13に示す絶縁層除去工程では、例えばフッ化水素水溶液等を用いてSOI基板20の絶縁層23にエッチング加工を行うことにより、絶縁層23のうち犠牲層となる部位を除去し、可変容量素子1の隙間11を形成する。この場合、絶縁層23の厚さ S' は、SOI基板20の製造時に予め高い寸法精度をもって形成されているから、この絶縁層23の一部を除去するだけで、シリコン層21(駆動電極4)とシリコン層22(可動体8)との間に正確な寸法 S をもつ隙間11を容易に形成することができる。

[0082] しかも、シリコン層21は、そのままの状態駆動電極4として用いることができるから、駆動電極の形成工程を省略または簡略化することができ、素子の製造を効率よく行うことができる。

[0083] また、犠牲層を除去するときには、図13中に仮想線で示すように、例えば可動体8の各部位に絶縁層23に達する複数の貫通孔26を予め形成しておき、その後に絶縁層23にエッチング加工を行う構成としてもよい。これにより、可動体8の中央部等でも、貫通孔26を通じて絶縁層23をエッチング加工することができるから、犠牲層を速やかに除去することができる。

[0084] そして、犠牲層を除去した後には、例えば酸、過酸化水素等の酸化剤を用いてSOI基板20のシリコン表面を酸化処理し、表面に薄いシリコン酸化膜を形成する。その後、シランカップリング剤等を用いて疎水化処理を行う。

- [0085] 一方、図14に示す固定電極形成工程では、可変容量素子1の基板2となる絶縁性のガラス板27を用意し、このガラス板27に対して、例えばメッキ工程、可動電極形成工程とほぼ同様の処理を行うことにより、所定の位置に固定電極12等を形成する。
- [0086] 次に、図15に示す基板形成工程では、ガラス板27の所定部位にエッチング加工を行うことにより、各凹溝2Aを有する基板2を形成する。そして、図16に示す保護膜形成工程では、例えばスパッタ等の手段によって基板2の表面に保護膜3を形成する。
- [0087] そして、図17に示す陽極接合工程では、この基板2と、絶縁層除去工程を行った後のSOI基板20の支持部5(シリコン層22)とを陽極接合等によって接合、固定する。その後、基板2を研磨、研削することによって薄型化し、例えばサンドブラスト法等を用いて引出電極15, 16, 18を形成することにより、可変容量素子1を製造することができる。
- [0088] かくして、本実施の形態によれば、SOI基板20を用いて可変容量素子1を製造する構成としたので、その製造時には、SOI基板20の絶縁層23をエッチング加工等の手段によって除去することができ、この絶縁層23の両側に位置する2つの低抵抗なシリコン層21, 22を用いて駆動電極4と可動体8とを容易に形成することができる。
- [0089] これにより、絶縁層23を除去するだけの簡単な工程によって、シリコン層21をそのまま使用して駆動電極4を効率よく形成することができる。このため、例えば可動体8と対向する構造物に導体を設ける工程や、この導体を駆動電極4として成形する工程等が不要となるから、可変容量素子1の構造及び製造工程を簡略化することができ、生産性を向上させることができる。
- [0090] また、絶縁層23を除去した後には、駆動電極4と可動体8との間に垂直方向の隙間11を設けることができ、この隙間11の寸法Sは、例えば寸法誤差が1%以下となるような高い精度で形成された絶縁層23の厚さS' に応じて正確に設定することができる。
- [0091] 従って、例えば所望の厚さS' に形成しておいた絶縁層23を除去することにより、隙間11の寸法S、即ち可動電極13の変位量を正確かつ容易に設定することができる。これにより、例えば可変容量素子1の製造ライン等では、複数の素子間で可動電極13の変位量を精度よく揃えることができる。

- [0092] この結果、複数の素子間で電圧印加時の静電容量(可動電極13が固定電極12から最も離間したときの静電容量)を揃えることができ、動作特性のばらつき等を抑えて信頼性を向上させることができる。
- [0093] また、本実施の形態では、例えば駆動電極4をn型のシリコン層21によって形成し、可動体8をp型のシリコン層22によって形成すると共に、これらの間には、駆動電極4がプラス極となり、可動体8がマイナス極となるように電源19を接続する構成としている。
- [0094] これにより、駆動電極4と可動体8とが当接したときには、これらの接触部位に対してpn接合の逆バイアス方向に電圧を作用させることができる。この結果、駆動電極4と可動体8との接触部位を通じて電源19が短絡されたり、リーク電流等が生じるのを確実に防止でき、可変容量素子1を安定的に作動させることができる。
- [0095] 従って、例えば駆動電極4と可動体8との間にストッパ等の絶縁構造を設けなくてもよいから、可動体8の変位量を駆動電極4との当接位置に応じて正確に設定することができ、また可変容量素子1を小型化することができる。
- [0096] 次に、図18は本発明による第2の実施の形態を示し、本実施の形態の特徴は、高周波信号用のスイッチ素子に適用したことにある。なお、本実施の形態では前記第1の実施の形態と同一の構成要素に同一の符号を付し、その説明を省略するものとする。
- [0097] 静電型アクチュエータとしてのスイッチ素子31は、第1の実施の形態とほぼ同様に、基板2、駆動電極4、支持部5、可動体8と、固定電極32、可動電極33とによって大略構成されている。
- [0098] しかし、固定電極32と可動電極33とは、例えば高周波信号を伝送するCPW伝送線路(コプレーナ線路)、マイクロストリップ線路等として形成されている。そして、スイッチ素子31は、電圧印加の有無に応じて可動電極33を固定電極32に対して近接、離間させることにより、間隔32Aを挟んで対向する左、右の固定電極32の間で高周波信号を伝送、遮断する構成となっている。
- [0099] かくして、このように構成される本実施の形態でも、第1の実施の形態とほぼ同様の作用効果を得ることができ、静電型アクチュエータとして、高周波信号用のスイッチ素

子31にも適用範囲を広げることができる。

[0100] 次に、図19は本発明による第3の実施の形態を示し、本実施の形態の特徴は、金属－金属コンタクト型のリレー素子に適用したことにある。なお、本実施の形態では前記第1の実施の形態と同一の構成要素に同一の符号を付し、その説明を省略するものとする。

[0101] 静電型アクチュエータとしてのリレー素子41は、第1の実施の形態とほぼ同様に、基板2、駆動電極4、支持部5、可動体8、固定電極12、可動電極13によって大略構成されている。

[0102] ここで、左、右の固定電極12は、その表面を覆う保護膜3を除去することによって露出した状態となっている。また、可動電極13の表面には、第1の実施の形態のストップパ14に代えて、例えば金等の導電性材料により形成された複数の接点部42が突設されている。

[0103] これらの接点部42は、リレー素子41に電圧を印加していないときに、固定電極12と接触した状態に保持され、固定電極12と可動電極13とを接続している。また、リレー素子41の駆動電極4と可動体8との間に電圧を印加したときには、可動電極13が各接点部42と一緒に固定電極12から離れる方向に変位し、これらの電極12、13が互いに絶縁された状態となる。

[0104] このように、金属－金属コンタクト型のリレー素子41は、電圧印加の有無に応じて各接点部42を固定電極12に接触させ、または固定電極12から離間させることにより、左、右の固定電極12の間を接続、遮断する構成となっている。

[0105] かくして、このように構成される本実施の形態でも、第1の実施の形態とほぼ同様の作用効果を得ることができ、静電型アクチュエータとして、金属－金属コンタクト型のリレー素子41にも適用範囲を広げることができる。

[0106] 次に、図20は本発明による第4の実施の形態を示し、本実施の形態の特徴は、複数ビット型の可変容量素子に適用したことにある。なお、本実施の形態では前記第1の実施の形態と同一の構成要素に同一の符号を付し、その説明を省略するものとする。

[0107] 静電型アクチュエータとしての複数ビット型の可変容量素子51は、第1の実施の形

態の可変容量素子1とほぼ同様に形成された複数個の容量可変部を有し、これらの容量可変部を並列に接続した構成となっている。そして、本実施の形態では、例えば2個の容量可変部52, 53を並列に接続した2ビット型の可変容量素子51を例示している。

[0108] ここで、一方の容量可変部52は、基板2'、支持部5、駆動電極4、可動体8、支持梁10、固定電極12、可動電極13によって大略構成されている。そして、容量可変部52の静電容量C1は、駆動電極4と可動体8との間に印加される電圧の有無に応じて、例えば容量値A, Bの何れかに切換わる構成となっている。

[0109] また、他方の容量可変部53も、容量可変部52とほぼ同様に、基板2'、支持部5、駆動電極4、可動体8、支持梁10、固定電極12、可動電極13によって大略構成されている。この場合、容量可変部52, 53の間では、基板2'、信号用引出電極18'等が共通化されているものの、駆動電極4は互いに絶縁されており、各容量可変部52, 53の可動体8をそれぞれ個別に駆動する構成となっている。

[0110] そして、容量可変部53の静電容量C2は、電圧印加の有無に応じて、例えば容量値C, Dの何れかに切換わる構成となっている。また、各容量可変部52, 53の固定電極12は、これらの静電容量C1, C2が互いに並列に結合されるように接続され、可変容量素子51全体の静電容量C0は、静電容量C1, C2の加算値($C0 = C1 + C2$)となるように構成されている。

[0111] これにより、可変容量素子51の作動時には、容量可変部52の静電容量C1を容量値A, Bの何れかに切換えつつ、これと独立して容量可変部53の静電容量C2を容量値C, Dの何れかに切換えることができる。このため、素子全体の静電容量C0は、下記表1に示す如く、これらの容量値A, Bと容量値C, Dとを組み合わせることによって4種類の容量値(A+C), (A+D), (B+C), (B+D)をとることができる。

[0112] [表1]

<div style="text-align: center;"> <div>静電容量C1</div> <div>静電容量C2</div> </div>	A	B
	A + C	B + C
C	A + C	B + C
D	A + D	B + D

[0113] 従って、例えば $A=0.2\text{pF}$ 、 $B=0.4\text{pF}$ 、 $C=0.3\text{pF}$ 、 $D=0.6\text{pF}$ として設定した場合には、全体の静電容量 C_0 として 0.5pF 、 0.7pF 、 0.8pF 、 1.0pF を得ることができる。

[0114] かくして、このように構成される本実施の形態でも、第1の実施の形態とほぼ同様の作用効果を得ることができる。そして、特に本実施の形態では、複数ビット型の可変容量素子51として構成したので、各容量可変部52、53の静電容量 C_1 、 C_2 をそれぞれ個別に切換えることができ、これらの切換状態を組み合わせることによって多数種類の静電容量を得ることができる。これにより、小型でも高い性能の可変容量素子51を実現することができる。

[0115] 次に、図21ないし図35は本発明による第5の実施の形態を示し、本実施の形態の特徴は、駆動電極には隙間に位置してSOI基板の絶縁層よりも厚さ寸法が小さい薄膜絶縁層を設ける構成としたことにある。なお、本実施の形態では前記第1の実施の形態と同一の構成要素に同一の符号を付し、その説明を省略するものとする。

[0116] 静電型アクチュエータとしての可変容量素子61は、図21ないし図24に示すように、第1の実施の形態とほぼ同様に、基板2、駆動電極62、支持部63、可動体64、支持梁65(梁連結部65A)、固定電極12、可動電極13等によって大略構成されている。

[0117] しかし、駆動電極62には、隙間11に位置して絶縁部7(SOI基板80の絶縁層78)よりも厚さ寸法が小さい薄膜絶縁層66が形成されている。このため、可動体64が静電力によって駆動電極62に引付けられたときには、可動体64と駆動電極62との間に薄膜絶縁層66が挟まれる。即ち、可動体64は、薄膜絶縁層66に接触し、駆動電極62に接触しなくなる。この結果、駆動電極62と可動体64との間に印加する電圧を

高めることができるから、隙間11の厚さ寸法を大きくすることができ、可変容量素子61の容量変化量を増加させることができる。

[0118] なお、本実施の形態では、駆動用引出電極67は、第1の実施の形態による駆動用引出電極15と異なり、駆動電極62の表面に金属メッキ処理を行うことによって駆動電極62に接続されている。一方、駆動用引出電極68は、サンドブラスト法等によって基板2等の裏面側に有底穴を穿設し、この有底穴内に導電性材料を充填することにより、基板2の裏面に開口するビアホールとして形成されている。このとき、駆動用引出電極68は、支持部63と基板2との間に挟まれた接続電極69、70を通じて支持部63に接続されている。

[0119] 次に、図25ないし図35を参照しつつ、可変容量素子61の製造方法について説明する。

[0120] まず、図25および図26に示す凹部形成工程では、例えば導電性を有する低抵抗な第1、第2のシリコン層71、72に第1、第2の予備絶縁層73、74をそれぞれ形成する。このとき、第1、第2のシリコン層71、72は、例えばn型半導体とp型半導体のうち互いに異なる半導体によって形成してもよく、同じ半導体によって形成してもよい。

[0121] 次に、図25に示すように、第1の予備絶縁層73の一部をエッチング加工によって除去し、予備凹部75を形成する。このとき、予備凹部75は、第1のシリコン層71のうち第2のシリコン層72に対する接合面側に開口する。また、予備凹部75の底面側には、予備絶縁膜73よりも小さい厚さ寸法（例えば100nm程度）をもった薄膜絶縁層66を形成する。そして、薄膜絶縁層66は、予備絶縁層73に対するエッチング加工を途中で止めることによって形成する。

[0122] なお、薄膜絶縁層66は、予備絶縁層73の一部をシリコン層71が露出するまでエッチング加工によって除去した後に、シリコン層71を酸化させたシリコン酸化膜によって形成してもよい。

[0123] 一方、第2の予備絶縁層74の一部をエッチング加工によって除去し、予備凹部76を形成する。このとき、予備凹部76は、第1の予備絶縁層73の予備凹部75と対応した位置に配置する。また、予備凹部76は、予備絶縁層74を貫通して設けられ、第2のシリコン層72のうち第1のシリコン層71に対する接合面側に開口する。

- [0124] なお、第1のシリコン層(支持基板)71は、例えば数十～数百 μm 程度の厚さ寸法を有している。これに対し、第2のシリコン層(活性層)72は、例えば5～10 μm 程度の厚さ寸法を有し、機械的な強度が低い。このため、第2のシリコン層72はサポート基板77に貼り合わせた状態で、予備凹部76を形成するのが好ましい。
- [0125] 次に、図26に示すように、予備凹部75、76を位置合わせ(アライメント)した状態で、第1、第2の予備絶縁層73、74を接合する。これにより、第1、第2の予備絶縁層73、74が積層されるから、第1、第2のシリコン層71、72の間には絶縁層78が形成される。
- [0126] また、予備凹部75、76は厚さ方向に連通するから、絶縁層78には凹部79が形成される。そして、凹部79の内部には、シリコン層71の裏面に位置して薄膜絶縁層66が配置される。この場合、絶縁層78および薄膜絶縁層74は、その厚さが所定の寸法値となるように、高い寸法精度をもって形成される。このため、凹部79の深さ寸法 S' も、高精度に設定されるものである。
- [0127] 次に、図27に示すSOI基板形成工程では、第2のシリコン層72からサポート基板77を取外す。これにより、第1、第2のシリコン層71、72の間に絶縁層78を挟んだSOI基板80が形成される。
- [0128] そして、図28に示す熱拡散工程では、SOI基板80のシリコン層72のうち、可変容量素子61の支持部63や支持梁65等となる部位72Aに対して、例えばホウ素イオン等を熱拡散させる。これにより、シリコン層72のうち導体として機能させる部位72Aを低抵抗化する。このとき、可動体64となる部位については熱拡散を行わず、この部位は比較的高い抵抗値に形成する。
- [0129] 次に、図29に示す熱酸化工程では、SOI基板80を加熱することにより、可変容量素子61の接合部6、電極形成層9等となるシリコン酸化膜81をシリコン層72のうち基板2との接合面側に形成する。
- [0130] 次に、図30に示す駆動側引出電極形成工程では、シリコン層71の表面に、例えば銅等の金属メッキ処理を行うことによって、駆動用引出電極67を形成する。
- [0131] 次に、図31に示すコンタクトホール形成工程では、シリコン酸化膜81に対してエッチング加工等を行い、シリコン酸化膜81を所定の形状にパターニングする。これによ

り、シリコン層72のうち支持梁65となる部位のシリコン酸化膜81が除去され、接合部6および電極形成層9が形成される。また、接合部6には、支持部63と電氣的な接続を行うためのコンタクトホール6Aが形成される。

[0132] 次に、図32に示す電極形成工程では、金属メッキ処理、真空蒸着、スパッタ等を行うことによって、シリコン酸化膜81の表面に可動電極13および接続電極69を形成する。このとき、可動電極13は、凹部79と対向し、シリコン層72のうち可動体64となる部位に配置される。また、接続電極69は、シリコン層72のうち支持部63となる部位に配置され、コンタクトホール6Aを介して支持部63に電氣的に接続される。

[0133] また、図33に示すストップ形成工程では、可動電極13及びシリコン酸化膜81の表面にシリコン酸化膜を形成し、これをエッチング加工等によって所定の形状にパターニングすることにより、複数のストップ14を形成する。

[0134] 次に、図34に示すシリコン層加工工程では、例えばRIE加工(反応性イオンエッチング)等の手段を用いて、SOI基板80のシリコン層72のうち不要な部位を除去し、残った部位によって可変容量素子61の支持部63、可動体64、支持梁65等を形成する。このとき、第1のシリコン層71によって駆動電極62が形成される。また、シリコン層72のうち凹部79の周囲を除去することによって可動体64が形成されるから、凹部79は外部と連通し、可動体64は絶縁層78から切り離される。これにより、可動体64は凹部79と対向した位置に配置されると共に、凹部79によって駆動電極62と可動体64との間には隙間11が形成される。このとき、隙間11の寸法Sは、凹部79の深さ寸法S' によって正確な値に設定される。

[0135] 一方、固定電極形成工程では、第1の実施の形態と同様に、可変容量素子1の基板2となる絶縁性のガラス板27を用意し、このガラス板27に対して、例えばメッキ工程、可動電極形成工程とほぼ同様の処理を行う。これにより、所定の位置に固定電極12を形成すると共に、支持部63の接続電極69と対応した位置には接続電極70を形成する。

[0136] 次に、基板形成工程では、ガラス板27の所定部位にエッチング加工を行うことにより、各凹溝2Aを有する基板2を形成する。そして、保護膜形成工程では、例えばスパッタ等の手段によって基板2の表面に保護膜3を形成する。このとき、保護膜3には、

接続電極70を接続電極69に接続するためのコンタクトホール3Aを形成しておく。

[0137] そして、図35に示す陽極接合工程では、この基板2と、絶縁層除去工程を行った後のSOI基板80の支持部63(シリコン層72)とを陽極接合等によって接合、固定する。このとき、支持部63の接続電極69と基板2の接続電極70とが互いに接触し、電氣的に接続される。その後、基板2を研磨、研削することによって薄型化し、例えばサンドブラスト法等を用いて引出電極18, 68を形成する。以上の工程によって、可変容量素子61を製造することができる。

[0138] なお、引出電極18, 68は、いずれも基板2に設けられた電極12, 70に接続するから、サンドブラスト法等を用いて基板2に有底穴を形成するときに、確実に電極12, 70までで穴加工を止めることができる。このため、第1の実施の形態による引出電極16に比べて、穴加工によって厚さ寸法が薄いシリコン層72を誤って貫通することがなくなる。また、2つの引出電極18, 68を一緒に形成することができるから、生産性を高めることができる。

[0139] かくして、このように構成される本実施の形態でも、第1の実施の形態とほぼ同様の作用効果を得ることができる。特に、本実施の形態では、駆動電極62には隙間11に位置して薄膜絶縁層66を設ける構成としたから、駆動電極62と可動体64との間に薄膜絶縁層66を配置することができる。このため、可動体64が駆動電極62側に変位したときに、可動体64と駆動電極62との間に薄膜絶縁層66が挟まるから、可動体64と駆動電極62とが直接接触することがなくなる。この結果、駆動電極62と可動体64との間の駆動耐圧を向上することができるから、駆動電極62と可動体64との間に印加する電圧を高めることができる。従って、例えば支持梁65のばね定数を高めることができるから、例えば可変容量素子61が振動したときでも、この振動に伴う可動体の変位を防ぐことができる。

[0140] また、絶縁層78に凹部79を形成する工程を備えるから、SOI基板80の絶縁層78には、隙間11を形成するための凹部79を予め形成しておくことができる。これにより、第2のシリコン層72にエッチング加工を施すことによって、凹部79と対向した位置に可動体64を形成することができると共に、凹部79によって可動体64と駆動電極62との間に隙間11を形成することができる。このため、可動体64等の形成後に絶縁

層78を除去して隙間11を形成する場合に比べて、可動体64に対して絶縁層78を除去するための貫通孔等を設ける必要がなくなる。

[0141] なお、第5の実施の形態では、静電型アクチュエータとして可変容量素子61を構成するものとした。しかし、本発明これに限らず、例えば第2の実施の形態のように、高周波信号用のスイッチ素子を構成してもよく、第3の実施の形態のように、金属－金属コンタクト型のリレー素子を構成してもよく、第4の実施の形態のように、複数ビット型の可変容量素子を構成してもよい。

[0142] また、第5の実施の形態では、引出電極68は接続電極69、70を用いて支持部63に接続する構成としたが、第1の実施の形態による引出電極16と同様に直接的に支持部63に接続する構成としてもよい。

[0143] また、第5の実施の形態では、駆動電極62にのみ薄膜絶縁層66を設ける構成とした。しかし、本発明はこれに限らず、例えば図23中に二点鎖線で示すように、例えば駆動電極62の薄膜絶縁層66に加えて、可動体64にも隙間11内に位置する他の薄膜絶縁層66'を設ける構成としてもよい。さらに、駆動電極の薄膜絶縁層を省いて可動体にのみ薄膜絶縁層を設ける構成としてもよい。

[0144] また、前記第1の実施の形態では、駆動電極4となるシリコン層21をn型半導体とし、可動体8となるシリコン層22をp型半導体として構成するものとした。しかし、本発明はこれに限らず、例えばシリコン層21をp型半導体とし、シリコン層22をn型半導体として構成してもよい。そして、この場合には、電源19の極性についても、第1の実施の形態とは逆に、駆動電極4をマイナス側、可動体8をプラス側として電圧を印加する構成とすればよい。

[0145] また、第4の実施の形態では、例えば2個の可変容量部52、53を有する2ビット型の可変容量素子51について説明した。しかし、本発明はこれに限らず、3個以上の容量可変部が並列または直列に接続された複数ビット型の容量可変素子を構成してもよい。

[0146] さらに、実施の形態では、可変容量素子1、51、スイッチ素子31及びリレー素子41を例に挙げて説明した。しかし、本発明の静電型アクチュエータはこれに限らず、例えば光スイッチ、光シャッタ、光アッテネータ等からなる各種の光通信用部品や、角

速度センサ、共振器等にも適用することができる。

請求の範囲

- [1] 基板と、該基板と垂直な方向で対向する板状の駆動電極と、前記基板と駆動電極との間に設けられた支持部と、前記基板と駆動電極との間に位置して該支持部により垂直方向に変位可能に支持され前記駆動電極との間に発生する静電力により前記基板に対して近接、離間する可動体とを備えてなる静電型アクチュエータにおいて、
前記駆動電極は、低抵抗な第1、第2のシリコン層が絶縁層を挟んで形成されたSOI基板のうち第1のシリコン層を用いて形成し、
前記支持部と可動体とは、前記SOI基板のうち第2のシリコン層を用いて形成し、
前記SOI基板の絶縁層を除去することによって前記駆動電極と可動体との間に隙間を形成し、
前記他方のシリコン層のうち前記支持部となる部位を前記基板に固定する構成としたことを特徴とする静電型アクチュエータ。
- [2] 前記駆動電極と可動体とは、前記シリコン層の種類をp型とn型としたときに互いに種類が異なるシリコン層によって形成し、前記駆動電極と可動体との間には、前記n型のシリコン層と前記p型のシリコン層とに対して逆バイアスとなる方向に電圧を印加して静電力を発生させる構成としてなる請求項1に記載の静電型アクチュエータ。
- [3] 前記駆動電極と可動体とのうち少なくともいずれか一方には、前記隙間に位置して前記SOI基板の絶縁層よりも厚さ寸法が小さい薄膜絶縁層を設ける構成としてなる請求項1に記載の静電型アクチュエータ。
- [4] 基板と、該基板と垂直な方向で対向する板状の駆動電極と、前記基板と駆動電極との間に設けられた支持部と、前記基板と駆動電極との間に位置して該支持部により垂直方向に変位可能に支持され前記駆動電極との間に発生する静電力により前記基板に対して近接、離間する可動体とを備えてなる静電型アクチュエータの製造方法であって、
低抵抗な第1、第2のシリコン層の間に絶縁層を挟んでSOI基板を形成する工程と、
該SOI基板の第2のシリコン層を用いて前記支持部および可動体を形成する工程と、

前記SOI基板の第1のシリコン層を前記駆動電極とし、前記絶縁層のうち前記可動体と対向する部位を除去することによって該駆動電極と可動体との間に隙間を形成する工程と、

前記第2のシリコン層のうち前記支持部となる部位を前記基板に固定する工程とを備える構成としている静電型アクチュエータの製造方法。

- [5] 基板と、該基板と垂直な方向で対向する板状の駆動電極と、前記基板と駆動電極との間に設けられた支持部と、前記基板と駆動電極との間に位置して該支持部により垂直方向に変位可能に支持され前記駆動電極との間に発生する静電力により前記基板に対して近接、離間する可動体とを備えてなる静電型アクチュエータの製造方法であって、

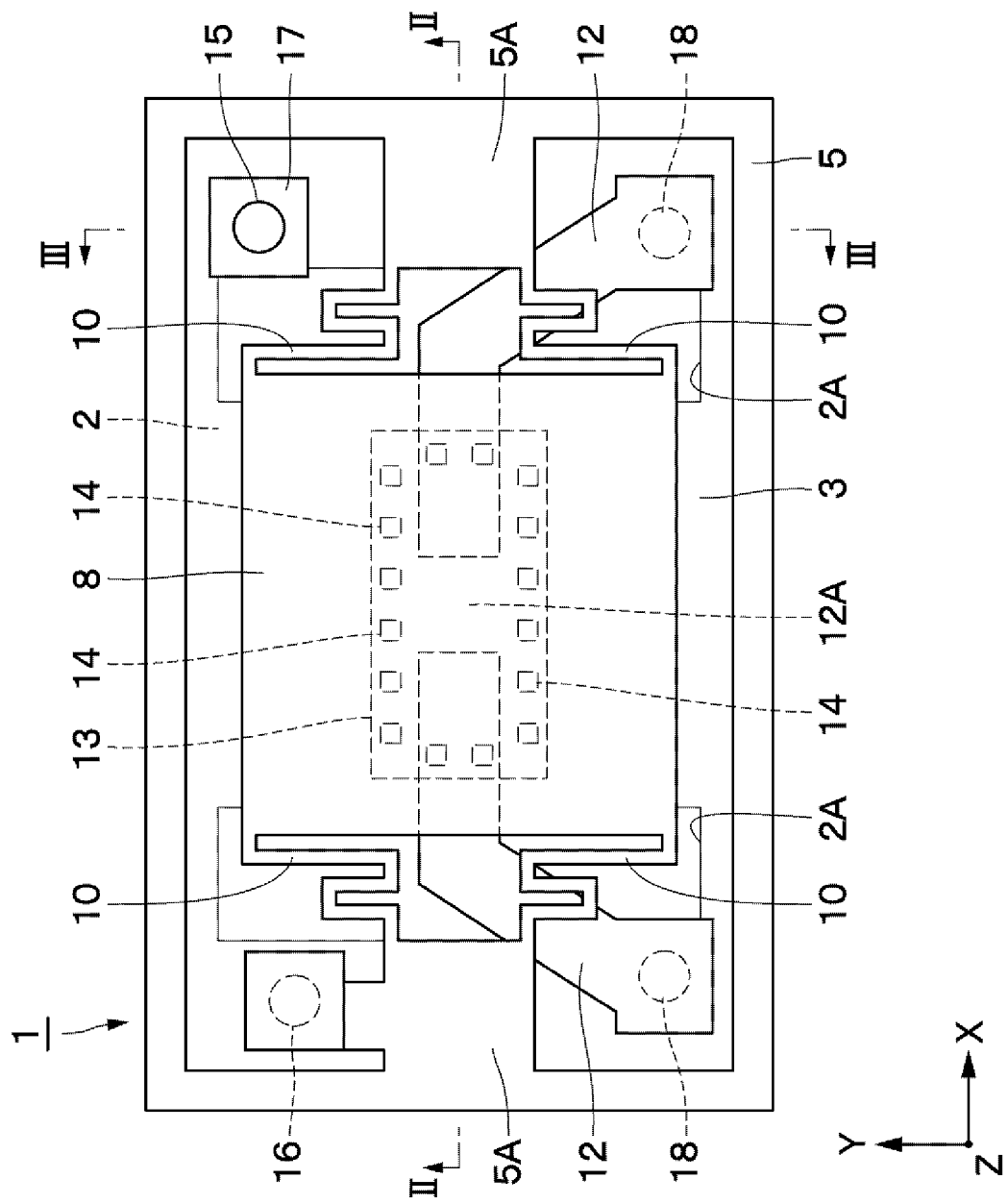
絶縁層には内部に厚さ寸法の小さい薄膜絶縁層が配置された凹部を形成する工程と、

低抵抗な第1、第2のシリコン層の間に前記絶縁層を挟んでSOI基板を形成する工程と、

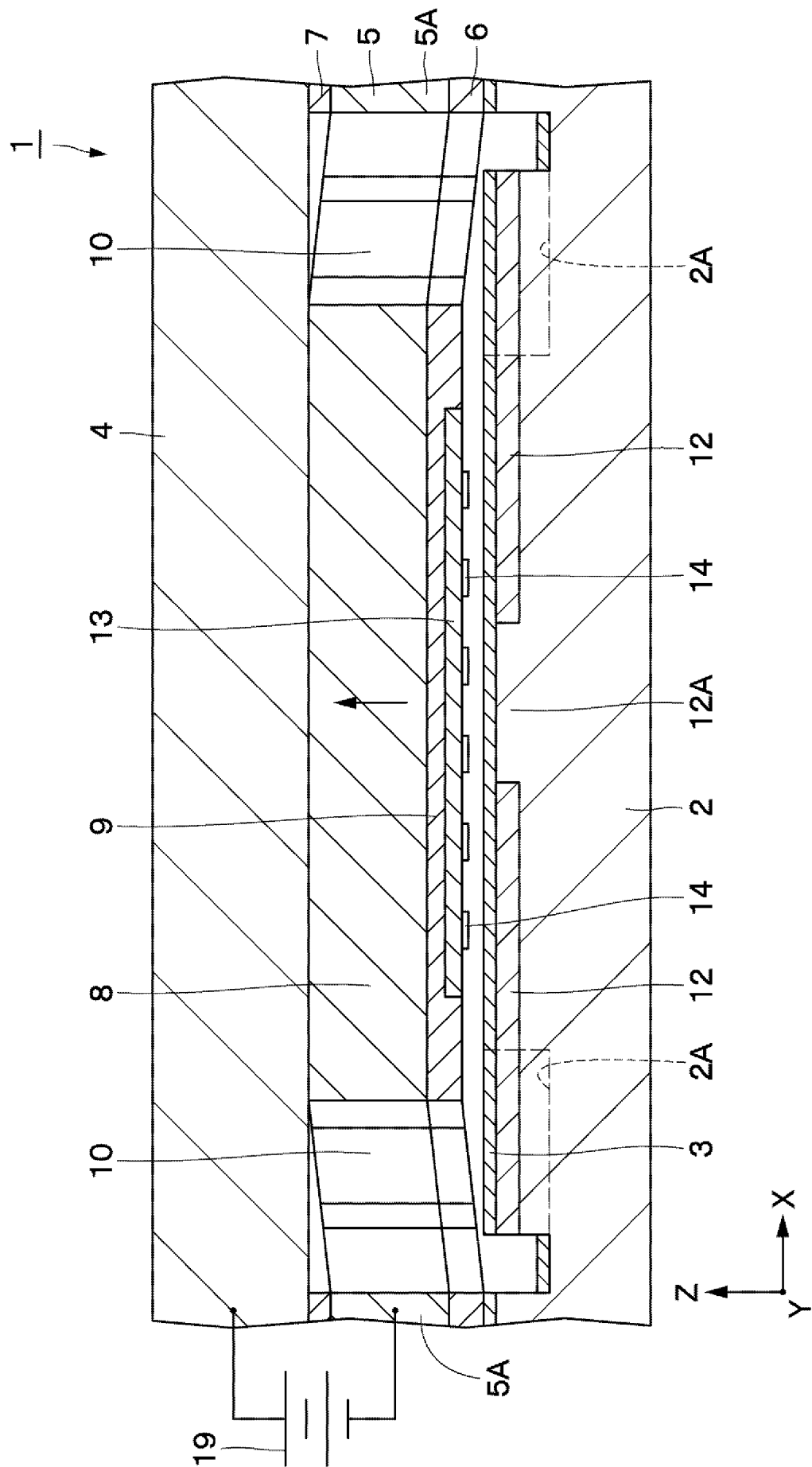
該SOI基板のうち第1のシリコン層を前記駆動電極としたときに、第2のシリコン層を用いて前記支持部および可動体を形成し、該可動体を前記凹部と対向した位置に配置し、前記駆動電極と該可動体との間に隙間を形成する工程と、

前記第2のシリコン層のうち前記支持部となる部位を前記基板に固定する工程とを備える構成としている静電型アクチュエータの製造方法。

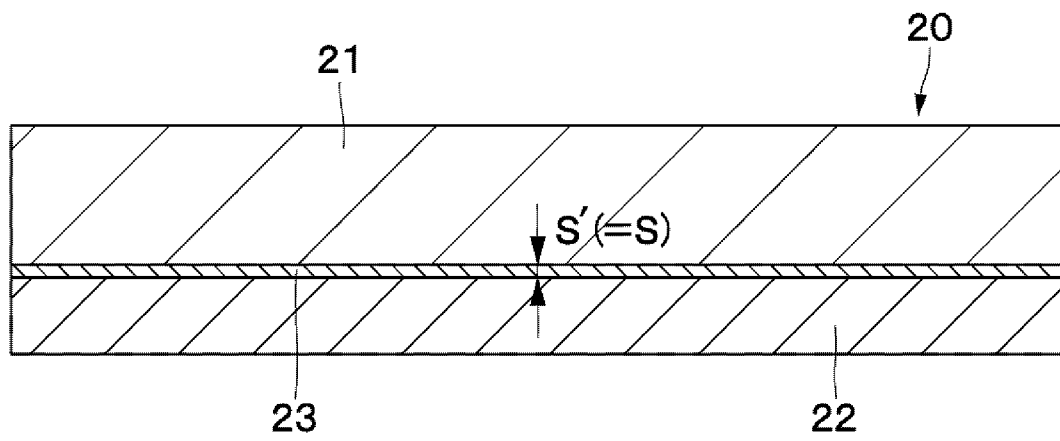
[図1]



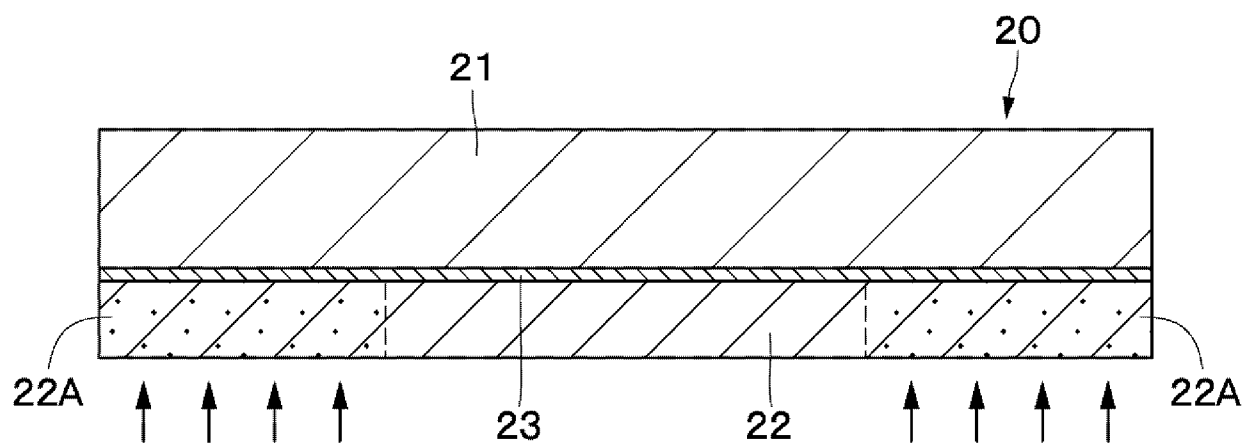
[図5]



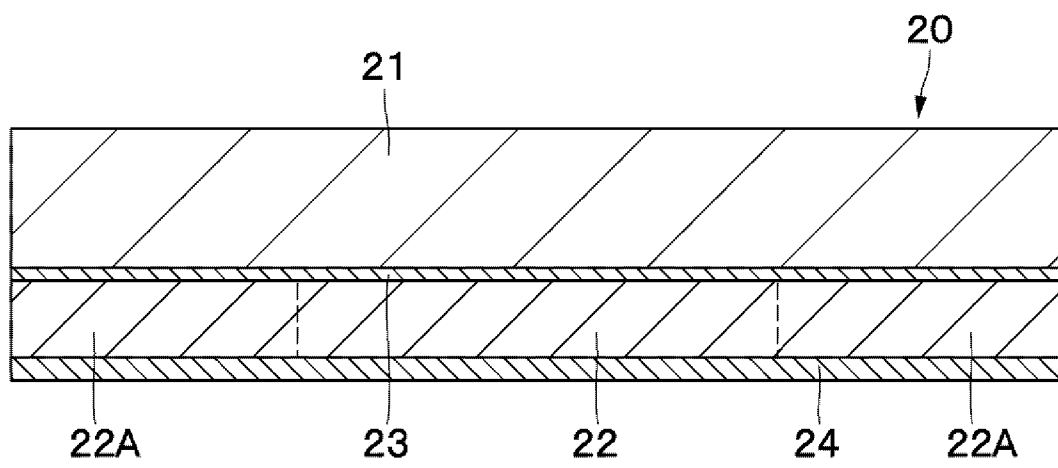
[図6]



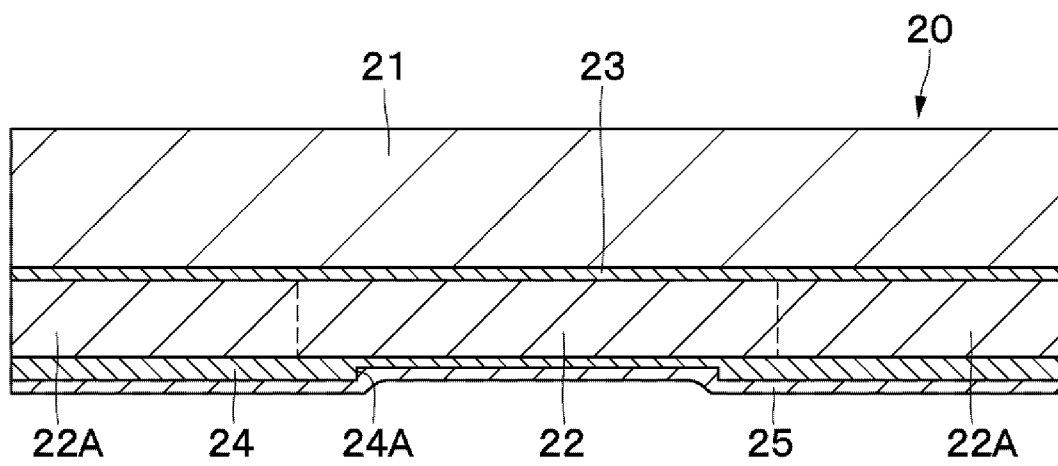
[図7]



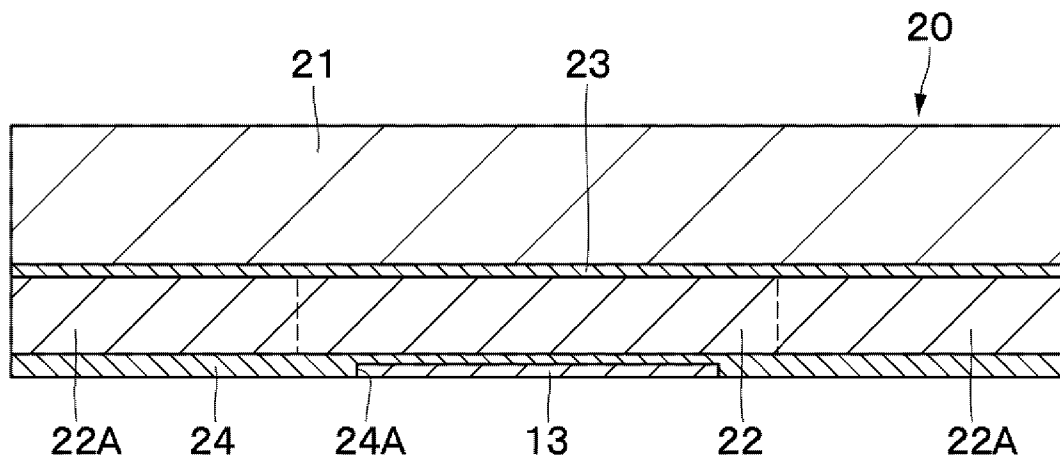
[図8]



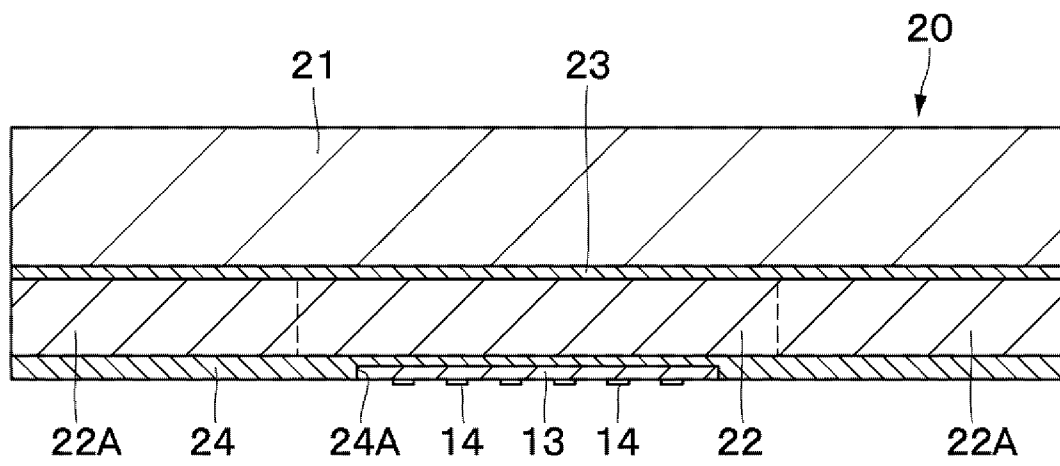
[図9]



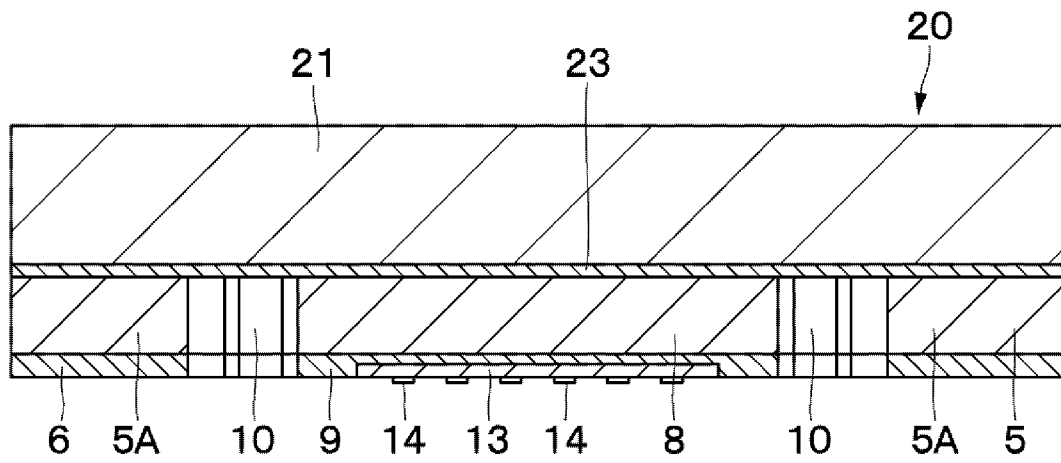
[図10]



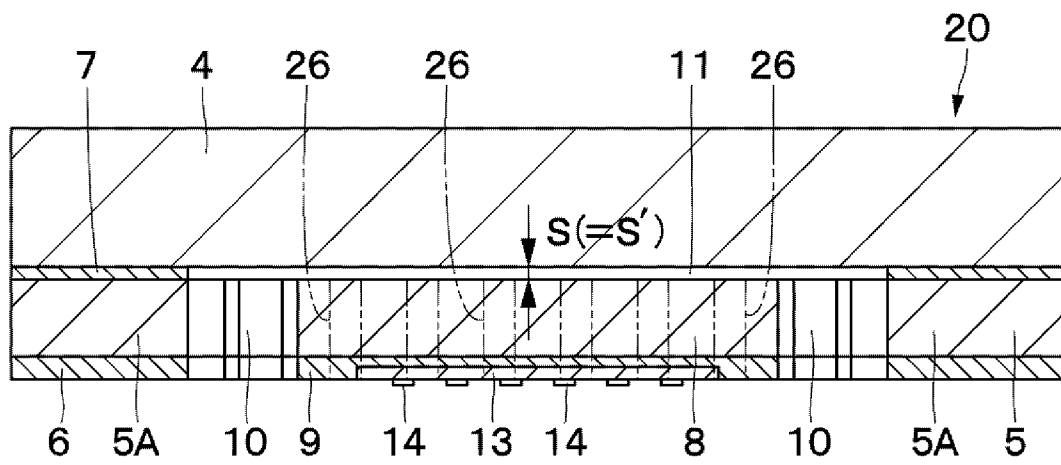
[図11]



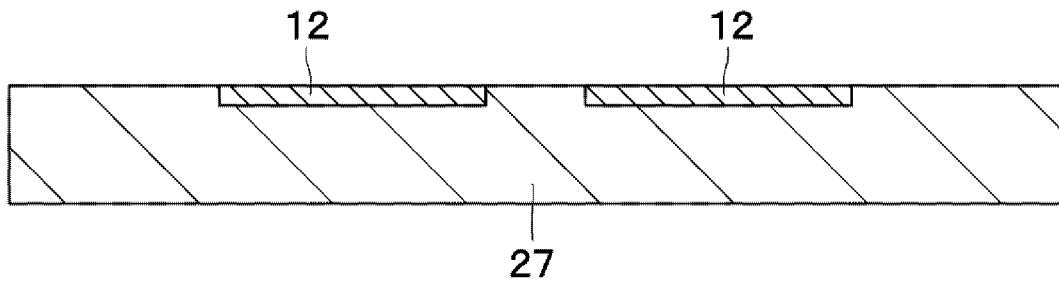
[図12]



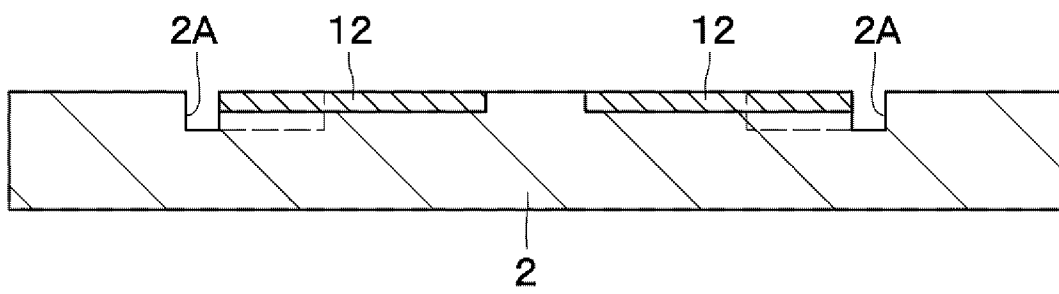
[図13]



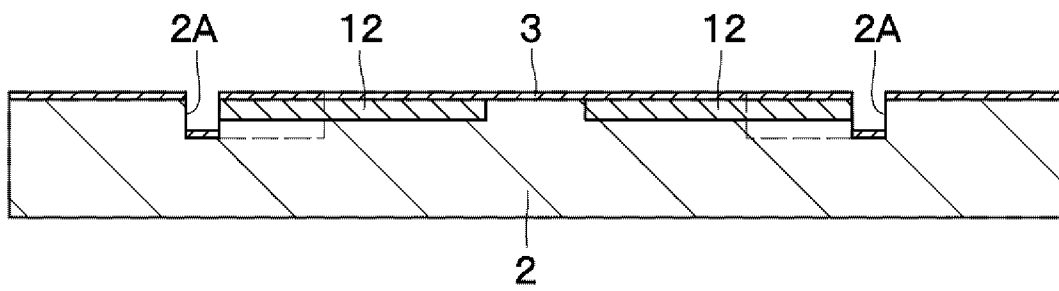
[図14]



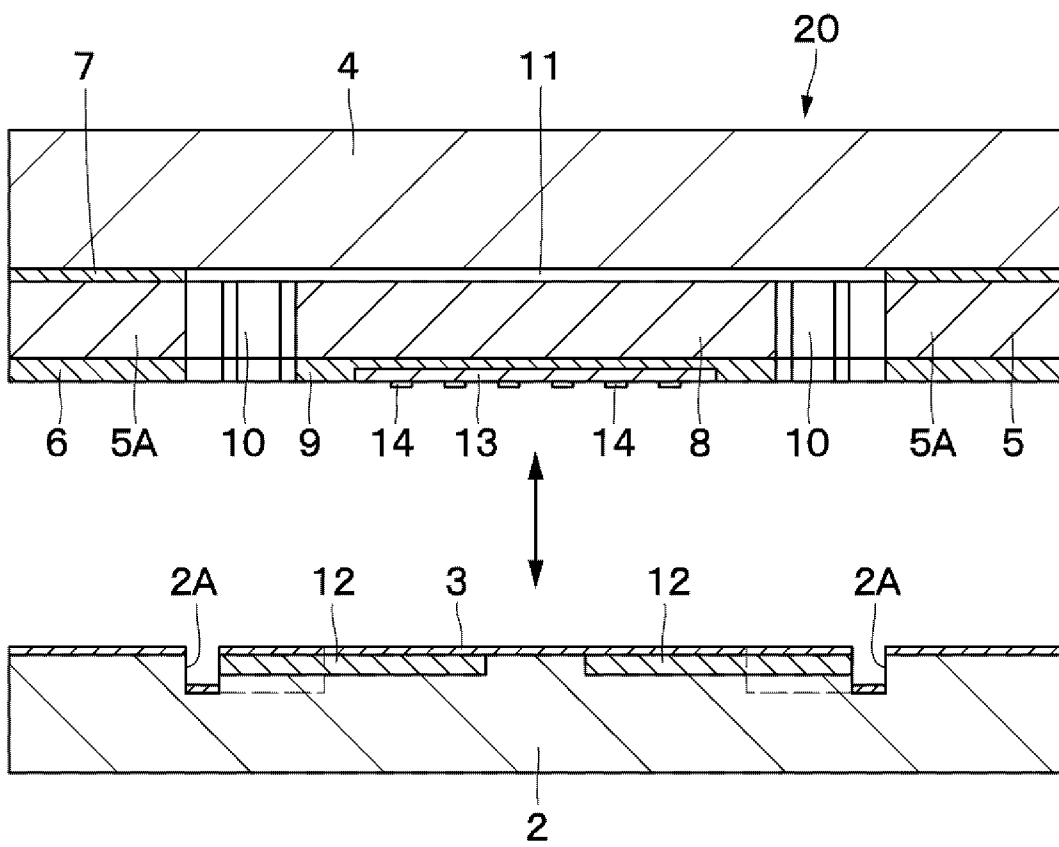
[図15]



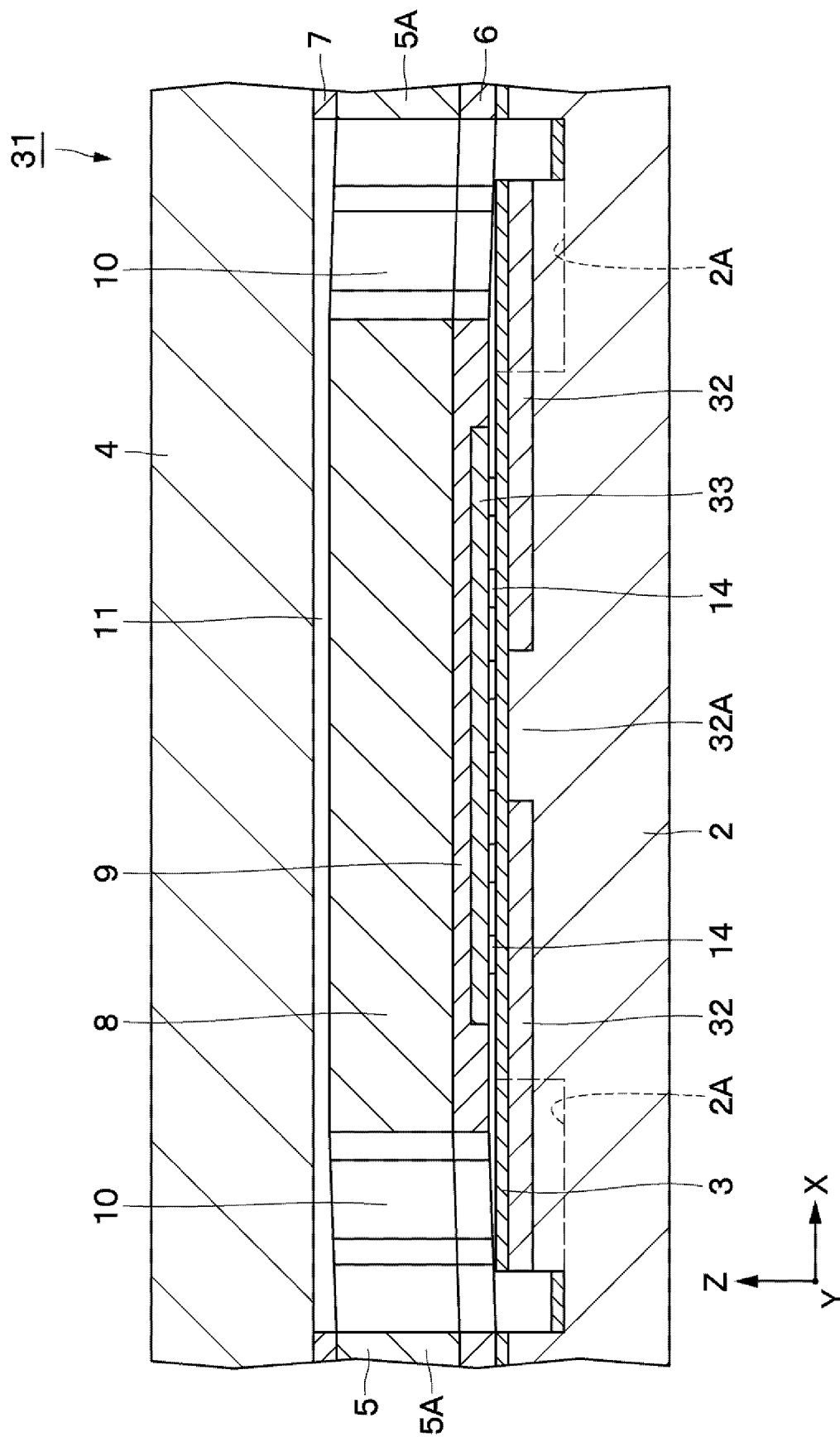
[図16]



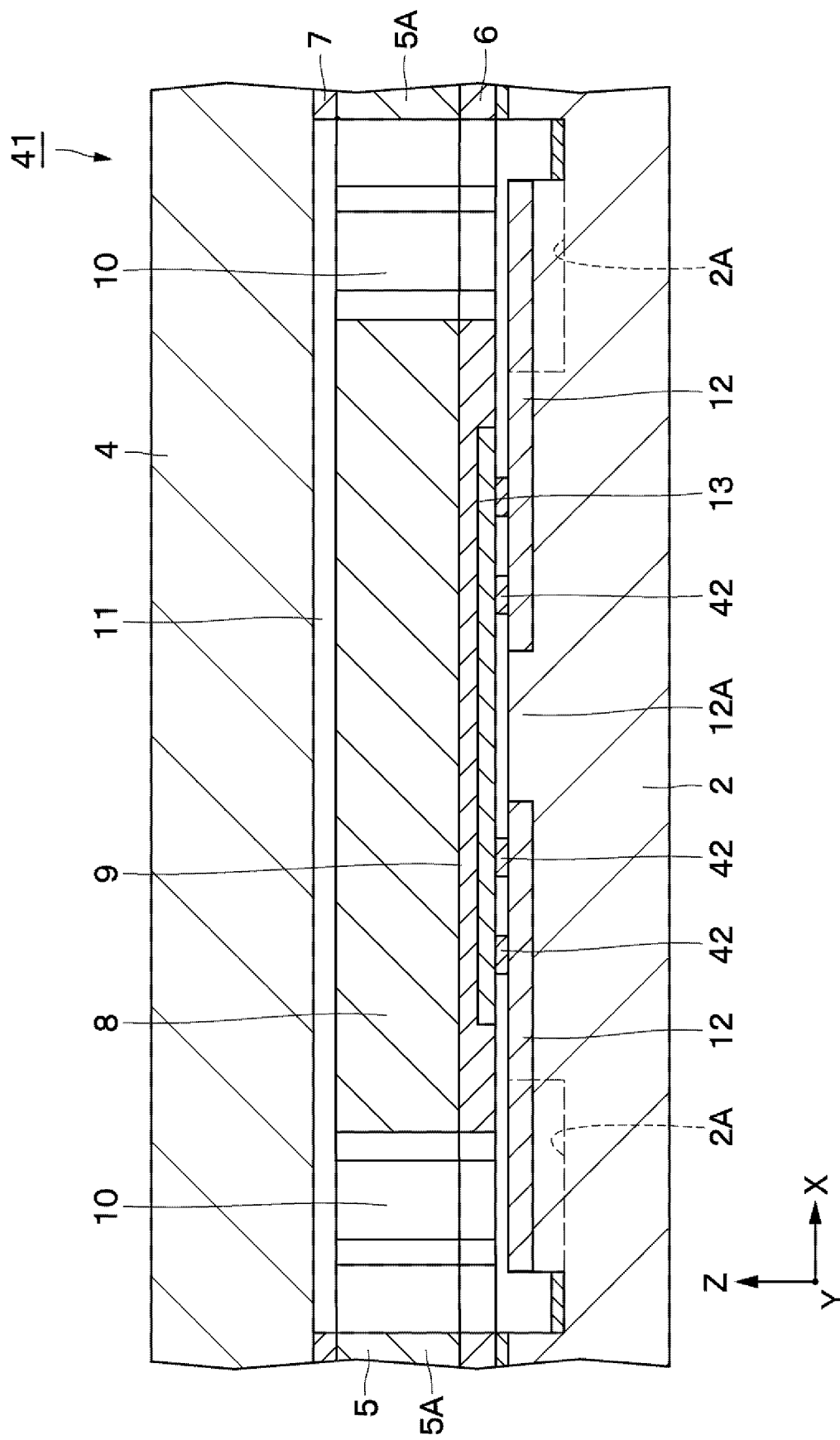
[図17]



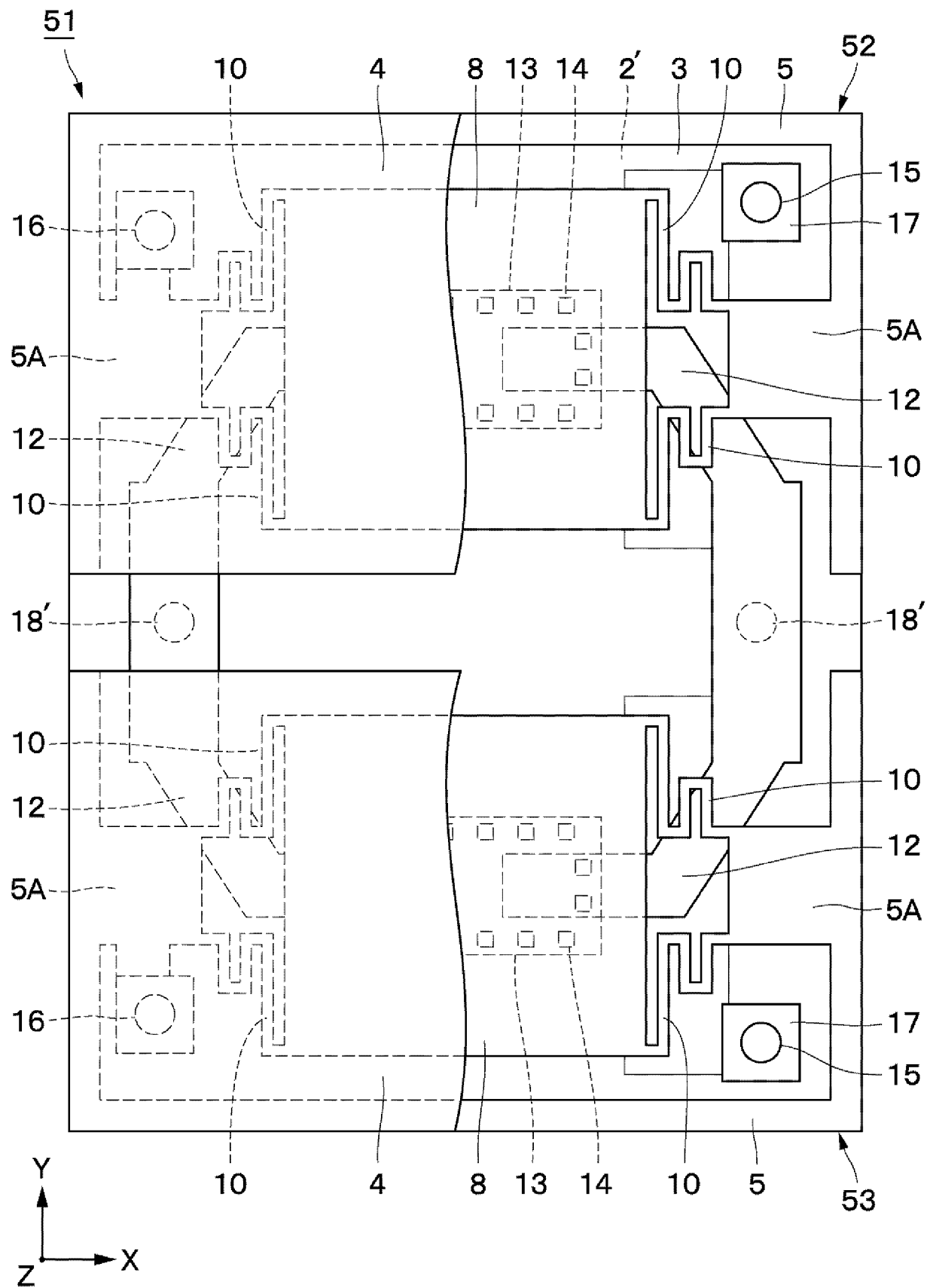
[図18]



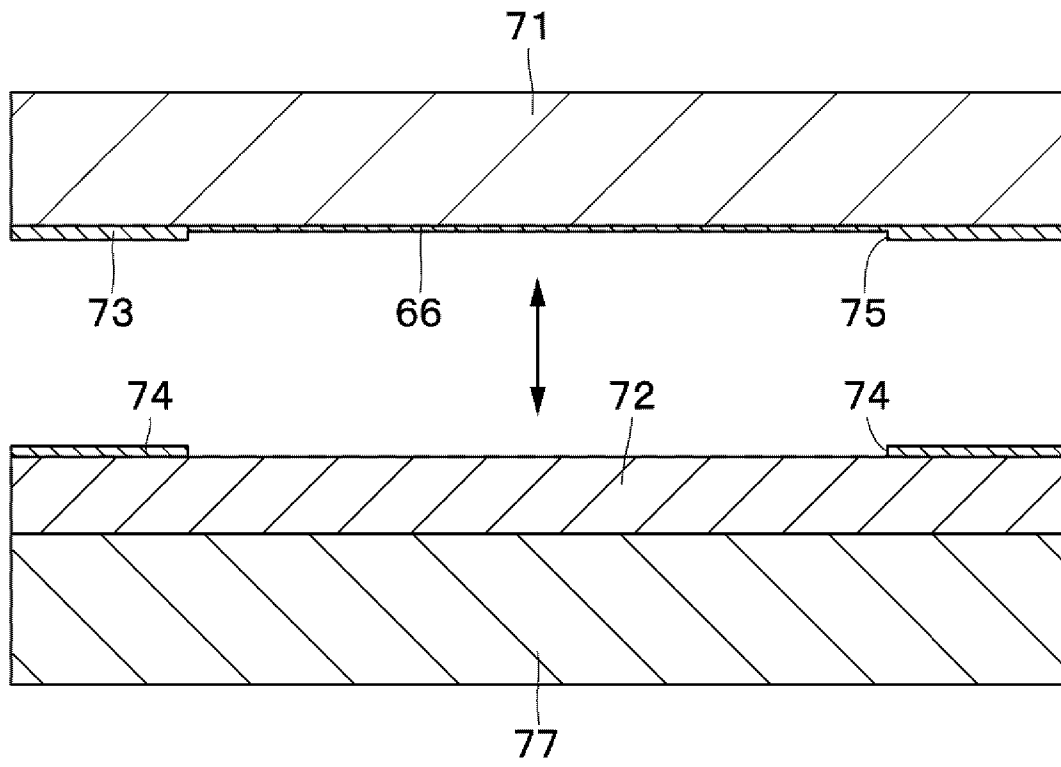
[図19]



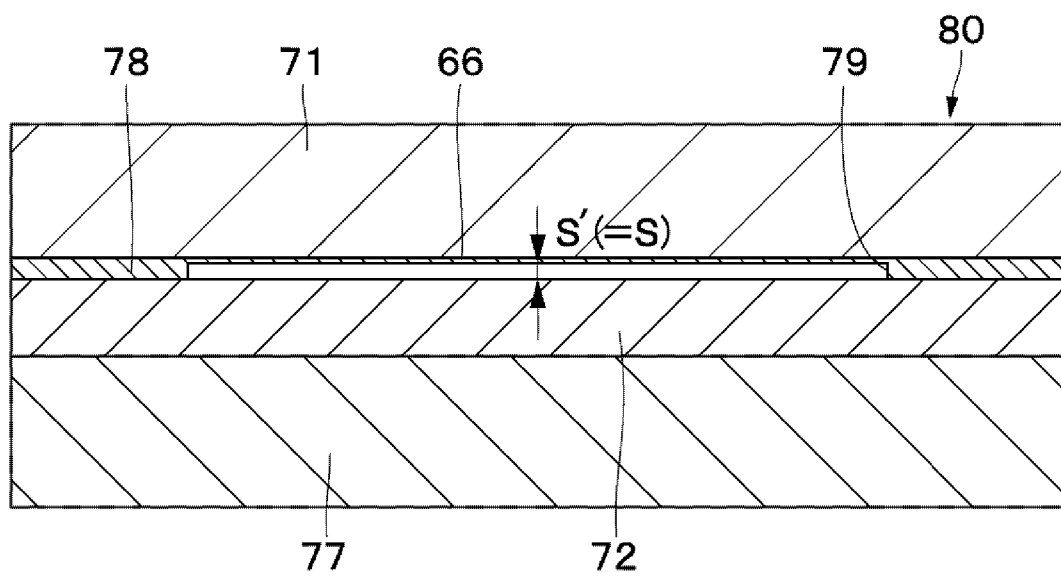
[図20]



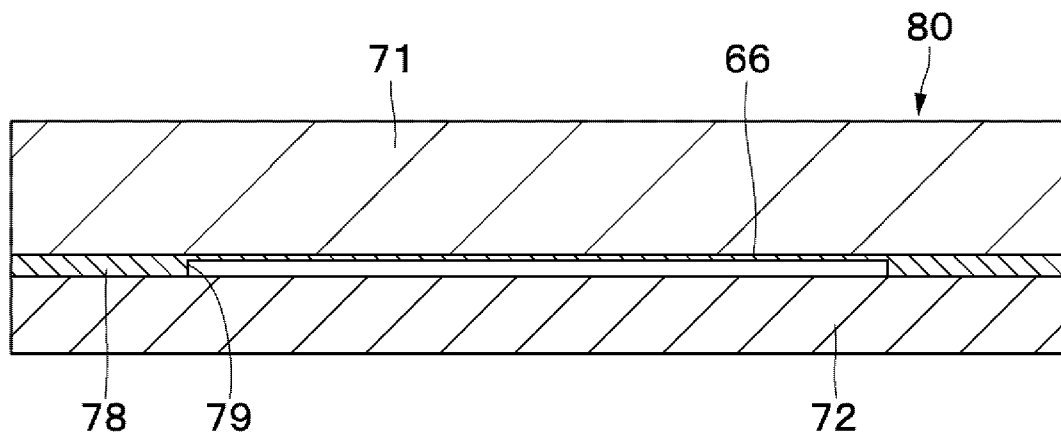
[図25]



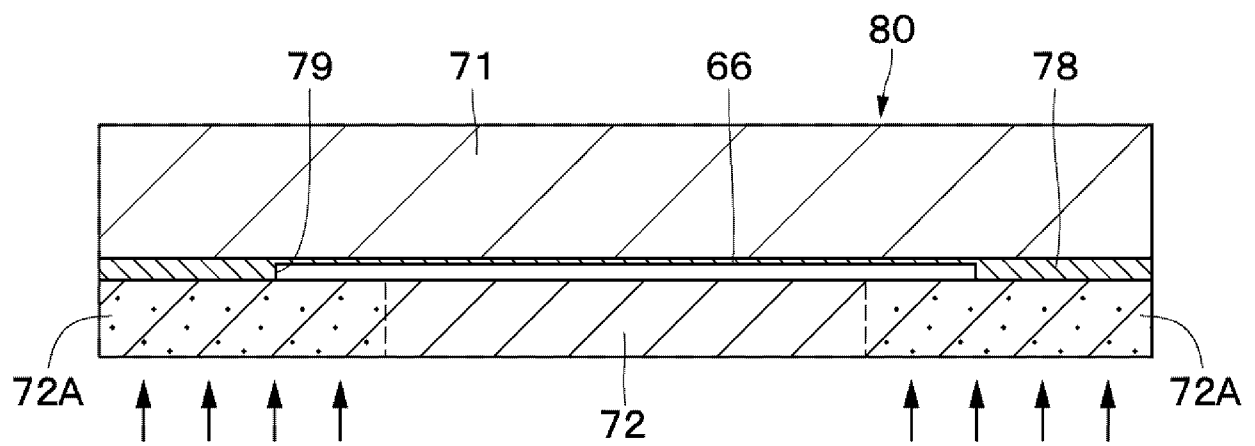
[図26]



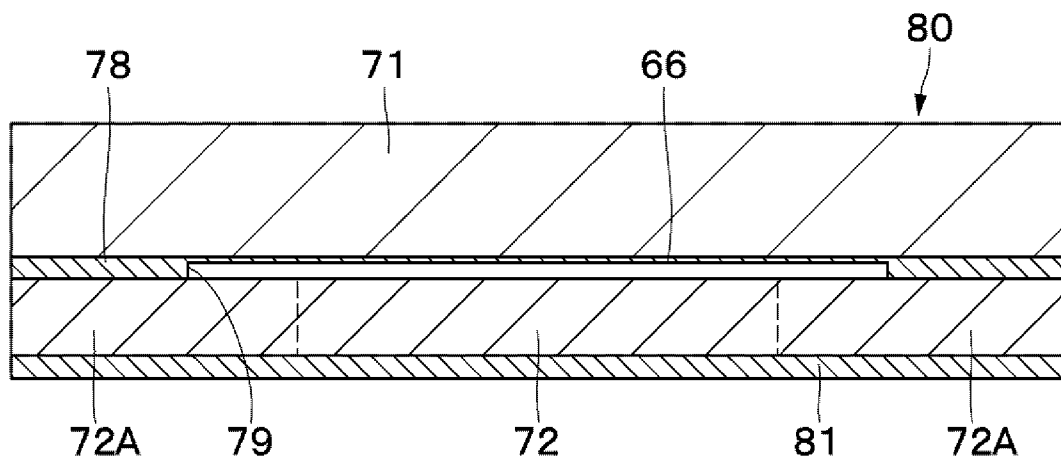
[図27]



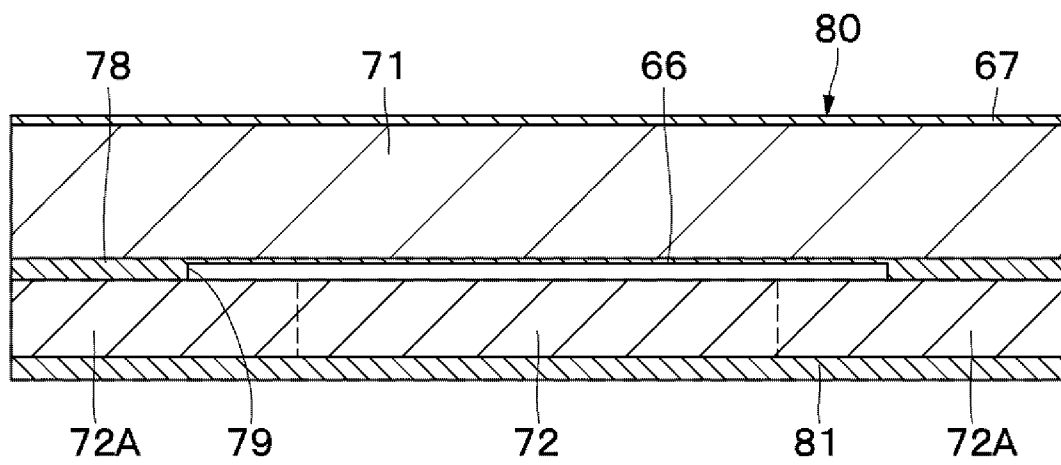
[図28]



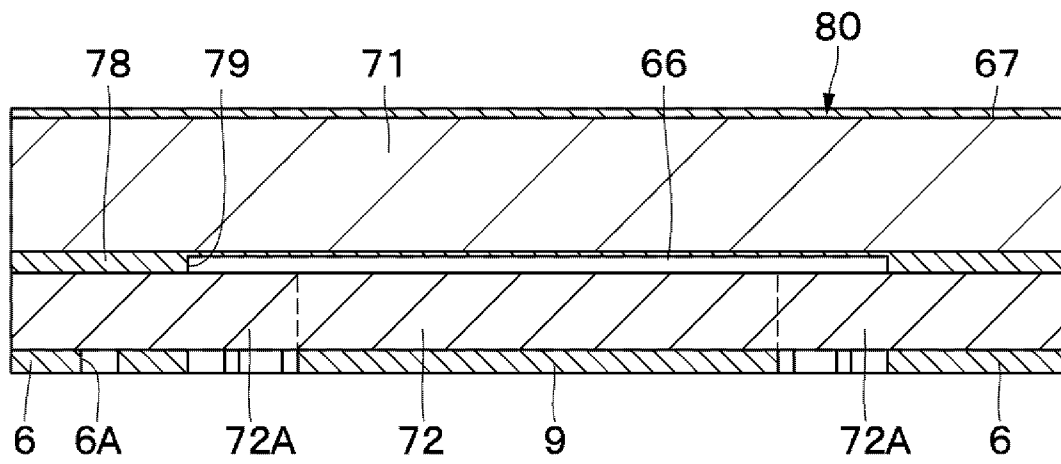
[図29]



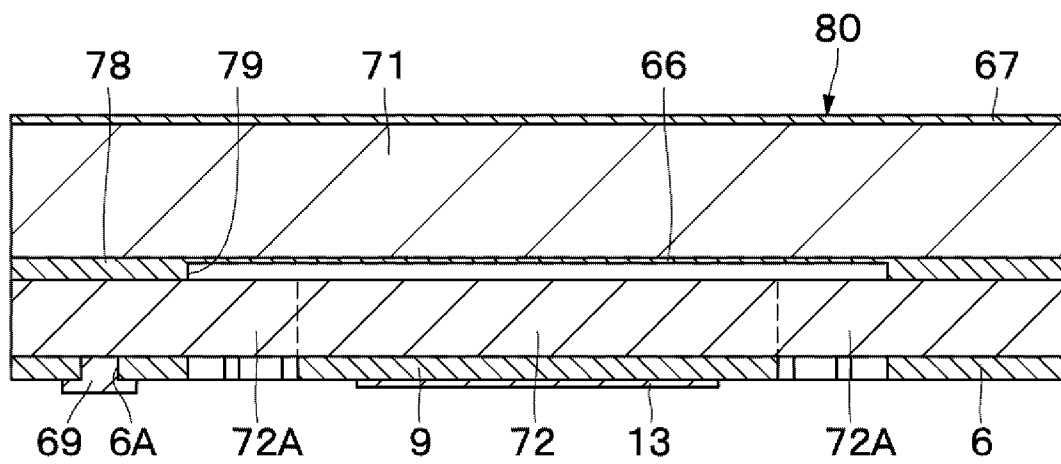
[図30]



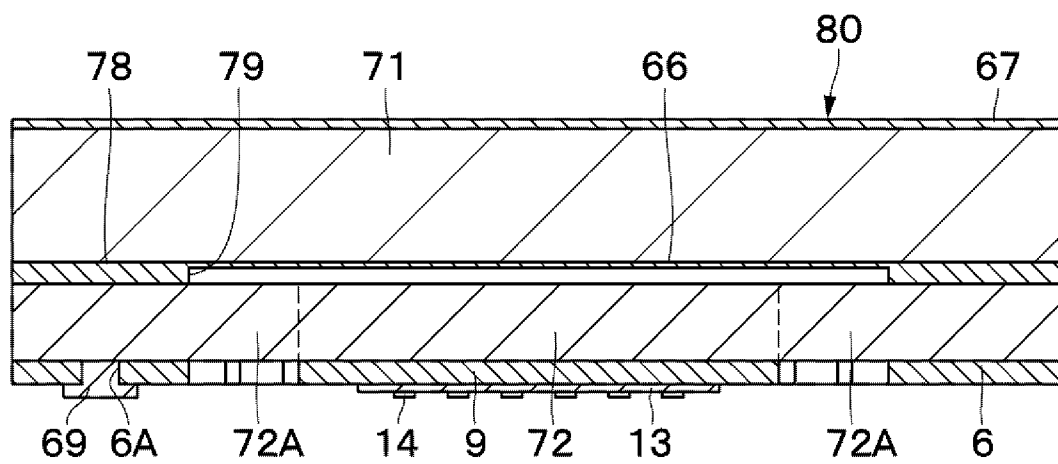
[図31]



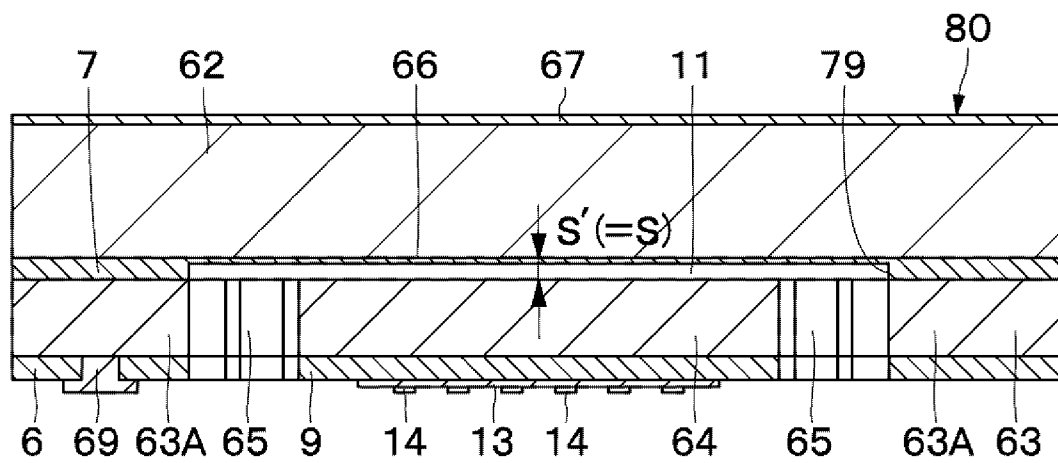
[図32]



[図33]



[図34]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/063726

A. CLASSIFICATION OF SUBJECT MATTER

H02N13/00(2006.01)i, B81B3/00(2006.01)i, H01P1/12(2006.01)i, H01H59/00(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02N13/00, B81B3/00, H01P1/12, H01H59/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-127871 A (Fujitsu Component Kabushiki Kaisha), 22 April, 2004 (22.04.04), Par. Nos. [0124] to [0128]; Figs. 29 to 30 & US 2005/280975 A1 & EP 1388875 A2	1, 2, 4
Y	JP 6-53206 A (Nissan Motor Co., Ltd.), 25 February, 1994 (25.02.94), Par. Nos. [0007] to [0011]; Fig. 1 (Family: none)	1, 2, 4
Y	JP 5-2976 A (Matsushita Electric Works, Ltd.), 08 January, 1993 (08.01.93), Par. Nos. [0021] to [0032]; Figs. 1 to 3 (Family: none)	2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 August, 2007 (13.08.07)

Date of mailing of the international search report
21 August, 2007 (21.08.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H02N13/00(2006.01)i, B81B3/00(2006.01)i, H01P1/12(2006.01)i, H01H59/00(2006.01)n

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））
 Int.Cl. H02N13/00, B81B3/00, H01P1/12, H01H59/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-127871 A（富士通コンポーネント株式会社） 2004.04.22, 段落【0124】 - 【0128】, 第29-30図 & US 2005/280975 A1 & EP 1388875 A2	1, 2, 4
Y	JP 6-53206 A（日産自動車株式会社）1994.02.25, 段落【0007】 - 【0011】, 第1図（ファミリーなし）	1, 2, 4
Y	JP 5-2976 A（松下電工株式会社）1993.01.08, 段落【0021】 - 【0032】, 第1-3図（ファミリーなし）	2

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー</p> <p>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>「O」口頭による開示、使用、展示等に言及する文献</p> <p>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献</p> <p>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」同一パテントファミリー文献</p>
--	---

国際調査を完了した日 1 3 . 0 8 . 2 0 0 7	国際調査報告の発送日 2 1 . 0 8 . 2 0 0 7		
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官（権限のある職員） 中村 達之	3 V	8 5 0 3
	電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8		