(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3764184号
(P3764184)

(45)発行日　平成18年4月5日(2006.4.5)　(24)登録日　平成18年1月27日(2006.1.27)

(51)Int.Cl.		F I		
G11C 16/04	(2006.01)	G11C	17/00	622E
G11C 16/06	(2006.01)	G11C	17/00	633A

請求項の数 18　(全 29 頁)

(21)出願番号　特願平7-82092
(22)出願日　平成7年3月15日(1995.3.15)
(65)公開番号　特開平8-255494
(43)公開日　平成8年10月1日(1996.10.1)
審査請求日　平成14年3月12日(2002.3.12)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　中村　寛
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

審査官　石川　正二

(56)参考文献　特開平０７－００６５９３（ＪＰ，Ａ）
特開平０６－１１２４４３（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】不揮発性半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

１個若しくは複数個の不揮発性メモリセルと、

前記メモリセルの一端側に接続された第１の選択トランジスタと、

前記メモリセルの他端側に接続された第２の選択トランジスタと、

前記メモリセルと第１及び第２の選択トランジスタがアレイ状に配列されたメモリセルアレイと、

第１の選択トランジスタのゲートを複数個接続することによりワード線と平行な方向に設けられた第１の選択ゲート線と、

第２の選択トランジスタのゲートを複数個接続することによりワード線と平行な方向に設けられた第２の選択ゲート線と、

１本以上のワード線及び前記ワード線の両隣に位置する第１及び第２の選択ゲート線にて構成されるブロックと、

前記メモリセルの前記ワード線と第１及び第２の選択ゲート線の選択／非選択の制御や電圧設定を行うロウデコーダ回路と、

を備え、

前記各ブロックの第１の選択ゲート線は、隣接したブロックの第１の選択ゲート線と直接若しくは他の配線層を介して接続され、

前記ロウデコーダ回路は、同一ブロック内の第１の選択ゲート線と第２の選択ゲート線を同時に選択する機能を有することを特徴とする不揮発性半導体記憶装置。

【請求項２】
前記各ブロックの第２の選択ゲート線は、他のブロックの第２の選択ゲート線と接続されないことを特徴とする請求項１記載の不揮発性半導体記憶装置。
【請求項３】
前記各ブロックの第２の選択ゲート線は、前記隣接したブロックと異なる隣接ブロックの第２の選択ゲート線と直接若しくは他の配線層を介して接続されることを特徴とする請求項１記載の不揮発性半導体記憶装置。
【請求項４】
第１のブロックと、
第１のブロックに隣接した第２のブロックと、
第１のトランジスタと、
第２のトランジスタと、
第１のトランジスタと第２のトランジスタを含む複数のトランジスタが直列に接続された第１のトランジスタ群と、
を備え、
第１のブロック中の第１の選択ゲート線と第２のブロック中の第１の選択ゲート線が直接若しくは他の配線層を介して接続され、
第１のトランジスタ群の中の直列に接続されたトランジスタの一端が第１のブロック中の第１の選択ゲート線に接続され、
第１のトランジスタのゲートには第１のブロックの選択／非選択制御信号が入力され、
第２のトランジスタのゲートには第２のブロックの選択／非選択制御信号が入力されることを特徴とする請求項１～３の何れかに記載の不揮発性半導体記憶装置。
【請求項５】
第１のトランジスタと第２のトランジスタは極性が同じであることを特徴とする請求項４記載の不揮発性半導体記憶装置。
【請求項６】
第１のブロック選択時には第１のトランジスタが非導通状態に、第２のブロック選択時には第２のトランジスタが非導通状態になる動作モードを備えたことを特徴とする請求項４又は５に記載の不揮発性半導体記憶装置。
【請求項７】
第１及び第２のブロックが共に非選択の時、第１及び第２のトランジスタが共に導通状態となる動作モードを備えたことを特徴とする請求項４～６の何れかに記載の不揮発性半導体記憶装置。
【請求項８】
第３のブロックと、
第３のブロックに隣接した第４のブロックと、
第３のトランジスタと、
第４のトランジスタと、
第３のトランジスタと第４のトランジスタを含む複数のトランジスタが直列に接続された第２のトランジスタ群と、
を備え、
第３のブロック中の第２の選択ゲート線と第４のブロック中の第２の選択ゲート線が直接若しくは他の配線層を介して接続され、
第２のトランジスタ群の中の直列に接続されたトランジスタの一端が第３のブロック中の第２の選択ゲート線に接続され、
第３のトランジスタのゲートには第３のブロックの選択／非選択制御信号が入力され、
第４のトランジスタのゲートには第４のブロックの選択／非選択制御信号が入力されることを特徴とする請求項４～７の何れかに記載の不揮発性半導体記憶装置。
【請求項９】
第３のトランジスタと第４のトランジスタは極性が同じであることを特徴とする請求項

８記載の不揮発性半導体記憶装置。
【請求項１０】
第１のトランジスタ、第２のトランジスタ、第３のトランジスタ及び第４のトランジスタは全て極性が同じであることを特徴とする請求項８又は９に記載の不揮発性半導体記憶装置。
【請求項１１】
第３のブロック選択時には第３のトランジスタが非導通状態に、第４のブロック選択時には第４のトランジスタが非導通状態になる動作モードを備えたことを特徴とする請求項８～１０の何れかに記載の不揮発性半導体記憶装置。
【請求項１２】
第３及び第４のブロックが共に非選択の時、第３及び第４のトランジスタが共に導通状態になる動作モードを備えたことを特徴とする請求項８～１１の何れかに記載の不揮発性半導体記憶装置。
【請求項１３】
第１の選択トランジスタは、ビット線と接続されることを特徴とする請求項１～１２の何れかに記載の不揮発性半導体記憶装置。
【請求項１４】
第２の選択トランジスタは、ソース線と接続されることを特徴とする請求項１～１３の何れかに記載の不揮発性半導体記憶装置。
【請求項１５】
第１の選択トランジスタは、ソース線と接続されることを特徴とする請求項１～１２の何れかに記載の不揮発性半導体記憶装置。
【請求項１６】
第２の選択トランジスタは、ビット線と接続されることを特徴とする請求項１～１２の何れかに記載の不揮発性半導体記憶装置。
【請求項１７】
前記メモリセルと第１及び第２の選択トランジスタがＮＡＮＤセルを構成することを特徴とする請求項１～１６の何れかに記載の不揮発性半導体記憶装置。
【請求項１８】
前記メモリセルと第１及び第２の選択トランジスタがＡＮＤセルを構成することを特徴とする請求項１～１６の何れかに記載の不揮発性半導体記憶装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、電気的書替え可能な不揮発性半導体記憶装置（ＥＥＰＲＯＭ）に関する。
【０００２】
【従来の技術】
ＥＥＰＲＯＭの一つとして、高集積化が可能なＮＡＮＤセル型ＥＥＰＲＯＭが知られている。これは、複数のメモリセルをそれらのソース，ドレインを隣接するもの同士で共用する形で直列接続し、これを一単位としてビット線に接続するものである。メモリセルは通常、浮遊ゲート（電荷蓄積層）と制御ゲートが積層されたＦＥＴ－ＭＯＳ構造を有する。メモリセルアレイは、ｐ型基板又はｎ型基板に形成されたｐ型ウェル内に集積形成される。ＮＡＮＤセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介してソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。
【０００３】
このＮＡＮＤセル型ＥＥＰＲＯＭの動作は次の通りである。
【０００４】
データ書込みの動作は、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧Ｖpp（＝２０Ｖ程度）を印加し、それよりビット

線側にあるメモリセルの制御ゲート及び選択ゲートには中間電位ＶppＭ（＝１０Ｖ程度）を印加し、ビット線にはデータに応じて０Ｖ又は中間電位を与える。

【０００５】

ビット線に０Ｖが与えられた時、その電位は選択メモリセルのドレインまで伝達されて、ドレインから浮遊ゲートに電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を、例えば“１”とする。ビット線に中間電位が与えられたときは電子注入が起こらず、従ってしきい値は変化せず、負に止まる。この状態は“０”である。

【０００６】

データ消去は、消去を行うメモリセルに接続された制御ゲートを０Ｖとし、ビット線及びソース線を浮遊状態として、消去を行わないメモリセルに接続された制御ゲート及び全ての選択ゲート、ｐ型ウェル及びｎ型基板に高電圧２０Ｖを印加する。これにより、消去を行うメモリセルで浮遊ゲートの電子がｐ型ウェルに放出され、しきい値は負方向にシフトする。

【０００７】

データ読出し動作は、選択されたメモリセルの制御ゲートを０Ｖとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位Ｖcc（＝５Ｖ）として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【０００８】

このようなＮＡＮＤセル型ＥＥＲＲＯＭのビット線コンタクト側選択ゲートとソース線側選択ゲートは、共に層間絶縁膜を挟んで平行に形成された、抵抗の異なる２本の配線から成り、この２本の配線はメモリセルアレイ中の数箇所（若しくは数十箇所）で接続されている。この選択ゲート接続領域では、ビット線コンタクトを挟んだ２本の選択ゲート間の距離は比較的長いため、ビット線コンタクトを挟んだ２本の選択ゲートでは２本の配線の接続を別々に行っている。

【０００９】

一方、ソース線を挟んだ２本の選択ゲート間の距離は短いため、ソース線を挟んだ２本の選択ゲートにおいて別々に配線接続を行うことができず、従って配線接続部ではソース線を挟んだ２本の選択ゲートをショートさせ、同一ノードとして配線接続をしている。従って、ＮＡＮＤセル型ＥＥＰＲＯＭでは、ソース線を挟んだ２本の選択ゲートは同電位にある。

【００１０】

このようなＮＡＮＤセル型ＥＥＰＲＯＭ内のロウデコーダ中には、デコード信号としてはブロック単位のデコード信号しか存在しない。このため、選択ブロックと選択ブロックのソース線側隣接ブロックをセットにしてデコードするという特殊なデコード方式が必要なＳＧ２ノードに関してはデコードせず、全ブロック中で同一電位とする方式を用いていた。

【００１１】

また、書込み・読出し動作中は、非選択ブロックではビット線コンタクト側選択ゲートＳＧ１が“Ｌ”状態にあり、非選択ブロック中ではビット線とメモリセルがビット線コンタクト側選択ゲートにより非導通状態とされていたため、非選択ブロック内ではソース側選択ゲートＳＧ２の電圧にかかわらず誤動作を招かない。つまり、信頼性の高い書込み・読出し動作を実現できたため、非選択ブロック中の全てのソース側選択ゲートＳＧ２電位を選択ブロック内のＳＧ２電位と同電位にしても動作の信頼性上は問題はない、という点も考慮して従来はソース線側選択ゲートを全ブロック中で同一電位とする方式を用いていた。

【００１２】

以上の動作説明から明らかなように、ＮＡＮＤセル型ＥＥＰＲＯＭでは、読出し動作時には、選択ブロック中の選択された１本の制御ゲート以外の制御ゲート、選択ブロック中の１本のビット線コンタクト側選択ゲート、及び全ブロック中のソース線側選択ゲートは電

源電圧まで充電される。また、読出し動作が終わる前に、前記Ｖccまで充電されたノードは０Ｖまで放電される。この場合には、Ｖcc電位までの充電、及び０Ｖまでの放電を行うべきソース線側選択ゲートの本数が数百～数千本となり、容量が莫大な値となるため、ソース線側選択ゲートへの充放電所要時間が長時間化し、読出し動作所要時間が長くなるという問題点があった。

【００１３】

また、ソース線側選択ゲートへの充放電所要時間を短縮するために、ソース線側選択ゲートの充放電動作を行う際の経路になる配線のうち、メモリセルアレイ中以外のものの配線幅を広くしたり、充放電動作に関わる素子の寸法を大きくする等の方法を用いると、チップ面積が大幅に増大するという問題があった。

【００１４】

【発明が解決しようとする課題】

このように従来のＮＡＮＤセル型ＥＥＰＲＯＭでは、全ブロック中のソース線側選択ゲートが同電位に設定されてるため、ソース線側選択ゲートの充放電動作所要時間が長時間化し、読出し動作が長くなるという問題があった。また、これを解決するために、配線幅を広くしたり素子寸法を大きくしたりすると、制御回路面積や配線面積が増大することによりチップ面積が増大するという問題があった。

【００１５】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、チップ面積を殆ど増加させることなく、読出し動作の高速化を可能としたＥＥＰＲＯＭを提供することにある。

【００１６】

【課題を解決するための手段】

上記課題を解決するために本発明は、次のような構成を採用している。

【００１７】

即ち本発明は、１個若しくは複数個の不揮発性メモリセルと、前記メモリセルの一端側に接続された第１の選択トランジスタと、前記メモリセルの他端側に接続された第２の選択トランジスタと、前記メモリセルと第１及び第２の選択トランジスタがアレイ状に配列されたメモリセルアレイと、第１の選択トランジスタのゲートを複数個接続することによりワード線と平行な方向に設けられた第１の選択ゲート線と、第２の選択トランジスタのゲートを複数個接続することによりワード線と平行な方向に設けられた第２の選択ゲート線と、１本以上のワード線及び前記ワード線の両隣に位置する第１及び第２の選択ゲート線にて構成されるブロックと、前記メモリセルのワード線と第１及び第２の選択ゲート線の選択／非選択の制御や電圧設定を行うロウデコーダ回路とを備えた不揮発性半導体記憶装置であって、前記各ブロックの第１の選択ゲート線が他のブロックの隣接した第１の選択ゲート線と直接若しくは他の配線層を介して接続され、前記ロウデコーダ回路は、同一ブロック内の第１の選択ゲート線と第２の選択ゲート線を同時に選択する機能を有することを特徴とする。

【００２０】

ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 第２の選択ゲート線は、隣接した選択ゲート線と接続されないこと。

(2) 第２の選択ゲート線は、隣接した選択ゲート線と直接若しくは他の配線層を介して接続されること。

(3) 第１の選択ゲート線が接続された第１のブロックと第２のブロックを備え、第１の選択ゲート線は複数のトランジスタが直列接続されたトランジスタ群と接続されトランジスタ群の中に含まれる第１のトランジスタのゲートには第１のブロックの選択／非選択制御信号が入力され、トランジスタ群の中に含まれる第２のトランジスタのゲートには第２のブロックの選択／非選択制御信号が入力されること。

(4) 第１のブロック選択時には第１のトランジスタが非導通状態に、第２のブロック選択時には第２のトランジスタが非導通状態になる動作モードを備えたこと

(5) 第１及び第２のブロックが共に非選択の時、第１及び第２のトランジスタが共に導通状態となる動作モードを備えたこと。
(6) 第２の選択ゲート線が接続された第３のブロックと第４のブロックを備え、第２の選択ゲート線は複数のトランジスタが直列接続されたトランジスタ群と接続され、トランジスタ群の中に含まれる第３のトランジスタのゲートには第３のブロックの選択／非選択制御信号が入力され、トランジスタ群の中に含まれる第４のトランジスタのゲートには第４のブロックの選択／非選択制御信号が入力されること。
(7) 第３のブロック選択時には第３のトランジスタが非導通状態に、第４のブロック選択時には第４のトランジスタが非導通状態になる動作モードを備えたこと。
(8) 第３及び第４のブロックが共に非選択の時、第３及び第４のトランジスタが共に導通状態になる動作モードを備えたこと。
(9) 第１の選択トランジスタは、ビット線と接続されること。
(10)第２の選択トランジスタは、ソース線と接続されること。
(11)第１の選択トランジスタは、ソース線と接続されること。
(12)第２の選択トランジスタは、ビット線と接続されること。
(13)メモリセルと第１及び第２の選択トランジスタがＮＡＮＤセルを構成すること。
(14)メモリセルと第１及び第２の選択トランジスタがＡＮＤセルを構成すること。

【００２１】

【作用】

本発明においては、選択トランジスタのデコード方式として、選択ブロックと選択ブロックのソース線側又はビット線側の隣接ブロックをセットにしてデコードする方式を用いるため、読出し動作時に充放電を行うソース線側又はビット線側の選択トランジスタのゲート線の本数を選択ブロック内の１本と隣接選択ブロック内の１本の合わせて２本とすることができる。ＮＡＮＤセル型ＥＥＰＲＯＭでは、ソース線側選択トランジスタのデコード方式として、選択ブロックと選択ブロックのソース線側隣接ブロックをセットにしてデコードする方式を用いるため、読出し動作時に充放電を行うソース線側選択トランジスタのゲート線の本数を選択ブロック内の１本と選択ブロックのソース線側隣接ブロック内の１本の合わせて２本とすることができる。

【００２２】

このようにして本発明によれば、チップ面積を殆ど増大させることなく、読出し動作中の選択トランジスタのゲート充放電時間を短縮でき、読出し動作の高速化が達成される。

【００２３】

【実施例】

以下、本発明の実施例を図面を参照して説明する。

【００２４】

図１は、本発明の一実施例に係わるＮＡＮＤセル型ＥＥＰＲＯＭシステム構成を示すブロック図である。メモリセルアレイ１に対して、データ書込み，読出し，再書込み，書込みベリファイ読出し及び消去ベリファイ読出しを行うために、ビット線制御回路２が設けられている。このビット線制御回路２は、データ入出力バッファ６につながり、アドレスバッファ４からのアドレス信号を受けるカラムデコーダ３の出力を入力として受ける。また、メモリセルアレイ１に対して制御ゲート及び選択ゲートを制御するためにロウデコーダ５が設けられ、メモリセルアレイ１が形成されるｐ基板（又はｐ型ウェル）の電位を制御するための基板電位制御回路７が設けられている。

【００２５】

図２（ａ）（ｂ）は、メモリセルアレイの一つのＮＡＮＤセル部分の平面図と等価回路図であり、図３（ａ）（ｂ）はそれぞれ図２（ａ）のＡ－Ａ′及びＢ－Ｂ′断面図である。素子分離酸化膜１２で囲まれたｐ型シリコン基板（又はｐ型ウェル）１１に、複数のＮＡＮＤセルからなるメモリセルアレイが形成されている。一つのＮＡＮＤセルに着目して説明すると、この実施例では、８個のメモリセルＭ１～Ｍ８が直列接続されて一つのＮＡＮＤセルを構成している。

【００２６】
メモリセルはそれぞれ、基板１１にゲート絶縁膜１３を介して浮遊ゲート１４（14_1，14_2，…，14_8）を形成し、この上に層間絶縁膜１５を介して制御ゲート１６（16_1，16_2，…，16_8）を形成して、構成されている。これらのメモリセルのソース・ドレインであるｎ型拡散層１９は、隣接するもの同士共用する形で接続され、これによりメモリセルが直列接続される。
【００２７】
ＮＡＮＤセルのドレイン側及びソース側には、メモリセルの浮遊ゲート，制御ゲートと同時に形成された選択ゲート14_9，16_9及び14_{10}，16_{10}がそれぞれ設けられている。素子形成された基板上はＣＶＤ酸化膜１７により覆われ、この上にビット線１８が配設されている。ビット線１８はＮＡＮＤセルの一端のドレイン側拡散層１９にコンタクトさせている。行方向に並ぶＮＡＮＤセルの制御ゲート１６は、共通に制御ゲート線ＣＧ（１），ＣＧ（２），…，ＣＧ（８）として配設されている。これら制御ゲート線はワード線となる。選択ゲート14_9，16_9及び14_{10}，16_{10}もそれぞれ行方向に連続的に選択ゲート線SG_1，SG_2として配設されている。
【００２８】
なお、選択ゲート14_9，14_{10}と基板１１との間のゲート絶縁膜１３をメモリセル部のゲート絶縁膜よりも厚く形成して、その信頼性を高めるようにしてもよい。
【００２９】
図４は、このようなＮＡＮＤセルがマトリックス配列されたメモリセルアレイの等価回路を示している。
【００３０】
図５は、メモリセルアレイ中の複数のＮＡＮＤセル配列の平面図を、図６（ａ）（ｂ）はそれぞれ図５中の（Ｉ）（II）の部分の平面図を、図６（ｃ）は図６（ａ）（ｂ）のＣ－Ｃ′断面図である。また、図６中の各ノードを示す符号は図３中の記号と同一である。
【００３１】
ＮＡＮＤセル型ＥＥＰＲＯＭでは、図２，図３から分かるように、選択ゲートトランジスタのゲート電極としてノード１４配線が用いられ、層間絶縁膜１５を挟んでノード１６配線がノード１４配線と平行に形成されている。このノード１４配線は通常は高抵抗であるため、選択ゲート線としてノード１４配線のみを用いる場合には、選択ゲート線の充放電所要時間が長くなり、この場合にはチップの各動作時間の長時間化を招く。
【００３２】
選択ゲート線の充放電所要時間を短縮するために、通常ノード１４配線より数倍抵抗が低く設定されたノード１６配線とノード１４配線をメモリセルアレイ中の数箇所（或いは数十箇所）で接続する方法が用いられている。この場合には、メモリセルアレイ中にノード１６配線とノード１４配線の接続用の領域が設けられることになり、図５中のＮＡＮＤセル配列の間に設けられた幅Ｌ３の領域（以後、選択ゲート接続領域と称す）がそれである。この選択ゲート接続領域では、図６（ａ）や（ｂ）のように、ビット線コンタクト側選択ゲートＳＧ１，ソース線側選択ゲートＳＧ２の両方において、ノード１６配線とノード１４配線の接続が行われている。
【００３３】
ビット線コンタクト側選択ゲートＳＧ１においては、ビット線コンタクトを挟んだＳＧ１配線間距離Ｌ１が長いので、ビット線コンタクトを挟んだＳＧ１において別々にノード１６・ノード１４間接続を行うことができる。しかしながら、ソース線側選択ゲートＳＧ２においては、ソース線を挟んだＳＧ２配線間距離Ｌ２が短いので、ソース線を挟んだＳＧ２において別々にノード１６・ノード１４間接続を行うことができず、従って図６（ｂ）のように、選択ゲート接続領域では、ソース線を挟んだ２個のＳＧ２ノードは接続された状態でノード１６・ノード１４間接続が行われている。
【００３４】
ソース線を挟んだ隣接ブロック間ではソース線側選択ゲートＳＧ２は同電位となっている

。また、この選択ゲート接続領域では、ノード１６とノード１４は低抵抗の配線材によって接続される。図６（ｃ）では、ビット線と同じ配線材を用いてノード１６とノード１４を接続した場合を示してある。また、ビット線，ノード１６，ノード１４と異なる配線材を用いてノード１６・ノード１４間の接続をすることも可能である。また、ノード１６とは別の配線材をノード１４と平行に形成して、選択ゲート接続領域において、前記したノード１６とは別の配線材とノード１４の接続をすることも可能である。

【００３５】

図７に、ＮＡＮＤセルブロックの配列、及び選択・制御ゲートの並びを示す。各々のＮＡＮＤセルブロックは、ソース線を共有する複数のＮＡＮＤセルから構成されている。そして、複数個のＮＡＮＤセルブロックが、一端側でビット線を共有し他端側でソース線を共有するように配列されている。図６の説明で述べたように、ソース線側を挟んだブロック間ではＳＧ２が同電位となっていることが分かる。従って、１個のＮＡＮＤセルブロックが選択された場合には、この選択ブロックのソース線側隣接ブロック（以後、単に隣接ブロックと呼ぶことにする）のＳＧ２電位は選択ブロック中のＳＧ２電位と同電位となる。

【００３６】

図８中に、図６，図７のようにＳＧ２ノードが配線されたＮＡＮＤセル型ＥＥＰＲＯＭの読出し動作のタイミング図を示す。但し、図８中のソース線側隣接ブロック内ＳＧ２とは、選択ブロックのソース線側隣接ブロック内ＳＧ２のことを示す。

【００３７】

図８中の動作では、“１”データのメモリセルのしきい値電圧の許容範囲（０Ｖより高く、読出し動作中に選択ブロック内非選択制御ゲートに印加される電圧より低い、という範囲）を広くする、読出し動作中に電流を流すＮＡＮＤセル（“０”データにある選択メモリセルを含むＮＡＮＤセル）を流れる電流を大きくして（選択ブロック内非選択制御ゲートに印加される電圧が高い方がＮＡＮＤセル中を流れる電流が大きくなる）読出し所要時間の短縮をはかる、等の目的で読出し動作中に選択ブロック内非選択制御ゲート電位、等を電源電圧Ｖccより高い電圧に設定する場合の読出し動作を示している。但し、このＶccより高い電圧はチップ内の読出し用高電圧発生回路により発生されるものとする。以下に、簡単に図８の動作タイミングの説明を行う。

【００３８】

読出し動作開始前には、ビット線は０Ｖ以上Ｖcc以下の電位にある。読出し動作開始時には、選択ブロック中の制御ゲート８本のうちの１本がロウアドレスにより選択されている。読出し動作が始まると、まずビット線が全てＶccまで充電される。続いて、選択ブロック内非選択制御ゲート（７本）、選択ブロック内ＳＧ１、選択ブロック内ＳＧ２、及び（選択ブロックのソース線側）隣接ブロック内ＳＧ２が０ＶからＶccまで充電される。この場合のＶcc電位への充電所要時間は、メモリセル内の制御ゲート・選択ゲート各配線の抵抗と容量で決まる時間となる。

【００３９】

選択ブロック内非選択制御ゲート、選択ブロック内ＳＧ１、選択ブロック内ＳＧ２、及び（選択ブロックのソース線側）隣接ブロック内ＳＧ２ではそれぞれ配線材としてはどれも図３中のノード１６の配線材と同じ物を用いており（但し、ＳＧ１，ＳＧ２は配線のうち低抵抗な方がノード１６と同一の配線材）、また配線容量も同程度なので、選択ブロック内非選択制御ゲート、選択ブロック内ＳＧ１，選択ブロック内ＳＧ２、及び（選択ブロックのソース線側）隣接ブロック内ＳＧ２では同程度の充電所要時間（図８中の（ア）に相当）となる。

【００４０】

次に、選択ブロック内非選択制御ゲート、選択ブロック内ＳＧ１，選択ブロック内ＳＧ２、及び（選択ブロックのソース線側）隣接ブロック内ＳＧ２の各ノードが、読出し用高電圧発生回路の出力ノードＶＣＧＨに接続される。続いて、読出し用高電圧発生回路がＶccより高い電圧の発生を開始し、読出し用高電圧発生回路の出力ノードＶＣＧＨに前記Ｖccより高い電圧が供給されるため、選択ブロック内非選択制御ゲート、選択ブロック内ＳＧ

１，選択ブロック内ＳＧ２、及び（選択ブロックのソース線側）隣接ブロック内ＳＧ２の各ノードもＶccより高い電圧に充電されていく。

【００４１】

このときの読出し用高電圧の負荷容量となる部分は、制御ゲート７本、選択ゲート３本、及びロウデコーダ内の高電圧ノード（図９中のＶＰＰＲＷノード（ＨＶ破線内のｐチャネルトランジスタが形成されているｎウェル容量も含む）、及びノードＮ１，Ｎ２の片方）である。読出し用高電圧が所望の電位レベルＶＨまで達すると、ＶＣＧＨノードやＶＣＧＨノードと接続されるノードは、しばらくの間ＶＨ電位に保たれ、選択メモリセルからビット線へのデータ読出しが行われる。

【００４２】

続いて、選択ブロック内非選択制御ゲート、選択ブロック内ＳＧ１，選択ブロック内ＳＧ２、及び（選択ブロックのソース線側）隣接ブロック内ＳＧ２の各ノードがＶＨから０Ｖまで放電される。この場合の０Ｖ電位への放電所要時間はメモリセル内の制御ゲート、選択ゲート各配線の抵抗と容量で決まる時間となる。選択ブロック内非選択制御ゲート、選択ブロック内ＳＧ１，選択ブロック内ＳＧ２、及び（選択ブロックのソース線側）隣接ブロック内ＳＧ２ではそれぞれ配線材としてはどれも図３中のノード１６の配線材と同じ物を用いており（但し、ＳＧ１，ＳＧ２は配線のうち低抵抗な方がノード１６と同一の配線材）、また配線容量も同程度なので、選択ブロック内非選択制御ゲート、選択ブロック内ＳＧ１，選択ブロック内ＳＧ２、及び（選択ブロックのソース線側）隣接ブロック内ＳＧ２のそれぞれで同程度の充電所要時間（図８中の（ウ）に相当）となる。

【００４３】

続いて、読出し用高電圧発生回路がＶccより高い電圧の発生を終了し、ＶＣＧＨノードがＶcc電位に設定される。さらに、ビット線の電圧がセンスアンプにより読み出され、チップ外に出力される動作が行われ、続いて読出し動作が終了する。

【００４４】

図８の動作タイミングから明らかなように、全ブロック中のＳＧ２のうち、選択ブロック内ＳＧ２及び（選択ブロックのソース線側）隣接ブロック内ＳＧ２の２本のＳＧ２だけが前記読出し動作中にＶccからＶＨ電位となり、２本以外のＳＧ２は全て０Ｖに保たれている。

【００４５】

このように、ブロックが選択された際に、その選択ブロック内のＳＧ２と共に（選択ブロックのソース線側）隣接ブロック内のＳＧ２も合わせて選択し、選択ブロック内ＳＧ２と同じ電位に（選択ブロックのソース線側）隣接ブロック内のＳＧ２を設定する（例えば、読出し動作中には０Ｖ→Ｖcc→ＶＨ→０Ｖと設定される）と共に、その他のブロック中のＳＧ２は非選択ブロック中の設定電圧（例えば、読出し動作中には０Ｖ）に設定することが本発明の特徴である。

【００４６】

但し、本発明は読出し動作に限られるものではなく、本発明を用いる場合には、選択ブロック中のＳＧ２電位と非選択ブロック中（選択ブロックのソース線側隣接ブロックを除く）のＳＧ２電位を異なる電位に設定する際には、たとえ読出し動作中以外でも、（選択ブロックのソース線側）隣接ブロック内のＳＧ２は選択ブロック中ＳＧ２電位と同電位に保たれる。

【００４７】

図９に、上述した本発明を実現するロウデコーダ５の構成例を示す。図９中のＨＶ破線内のｐチャネルトランジスタが形成されたｎウェル電位はＶＰＰＲＷノード電位に設定される。信号ＲＤＥＮＢはＮＡＮＤセルブロック選択動作を起動する信号であり、信号ＲＤＥＮＢが“Ｈ”にある間はロウアドレスに対応するブロックが選択状態となる。また、ブロックデコード信号は各ブロックにおいて入力信号の種類が異なる信号であり、ロウアドレスに対応するブロック内では、ブロックデコード信号が全て“Ｈ”になり、信号ＲＤＥＮＢが“Ｈ”にある間選択状態となる。

【００４８】
信号ＥＲＡＳＥ，ＥＲＡＳＥＢはそれぞれ消去動作中には“Ｈ”，“Ｌ”，消去動作中以外には“Ｌ”，“Ｈ”となる。また、信号ＳＧＤ，ＣＧ１～８，ＳＧＳ，Ｖｕｓｓは選択・隣接・非選択ブロックの区別なくどのブロック中でも同じ動作タイミングとなる信号である。ＶＰＰＲＷノードは、読出し動作中はＶＣＧＨノードと同電位にあり、書込み・消去動作時にはそれぞれ書込み・消去用高電圧まで充電される。
【００４９】
このロウデコーダを用いる場合には、ＵＰ，ＤＯＷＮブロックの片方が選択された場合には、他方が選択ブロックのソース線側隣接ブロックとなる。また、ＵＰ，ＤＯＷＮブロックの両方とも選択されない場合には、共にただの非選択ブロックとなり、ＵＰ，ＤＯＷＮ共に選択ブロックのソース線側隣接ブロックとなることはない。
【００５０】
また、消去動作時以外には、ノードＮ１，Ｎ２は選択ブロック内ではそれぞれＶＰＰＲＷと同電位，０Ｖとなり、選択ブロックのソース線側隣接ブロック内・その他の非選択ブロック内ではそれぞれ０Ｖ，ＶＰＰＲＷと同電位となる。従って、このロウデコーダでは、消去動作以外の動作中には、選択ブロック中のＳＧ１，ＣＧ（１）～ＣＧ（８）にはそれぞれＳＧＤ，ＣＧ１～ＣＧ８の電位が送られる。
【００５１】
選択ブロックのソース線側隣接ブロック内、及びその他の非選択ブロック内では、ＣＧ１～ＣＧ８は０Ｖ，ＳＧ１はＶｕｓｓ（若しくは（Ｖｕｓｓ－Ｖｔｈｎ）電位；但し、ＶｔｈｎはＥタイプ，ｎチャネルＭＯＳトランジスタQn2～Qn15 のしきい値電圧）電位となる。
【００５２】
また消去動作時以外には、選択ブロック内及び選択ブロックのソース線側隣接ブロック内では、トランジスタQn7，Qp4の両方、若しくはトランジスタQn10 ，Qp5の両方のトランジスタがオン状態となり、またトランジスタQn8，Qn9のいずれかはオフ状態にあるため、ＳＧ２はＳＧＳ電位に設定される。その他のブロック内では、トランジスタQn7，Qp4，Qn10 ，Qp5の４個のトランジスタがオフ状態、Qn8，Qn9の両方がオン状態となり、ＳＧ２はＶｕｓｓ（若しくは（Ｖｕｓｓ－Ｖｔｈｎ））電位となる。
【００５３】
また、消去動作時には、ノードＮ１，Ｎ２は選択ブロック内ではそれぞれ０Ｖ，ＶＰＰＲＷと同電位、選択ブロックのソース線側隣接ブロック内・その他の非選択ブロック内ではそれぞれＶＰＰＲＷと同電位，０Ｖとなる。従って、消去動作中には、選択ブロック内では、ＣＧ１～ＣＧ８は０Ｖ，ＳＧ１はＶｕｓｓ（若しくは（Ｖｕｓｓ－Ｖｔｈｎ）電位）電位となる。選択ブロックのソース線側隣接ブロック内やその他の非選択ブロック内では、ＳＧ１，ＣＧ（１）～ＣＧ（８）にはそれぞれＳＧＤ，ＣＧ１～ＣＧ８の電位が送られる。
【００５４】
消去動作において、ソース線を挟んだブロックのうちの片方のみが選択される場合には、選択ブロック内及び選択ブロックのソース線側隣接ブロック内では、トランジスタQn7，Qp4の両方若しくはトランジスタQn10 ，Qp5の両方のトランジスタがオン状態となり、またトランジスタQn8，Qn9のいずれかはオフ状態にあるため、ＳＧ２はＳＧＳ電位に設定される。その他の非選択ブロック内では、トランジスタQn8，Qp4，Qn10 ，Qp5の４個のトランジスタが全てオン状態、またトランジスタQn8，Qn9の２個ともオフ状態にあるため、ＳＧ２はＳＧＳ電位に設定される。
【００５５】
消去動作中においても、チップ消去等の複数ブロックを同時に選択する場合であっても、しかもソース線を挟んだブロックの両方が選択される場合の両選択ブロックに対応するロウデコーダ内に限り、トランジスタQn7，Qp4，Qn10 ，Qp5の全てがオフ状態となり、トランジスタQn8，Qn9が両方オン状態となるため、前記両選択ブロック中のＳＧ２はＶ

ｕｓｓ（若しくは（Ｖｕｓｓ－Ｖｔｈｎ））電位となる。本発明の一構成例である図９のロウデコーダでは、ロウデコーダの従来構成と比べて、（☆）の部分の構成が特徴であり、この構成により図８の動作タイミングを実現している。

【００５６】

また、図１０に図８に示した読出し動作を実現するロウデコーダ関係信号の読出し動作時の動作タイミングを示す。但し、図１０中の隣接ブロックとは選択ブロックのソース線側隣接ブロックのことを示し、また図１０中の非選択ブロックとは、全ブロックのうち選択ブロックと選択ブロックのソース線側隣接ブロックを除いたブロックのことを示している。

【００５７】

また、図１１に、データ消去動作におけるメモリセルアレイ内のノード、及びロウデコーダ内のノードの動作タイミングを示す。但し、図１１中の隣接ブロックとは選択ブロックのソース線側隣接ブロックのことを示し、また図１１中の非選択ブロックとは、全ブロックのうち選択ブロックと選択ブロックのソース線側隣接ブロックを除いたブロックのことを示している。また、図１１中のＳＧ２ノードの動作タイミングは、消去動作において、ソース線を挟んだブロックのうちの片方のみが選択される場合のものである。

【００５８】

なお、消去動作中において、チップ消去等の複数ブロックを同時に選択する場合であって、しかもソース線を挟んだブロックの両方が選択される場合の両選択ブロック中のＳＧ２ノードの動作タイミングを図１２に示す。

【００５９】

続いて、本発明の効果について説明する。

【００６０】

図１５に、従来のＮＡＮＤセルブロックの配列と選択・制御ゲートの並びを示す。図１５より分かるように、従来は全ブロック中のＳＧ２ノードは全て接続され、同電位に設定されていた。また、図１６に従来方式におけるロウデコーダ５の回路構成を示す。図１６では、外部からロウデコーダに入力されたＳＧＳ電圧がデコードされずに直接ＳＧ２ノードに入力されており、またＳＧＳ電圧は全ブロックで同電位なので、ＳＧ２ノードは全ブロック中で同電位となる。従来、このようにＳＧ２ノード電位を設定していた理由について、次に説明する。

【００６１】

前記図６に示したように、ソース線側の選択ゲートはノード１６とノード１４の接続領域においては、ソース線を挟んだ選択ゲート間距離が短いため、選択ゲート接続領域において、ソース線を挟んだ両ブロック中のノード１６及びノード１４を接続状態としてノード１６とノード１４の接続を行っており、ＳＧ２ノード電位はソース線を挟んだ両ブロックで同電位となる。

【００６２】

図１６に示したロウデコーダ中には、デコード信号としてはブロック単位のデコード信号しか存在しないため、ブロック単位でデコードされるべきＳＧ１，ＣＧ（１）～ＣＧ（８）と同じ回路を用いては、選択ブロックと選択ブロックのソース線側隣接ブロックをセットにしてデコードすべきＳＧ２ノードをデコードできず、従って選択ブロックと選択ブロックのソース線側隣接ブロックをセットにしてデコードする方式は用いられていなかった。

【００６３】

また、書込み・読出し動作中は、非選択ブロックではビット線コンタクト側選択ゲートＳＧ１が“Ｌ”状態にあり、非選択ブロック中ではビット線とメモリセルがビット線コンタクト側選択ゲートにより非導通状態とされていたため、非選択ブロック内ではソース側選択ゲートＳＧ２の電圧にかかわらず誤動作を招かない。つまり、信頼性の高い書込み・読出し動作を実現できたため、非選択ブロック中の全てのソース側選択ゲートＳＧ２電位を選択ブロック内のＳＧ２電位と同電位にしても動作の信頼性上は問題はなかった。また、

消去動作中は、全ブロック中のＳＧ２ノードは全て消去用高電圧程度まで充電されるため、ＳＧ２ノードをデコードする必要がなかった。従って、全ブロック中のＳＧ２ノードを全て接続し、同電位とする方式を用いていた。

【００６４】

しかしながら、従来のような全ブロック中のＳＧ２ノードを全て接続する方式では、ＳＧ２ノードの容量が膨大な値になり、従ってＳＧ２ノードの充放電所要時間が長時間化し、ＳＧ２ノードの充放電動作を含む動作の所要時間が長くなるという問題があった。図１７に従来方式を用いた場合の読出し動作時の動作タイミングを示す。

【００６５】

図８中の動作タイミングと異なるのは、図１７におけるＳＧ２ノードの０ＶからＶccへの充電所要時間（図１７中の（キ）に相当）、ＶＨ電位から０Ｖへの放電所要時間（図１７中の（コ）に相当）が図８の充放電所要時間（それぞれ図８中の（ア），（ウ）に相当）より長いこと、そして読出し用高電圧発生回路による各ノードのＶccからＶＨ電位の充電所要時間（図１７，図８中ではそれぞれ（ク），（イ）に相当）が図１７の方が図８より長いことである。これは共にＳＧ２ノード容量が従来方式のほうが本発明の方式よりずっと大きいことが原因である。以下に、詳しく説明する。

【００６６】

まず、ＳＧ２ノードの０ＶからＶccへの充電所要時間、ＶＨ電位から０Ｖへの放電所要時間の違いについて説明する。前述したように、図８では、選択ブロック内非選択制御ゲート、選択ブロック内ＳＧ１，選択ブロック内ＳＧ２、及び（選択ブロックのソース線側）隣接ブロック内ＳＧ２の各ノードの０ＶからＶccへの充電所要時間、ＶＨ電位から０Ｖへの放電所要時間は共にメモリセル内でのそれぞれの配線の抵抗と容量で決まる時間となる。

【００６７】

選択ブロック内非選択制御ゲート、選択ブロック内ＳＧ１，選択ブロック内ＳＧ２、及び（選択ブロックのソース線側）隣接ブロック内ＳＧ２ではそれぞれ配線材としてはどれも図３中のノード１６の配線材と同じ物を用いており（但し、ＳＧ１，ＳＧ２は配線のうち低抵抗な方がノード１６と同一の配線材）、また配線容量も同程度なので、選択ブロック内非選択制御ゲート、選択ブロック内ＳＧ１，選択ブロック内ＳＧ２、及び（選択ブロックのソース線側）隣接ブロック内ＳＧ２では同程度の充電所要時間（図８中の（ア）に相当）となる。

【００６８】

この場合に、ＳＧ２の０ＶからＶccへの充電動作やＶＨ電位から０Ｖへの放電動作は、ＳＧ２信号→ロウデコーダ中のトランジスタＱn7，Ｑp4，Ｑn10，Ｑp5→ＳＧＳノード→ＳＧＳ電位制御回路の経路で行なわれる。また、前記充放電を実行するＳＧＳ電位制御回路はロウデコーダから離れたところにあるので、ロウデコーダ中のＳＧＳノードとＳＧＳ電位制御回路との間には配線抵抗が存在し、またＳＧＳ電位制御回路中の充放電動作実行用のトランジスタにも抵抗が存在する。

【００６９】

図８中の動作では、ＳＧ２ノードのメモリセル中の容量がＳＧ２の２本分程度と小さかったので、ＳＧ２の０ＶからＶccへの充電動作やＶＨ電位から０Ｖへの放電動作において前記配線抵抗やトランジスタ抵抗が問題とならなかったため、ＳＧ２ノードの充放電動作の所要時間が選択ブロック内非選択制御ゲート、選択ブロック内ＳＧ１と同程度であった。

【００７０】

しかしながら、図１７の動作のように、全ブロック中のＳＧ２ノードを全て接続する方式では、ＳＧ２ノードの容量＝（ＳＧ２の１本の容量）×（ＳＧ２の本数、即ち全ブロック数）、となり、また全ブロック数は通常数百～数千個程度なので、ＳＧ２ノードの容量は膨大な値となる。

【００７１】

この場合には、ＳＧ２ノードの充放電動作の際には、前記ＳＧＳノードの配線抵抗や前記

ＳＧＳ電位制御回路中のトランジスタの抵抗が問題となり、ＳＧ２ノードの充放電動作所要時間はメモリセル内でのＳＧ２の配線の抵抗と容量で決まる時間よりもずっと長くなり、選択ブロック内非選択制御ゲート、選択ブロック内ＳＧ１と比べてずっと長くなるとともに、本発明を用いた場合のＳＧ２の充放電所要時間よりもずっと長くなる。

【００７２】

図１７中においても、（カ），（ケ）より（キ），（コ）の方が大幅に長くなっており、また図１７中の（キ），（コ）は図８中の（ア），（ウ）よりもずっと長くなっている。このように、従来の方式では、ＳＧ２への充放電所要時間が長時間化し、この結果、動作速度が低下するという問題点があった。従来方式において、ＳＧ２ノードの充放電時間を短縮するには、前記ＳＧＳノードの配線の幅を広げると共に、前記ＳＧＳ電位制御回路中のトランジスタの寸法を大きくして、前記配線・トランジスタ抵抗を低下させる方法があるが、ＳＧＳ充放電所要時間を本方式を用いた場合程度に短縮するには、前記ＳＧＳ配線幅やトランジスタ寸法を数十倍以上大きくする必要があり、チップサイズが大幅に増加する。

【００７３】

次に、読出し用高電圧発生回路による各ノードのＶccからＶＨ電位の充電所要時間における従来方式と本発明との比較を述べる。ＶＨ電位はチップ内の読出し用高電圧発生回路で発生・供給される電位であり、この発生回路の電流供給能力は電源電圧や接地電圧の電流供給能力よりずっと低い。このため、各ノードのＶＣＣからＶＨ電位の充電所要時間は、各ノードの配線抵抗やトランジスタの抵抗よりも、むしろ発生回路の電流供給能力と読出し用高電圧の負荷容量に支配される。

【００７４】

発生回路の電流供給能力が同じとした場合に、本発明と従来方式の比較を行うことにする。本発明では、読出し用高電圧の負荷容量は制御ゲート７本、選択ゲート３本、及びロウデコーダ内の高電圧ノード（図９中のＶＰＰＲＷノード（ＨＶ破線内のｐチャネルトランジスタが形成されているｎウェル容量も含む）、及びノードＮ１，Ｎ２の片方）であり、従来方式における読出し用高電圧の負荷容量は制御ゲート７本、選択ゲート数百～数千本、及びロウデコーダ内の高電圧ノード（図９中のＶＰＰＲＷノード（ＨＶ破線内のｐチャネルトランジスタが形成されているＮウェル容量も含む）、及びノードＮ１，Ｎ２の片方）である。

【００７５】

負荷容量として異なるのは、選択ゲート本数であり、選択ゲート数百～数千本分従来方式の方が容量が大きい。選択ゲート数百～数千本分の容量は、［制御ゲート７本の容量＋ロウデコーダ内の高電圧ノード容量］より大きいため、読出し用高電圧の負荷容量としては従来方式の方が本発明よりも数倍以上大きい。従って、読出し用高電圧発生回路による各ノードのＶccからＶＨ電位の充電所要時間は、従来方式の方が本発明より数倍以上長くなる（図８（イ）より図１７（ク）の方が長いことに相当）。

【００７６】

一方、従来方式を用いる場合には、本発明使用時程度に、ＶccからＶＨ電位の充電所要時間を短縮するには、読出し用高電圧発生回路の電流供給能力を数倍以上にする。つまり、読出し用高電圧発生回路のパターン面積を数倍以上にする必要があり、これはチップ面積の大幅な増加を招いてしまう。一方、本発明を用いると、ＶccからＶＨ電位の充電所要時間を短縮でき、読出し動作の高速化を実現できる。

【００７７】

以上、主に読出し動作中に選択ブロック内非選択制御ゲート電位、等を電源電圧Ｖccより高い電圧に設定する場合の読出し動作を例にとって、本発明の説明を行ってきたが、本発明は前記実施例に限定されるものではない。例えば、本発明は、読出し動作中に選択ブロック内非選択制御ゲート電位、等を電源電圧Ｖccまでしか充電しない場合の読出し動作においても有効である。このような読出し動作時に読出し用高電圧を用いない場合に、本発明・従来方式を用いた場合の読出し動作タイミングをそれぞれ図１４，図１８に示す。本

発明を用いた場合の方が、従来方式に比べて、上述したようにＳＧ２へのＶcc電位充電所要時間や０Ｖへの放電所要時間が短縮でき（図１４中の（エ），（オ）はそれぞれ図１７中の（シ），（セ）より短いことに相当）、読出し動作の高速化が実現できることが分かる。

【００７８】

また、図９に示したロウデコーダ５の回路構成も本発明の要旨を逸脱しない範囲で種々変更可能であり、例えば図９中の（☆）の部分の代わりに図１３中の（ａ）～（ｅ）を用いる場合も本発明は有効である。図９中の（☆）の部分の代わりに図１３中の（ａ）（ｃ）（ｄ）を用いた場合には、読出し・書込み動作時の非選択ブロック内（選択ブロックのソース線側隣接ブロックは除く）のＳＧ２電位が０Ｖに設定できず、ＶｔｈｐまでしかＳＧ２電位を低下させられない（但し、ＶｔｈｐはトランジスタQp17，Qp18，Qp19，Qp20 のしきい値電圧）が、書込み・読出し動作中は、非選択ブロックではビット線コンタクト側選択ゲートＳＧ１が“Ｌ”状態にあり、非選択ブロック中ではビット線とメモリセルがビット線コンタクト側選択ゲートにより非導通状態とされるため、非選択ブロック内ソース側選択ゲートＳＧ２の電圧にかかわらず、誤動作を招かない、つまり信頼性上問題はない。

【００７９】

また、図９中の（☆）の部分の代わりに図１３中の（ｅ）を用いた場合には、書込み・読出し動作時の非選択ブロック内（選択ブロックのソース線側隣接ブロックは除く）のＳＧ２ノードはフローティング状態になるが、図１３中の（ａ）（ｃ）（ｄ）を用いた場合と同じ理由で信頼性上問題はない。

【００８０】

また、図９中の（☆）の部分の代わりに図１３中の（ｅ）を用いた場合には、消去動作時に、ソース線を挟む両ブロックが共に選択された場合に限り、両選択ブロック内のＳＧ２がフローティングとなるが、この場合には、メモリセルアレイ中の両選択ブロック内では制御ゲート以外のノードが全て消去用高電圧まで充電されるため、フローティング状態にあるＳＧ２ノードは周囲のノードとの容量カップリングにより消去用高電圧近くまで充電されると考えられ、信頼性上問題はないと考えられるが、それでもやはり図１３中の（ｅ）を用いる場合には、容量カップリングによる電位上昇の詳細な検討が必要である。

【００８１】

さらに、図１３中の（ｅ）を用いる場合には、フローティング状態以外では問題にならない程度のリーク電流、つまりトランジスタを介して電荷の供給を行っている場合（図９や図１３（ａ）～（ｄ）を用いた場合）には殆ど無視できる程度のリーク電流がＳＧ２ノードに存在していても、ＳＧ２ノードがフローティングの場合にはリーク電流によりＳＧ２ノード（図３中のノード14_{10}と16_{10}に相当）が低下し、メモリセルアレイを形成しているｐ型ウェル（若しくはｐ型基板）（図３中のノード１１に相当）が消去用高電圧にあるため、ＳＧ２ノードとｐ型ウェル（若しくはｐ型基板）の電位差が大きくなり、破壊・不良につながる危険性がある。

【００８２】

しかしながら、図１３中の（ｅ）を用いる場合が（☆）の部分の素子数が最小となる場合であり、ロウデコーダのパターン面積も他を用いる場合より少し小さくなるため、ロウデコーダとして図９，図１３（ａ）～（ｅ）のいずれを用いるかに関しては、どれが最も良いかはいちがいには言えない。

【００８３】

また、ロウデコーダ５の構成例として、これまでは図９中のように、ロウデコーダ中で、ソース線を挟む両ブロック内のＳＧ２ノードの接続を行ったが、本発明は前記実施例に限定されるものではない。例えば、図１９に示したロウデコーダのように、ロウデコーダ中では、ソース線を挟む両ブロック内のＳＧ２ノードの接続は行わず、また図９中の（☆）の部分の回路もロウデコーダ中ではソース線を挟む両ブロック内のＳＧ２ノードのいずれかに接続する場合であっても本発明は有効である。

【００８４】
また、本発明で用いるロウデコーダでは、従来方式におけるロウデコーダに比べて、１ブロックあたり３～４個のトランジスタの増加となるが、１ブロックあたりロウデコーダ中には５０個程度のトランジスタが含まれており、従って使用するロウデコーダの回路構成を従来方式のものから本発明のものに変更した時のロウデコーダのパターン面積増加量は最大１割程度である。しかしながら、チップ面積全体に与える影響としては、本発明を用いたときの読出し動作速度と同程度に従来方式を用いて読出し動作高速化をはかる場合のチップ面積増加量は、前記ロウデコーダの変更によるチップ面積増加量よりずっと大きくなる。従って、読出し動作の高速化をはかるには、本発明を用いる方がずっと有効である。

【００８５】
以上、本発明を実施例を用いて説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。前記実施例中では、ソース線側選択ゲートの隣接したもの同士を接続・同電位にして、隣接ソース線側選択ゲートをセットにしてデコードし、ビット線コンタクト側選択ゲートをブロック毎にデコードする場合について説明を行ったが、ソース線側選択ゲートの代わりにビット線コンタクト側選択ゲートの隣接したもの同士を接続・同電位にして、隣接したビット線コンタクト側選択ゲートをセットにしてデコードし、ソース線側選択ゲートをブロック毎にデコードする場合においても本発明は有効である。

【００８６】
このような実施例における、ＮＡＮＤセルブロック配列図を図２０に、ロウデコーダの構成例を図２１に示す。図２０，図２１に示した実施例は、ビット線コンタクト側選択ゲート間距離が短縮されて、ビット線コンタクト側の隣接選択ゲートの分離をすることが困難となる場合に特に有効であり、上述した実施例と同様に、ビット線コンタクト側の隣接した２本の選択ゲートを同電位としても高速な動作を実現できる。

【００８７】
図２２に、別の実施例におけるＮＡＮＤセルブロック配列図を示す。図２２の実施例の特長を以下に述べる。デザインルールが小さくなるとビット線コンタクト側選択ゲート間距離、ソース線側選択ゲート間距離共に縮小されていくため選択ゲート接続領域における隣接選択ゲート線の分離するための加工がビット線コンタクト側・ソース線側共に難しくなる。図２２の実施例を用いると、ビット線コンタクト側・ソース線側共に隣接選択ゲートが同電位にあるため、選択ゲート線の分離を行う必要がなく、加工が容易になるという特長があり、かつ高速な動作を実現できる。

【００８８】
図２２の実施例は、例えば図９のソース線側選択ゲート電位設定用の回路部分（図９中のＱn7，Ｑn8，Ｑn9，Ｑn10，Ｑp4，Ｑp5の部分）と図２１のビット線コンタクト側選択ゲート電位設定用の回路部分（図２１中のＱn1，Ｑn2，Ｑn15，Ｑn16，Ｑp1，Ｑp8の部分）を組み合わせることにより容易に実現できる。また、ＮＡＮＤセル型においてビット線コンタクト側選択ゲートとソース線側選択ゲートのうちのいずれかが無い場合に、残った選択ゲートにおいて本発明を適用する場合にも有効である。

【００８９】
これまでは、ＮＡＮＤセル型ＥＥＰＲＯＭにおいて、単体ＮＡＮＤセル中のビット線コンタクト側選択ゲート・ソース線側選択ゲートの本数が共に１本ずつの場合を例に取って説明したが、本発明はこれらの実施例に限られるものではない。例えば、単体ＮＡＮＤセル中のビット線コンタクト側選択ゲートやソース線側選択ゲートの片方、若しくは両方の本数が２本以上である場合も有効である。図２３～図３０にビット線コンタクト側選択ゲートとソース線側選択ゲートの両方が複数ある場合の実施例を示す。

【００９０】
図２３，図２４はソース線に隣接した選択ゲート（ブロック当たり１本）のみ同電位とする場合の実施例であり、図２５，図２６はソース線を挟む隣接ブロック間で、ソース線側

選択ゲートｋ本を全て対応するもの同士同電位とする場合の実施例である。また、図２７，図２８，図２９，図３０はそれぞれ図２３，図２４，図２５，図２６において本発明を適用する選択ゲートをソース線側のものからビット線コンタクト側のものに変えた実施例である。但し、図２４，図２６，図２８，図３０中では図９などに示してあるロウデコーダ回路の一部を省略した回路を示しているが、ブロック選択信号は同一の意味を持つ。

【００９１】

これまでは、本発明をＮＡＮＤセル型ＥＥＰＲＯＭに適用した場合の実施例を示してきたが本発明は他のメモリセルユニットにおいても有効である。例えばＤＩＮＯＲセル型ＥＥＰＲＯＭやＡＮＤセル型ＥＥＰＲＯＭにおいても本発明を適用することができる。

【００９２】

図３１にＤＩＮＯＲセル型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図を示す。ＤＩＮＯＲセル型ＥＥＰＲＯＭの詳細に関しては“H.Onoda et al,.IEDM Tech. Digest,1992,pp.599-602”を参照。また、図３２にＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図を示す。ＡＮＤセル型ＥＥＰＲＯＭの詳細に関してては、“H.Kume et al,.IEDM Tech. Degest,1992,pp.991-993 ”を参照。

【００９３】

また、本発明をＤＩＮＯＲセル型ＥＥＰＲＯＭに適用した場合の例を図３３，図３４に示す。但し、図３４中のＤＳＬ１（ＵＰ），ＤＳＬ２（ＵＰ），ＤＳＬ１（ＤＯＷＮ），ＤＳＬ２（ＤＯＷＮ）はブロック選択信号であり、図９中のＮ１（ＵＰ），Ｎ２（ＵＰ），Ｎ１（ＤＯＷＮ），Ｎ２（ＤＯＷＮ）に相当する信号である。

【００９４】

また、本発明をＡＮＤセル型ＥＥＰＲＯＭに適用した場合の例を図３５，図３６，図３７，図３８に示す。但し、図３６，図３８中の信号ＡＳＬ１（ＵＰ），ＡＳＬ２（ＵＰ），ＡＳＬ１（ＤＯＷＮ），ＡＳＬ２（ＤＯＷＮ）はブロック選択信号であり、図９中の信号Ｎ１（ＵＰ），Ｎ２（ＵＰ），Ｎ１（ＤＯＷＮ），Ｎ２（ＤＯＷＮ）に相当する信号である。

【００９５】

以上の実施例中では、ビット線とソース線の間にあるメモリセルの数が複数である場合の例を示したが、本発明は、前記実施例に限定されるものではなく、例えば図３９、図４０に示したような、ビット線とソース線の間のメモリセル数が１個の場合にも有効である。

【００９６】

以上実施例を用いて本発明の説明を行ったが、本発明はその他、その要旨を逸脱しない範囲で、種々変形可能である。

【００９７】

【発明の効果】

以上説明したように本発明によれば、選択トランジスタのデコード方式として、選択ブロックと選択ブロックのソース線側又はビット線コンタクト側の隣接ブロックをセットにしてデコードする方式を用いるため、読出し動作時に充放電を行うソース線側又はビット線側の選択トランジスタのゲート線の本数を選択ブロック内の１本と隣接選択ブロック内の１本の合わせて２本とすることができる。例えば、ＮＡＮＤセル型の場合は、ソース線に隣接した２本のソース線側選択ゲートをセットでデコードすることにより、ソース線側選択ゲートへの電圧の充放電所要時間を短縮できる。従って、チップサイズを殆ど増大させることなく、従来より高速な読出し動作を持つＥＥＰＲＯＭを実現することが可能となる。

【図面の簡単な説明】

【図１】本発明の一実施例に係わるＮＡＮＤセル型ＥＥＰＲＯＭのシステム構成を示すブロック図。

【図２】メモリセルアレイの一つのＮＡＮＤセル部分の平面図と等価回路図。

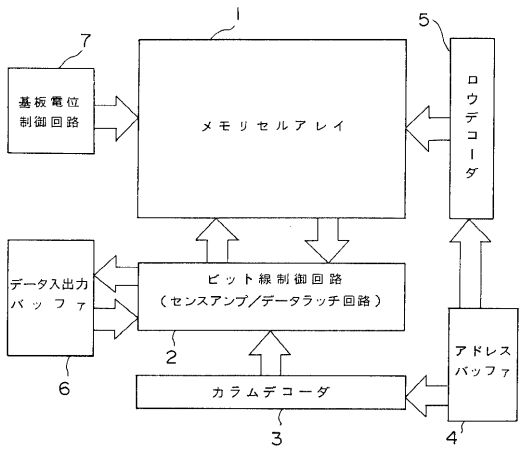
【図３】図２のＡ－Ａ′及びＢ－Ｂ′断面図。

【図４】ＮＡＮＤセルがマトリックス配列されたメモリセルアレイの等価回路図。

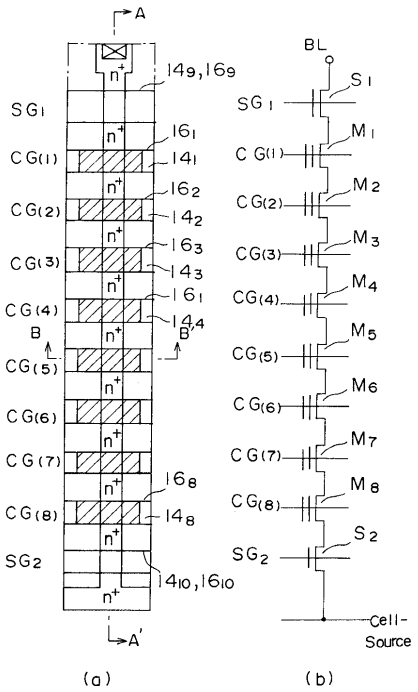
【図５】メモリセルアレイ中の複数のＮＡＮＤセル配列の平面図。
【図６】メモリセルアレイ中の選択ゲートの平面図と断面図。
【図７】ＮＡＮＤセルブロックの配列、及び選択・制御ゲートの並びを示す図。
【図８】ＮＡＮＤセル型ＥＥＰＲＯＭの読出し動作のタイミング図。
【図９】本発明の一実施例に係わるロウデコーダの回路構成図。
【図１０】図９のロウデコーダに関連する信号の読出し動作時の動作タイミング図。
【図１１】データ消去動作におけるメモリセルアレイ内のノード、及びロウデコーダ内のノードの動作タイミング図。
【図１２】消去動作中においてソース線を挟んだ量ブロックが選択される場合の両選択ブロック中のＳＧ２ノードの動作タイミング図。
【図１３】図９中の（☆）の部分の部分の変形例を示す図。
【図１４】本発明の別の実施例に係わるデータ読出し動作タイミング図。
【図１５】従来方式におけるＮＡＮＤセルブロックの配列と選択・制御ゲートの並びを示す図。
【図１６】従来方式におけるロウデコーダの回路構成図。
【図１７】従来方式を用いた場合の読出し動作時の動作タイミング図。
【図１８】別の従来例に係わるデータ読出し動作タイミング図。
【図１９】図９に示したロウデコーダの回路構成の変更例を示す図。
【図２０】本発明のさらに別の実施例に係わるＮＡＮＤセルブロックの配列及び選択・制御ゲートの並びを示す図。
【図２１】本発明のさらに別の実施例に係わるロウデコーダの回路構成図。
【図２２】本発明のさらに別の実施例におけるＮＡＮＤセルブロックの配列及び選択・制御ゲートの並びを示す図。
【図２３】ソース線に隣接した選択ゲート（ブロック当たり１本）のみ同電位とする場合のＮＡＮＤセルブロック配列を示す図。
【図２４】ソース線に隣接した選択ゲート（ブロック当たり１本）のみ同電位とする場合のロウデコーダ構成を示す図。
【図２５】ソース線側選択ゲートｋ本を全て挟む隣接ブロック間で対応するもの同士同電位とする場合のＮＡＮＤセルブロック配列を示す図。
【図２６】ソース線側選択ゲートｋ本を全て挟む隣接ブロック間で対応するもの同士同電位とする場合のロウデコーダ構成を示す図。
【図２７】本発明を適用する選択ゲートをソース線側のものからビット線コンタクト側のものに変えた場合のＮＡＮＤセルブロック配列を示す図。
【図２８】本発明を適用する選択ゲートをソース線側のものからビット線コンタクト側のものに変えた場合のロウデコーダ構成を示す図。
【図２９】本発明を適用する選択ゲートをソース線側のものからビット線コンタクト側のものに変えた場合のＮＡＮＤセルブロック配列を示す図。
【図３０】本発明を適用する選択ゲートをソース線側のものからビット線コンタクト側のものに変えた場合のロウデコーダ構成を示す図。
【図３１】ＤＩＮＯＲセル型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図。
【図３２】ＡＮＤセル型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図。
【図３３】本発明をＤＩＮＯＲセル型ＥＥＰＲＯＭに適用した場合のブロック配列を示す図。
【図３４】図３３におけるロウデコーダ構成を示す図。
【図３５】本発明をＡＮＤセル型ＥＥＰＲＯＭに適用した場合のブロック配列を示す図。
【図３６】図３５におけるロウデコーダ構成を示す図。
【図３７】本発明をＡＮＤセル型ＥＥＰＲＯＭに適用した場合のブロック配列を示す図。
【図３８】図３７におけるロウデコーダ構成を示す図。
【図３９】並列接続型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図。
【図４０】別の並列接続型ＥＥＰＲＯＭにおけるメモリセルアレイの等価回路図。

【符号の説明】
１…メモリセルアレイ
２…ビット線制御回路
３…カラムデコーダ
４…アドレスバッファ
５…ロウデコーダ
６…データ入出力バッファ
７…基板電位制御回路
１１…ｐ型シリコン基板
１２…素子分離酸化膜
１４…浮遊ゲート（電荷蓄積層）
１６…制御ゲート
１７…層間絶縁膜
１８…ビット線
１９…ｎ型拡散層
ＳＧ…選択ゲート線
ＣＧ…制御ゲート線

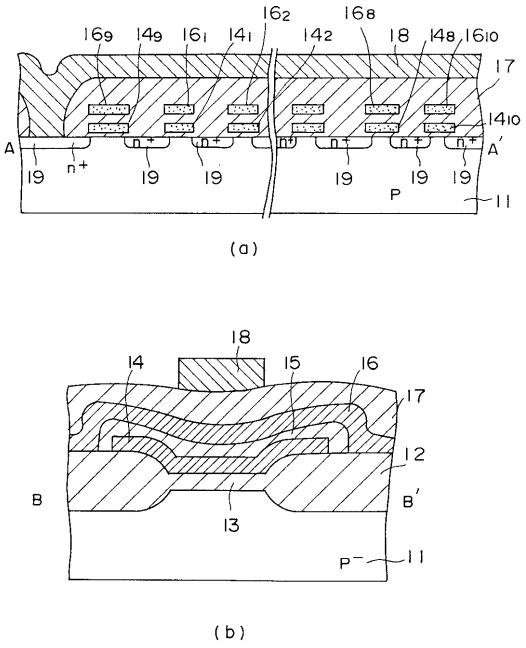
【図１】



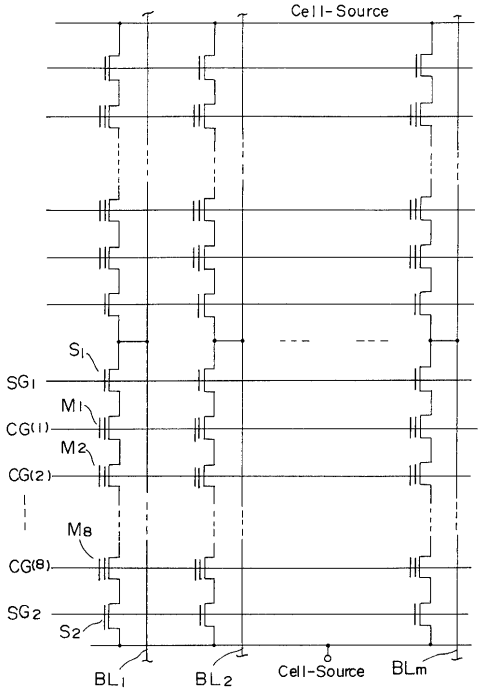
【図２】



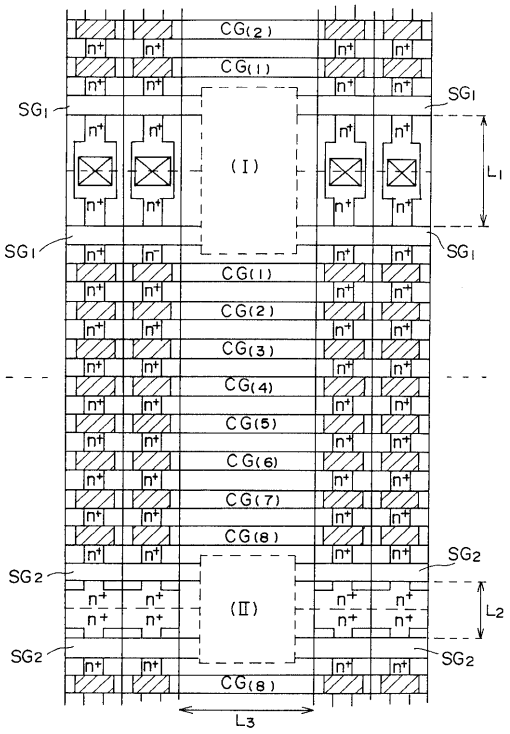
【図３】


16₂
16₈
16₉
14₉
16₁
14₁
14₂
18
14₈
16₁₀
17
14₁₀
A
A'
n+
19
P
11
(a)
18
14
15
16
17
12
B
B'
13
P⁻
11
(b)

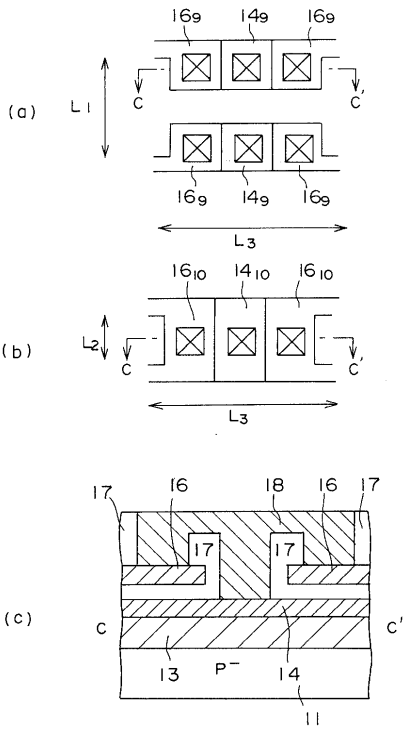
【図４】


Cell-Source
S₁
SG₁
M₁
CG(1)
M₂
CG(2)
M₈
CG(8)
SG₂
S₂
BL₁
BL₂
Cell-Source
BLm

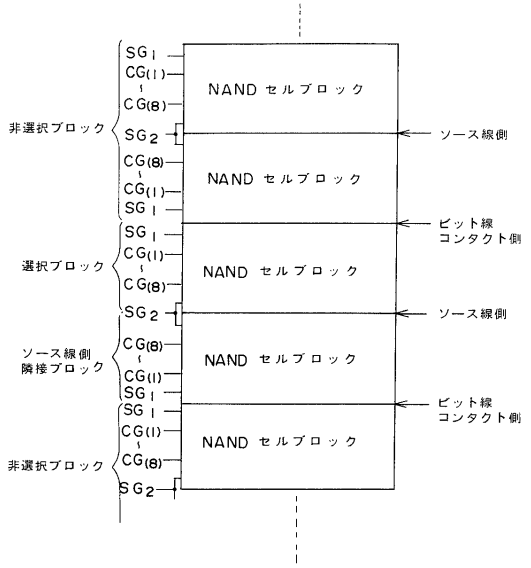
【図５】


CG(2)
CG(1)
SG₁
(I)
L₁
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
SG₂
(II)
L₂
L₃

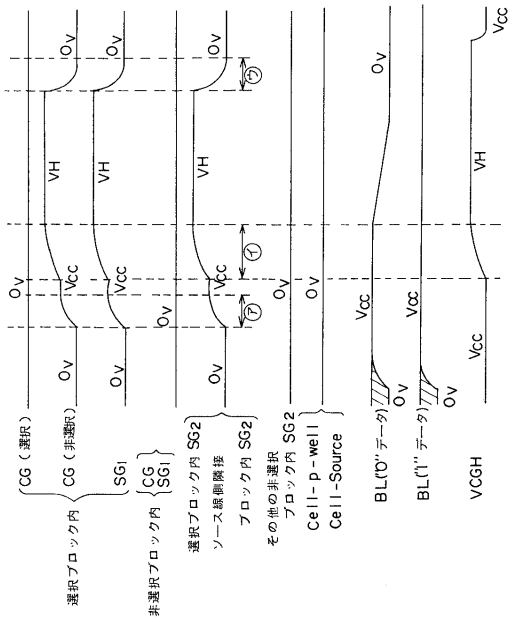
【図６】


(a)
16₉
14₉
L₁
C
C'
L₃
(b)
16₁₀
14₁₀
L₂
(c)
17
16
18
P⁻
13
14
11

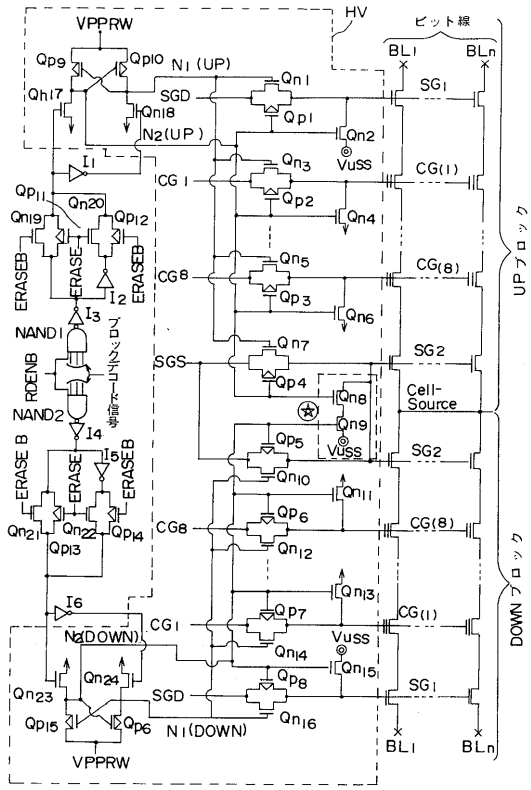
【図７】


NAND セルブロック
非選択ブロック
選択ブロック
ソース線側隣接ブロック
ソース線側
ビット線コンタクト側
SG1
CG(1)
CG(8)
SG2

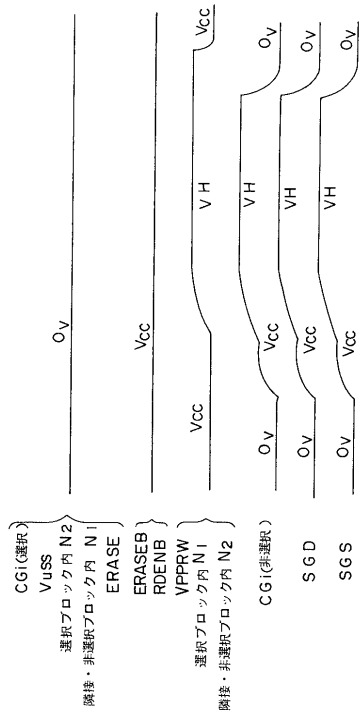
【図８】


CG（選択）
CG（非選択）
SG1
選択ブロック内
非選択ブロック内
選択ブロック内 SG2
ソース線側隣接
ブロック内 SG2
その他の非選択ブロック内 SG2
Cell-p-well
Cell-Source
BL("0" データ)
BL("1" データ)
VCGH
VH
Vcc
Ov

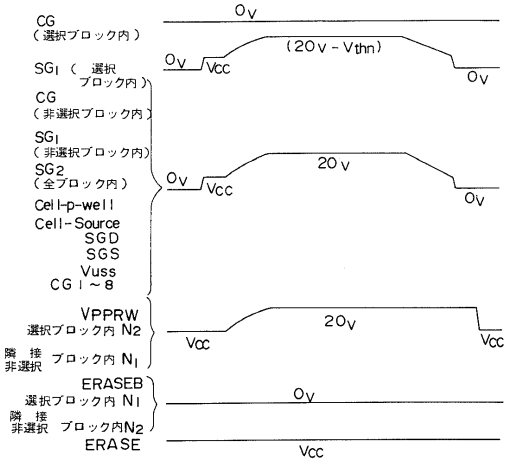
【図９】


VPPRW
HV
ビット線
BL1
BLn
N1 (UP)
N2(UP)
SGD
SGS
CG1
CG8
Cell-Source
UPブロック
DOWNブロック
N2(DOWN)
N1(DOWN)
ERASEB
ERASE
RDENB
NAND1
NAND2
ブロックデコード信号
Vuss

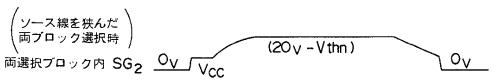
【図１０】


CGi(選択)
Vuss
選択ブロック内 N2
隣接・非選択ブロック内 N1
ERASE
ERASEB
RDENB
VPPRW
選択ブロック内 N1
隣接・非選択ブロック内 N2
CGi(非選択)
SGD
SGS
Vcc
Ov
VH

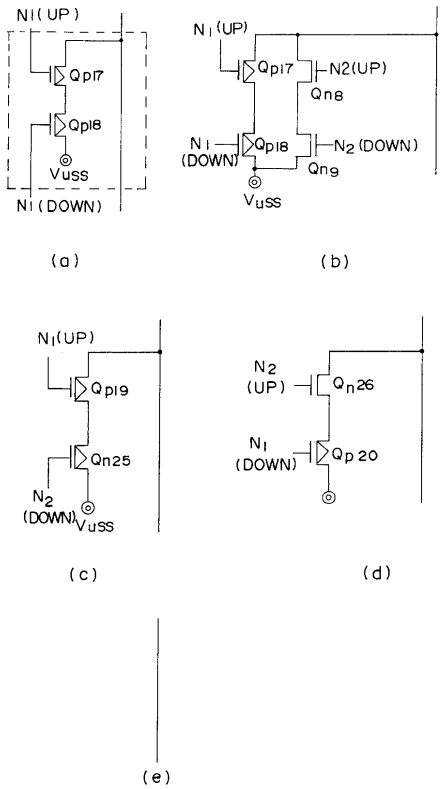
【図１１】



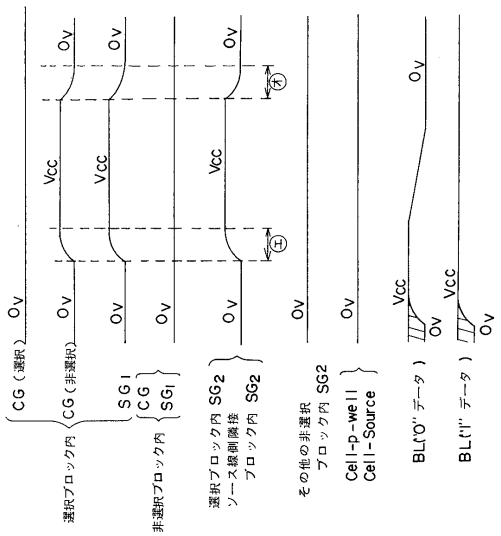
【図１２】



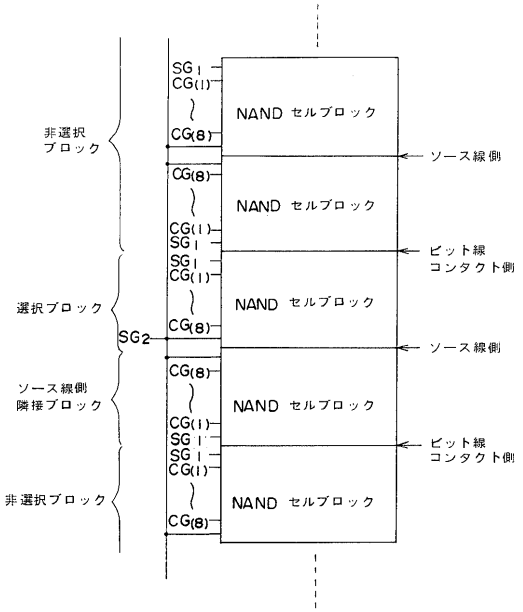
【図１３】



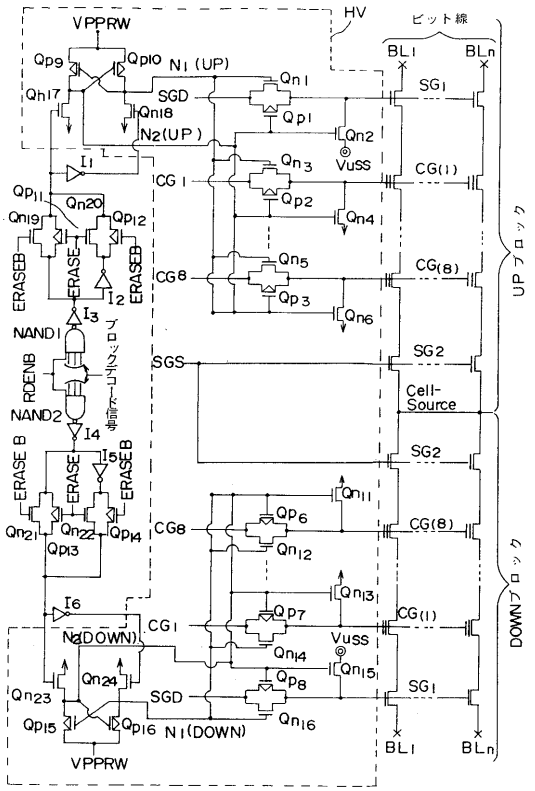
【図１４】



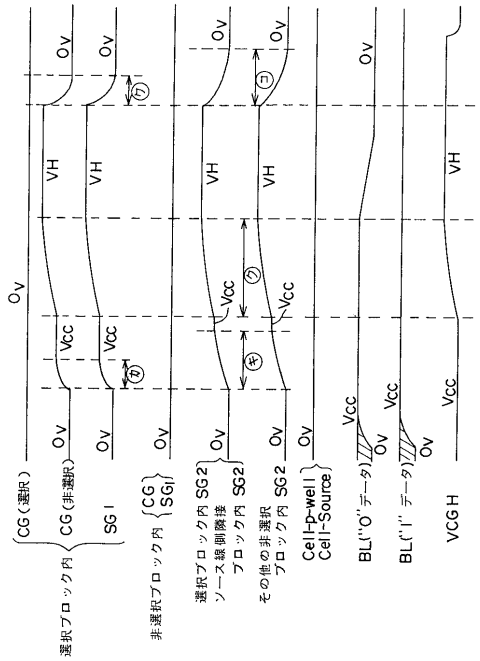
【図１５】



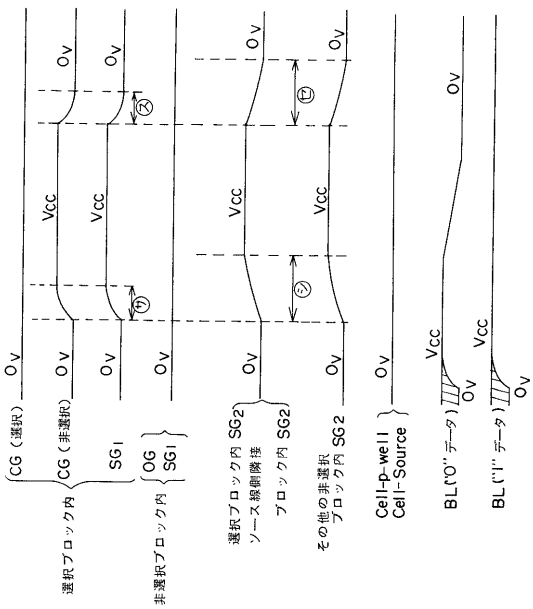
【図１６】



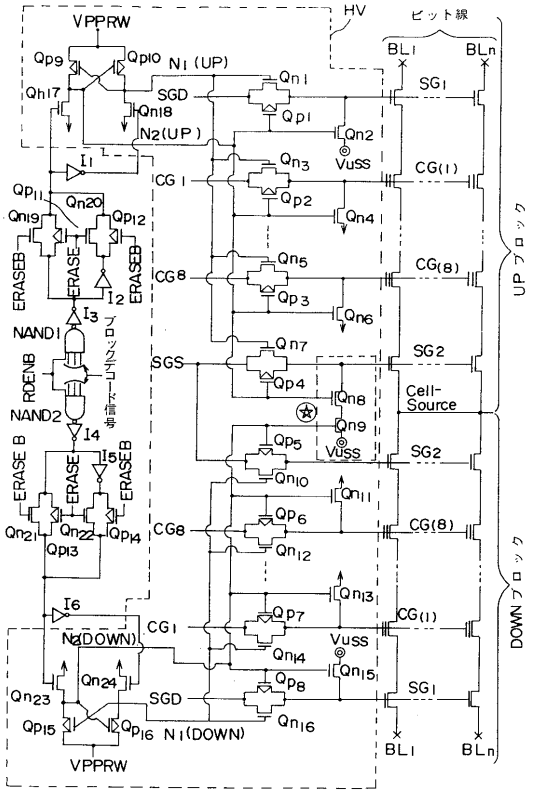
【図１７】



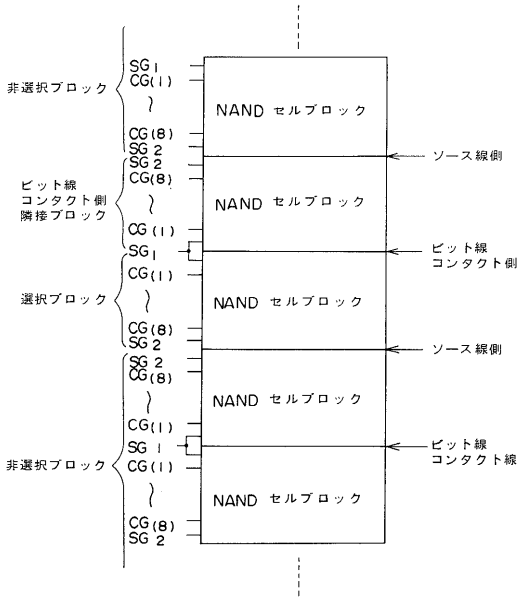
【図１８】



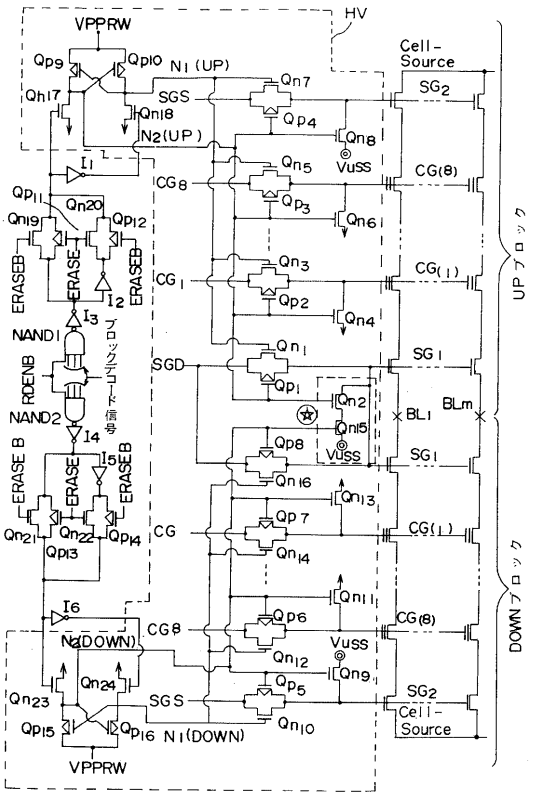
【図１９】



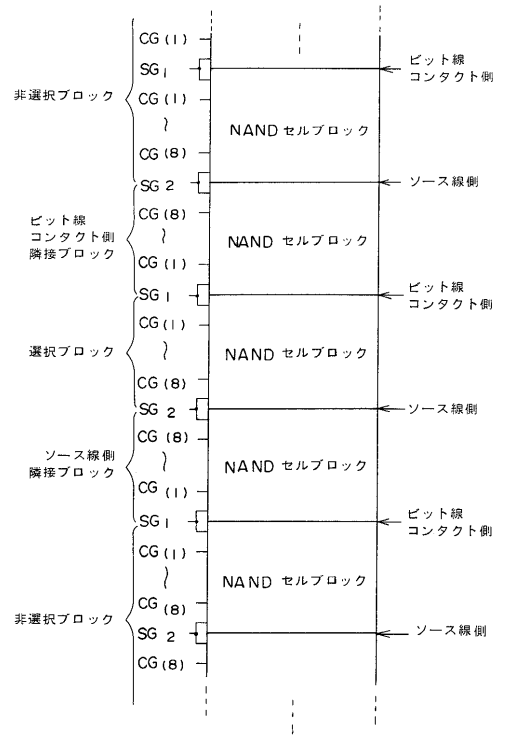
【図２０】



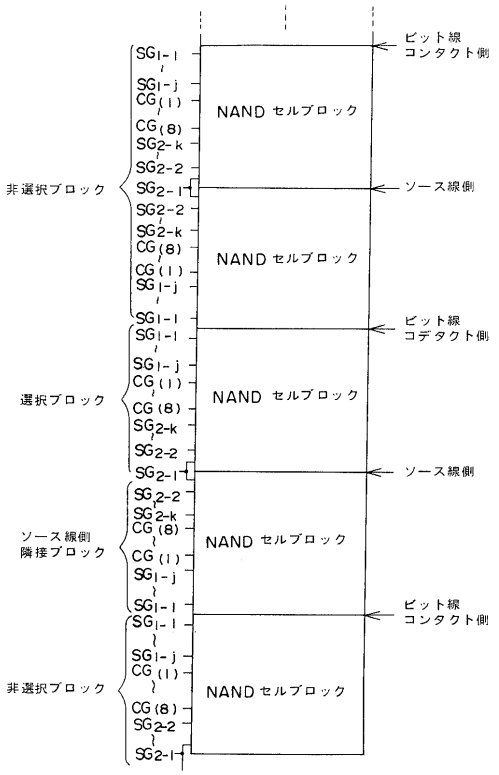
【図２１】



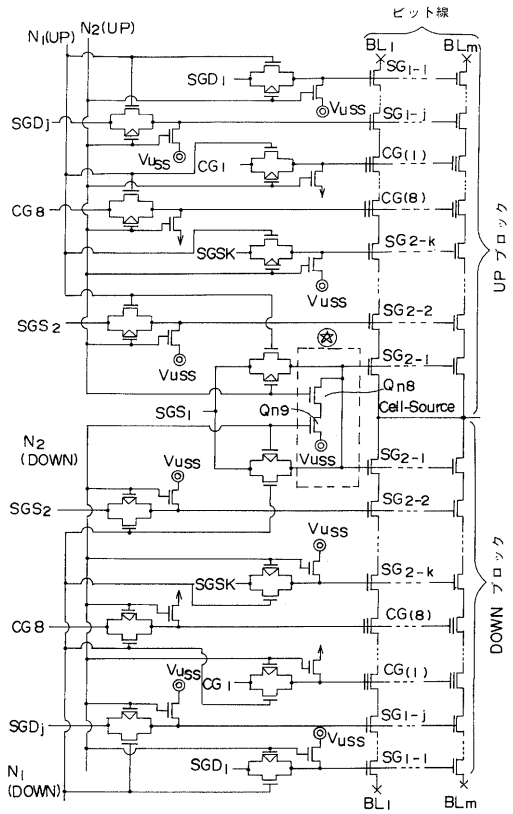
【図２２】



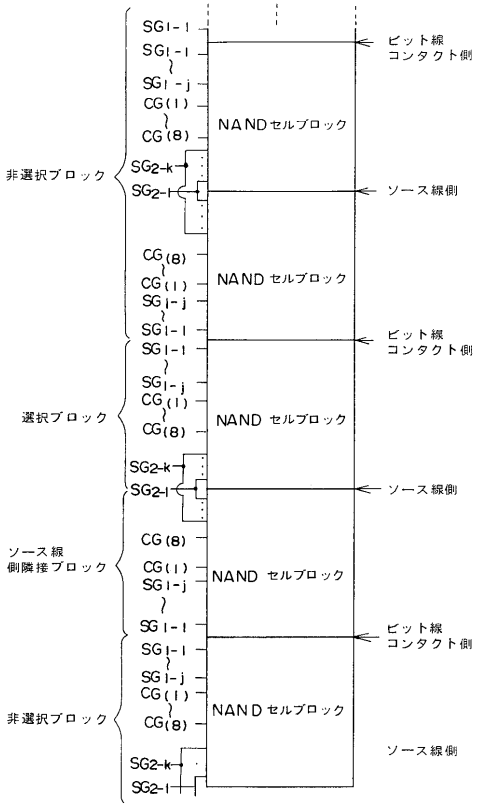
【図２３】



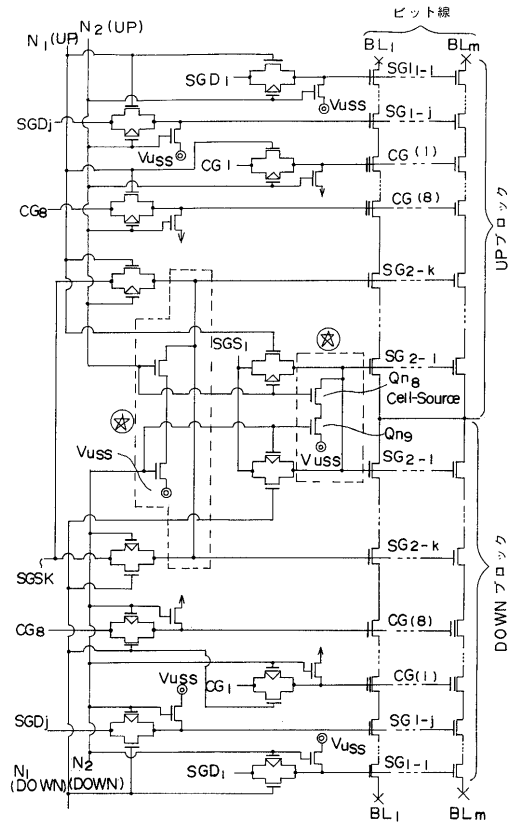
【図２４】



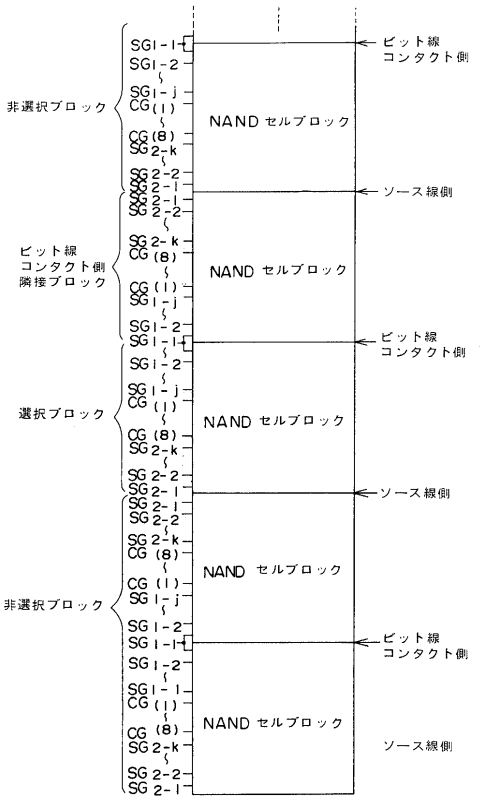
【図２５】



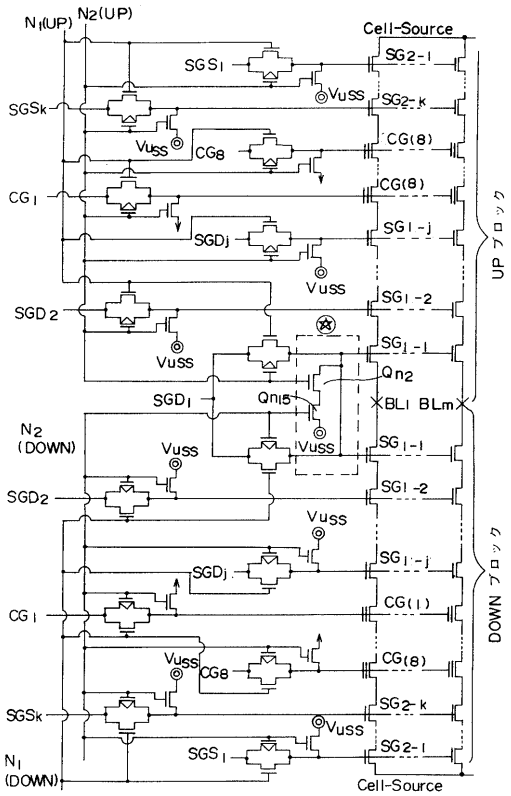
【図２６】



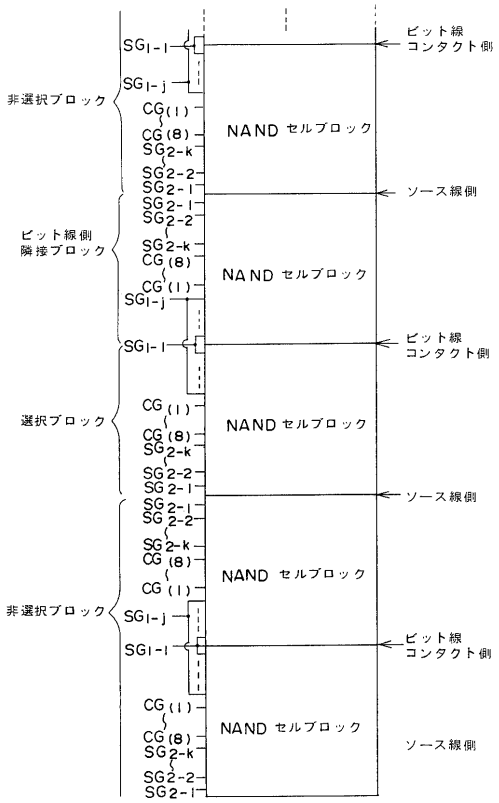
【図２７】



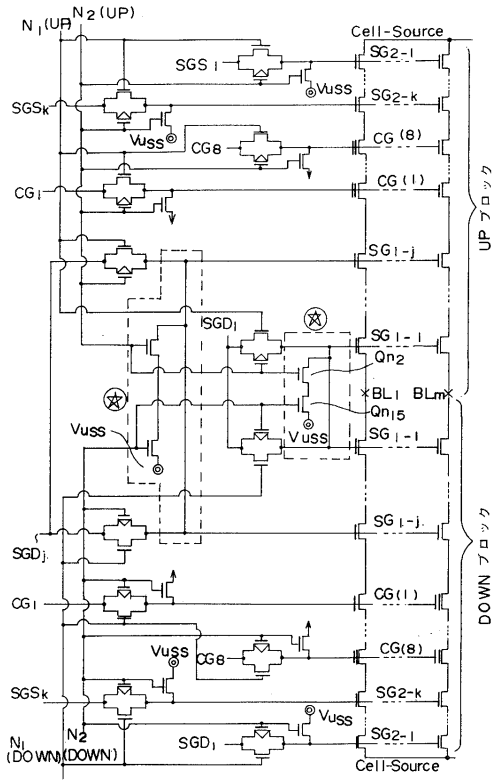
【図２８】



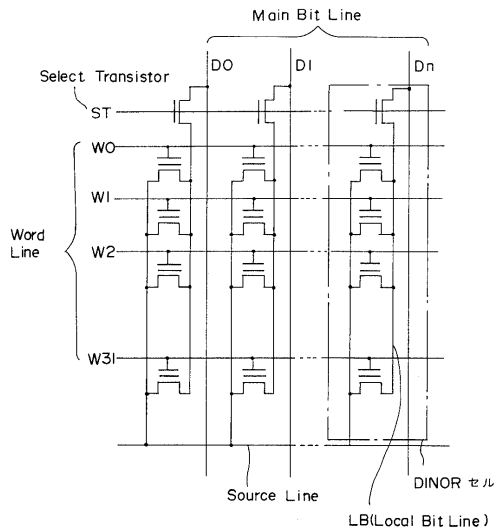
【図２９】



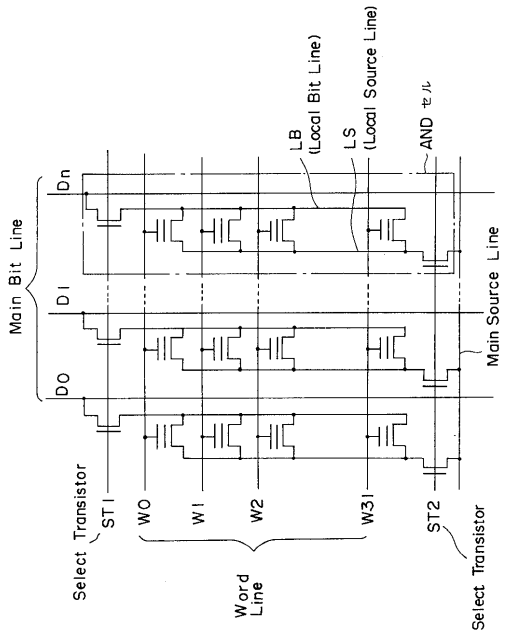
【図３０】



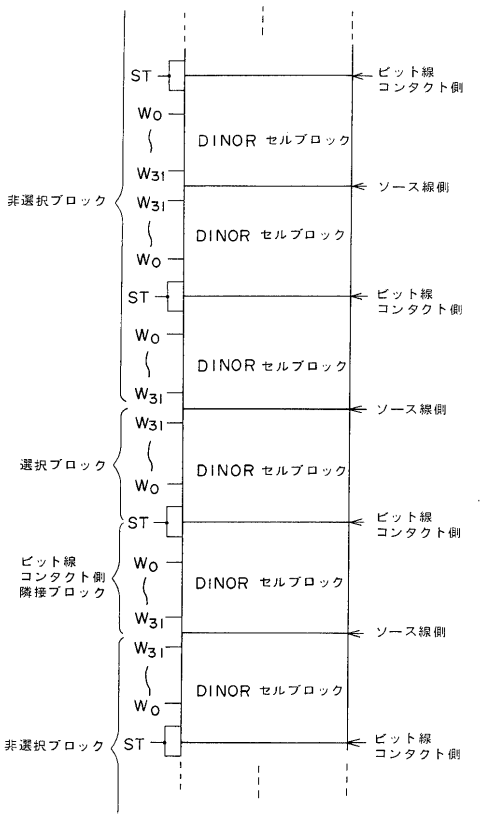
【図３１】



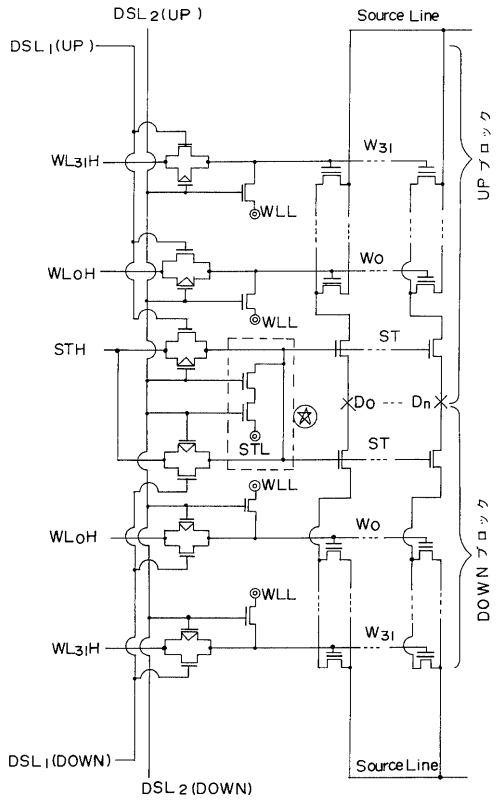
【図３２】



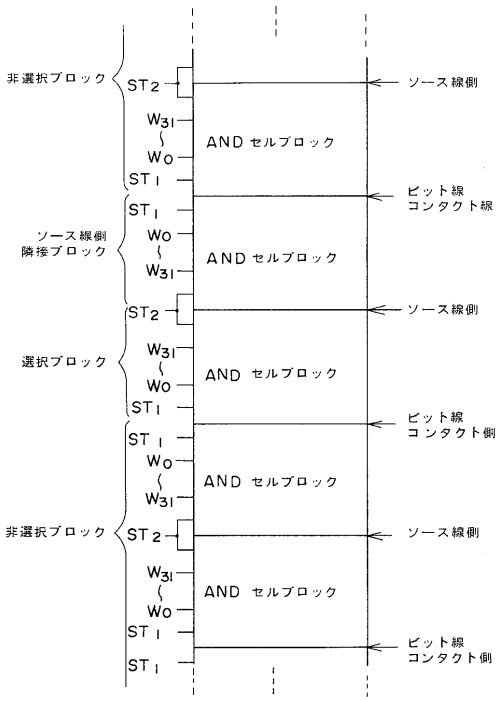
【図３３】



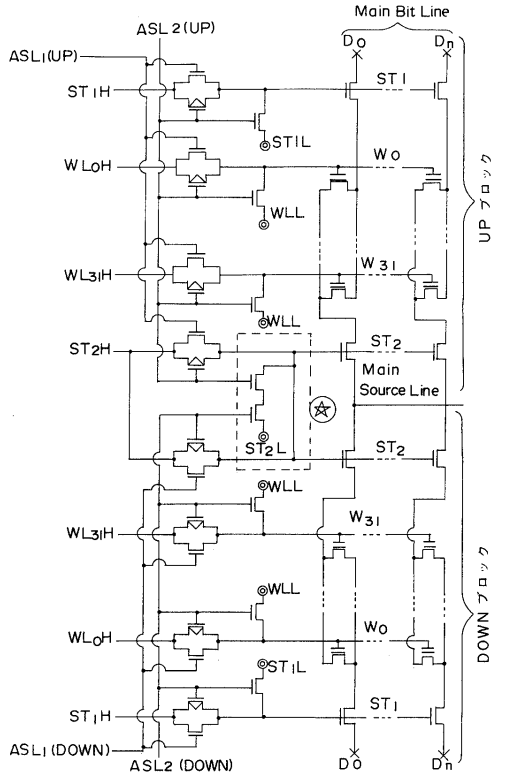
【図３４】



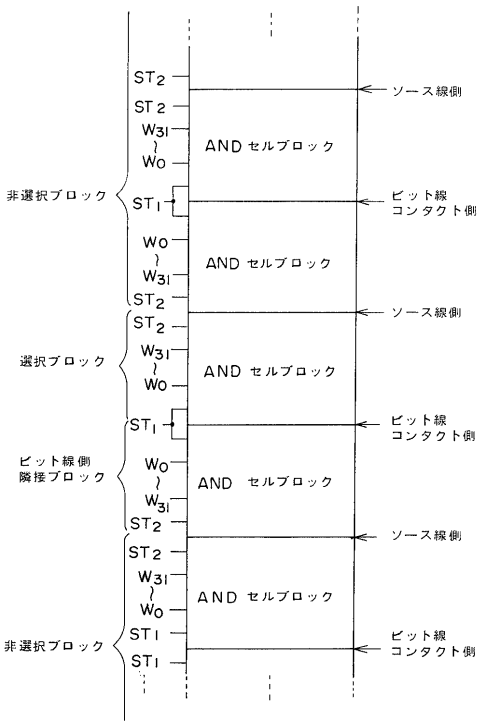
【図３５】



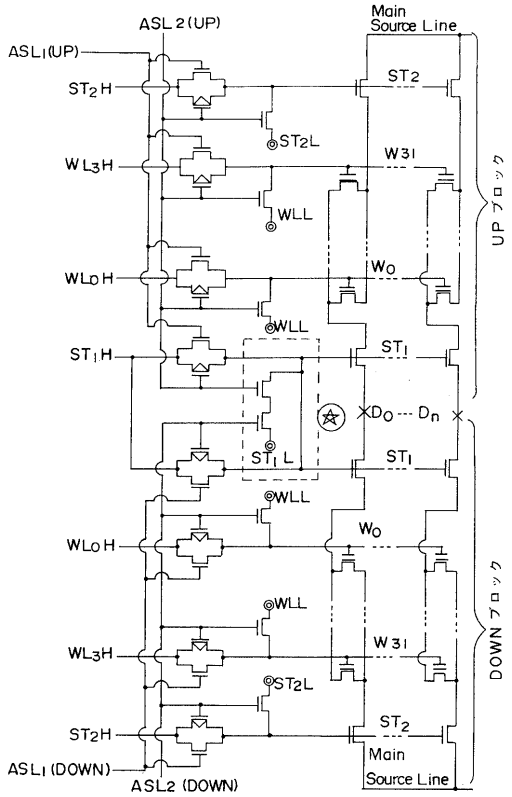
【図３６】



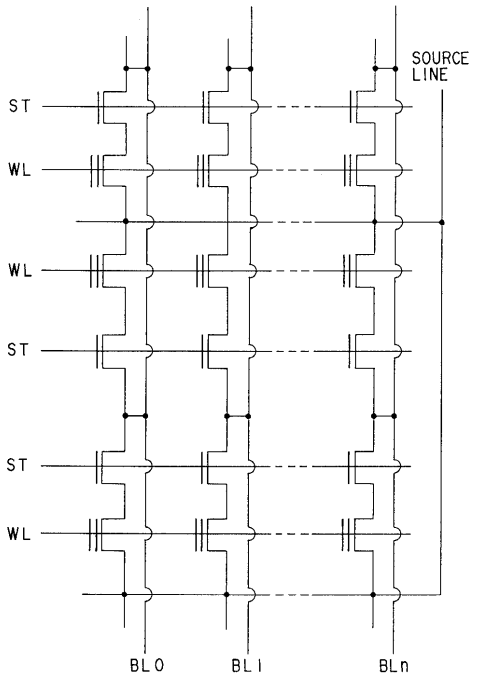
【図３７】



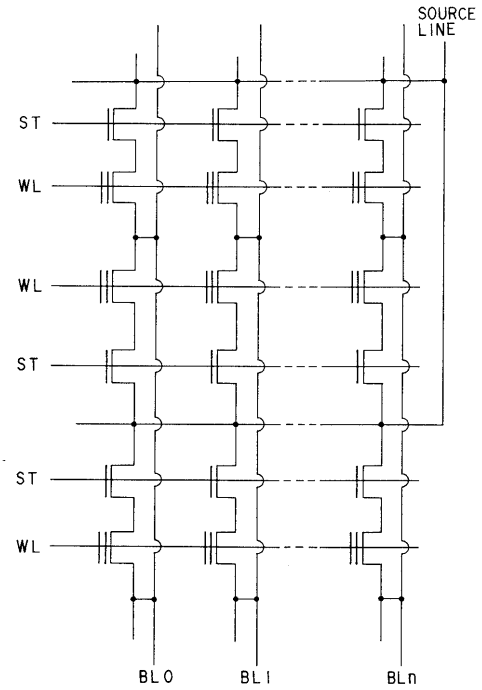
【図３８】



【図３９】



【図４０】



フロントページの続き

(58)調査した分野(Int.Cl., ＤＢ名)
G11C 16/04
G11C 16/06