(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 19/00

(45) 공고일자 1999년03월20일
(11) 등록번호 특0166403
(24) 등록일자 1998년09월23일

(21) 출원번호 특1994-037327
(22) 출원일자 1994년12월27일
(65) 공개번호 특1995-022131
(43) 공개일자 1995년07월26일
(30) 우선권주장 93-329505 1993년12월27일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 반노 모리야스
일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키가이샤 도시바 반도체시스템 기술센터내
(74) 대리인 이세진, 김윤배

심사관 : 박정학

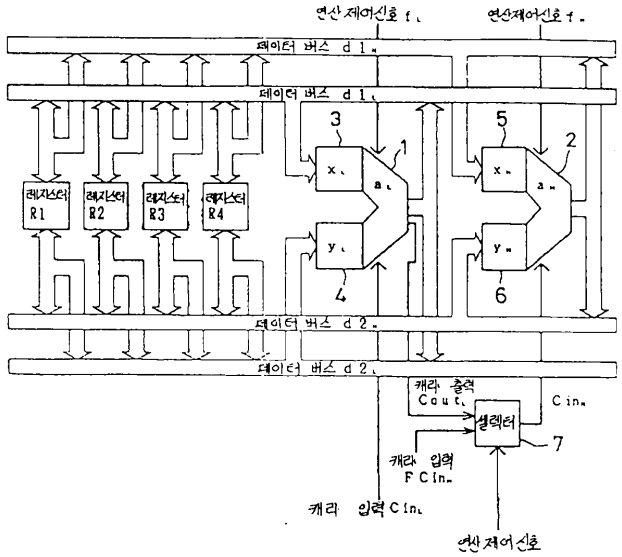
(54) 연산장치

요약

본 발명은, 복수의 연산을 병행하여 실행 할 수 있고, 연산처리시간의 단축화를 달성할 수 있는 연산장치를 제공하는 것을 목적으로 한다.

본 발명은, 데이터버스($d1_L$,$d2_L$,$d1_H$,$d2_H$)를 매개로 전송되는 데이터를 분할하고, 분할한 연산데이터를 각각 다른 연산회로(aL1,aH2)에 의해 병행하여 독립으로 연산처리하고, 또는 선행연산의 결과가 후속연산에 필요한 경우는 선행연산의 결과를 제외하고, 후속연산의 연산 데이터를 연산이 개시되기 전에 미리 레지스터(R1~R4)로부터 일시 · 레지스터(xL3,yL4,xH5,yH6)에 부여하여 준비하여 두도록 구성된다.

대표도



명세서

[발명의 명칭]

연산장치

[도면의 간단한 설명]

제1도는 본 발명의제1실시예에 따른 연산장치의 구성을 도시한 도면.

제2도는 제1도에 도시한 연산장치의 동작 타이밍 차트.

제3도는 제1도에 도시한 연산장치의 다른 동작 타이밍 차트.

제4도는 제1도에 도시한 연산장치의 다른 동작 타이밍 차트.

제5도는 종래의 연산장치의 구성을 도시한 도면.

제6도는 제5도에 도시한 연산장치의 동작 타이밍 차트.

제7도는 제5도에 도시한 연산장치의 다른 동작 타이밍 차트.

제8도는 제5도에 도시한 연산장치의 다른 동작 타이밍 차트이다.

* 도면의 주요부분에 대한 부호의 설명

1,2 : 연산회로 3,4,5,6 : 일시·레지스터

7 : 셀렉터 R1~R4 : 레지스터

d1,d2 : 데이터버스

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은, 특히 고속으로 연산을 실행하는 것이 필요한 마이크로 프로세서등에 사용되는 고속처리가 가능한 연산장치에 관한 것이다.

[종래의 기술 및 그 문제점]

제5도는 연산 데이터 폭이 최대가 16비트의 연산처리를 행하는 종래 연산장치의 일례 구성을 도시한 도면이다.

제5도에 있어서, 연산장치는 16비트의 연산처리를 행하는 연산회로(103)와, 연산회로(103)의 입력에 직접 결합되어 연산 데이터를 일시적으로 보유하는 일시·레지스터(x101,y102)로 구성된다.

일시·레지스터(x101,y102)는 각각 16비터의 데이터버스(d1,d2)에 접속되고, 16비트의 연산회로(103)의 출력은 데이터버스(d1,d2)에 접속되어 있다. 제5도에서는 설명을 위해 8비트의 레지스터(R1,R2,R3,R4)를 부가하고 있다. 레지스터(R1,R2)와 레지스터(R3,R4)는 각각 연결되어 16비트 길이의 레지스터(R12,R34)의 레지스터쌍으로 된다. 레지스터(R1,R2,R3,R4)는 데이터버스(d1,d2)의 하위 8비트($d1_L$,$d2_L$) 및 데이터버스(d1,d2)의 상위 8비트($d1_H$,$d2_H$)의 어느 것에도 접속가능으로 한다. 8비트연산일 경우, 레지스터(R1,R2,R3,R4)는 데이터버스(d1,d2)의 하위 8비트($d1_L$,$d2_L$)에 접속되고, 레지스터 내용을 독출할 때에는 데이터버스(d1,d2)의 상위 8비트(d1H,d2H)에 0이 주어진다.

다음에, 이와 같은 구성에 있어서, 16비트 연산을 수행할 때의 동작에 대해서 제6도에 도시하는 타이밍 차트를 참조하여 설명한다.

일례로서, 레지스터(R12)의 버스(상위 8비트측을 R1, 하위 8비트측을 R2로 한다.)의 내용에 레지스터(34)의 버스(상위 8비트측을 R3, 하위 8비트측을 R4로 한다.)의 내용을 가산하여 가산결과를 레지스터(R12)의 쌍에 기입(R12+R34→R12)이라고 하는 연산처리에 대해 설명한다.

먼저, 제1단계에서, 레지스터(R12)쌍의 내용을 데이터버스(d1)에[레지스터(R1)의 내용을 데이터버스(d1)의 하위 8비트(d1L)에], 레지스터(R34)쌍의 내용을 데이터버스(d2)에[레지스터(R3)의 내용을 데이터버스(d2)의 상위 8비트(d2H)에, 레지스터(R4)의 내용을 데이터버스(d2)의 하위 8비트(d2L)에] 독출한다. 이어서, 데이터버스(d1)로부터 일시·레지스터(x101)에 레지스터(R12)쌍의 내용이 기입되고, 데이터버스(d2)로부터 일시·레지스터(y102)에 레지스터(R34)쌍의 내용이 기입된다. 연산제어신호(f)에 의해 연산회로(103)에는 가산실행이 지시되고, 캐리어입력(Cin)이 주어지며, 연산회로(103)는 (x+y) 를 산출한다.

다음에, 제2단계에서, 연산회로(103)로부터 연산결과가 데이터버스(d1)에[연산결과의 상위 8비트가 데이터버스(d1H)에, 연산결과의 하위 8비트가 데이터버스($d1_L$)에]출력되고, 레지스터(R12)쌍에 기입된다.

다음에, 8비트연산을 수행할 때의 동작에 대해서 제7도에 도시한 타이밍챠트를 참조하여 설명한다.

일례로서, 레지스터(R1)의 내용에 레지스터(R2)의 내용을 가산하고, 레지스터(R1)에 기입처리와, 레지스터(R3)로부터 레지스터(R3)의 내용으로부터 레지스터(R4)의 내용을 감산하며, 레지스터(R3)에 기입처리를 실행하는 경우에 대해서 설명한다.

이와 같은 경우는, 예컨대 8비트이어도 16비트로서 연산되기 때문에 동시에 두개의 연산을 실행하는 것을 할 수 없고, [레지스터(R1) + 레지스터(R@) → 레지스터(R1)를 실행한 후 [레지스터(R3) - 레지스터(r4)]→레지스터(R3)를 실행한다.

먼저, 제1단계에서, 레지스터(R1,R2)의 내용을 각각 데이터버스($d1_L$,$d2_L$)로 독출한다. 그때, 데이터버스($d1_H$,$d2_H$)에는 0이 주어진다. 이어서, 데이터버스(d1,d2)로부터 각각 일시·래지스터(x101,y102)에 레지스터(R1,R2)의 내용이 기입된다. 연산제어신호(f)에 의해 연산회로(103)에 연산실행이 지시되고, 캐리어입력(Cin)에는 0이 주어져 연산회로(103)는 (x+y)를 산출한다.

다음에, 제2단계에서, 연산회로(103)로부터 연산결과가 데이터버스(d1l)에 출력되어 레지스터(R1)에 기입된다.

다음에, 제3단계에서, 레지스터(R3,R4)의 내용을 각각 데이터버스($d1_L$,$d2_L$)로 독출한다. 그때, 데이터버스($d1_H$,$d2_H$)에는 0이 주어진다. 이어서, 데이터버스(d1,d2)로부터 각각 일시·레지스터(x101,y102)에 레지스터(R3,R4)의 내용이 기입된다. 연산제어신호(f)에 의해 연산회로(103)에 검산실행이 지시되고, 캐리

어입력(Cin)에는 0이 주어지며, 연산회로(103)는 (x-y)를 산출한다.

다음에, 제4단계에서, 연산회로(103)로부터 연산결과가 데이터버스($d1_L$)로 출력되어 레지스터(R3)에 기입된다.

이와 같은 연산처리에서는 8비트연산에서도 16비트로서 처리하고 있기 때문에 연산회로(103)의 상위 8비트를 헛되게 사용하고 있는 것으로 된다. 그러나, 이어서 8비트연산을 실행하는 경우, 하나씩 연산을 실행하는 것으로 되어 상기의 연산예에서는 합계 4단계의 처리시간을 요하는 것으로 된다.

다음에, 후속의 연산이 선행하는 연산의 결과를 사용하는 경우, 예컨대 레지스터(R1)의 내용에 레지스터(R2)의 내용을 가산하고, 합을 레지스터(R1)에 기입처리에 이어 레지스터(R3)의 내용으로부터 레지스터(R1)의 새로운 내용을 끌어내며, 차를 레지스터(R3)에 기입처리를 행하는 경우에 대해서 제8도의 타이밍 차트를 참조하여 설명한다. 이와 같은 연산처리를 행하는 경우 통상 16비트로서 연산되기 때문에 최초의 (R1+R2)→R1의 처리가 종료될때까지 레지스터(R3)의 내용을 일시·레지스터(x101또는y102)에 기입하는 것을 할 수 없다. 그 때문에, (R3-R1)→R3의 처리는 (R1+R2)→R1의 처리종료 후에 수행된다. 먼저, 제1단계에서, 레지스터(R1,R2)의 내용을 각각 데이터버스($d1_L$,$d2_L$)로 독출한다. 그때, 데이터버스($d1_H$,$d2_H$)에는 0이 주어진다. 이어서, 데이터버스(d1,d2)가 각각 일시·레지스터(x101,y102)에 레지스터(R1,R2)의 내용이 기입된다. 연산제어신호(f)에 의해 연산회로(103)에 가산실행이 지시되고, 캐리입력 (Cin)에는 0가 주어지고, 연산회로(103)는 (x+y)를 산출한다.

다음에, 제2단계에서, 연산결과, 즉 레지스터(R1)의 내용과 레지스터(R2)의 내용의 합이 연산회로(103)로부터 데이터버스($d1_L$)로 출력되고, 레지스터(R1)에 기입된다.

다음에, 제3단계에서, 레지스터(R3,R1)의 내용을 각각 데이터버스($d1_L$,$d2_L$)로 독출한다. 그때, 데이터버스($d1_H$,$d2_H$)에는 0이 주어진다. 이어서, 데이터버스(d!,d2)로부터 각각 일시·레지스터(x101,y102)에 레지스터(R3,R1)의 내용이 기입된다. 연산제어신호(f)에 의해 연산회로(103)에 감산실행이 지시되고, 캐리어입력(Cin)에는 0이 주어지고, 연산회로(103)는 (x-y)를 산출한다.

다음에, 제4단계에서, 연산결과, 즉 레지스터(R3)의 내용과 레지스터(R1)의 새로운 내용의 차가 연산회로(103)로부터 데이터버스($d1_L$)로 출력되고, 레지스터버스(R3)에 기입된다.

이와 같이 종래에는 계속해서 8비트 연산을 실행하는 경우에는, 하나씩 연산을 실행하는 것으로 되어 상기의 연산에에서는 합계 4단계의 처리시간을 요구하는 것으로 된다.

이상 설명한 바와 같이, 연산장치가 처리하는 데이터 폭 미만의 데이터를 연산하고 있을 때, 예컨대 16비트 길이의 데이터를 연산할 수 있는 연산장치에 있어서, 8비트 길이의 2항 연산을 하고 있을 때, 종래의 연산장치에서는 후속의 연산이 8비트 길이의 2항 연산에 있어서도 선행하는 연산의 종료까지 후속 연산의 개시를 할 수 없었다. 즉, 복수의 연산을 동시에 실현 할 수 없기 때문에 처리시간이 걸린다는 문제를 초래하였다

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 복수의 연산을 병행하여 실행가능으로 하여 연산처리시간의 단축화를 달성할 수 있는 연산장치를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 윌한 본 발명은, 각각 데이터상에서 수행되어지는 데이터처리연산을 허용하도록 입력수신데이터를 갖춘 다수의 연산회로와: 상기 입력에 상기 데이터를 제공함과 더불어 상기 연산회로와 관련된 하나의 출력으로부터 데이터를 선택하기 위해 각각 상기 연산회로중 관련된 하나와 연결된 적어도 2개의 데이터버스를 포함하는 다수의 데이터버스의 세트; 상기 연산회로의 각각에 연결된 제어선 및; 각 제어선에 연결되고, 상기 연산회로가 데이터를 수신하고 처리하는 방법과 비교하여 다수의 다른 데이터처리모드를 확립하도록 제어신호를 제공하기 위해 동작하는 데이터 연산제어회로를 구비하여 구성된 것을 특징으로 한다.

[작용]

상기와 같이 구성된 본 발명은, 연산데이터의 비트 폭을 분할하여 분할한 연산 데이터를 각각 다른 연산회로에 의해 병행하여 독립으로 연산처리하거나, 또는 선행연산의 결과가 후속 연산에 필요한 경우는, 선행 연산의 결과를 제외하고, 후속 연산데이터를 연산이 개시되기 전에 미리 레지스터에 부여하여 준비하여 두도록 하고 있다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다. 제1도는 본 발명의 제1실시예에관한 연산장치의 구성을 도시한 도면이다.

제1도에 있어서, 연산장치는 8비트의 연산을 행하는 연산회로(a_L1)와 연산회로(a_H2)로 이루어진 연산회로 군과, 연산회로(a_L 1, a_H 2)의 입력에 직결되어 연산데이터를 일시적으로 보유하는 일시·레지스터(x_L3,y_L4,x_H5,y_H6), 연산회로(a_L1)로부터 연산회로(a_H2)에 캐리어 전달제어하는 셀렉터(7), 연산회로(a_L1) 및 연산회로(a_H2)와 일시·레지스터(x_L3,y_L4,x_H5,y_H6)의 사이에서 데이터의 전송로로 되는 데이터버스($d1_L$,$d2_L$,$d1_H$,$d2_H$)를 갖추어 구성된다. 제1도에서는 설명을 위해 연산장치 외에 연산데이터 및 연산결과를 보유하는 8비트의 레지스터(R1,R2,R3,R4)를 부가하고 있다.

연산회로(a_H1,a_L2)는 8비트의 연산 데이터를 취급하고, 연산장치 전체로서는 한번에 취급하는 연산 데이터

의 최대 데이터 폭은 16비트로 된다. 연산회로(a_L1,a_H2)는 연산의 종류를 지정하는 연산제어신호(f_L,f_H)에 따라 연산을 행하는 바, 8비트연산을 행할 때는 독립으로 동작하고, 16비트연산을 행할 때에는 연산회로(a_L1)를 하위 8비트용, 연산회로(a_H2)를 상위 8비트용으로서 연결하여 동작한다. 이때, 연산회로(a_L1)의 캐리출력은 연산회로(a_H2)의 캐리입력에 접속된다.

일시·레지스터(x_L3,y_L4,x_H5,y_H6)는 하위 8비트(x_L3,y_L4)와 상위 8비트(x_H5,y_H6)로 분할되어 각각 데이터버스($d1_L,d2_L,d1_H,d2_H$)에 접속되어 있다. 일시·레지스터(x_L3,y_L4,x_H5,y_H6)는 연산제어신호(f_L,f_H)에 따라 일시·레지스터(x_L3,y_L4)또는 일시·레지스터(x_H5,y_H6)의 사이에 연산되고, 예컨대 연산제어신호(f)가 가산을 지시한 경우는 일시·레지스터(x+y)의 결과가 연산회로(a_L1,a_H2)로부터 출력된다.

레지스터(R1,R2)및 레지스터(R3,R4)는 각각 연결되어 16비트 길이의 레지스터(R12,R34)의 레지스터쌍으로 된다. 레지스터(R1~R4)는 데이터버스($d1_L,d2_L,d1_H,d2_H$)의 어느 것에도 접속할 수 있다. 단, 16비트 연산의 경우 레지스터(R1,R3)는 데이터버스($d1_H,d2_H$)에, 레지스터(R2,R4)는 데이터버스($d1_L$)또는 데이터버스($d2_L$)와 접속되는 것으로 한다. 일시·레지스터(x_L3,y_L4,x_H5,y_H6)에 데이터 전송 후의 다음의 단계 이후에서 연산결과가 출력된다. 레지스터쌍(R12,R34)은 2개의 16비트·데이터버스(d1,d2)를 매개로 일시·레지스터(x_L3,y_L4,x_H5,y_H6)의 입력 및 연산회로(a_L1,a_H2)의 출력에 접속되어 있다.

16비트의 데이터버스(d1,d2)는 하위 8비트($d1_L,d2_L$)와 상위 8비트($d1_H,d2_H$)로 되어 있고, 연산버스($d1_H,d2_H$)에 접속되는 것으로 한다.

셀렉터(7)는 연산제어신호(g)에 따라 연산회로(a_L1)로부터 출력되는 캐리출력(Cout)또는 캐리입력(Cin_H)를 선택하여 연산회로(a_H2)에 캐리(Cin_H)로서 인가한다.

이와 같은 구성에 있어서, 먼저 16비트 연산을 행할 때의 동작에 대해서 설명한다.

일례로서, 레지스터쌍(R12)의 내용에 레지스터쌍(R34)의 내용을 가산하고, 레지스터쌍(R12)에 기입하는 경우에 대해서 제2도에 나타낸 타이밍 차트를 참조하여 설명한다.

먼저, 제1단계에서, 레지스트쌍(R12)의 내용을 데이터버스(d1)로, 레지스터쌍(R34)의 내용을 데이터버스(d2)로 독출한다. 레지스터(R2)의 내용이 데이터버스($d1_L$)로부터 일시·레지스터(x_L3)에, 레지스터(R1)의 내용이 데이터버스($d1_H$)로부터 일시·레지스터(x_H4)에 기입되고, 레지스터(R4)의 내용이 데이터버스($d2_H$)로부터 일시·레지스터(y_L5)에, 레지스터(R3)의 내용이 데이터버스($d2_H$)로부터 일시·레지스터(y_H6)에 기입된다. 연산제어신호(f_L,f_H)는 연산회로(a_L1,a_H2)의 쌍방에 가산실행을 지시하고, 연산제어신호(g)로 연산회로(aH2)의 캐리어입력(CinH)에는 연산회로(a_L1)의 캐리출력(Cout)을 접속시킨다. 연산회로(a_L1)의 캐리입력(Cin_L)에는 0을 입력한다.

연산회로(a_L1)는합(x_L+y_L) 및 캐리($Cout_L$)를 산출하고, 연산회로(a_H2)는 합($x_H+y_H+Cin_H$)울 산출한다.

다음에, 제2단계에서, 연산결과가 연산회로(a_L1,a_H2)로부터 데이터버스($d1_L,d1_H$)로 각각 출력되어 레지스터(R2) 및 레지스터(R1)에 기입;된다.

이와 같이 16비트연산의 경우, 종래예와 본 발명의 상기 실시예는 모두 2단계로 연산처리되기 때문에 처리시간인 점에서 차는 생기지 않는다.

다음에, 8비트연산을 행할 때의 동작에 대해서 설명한다.

일례로서, 레지스터(R1)의 내용에 레지스터(R2)의 내용을 가산하고, 레지스터(R1)에 기입처리와 레지스터(R3)의 내용으로부터 레지스터(R4)의 내용을 이끌며, 레지스터(R3)에 기입처리를 병행하여 실행하는 경우에 대해서 제3도에 도시하는 타이밍 챠트를 참조하여 설명한다.

먼저, 제1단계에서, 레지스터(R1~R4)의 내용을 각각 데이터버스($d1_L,d2_L,d1_H,d2_H$)로 독출한다. 데이터버스($d1_L,d2_L,d1_H,d2_H$)로부터 각각 일시·레지스터(x_L3,y_L4,x_H5,y_H6)에 레지스터(R1~R4)의 내용이 기입된다.

연산제어신호(f_L)는 연산회로(a_L1)에 가산실행을 지시하고, 연산회로(a_L1)에 캐리입력(Cin_L)에는 0을 넣는다. 연산제어신호(f_H)는 연산회로(a_H2)에 감산실행을 지시한다. 연산제어신호(g)로 연산회로(a_H2)의 캐리입력(Cin_H)을 FCinH로 하고, $FCin_H$에는 0을 넣는다. 따라서, 연산회로(a_L1)는 합(x_L+y_L)을 산출하고, 연산회로(a_H2)는 차($xH=y_H$)를 산출한다.

다음에, 제2단계에서, 연산결과가 연산회로(a_L1,a_H2)로부터 데이터버스($d1_L,d1_H$)에 각각 출력되어 레지스터(R1) 및 레지스터(R3)에 기입된다.

이와 같이, 본 발명의 상기 실시예에서는 두개의 연산을 병행하여 동시에 실행할 수 있기 때문에 2단계의 처리시간으로 종료되는 대해. 종래의 연산처리에서는 상기한 바와 같이 8비트 연산에서도 16비트로서 처리하고 있기 때문에 연산회로(103)의 상위 8비트를 헛되이 사용하고 있고, 따라서 계속해서 8비트연산을 실행하는 경우, 하나씩 연산을 실행하는 것으로 되어 합계 4단계의 처리시간을 요구하는 것으로 된다. 따라서, 본 발명의 상기 실시예에서는 종래에 비해 연산처리를 고속으로 수행할 수 있게 된다.

다음에, 후속의 연산이 선행하는 연산의 결과를 사용하는 경우에 대해 설명한다.

이와 같은 경우에는 본 발명에서는 동시에 연산하는 것은 가능하지 않기 때문에 다음과 같이 2단계(1단계째는 제1~제2단계, 2단계째는 제2~제3단계)로 나누어 실행한다.

일례로서, 레지스터(R1)의 내용에 레지스터(R2)의 내용을 가산하고, 합을 레지스터(R1)에 기입처리로 계속하고, 레지스터(R3)의 내용으로부터 레지스터(R1)의 새로운 내용을 끌어 들이며, 차를 레지스터(R3)에 기입처리를 행하는 경우에 대해서 제4도에 도시한 타이밍 챠트를 참조하여 설명한다.

먼저, 제1단계에서, 레지스터(R1~R3)의 내용을 각각 데이터브스($d1_L$,$d2_L$,$d1_H$)로 독출한다. 데이터버스($d1_L$,$d2_L$,$d1_H$)로부터 각각 일시·레지스터(x_L3,y_L4,x_H5)에 레지스터(R1~R3)의 내용이 기입된다. 연산제어신호(f_L)는 연산회로(a_L1)에 가산실행을 지시하고, 연산회로(a_L1)의 캐리입력(Cin_L)에는 0을 넣는다. 따라서, 연산회로(a_L1)는 합(x_L+y_L)을 산출한다.

다음에, 제2단계에서, 연산결과, 즉 레지스터(R1)의 내용과 레지스터(R2)의 내용의 합이 연산회로(a_L1)로부터 데이터버스($d2_H$)로 출력되고, 레지스터(R1)에 기입됨과 더불어 일시·레지스터(y_H6)에 기입된다. 연산제어신호(f_H)는 연산회로(a_H2)에 감산실행을 지시하고, 연산제어신호(g)는 연산회로(a_H2)의 캐리입력(Cin_H)에서 $FCin_H$를 선택하며, FCinH에는 0을 넣는다. 따라서, 연산회로(a_H2)는 차(x_H-y_H)를 산출한다.

다음에, 제3단계에서, 연산결과, 즉 레지스터(R3)의 내용과 레지스터(R1)의 새로운 내용의 차가 연산회로(a_H2)로부터 데이터버스($d2_H$)로 출력되어 레지스터(R3)에 기입된다.

이와 같이, 계속해서 8비트 연산을 실행하는 경우에는 종래예에서는 하나씩 연산을 실행하는 것으로 되어 상기의 연산예에서는 합계4단계의 처리시간을 요하는 것에 대해, 본 발명의 상기 실시예에서는 1회째의 연산개시에서 다음의 연산에 필요한 데이터의 일부를 일시·레지스터에 기입하여 둘 수 있고(즉, 다음의 연산에 필요한 데이터의 일부, 즉 상기 예에서는 레지스터(R3)의 내용을 제2단계에서의 일시·레지스터에 기입하여도 된다.). 또한 연산결과를 레지스터에 기입할 경우, 일시·레지스터에도 기입할 수 있기 때문에 처리시간이 단계분 단축된다.

따라서, 본 발명의 실시예에서는 8비트연산이 계속 실행되는 경우, 종래예에 비해 처리시간이 1~2단계 단축되기 때문에 고속처리를 필요로 하는 응용분야의 연산장치에 적용하고 있다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 연산데이터의 비트폭을 분할하여 분할한 연산데이터를 각각 다른 연산회로에 의해 병행하여 독립으로 연산처리하거나 또는 선행연산의 결과가 후속연산에 필요한 경우는 선행연산의 결과를 제외하고 후속연산의 연산데이터를 연산이 개시되기 전에 미리 제2보유수단으로부터 제1보유수단에 부여하여 준비하여 두도록 했기 때문에 연산처리를 고속화할 수 있다.

(57) 청구의 범위

청구항 1

각각 데이터상에서 수행되어지는 데이터처리연산을 허용하도록 입력수신데이터를 갖춘 다수의 연산회로와; 상기 입력에 상기 데이터를 제공함과 더불어 상기 연산회로와 관련된 하나의 출력으로부터 데이터를 선택하기 위해 각각 상기 연산회로중 관련된 하나와 연결된 적어도 2개의 데이터버스를 포함하는 다수의 데이터버스의 세트; 상기 연산회로의 각각에 연결된 제어선 및; 각 제어선에 연결되고, 상기 연산회로가 데이터를 수신하고 처리하는 방법과 비교하여 다수의 다른 데이터처리모드를 확립하도록 제어신호를 제공하기 위해 동작하는 데이터 연산제어회로를 구비하여 구성된 것을 특징으로 하는 연산장치.

청구항 2

제1항에 있어서, 다른 데이터처리모드는, 상기 데이터 연산제어회로가 상기 연산회로를 제어하여 데이터가 상기 연산회로와 관련된 하나의 입력에서의 데이터버스의 세트의 적어도 2개로부터 동시에 수신되고, 상호 배타적임과 더불어 독립적인 방법으로 상기 데이터 수신 연산회로에 의해 처리되는 제1모드와; 상기 데이터 연산제어회로가 상기 연산회로를 제어하여 데이터가 상기 연산회로와 관련된 하나의 입력에서의 데이터버스의 세트의 적어도 2개로부터 동시에 수신되고, 상호 협력하는 방법으로 상기 데이터 수신 연산회로에 의해 처리되는 제2모드 및; 상기 데이터 연산제어회로가 상기 연산회로를 제어하여 제1데이터처리연산의 결과를 변형하는 더욱 계속적인 데이터처리연산을 수행하는 적어도 제2연산회로에 입력되는 제1데이터처리연산의 결과에 따른 제1데이터처리연산을 수행하기 위해 데이터가 연산회로의 첫번째 하나의 입력에서 데이터버스의 세트중 하나로부터 수신되는 제3모드의 적어도 3개의 모드를 포함하는 것을 특징으로 하는 연산장치.

청구항 3

제1항에 있어서, 다수의 연산회로의 각각의 입력에 위치하고, 각 입력에 인가된 데이터를 일시적으로 유지하는 다수의 제1유지소자와; 다수의 데이터버스의 세트에 연결되고, 데이터버스의 세트에 공급되고 데이터버스이 세트로부터 선택된 데이터를 저장하는 다수의 제2유지소자및; 다수의 다른 데이터처리모드중 적어도 하나에서 제2데이터연산회로로 전송된 상기 연산회로중 하나의 데이터 처리연산으로부터 얻어진 결과와 관련된 캐리를 제공하기 위해 데이터 연산제어회로에 의해 제어되는 전송캐리소자를 더 구비하여 구성된 것을 특징으로 하는 연산장치.

청구항 4

제3항에 있어서, 상기 다수의 제2유지소자가 레지스터인 것을 특징으로 하는 연산장치.

청구항 5

제4항에 있어서, 각 레지스터가 n-비트의 데이터 용량을 갖추고, 상기 다수의 레지스터는 각각의 군이 m-비트의 데이터를 유지하는 레지스터의 군으로 분할되며, 여기서 n과 m이 1보다 더 큰 정수이고, m이 n의

배수인 것을 특징으로 하는 연산장치.

청구항 6

제5항에 있어서, m=2·n이고, N상위 비트와 N하위 비트로 이루어진 것을 특징으로 하는 연산장치.

청구항 7

제1항에 있어서, 상기 다수의 연산회로가 n-비트 데이터 용량을 갖춘 적어도 하나의 쌍의 각 부재를 구비한 적어도 하나의 쌍으로 제공되고, n-비트 연산을 실행하며, n이 1보다 더 큰 정수인 것을 특징으로 하는 연산장치.

청구항 8

제7항에 있어서, 적어도 하나의 쌍의 제1부재가 제1데이터버스와 제2데이터버스를 갖춘 데이터버스의 제1세트에 연결되고, 적어도 하나의 쌍의 제2부재가 제3데이터버스와 제4데이터버스를 갖춘 데이터버스의 제2세트에 연결되며, 제1 내지 제4데이터버스의 각각이 n-비트의 데이터 용량을 갖는 것을 특징으로 하는 연산장치.

청구항 9

제8항에 있어서, 제1데이터버스와 제1부재 사이에 연결된 제1일시레지스터와; 제2데이터버스와 제1부재 사이에 연결된 제2일시레지스터; 제3데이터버스와 제2부재 사이에 연결된 제3일시레지스터 및; 제4데이터버스와 제2부재 사이에 연결된 제4일시레지스터를 더 구비하여 구성된 것을 특징으로 하는 연산장치.

청구항 10

제9항에 있어서, 제1데이터버스에 연결된 제1n-비트 레지스터와 제2데이터버스에 연결된 제2n-비트 레지스터; 제3데이터버스에 연결된 제3n-비트 레지스터 및; 제4데이터버스에 연결된 제4n-비트 레지스터를 더 구비하여 구성된 것을 특징으로 하는 연산장치.

청구항 11

제10항에 있어서, 전송캐리소자가 다수의 다른 데이터 처리모드중 적어도 하나에서 상기 제1부재에 대한 제1부재의 제1데이터 처리연산으로부터 얻어진 결과와 관련된 캐리신호를 제공하기 위해 데이터연산제어회로에 의해 제어되는 것을 특징으로 하는 연산장치.

청구항 12

제11항에 있어서, 다수의 다른 모드중 적어도 하나는, 상기데이터 연산제어회로가 상기 적어도 하나의 쌍을 제어하여 데이터가 제1 및 제2일시레지스터에 의해 제1 및 제2데이터버스로부터 수신되고, 상기 제1데이터처리연산을 수행하는 상기 제1부재에 제공되며, 제1데이터처리연산에 따라 제2데이터처리연산을 수행하기 위해 상기 제1데이터처리연산의 결과를 제2부재에 제공하는 모드인 것을 특징으로 하는 연산장치.

청구항 13

제10항에 있어서, 다수의 다른 모드중 적어도 하나는, 상기 데이터연산제어회로가 n-비트 연산중 두번째 하나를 동시에 수행하도록 상기 제3및 제4n-비트 레지스터에 저장된 데이터가 상기 제2부재에 제공되는 동안 n-비트 연산의 첫번째 하나를 실행하도록 상기 제1부재에 제공되어지는 상기 제1및 제2n-비트레지스터에 저장된 데이터를 야기시키고, 제2n-비트연산의 실행의 결과가n-비트 레지스터의 두번째 하나에 동시에 저장되는 동안 n-비트 레지스터의 첫번째 하나에 저장된 제1n-비트 연산의 실행의 결과를 더욱 야기시키는 모드인 것을 특징으로 하는 연산장치.

청구항 14

제1항에 있어서, 다수의 모드중 적어도 하나는, 제1연산회로가 하위비트를 이용하는 연산을 실행하는 한편 제2연산회로가 상위비트를 이용하는 연산을 실행하기 위해, 독립적으로 연산되어지도록 데이터 연산제어회로에 의해 제어되는 적어도 제1및 제2연산회로에서의 제1모드와, 적어도 제1및 제2연산회로가 상기 데이터 연산제어회로에 의해 협력하여 연산되는 제2모드로 이루어진 군으로부터 선택된 모드인 것을 특징으로 하는 연산장치.

청구항 15

제14항에 있어서, 제2모드에서 제1연산회로부터 제2연산회로로 캐리신호를 선택적으로 제공하도록 데이터 연산제어회로에 응답하는 전송캐리소자를 더 구비하여 구성된 것을 특징으로 하는 연산장치.

청구항 16

제15항에 있어서, 제1 및 제2데이터연산회로에 연결된 데이터버스의 세트에 연결된 제1,2,3,4n-비트 레지스터를 더 구비하여 구성되고, 상기 제1및 제2n-비트 레지스터가 제 1 2 ·N비트 레지스터를 형성하도록 쌍을 이루고, 상기 제3 및 제4n-비트레지스터가 제 2 2 ·n-비트 레지스터를 형성하도록 쌍을 이루는 것을 특징으로 하는 연산장치.

청구항 17

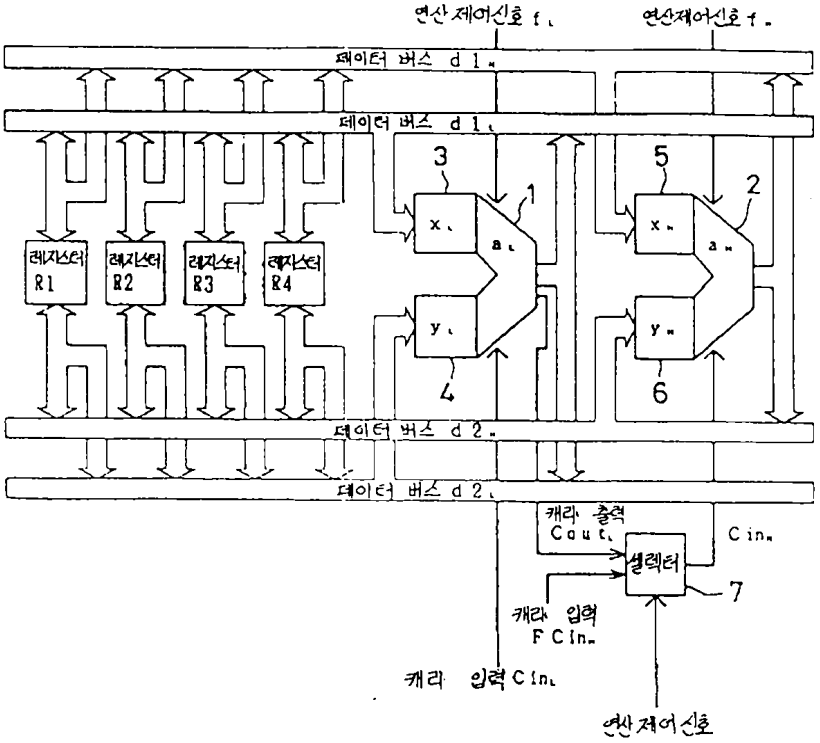
제16항에 있어서, 제1데이터연산회로가 제1 및 제2데이터버스에 연결되고, 제2데이터연산회로가 제3및 제4데이터버스에 연결되는 것을 특징으로 하는 연산장치.

청구항 18

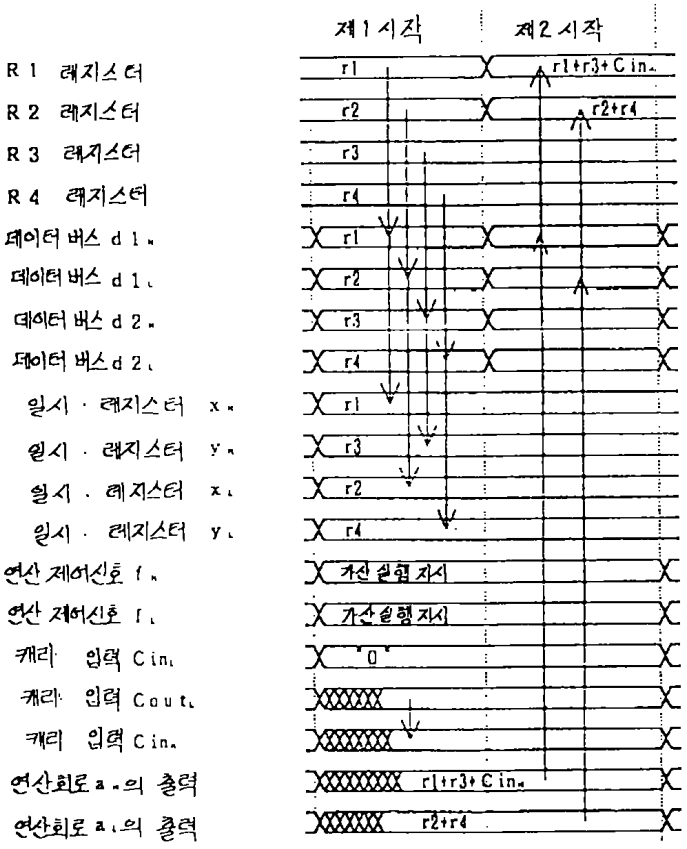
제17항에 있어서, 제1데이터버스와 제1데이터연산회로 사이에 연결된 제1일시레지스터와; 제2데이터버스와 제1데이터연산회로 사이에 연결된 제2일시레지스터; 제3데이터버스와 제2데이터연산회로 사이에 연결된 제3일시레지스터 및; 제4데이터버스와 제2데이터연산회로 사이에 연결된 제4일시레지스터를 더 구비하여 구성된 것을 특징으로 하는 연산장치.

도면

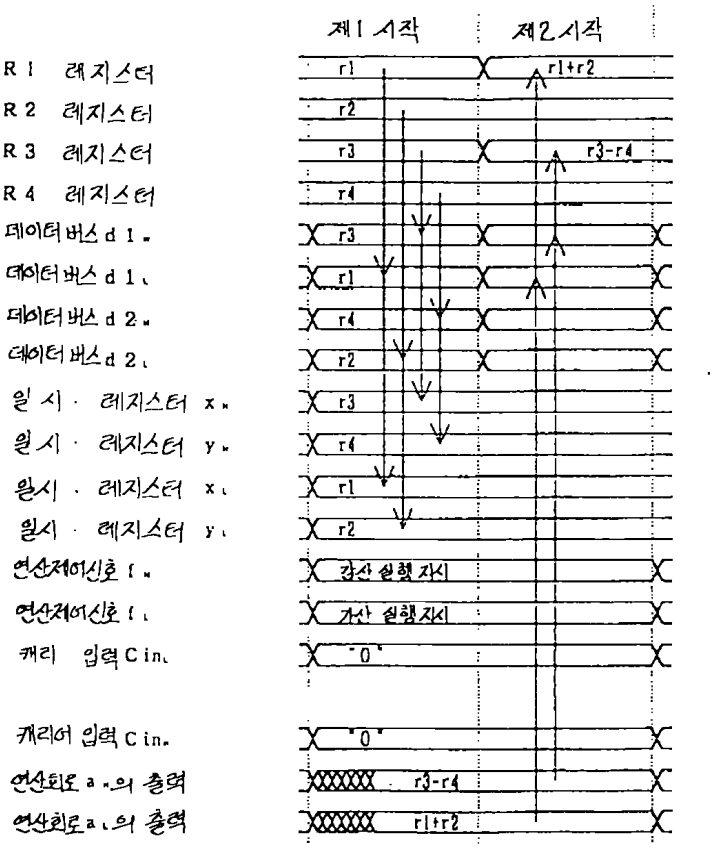
도면1



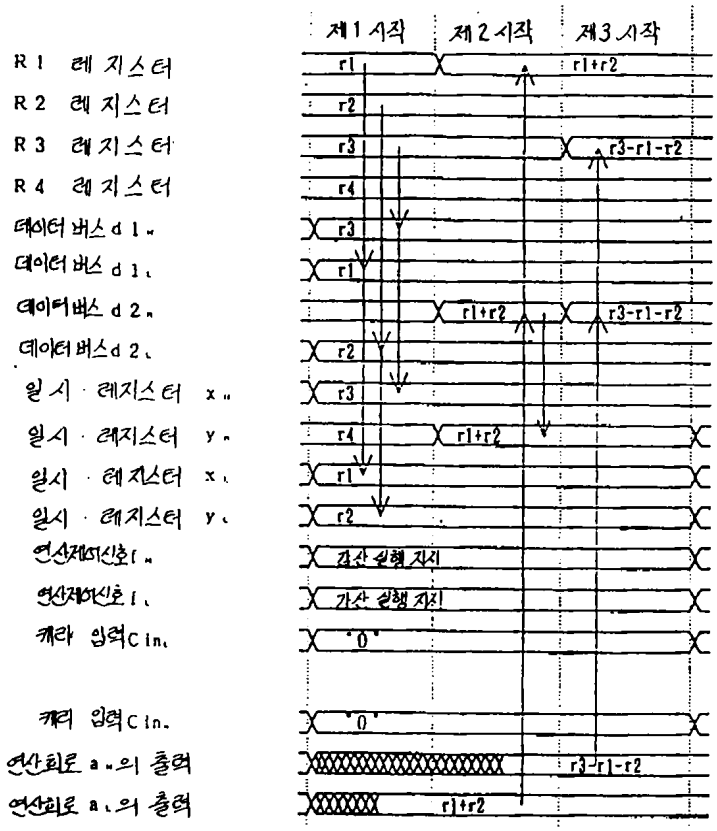
도면2


제1시작
제2시작
R1 레지스터
R2 레지스터
R3 레지스터
R4 레지스터
데이터 버스 d1H
데이터 버스 d1L
데이터 버스 d2H
데이터 버스 d2L
일시 · 레지스터 xH
일시 · 레지스터 yH
일시 · 레지스터 xL
일시 · 레지스터 yL
연산 제어신호 fH
연산 제어신호 fL
캐리 입력 CinL
캐리 입력 CoutL
캐리 입력 CinH
연산회로 aH의 출력
연산회로 aL의 출력
r1
r2
r3
r4
r1+r3+CinH
r2+r4
가산 실행 지시
"0"
r1+r3+CinH
r2+r4

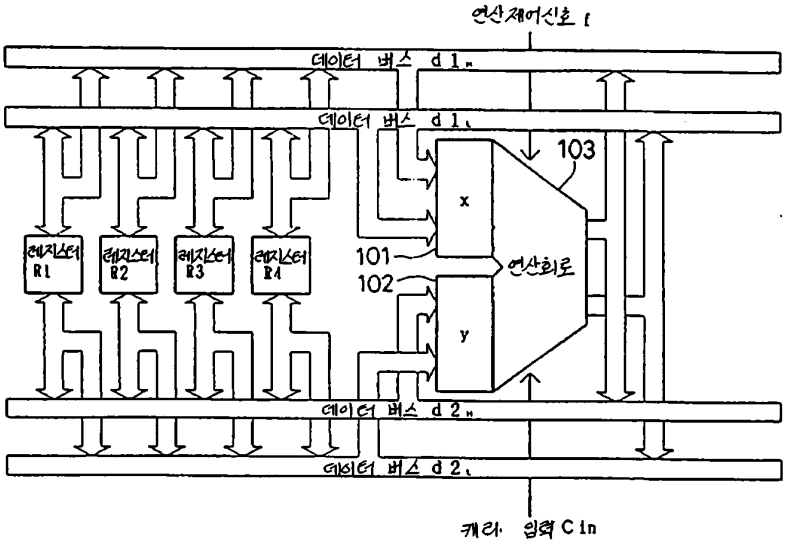
도면3


제1시작
제2시작
R1 레지스터
R2 레지스터
R3 레지스터
R4 레지스터
데이터 버스 d1H
데이터 버스 d1L
데이터 버스 d2H
데이터 버스 d2L
일시 · 레지스터 xH
일시 · 레지스터 yH
일시 · 레지스터 xL
일시 · 레지스터 yL
연산제어신호 fH
연산제어신호 fL
캐리 입력 CinL
캐리어 입력 CinH
연산회로 aH의 출력
연산회로 aL의 출력
r1
r2
r3
r4
r1+r2
r3-r4
가산 실행 지시
"0"
r3-r4
r1+r2

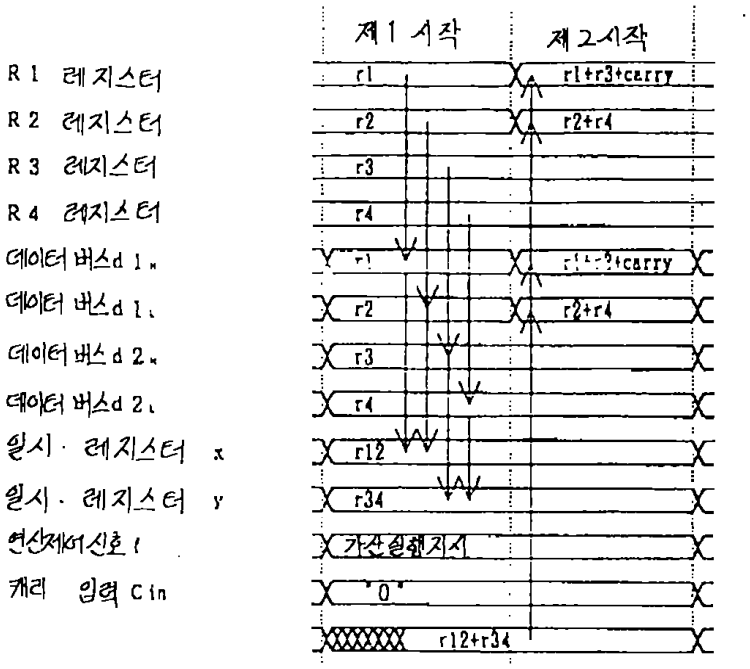
도면4


제1 시작
제2 시작
제3 시작
R1 레지스터
R2 레지스터
R3 레지스터
R4 레지스터
데이터 버스 d1n
데이터 버스 d1i
데이터버스 d2n
데이터버스 d2i
일시 · 레지스터 xn
일시 · 레지스터 yn
일시 · 레지스터 xi
일시 · 레지스터 yi
연산제어신호 fn
연산제어신호 fi
캐리 입력 Cin
캐리 입력 Cin
연산회로 an의 출력
연산회로 ai의 출력
r1
r2
r3
r4
r1+r2
r3-r1-r2
가산 실행 지시
"0"

도면5

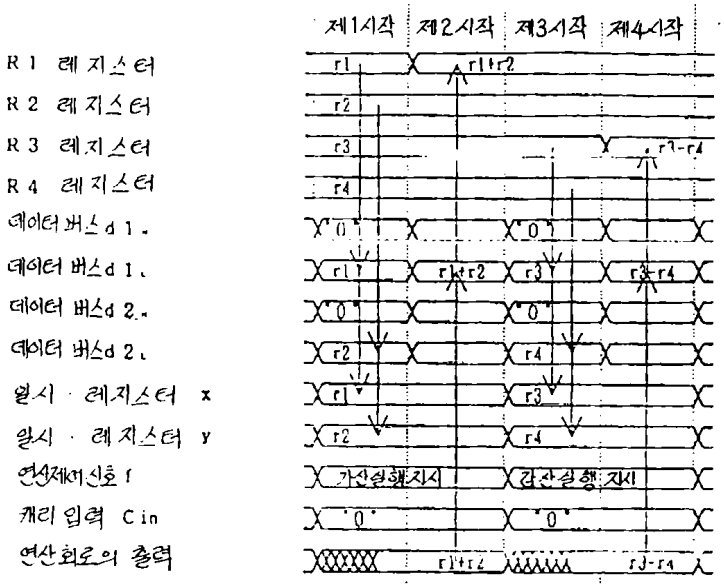

연산제어신호 f
데이터 버스 d1n
데이터 버스 d1i
103
x
y
101
102
연산회로
레지스터 R1
레지스터 R2
레지스터 R3
레지스터 R4
데이터 버스 d2n
데이터 버스 d2i
캐리 입력 Cin

도면6



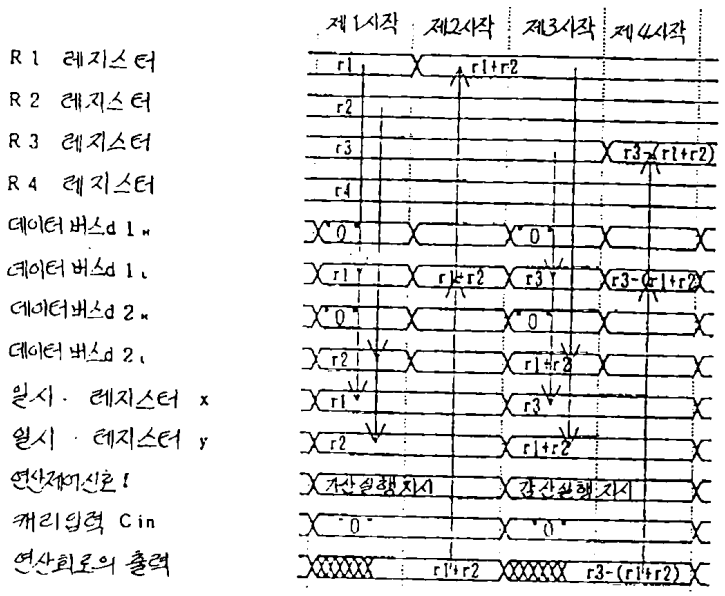
※ r12 는 레지스터 R12 쌍의 내용
※ r34 는 레지스터 R34 쌍의 내용
※ 캐리는 레지스터 R2 와 레지스터 R4와의 가산에 의한 캐리를 표현한다.

도면7



※ r1~r4 레지스터 R1~R4 의 내용

도면8



※ r1~r4 레지스터 R1~R4의 내용