



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년08월21일
(11) 등록번호 10-1175342
(24) 등록일자 2012년08월13일

(51) 국제특허분류(Int. Cl.)
H01L 21/20 (2006.01) H01L 27/12 (2006.01)
(21) 출원번호 10-2007-7013621
(22) 출원일자(국제) 2005년11월29일
심사청구일자 2010년11월23일
(85) 번역문제출일자 2007년06월15일
(65) 공개번호 10-2007-0086303
(43) 공개일자 2007년08월27일
(86) 국제출원번호 PCT/US2005/043398
(87) 국제공개번호 WO 2006/062796
국제공개일자 2006년06월15일
(30) 우선권주장
11/006,747 2004년12월08일 미국(US)
(56) 선행기술조사문헌
US20040087109 A1
US5439843 A
US5307433 A

(73) 특허권자
글로벌파운드리즈 인크.
케이만 아일랜드 케이와이1-1104 그랜드 케이만
어그랜드 하우스 피.오.박스 309 메이플즈 코포레
이트 서비시즈 리미티드
(72) 발명자
웨이트 앤드류 마이클
미국 뉴욕 12590 와핑어스 폴스 서리 레인 3에프
치크 존 디.
미국 텍사스 78613 시더 파크 킨로즈 드라이브
2910
(74) 대리인
박장원

전체 청구항 수 : 총 9 항

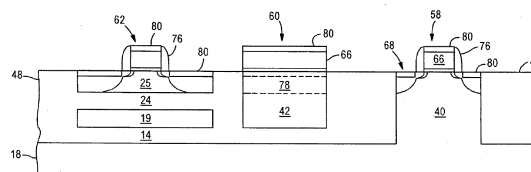
심사관 : 정성중

(54) 발명의 명칭 다수의 스택화된 하이브리드 배향 층들을 포함하는 반도체 디바이스 및 그 제조 방법

(57) 요약

제 1 결정 배향을 갖는 기판(18)을 포함하는 반도체 디바이스가 제공된다. 제 1 절연 층(14)이 상기 기판(18) 위에 놓이고 그리고 복수의 실리콘 층들이 상기 제 1 절연 층(14) 위에 놓인다. 제 1 실리콘 층(42)은 제 2 결정 배향 및 결정 평면을 갖는 실리콘을 포함한다. 제 2 실리콘 층(25)은 상기 1 실리콘 층(42)의 상기 결정 평면에 실질적으로 직교하는 결정 평면 및 상기 제 2 결정 배향을 갖는 실리콘을 포함한다. 정공들은 (110) 평면 내에서 더 높은 이동도를 가지고, 반도체 디바이스 성능은 어떤 결정 평면 배향을 갖는 실리콘 층을 선택함으로써 강화될 수 있다. 추가로, 반도체 디바이스를 형성하는 방법이 제공된다. 제 1 결정 배향을 갖는 제 1 실리콘 기판(18)과, 제 1 절연 층(14)이 상기 제 1 실리콘 기판(18) 상에 형성되고, 상기 제 1 절연 층(14) 위에 놓이는 결정 평면 및 제 2 결정 배향을 갖는 제 1 실리콘 층(19)을 포함하는 실리콘-온-인슐레이터 구조가 제 2 실리콘 기판(20)에 본딩된다. 상기 제 2 실리콘 기판(20)은 상기 제 2 결정 배향 및 결정 평면을 가지고, 제 2 절연 층(24)이 상기 제 2 실리콘 기판(20) 상에 형성된다. 상기 제 2 실리콘 기판(20)은 상기 제 2 실리콘 기판(20) 안으로 수소 이온을 주입함으로써 생성되는 결함들의 라인(22)을 포함한다. 상기 제 2 실리콘 기판(20)의 상기 결정 평면은 상기 제 1 실리콘 층(19)의 상기 결정 평면에 실질적으로 직교하도록 배향된다. 상기 제 2 실리콘 기판(20)은 상기 결함들의 라인(22)을 따라 분리되고 제거되어 상기 실리콘-온-인슐레이터 구조 상에 상기 제 2 절연 층(24)과 제 2 실리콘 층(25)을 남긴다. 다른 결정 배향들을 갖는 복수의 디바이스들이 이후에 단일의 평면 실리콘-온-인슐레이터 구조 상에 형성될 수 있으며, 이것은 다른 결정 배향들의 실리콘 층들까지 상기 실리콘-온-인슐레이터 구조를 선택적으로 에칭함으로써, 에칭된 영역들 내에 선택적 에피택셜 실리콘 층들을 성장시킴으로써, 그리고 이후 화학적-기계적 연마에 의해 상기 실리콘-온-인슐레이터 구조를 평탄화함으로써 형성될 수 있다.

대표도



특허청구의 범위

청구항 1

반도체 디바이스로서,

제 1 결정 배향을 갖는 기판(18)과;

상기 기판(18) 위에 놓이는 제 1 절연 층(14)과;

상기 제 1 절연 층(14) 위에 놓이는 복수의 실리콘 층들을 포함하여 구성되며, 여기서 제 1 실리콘 층(42)은 제 2 결정 배향 및 결정 평면을 갖는 실리콘으로 구성되고, 그리고 제 2 실리콘 층(25)은 상기 제 1 실리콘 층(42)의 상기 결정 평면에 직교하는 결정 평면 및 상기 제 2 결정 배향을 갖는 실리콘으로 구성되고, 여기서 상기 제 1 실리콘 층(42) 및 상기 제 2 실리콘 층(25)의 상부 표면들은 같은 평면에 있고, 상기 제 1 실리콘 층(42) 및 상기 제 2 실리콘 층(25)은 절연 영역(48)에 의해 분리되는 것을 특징으로 하는 반도체 디바이스.

청구항 2

제 1 항에 있어서,

상기 기판(18) 위에 놓이는 제 3 실리콘 층(40)을 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 3

제 2 항에 있어서,

상기 제 3 실리콘 층(40)은 절연 영역들(48)에 의해 상기 제 1 실리콘 층(42) 및 상기 제 2 실리콘 층(25)으로부터 분리되는 것을 특징으로 하는 반도체 디바이스.

청구항 4

제 3 항에 있어서,

MOSFET(60, 62, 58)이 상기 제 1 실리콘 층(42), 상기 제 2 실리콘 층(25), 상기 제 3 실리콘 층(40) 각각에 형성되는 것을 특징으로 하는 반도체 디바이스.

청구항 5

반도체 디바이스를 형성하는 방법으로서,

제 1 결정 배향을 갖는 제 1 실리콘 기판(18)과, 상기 제 1 실리콘 기판(18) 상에는 제 1 절연 층(14)이 형성되고, 그리고 상기 제 1 절연 층(14) 위에 놓이며 제 2 결정 배향 및 결정 평면을 갖는 제 1 실리콘 층(19)을 포함하는 실리콘-온-인슐레이터 구조를 제공하는 단계와;

상기 제 2 결정 배향 및 결정 평면을 갖는 제 2 실리콘 기판(20)과 그리고 상기 제 2 기판 상에 형성되는 제 2 절연 층(24)을 제공하는 단계와, 여기서 상기 제 2 실리콘 기판(20)은 상기 제 2 실리콘 기판(20) 안으로 수소 이온들을 주입함으로써 생성되는 결함들의 라인(22)을 포함하고;

상기 제 2 실리콘 기판(20)의 결정 평면이 상기 제 1 실리콘 층(19)의 결정 평면에 수직으로 배향되도록, 상기 제 2 절연 층(24)과 상기 제 1 실리콘 층(19)을 통해 상기 제 2 실리콘 기판(20)을 상기 실리콘-온-인슐레이터 구조에 본딩하는 단계와; 그리고

상기 결함들의 라인(22)을 따라 상기 제 2 실리콘 기판(20)을 분리 및 제거하여, 상기 실리콘-온-인슐레이터 구조 상에 상기 제 2 절연 층(24)과 제 2 실리콘 층(25)이 남도록 하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 6

제 5 항에 있어서,

상기 제 2 실리콘 층(25), 상기 제 2 절연 층(24), 상기 제 1 실리콘 층(19), 및 상기 제 1 절연 층(14)의 일부

분을 제거하여, 상기 실리콘-온-인슐레이터 구조의 제 1 영역 내에 상기 제 1 실리콘 기관(18)의 일부분(34)을 노출시키는 제 1 개구(30)를 형성하는 단계와; 그리고

상기 제 2 실리콘 층(25) 및 상기 제 2 절연 층(24)의 일부분을 제거하여, 상기 실리콘-온-인슐레이터 구조의 제 2 영역 내에 상기 제 1 실리콘 층(19)의 일부분(36)을 노출시키는 제 2 개구(32)를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 7

제 6 항에 있어서,

상기 제 1 개구(30) 및 상기 제 2 개구(32)의 측벽 상에 측벽 스페이서들(38)을 형성하는 단계와; 그리고

상기 제 1 개구(30) 및 상기 제 2 개구(32) 내에 에피택셜 실리콘을 성장시켜, 상기 실리콘-온-인슐레이터 구조의 제 1 영역(52) 내에 상기 제 1 결정 배향을 갖는 제 3 실리콘 층(40), 상기 실리콘-온-인슐레이터 구조의 제 2 영역(54) 내에 상기 제 2 결정 배향 및 결정 평면을 갖는 제 1 실리콘 층(19, 42), 그리고 상기 실리콘-온-인슐레이터 구조의 제 3 영역(56) 내에 상기 제 1 실리콘 층(19, 42)의 결정 평면에 직교하는 결정 평면 및 상기 제 2 결정 배향을 갖는 제 2 실리콘 층(25)을 구비하는 실리콘-온-인슐레이터 구조를 제공하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 8

제 7 항에 있어서,

상기 실리콘-온-인슐레이터 구조 내에 복수의 절연 영역들(48)을 형성하여, 상기 제 2 영역(54) 및 상기 제 3 영역(56)으로부터 상기 제 1 영역(52)을 절연시키고, 상기 제 3 영역(56)으로부터 상기 제 2 영역(54)을 절연시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 9

제 7 항에 있어서,

상기 실리콘-온-인슐레이터 구조의 상기 제 1 영역(52), 상기 제 2 영역(54), 및 상기 제 3 영역(56) 내에 MOSFET(58, 60, 62)를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 10

삭제

명세서

기술분야

[0001] 본 발명은 반도체 디바이스 및 반도체 디바이스를 제조하는 방법에 관한 것이고, 특히 실리콘-온-인슐레이터(Silicon-On-Insulator, SOI) 기술을 포함하는 개선된 반도체 디바이스에 관한 것이다.

배경기술

[0002] 반도체 산업에서, 계속적인 연구의 중요한 목표는 반도체 디바이스 내에서의 전력 소비를 감소시키는 동시에 반도체 성능을 증가시키는 것이다. 금속 산화막 반도체 전계 효과 트랜지스터(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)와 같은 평면 트랜지스터는 특히 고밀도 집적 회로 내에서 사용하기 매우 적합하다. MOSFET 및 다른 디바이스의 크기가 감소함에 따라, 소스/드레인(source/drain) 영역의 크기, 채널 영역의 크기, 및 디바이스의 게이트(gate) 전극의 크기가 또한 감소한다.

[0003] 짧은 채널 길이를 갖는 매우 작은 평면 트랜지스터의 설계에 있어서, 매우 얇은 소스/드레인 접합을 제공하는 것이 필요하다. 얇은 접합은 채널 안으로 주입된 도펀트(dopant)들의 측면 확산(lateral diffusion)을 피할 필요가 있는데, 이것은 이러한 확산이 불이익하게도 누설 전류 및 취약한 브레이크다운(breakdown) 성능에 기여하기 때문이다. 약 1000Å 또는 그보다 작은 깊이를 갖는 얇은 소스/드레인 접합이, 짧은 채널 디바이스에서 허용될 수 있는 성능을 위해서 요구된다.

- [0004] 실리콘-온-인슐레이터(SOI) 기술은 고속의, 얇은-접합 디바이스의 형성을 가능하게 한다. 추가로, SOI 디바이스는 기생 접합 커패시턴스(parasitic junction capacitance)를 감소시킴으로서 성능을 향상시킨다.
- [0005] SOI 기판에서, 실리콘 옥사이드(silicon oxide)로 만들어진 매입된 옥사이드(Buried OXide, BOX) 막이 단일 결정 실리콘 상에 형성되고, 그리고 단일 결정 실리콘 박막이 그 위에 형성된다. 이러한 SOI 기판을 제조하는 다양한 방법이 알려져 있다. 이러한 한가지 방법은 SIMOX(Separation-by-Implanted OXygen)이고, 여기서 산소는 매입된 옥사이드(BOX) 막을 형성하기 위해 단일 결정 실리콘 기판 안으로 주입되는 이온이다.
- [0006] SOI 기판을 형성하는 또 다른 방법은 웨이퍼 본딩(wafer bonding)이고, 여기서 실리콘 옥사이드 표면 층을 갖는 두 개의 반도체 기판은 실리콘 옥사이드 표면에서 함께 본딩되어 상기 두 개의 반도체 기판 사이에 BOX 층을 형성한다.
- [0007] 또 다른 SOI 기술은 Smart Cut[®]
 이고, 이것은 또한 옥사이드 층들을 통해 반도체 기판들을 본딩하는 것을 포함한다. Smart Cut[®]
 방법에 있어서, 반도체 기판들 중 하나는 본딩 전에 수소 이온들로 주입된다. 이 수소 이온 주입은 이후에 수소 이온으로 주입된 기판이 본딩된 기판으로부터 분리(split)되도록 하여 그 표면 상에 얇은 실리콘 층이 남도록 한다.
- [0008] 반도체 디바이스 성능은 어떤 결정 평면 배향(crystal plane orientations)(이것은 정공 또는 전자 흐름을 용이하게 한다)을 갖는 실리콘 층들을 선택함으로써 더 강화될 수 있다. 예를 들어, P-타입 MOSFET(PMOSFET)들의 성능은, 만약 이들이 (110) 실리콘 기판 표면 상에서 제조되고, 정공들이 (110)/<110> 방향으로 흐르도록 게이트들이 배향된다면, 향상될 수 있다. (110)/<110> 방향으로 흐르는 정공들의 이동도(mobility)는 종래의 (100)/<110> 방향으로 흐르는 정공들의 이동도보다 2배 이상 높다. 불행하게도, (110) 표면 상에서, (110)/<110> 방향에 대해 직각 방향에서 이동(travel)하는 정공들은 (110)/<100> 방향으로 흐른다. (110)/<100> 방향에서의 정공 이동도는 단지 (110)/<110> 방향으로 흐르는 정공들의 이동도의 2/3이다. 추가로, (110) 평면에서의 전자 이동도는 종래 (100) 평면에서의 전자 이동도보다 훨씬 더 낮다.
- [0009] 본 명세서에서 사용되는 바와 같이, 용어 반도체 디바이스는 본 명세서에서 특별하게 개시되는 실시예들에 한정되는 것이 아니다. 본 명세서에서 사용되는 바와 같이, 반도체 디바이스는 플립 칩(flip chips), 플립 칩/패키지(package) 조립, 트랜지스터, 커패시터, 마이크로프로세서, 램(RAM), 등을 포함하는 여러가지 다양한 전자 디바이스들을 포함한다. 일반적으로, 반도체 디바이스는 반도체를 포함하는 어떤 전기적 디바이스를 말한다.

발명의 상세한 설명

- [0010] SOI 기술의 성능 개선과 최적의 실리콘 결정 배향을 결합한 디바이스에 대한 필요성이 반도체 디바이스 기술분야에서 존재한다. MOSFET를 포함하는 반도체 디바이스에 대한 필요성이 본 발명의 기술분야에서 또한 존재하고, 여기서 PMOSFET 및 NMOSFET는 정공 및 전자 이동도를 위해 최적의 실리콘 표면 상에 각각 제조된다. SOI 기술과 최적의 실리콘 결정 배향을 포함하는 반도체 디바이스를 형성하기 위한 방법에 대한 필요성이 본 발명의 기술분야에서 또한 존재한다. 추가로 MOSFET를 포함하는 반도체 디바이스를 형성하기 위한 방법에 대한 필요성이 존재하고, 여기서 PMOSFET와 NMOSFET는 정공 및 전자 이동도를 위해 최적의 실리콘 표면 상에 제조된다.
- [0011] 이와 같은 필요성 및 다른 필요성들은 본 발명의 실시예들에 의해 충족될 수 있고, 본 발명의 실시예들은 제 1 결정 배향을 갖는 기판을 포함하는 반도체 디바이스를 제공한다. 제 1 절연 층이 상기 기판 위에 놓이고, 그리고 복수의 실리콘 층들이 상기 제 1 절연 층 위에 놓인다. 제 1 실리콘 층은 제 2 결정 배향 및 결정 평면을 갖는 실리콘을 포함한다. 제 2 실리콘 층은 상기 제 1 실리콘 층의 상기 결정 평면에 실질적으로 직교하는 결정 평면 및 상기 제 2 결정 배향을 갖는 실리콘을 포함한다.
- [0012] 이와 같은 필요성 및 다른 필요성들은 또한 본 발명의 실시예들에 의해 충족될 수 있고, 본 발명의 실시예들은 제 1 결정 배향을 갖는 제 1 실리콘 기판과, 상기 제 1 실리콘 기판 상에는 제 1 절연 층이 형성되고, 그리고 상기 제 1 절연 층 위에 놓이며 제 2 결정 배향 및 결정 평면을 갖는 제 1 실리콘 층을 포함하는 실리콘-온-인슐레이터 구조를 제공하는 단계를 포함하는 반도체 디바이스를 형성하는 방법을 제공한다. 상기 제 2 결정 배향 및 결정 평면을 갖는 제 2 실리콘 기판이 제공되고, 그리고 제 2 절연층이 상기 제 2 기판 상에 형성된다. 상기 제 2 실리콘 기판은 상기 제 2 실리콘 기판 안으로 수소 이온들을 주입함으로써 생성되는 결함(defect)들의 라인을 포함한다. 상기 제 2 실리콘 기판은 상기 제 2 절연 층 및 상기 제 1 실리콘 층을 통해 상기 실리콘-온-인

슬레이터 구조에 본딩 되고, 그래서 상기 제 2 실리콘 기관의 결정 평면은 상기 제 1 실리콘 층의 결정 평면에 실질적으로 직교하도록 배향된다. 상기 제 2 실리콘 기관은 상기 결합들의 라인을 따라 분리되고 제거되어, 상기 실리콘-온-인슬레이터 구조 상에 상기 제 2 절연 층 및 제 2 실리콘 층을 남긴다.

[0013] 본 발명은 개선된 전기적 특성을 갖는 개선된 고속 반도체 디바이스를 위해 필요한 것들을 처리한다.

[0014] 본 발명에 관해 앞서 제시된 것 및 다른 특징들, 양상들, 및 장점들은 첨부되는 도면을 함께 참조하는 경우 본 발명의 다음의 상세한 설명에서 명백해진다.

실시예

[0018] 본 발명은 SOI 기술로 개선된 고속 반도체 디바이스 생산을 가능하게 하고, 공통 기관 상에, 다른 결정 배향들을 갖는 실리콘 층들 상에 형성된 MOSFET 생산을 가능하게 한다. 본 발명은 또한 (110)/<110> 결정 배향을 갖는 실리콘 층들 위에 형성된 PMOSFET에 의해 제공되는 더 높은 정공 이동도를 제공하고, SOI 기술로 감소된 기생 접합 커패시턴스를 얻을 수 있다.

[0019] (110) 평면 상의 디바이스 제조로부터 전체 성능 이득을 최적화하기 위해, PMOSFET 게이트들 모두는 정공들이 (110)/<110> 방향으로 흐를 수 있도록 배향되어야 한다. 종래 회로 설계에서, MOSFET 게이트 전극들은 많은 게이트들이 다른 게이트에 대해 직각이 되도록 제조되었다.

[0020] 본 발명의 어떤 실시예들에 따르면, 다수의 스택화된 하이브리드 배향 층들이 복수의 실리콘 층들을 제공하고, 이 실리콘 층들은 공통 SOI 구조 상에 형성되는 실질적으로 서로 직교하도록 배향되는 (110) 평면들을 갖는다. 따라서, 실질적으로 서로 직교하는 게이트들을 갖는 복수의 PMOSFET가 제조될 수 있다. 실리콘 층 결정 배향을 적당하게 선택함으로써, 모든 PMOSFET 내의 정공들은 높은 이동도 (110)/<110> 방향으로 흐를 수 있다.

[0021] 본 발명은 첨부되는 도면에서 설명되는 반도체 디바이스의 형성과 관련하여 설명된다. 그러나, 이것은 단지 예시적인 것이고, 청구되는 본 발명은 도면에서 예시되는 특정 디바이스의 형성에 한정되지 않는다.

[0022] Smart Cut[®]

기술을 사용하여 SOI 기관 상에 반도체 디바이스를 형성하는 방법이 설명된다. 그러나, SOI 구조를 형성하는 SIMOX와 같은 대안적인 기술들이 본 발명의 대안적 실시예들에 따라 사용될 수 있다. 도 1에 도시된 바와 같이, 실리콘 웨이퍼(12)와 같은 단결정 실리콘 기관(12)을 제공함으로써 상부 섹션(17)이 형성된다. 실리콘 웨이퍼(12)는 결정 배향 및 결정 평면을 갖는 실리콘을 포함한다. 본 발명의 어떤 실시예에 있어서, 실리콘 웨이퍼(12)는 <110> 결정 배향과 (100) 평면을 가진다. 절연 층(14)은 실리콘 웨이퍼(12) 위에 형성된다. 본 발명의 어떤 실시예에 있어서, 절연 층(14)은 실리콘 옥사이드 층이다. 본 발명의 어떤 실시예에 따르면, 실리콘 옥사이드 층(14)은 실리콘 웨이퍼(12)의 열 산화(thermal oxidation)와 같은 종래 방법에 의해 형성될 수 있다. 도 2에 도시된 바와 같이, 수소 이온들(15)이 소정의 깊이(16)까지 실리콘 웨이퍼(12) 안에 주입되어 상부 섹션(17)을 형성한다. 주입된 수소 이온들은 주입된 웨이퍼 내에서 미세구멍(microcavities), 미세기포(microblisters 또는 microbubbles)를 생성한다. 미세구멍들의 밀도 및 크기가 구멍 간격(cavity distance)을 어떤 임계치 아래로 감소시키는 경우, 구멍간 파손(intercavity fractures)이 발생하고 침투형 프로세스(percolation type process)를 통해 퍼진다. 이것은 결국 아래에서 설명되는 바와 같이 웨이퍼(12)를 분리시킨다.

[0023] 실리콘 웨이퍼(18)와 같은 실리콘 기관(18)을 포함하는 하부 섹션(23)이 제공되어 상부 섹션(17)에 본딩된다. 하부 섹션 실리콘 웨이퍼(18)는 상부 섹션 실리콘 웨이퍼(12)의 결정 배향과 다른 결정 배향을 갖는다. 본 발명의 어떤 실시예에 있어서, 하부 섹션 실리콘 웨이퍼(18)는 <100> 결정 배향을 갖는다.

[0024] 도 3에 도시된 바와 같이, 상부 섹션(17)과 하부 섹션(23)은 하부 섹션(23)의 표면 층(21) 및 절연 층 표면(13)을 통해 서로 본딩된다. 어떤 실시예에서, 상부 섹션(17) 및 하부 섹션(23)의 본딩 표면(13, 21)은 예를 들어 2 Å μm^2 RMS의 낮은 표면 거칠기(surface roughness)로 연마된다. 하부 섹션(23)과 상부 섹션(17)은 서로 압축되고, 그리고 비활성 분위기(inert atmosphere)에서, 약 900 °C 내지 약 1200 °C 범위 내의 온도로, 약 5 분 내지 5 시간 동안 가열되어, 하부 섹션(23) 및 상부 섹션(17)을 융합(fuse)시킨다.

[0025] 본 발명의 어떤 실시예에서, H₂O₂ 또는 HNO₃ 및 H₂O₂의 수용액 한 방울과 같은 산화제가 상부 섹션(17)과 하부 섹션(19) 사이의 계면(interface)에 제공된다. 산화제는 본딩 프로세스를 개선하는데, 이러한 개선은 상대적으로

더 낮은 온도 본딩을 허용함으로써, 그리고 열 팽창 계수를 기판 웨이퍼의 열 팽창 계수에 가깝게 매칭(matching)시키는 본딩 층을 만드는 본딩 용액 내에 도펀트들을 제공하여 더 좋은 응력 보상(stress compensation)을 제공함으로써, 그리고 유동성 오염물(mobile contaminants)의 확산에 대한 장벽인 본딩 층을 제공하는 본딩 용액 내에 도펀트들을 사용하여 오염물 이동을 제한함으로써 이루어진다.

[0026] 결합된 상부 섹션(17)과 하부 섹션(23)은 이후 약 1100 °C에서 약 2 시간 동안 어닐링(annealing)된다. 이 어닐링 단계는 수소로 도핑된 상부 섹션(17) 내의 미세구멍들이 전과되도록 하여 웨이퍼(12)가 결합들의 라인(16)을 따라 분리되게 한다. 그 다음으로 상부 섹션 기판(12)의 벌크(bulk) 실리콘 부분이 제거되고 부착된 실리콘 층(19)이 남는다. 따라서, 도 4에 도시된 바와 같이 SOI 구조(27)가 얻어진다. 본 발명의 어떤 실시예에 있어서, SOI 구조(27)가 형성된 후에, 분리 실리콘 층(19)은 미세거칠음(microroughness)을 나타내기 때문에 이 구조(27)는 연마된다.

[0027] 추가적인 SOI 실리콘 층(25)이 SOI 구조(27) 상에 형성되어 다수의 스택화된 하이브리드 배향 층들을 포함하는 반도체 디바이스를 형성한다. 이것은 앞서 설명된 바와 같은 Smart Cut[®]

프로세스를 반복함으로써 달성될 수 있다. 도 4에 도시된 바와 같이, SOI 구조(27)는 추가적인 SOI 실리콘 층(25)의 형성을 위해 하부 섹션(29)이 된다. 도 5에 도시된 바와 같이, 실리콘 옥사이드 층(24)과 같은 절연 층(24)과 실리콘 기판(20)을 포함하는 상부 섹션(31)이 하부 섹션(29)에 본딩된다. 앞서 설명된 바와 같이, 결합 라인(22)은 실리콘 기판(20) 안으로 수소 이온들을 주입함으로써 형성된다. 상부 섹션(31)의 실리콘 기판(20)은 실리콘 층(19)과 동일한 결정 배향을 갖는 실리콘을 포함한다. 그러나, 상부 섹션(31)은 하부 섹션(29) 상에 위치되고, 그래서 실리콘 기판(20)의 실리콘 평면은 실리콘 층(19)의 실리콘 평면에 실질적으로 직교하도록 배향된다. 본 발명의 어떤 실시예에 있어서, 하부 섹션(29)의 실리콘 층(19) 및 상부 섹션(31)의 실리콘 기판(20) 모두 <110> 결정 배향을 갖는 단결정 실리콘을 포함한다. 본 발명의 다른 어떤 실시예에 있어서, 다른 결정 배향들을 가지는 실리콘이 사용될 수 있다.

[0028] 상부 섹션(31)과 하부 섹션(19)은 이후 본딩 되고, 상부 웨이퍼(20)는 결합들의 라인(22)을 따라 분리되고 제거되며, 앞서 설명된 바와 같이, 그리고 도 6에 도시된 바와 같이, 최종적으로 제 1 결정 배향을 가지는 기판(18)과, 상기 기판(18) 위에 놓이는 제 1 절연 층(14)과, 제 2 결정 배향 및 결정 평면을 가지는 실리콘을 포함하는 제 1 실리콘 층(19)과, 제 2 절연 층(24)과, 그리고 상기 제 1 실리콘 층(19)의 상기 결정 평면에 실질적으로 직교하는 결정 평면 및 상기 제 2 결정 배향을 가지는 실리콘을 포함하는 제 2 실리콘 층(25)을 포함하는 SOI 구조가 된다. 본 발명의 어떤 실시예에 있어서, 상기 제 1 실리콘 층(19)과 상기 제 2 실리콘 층(25)은 약 30 nm 내지 약 100 nm의 두께로 형성된다.

[0029] 도 7에 도시된 바와 같이, 실리콘 옥사이드 층(26)이 상기 제 2 실리콘 층(25) 위에 형성된다. 이 실리콘 옥사이드 층(26)은 예를 들어, 화학적 기상 증착(Chemical Vapor Deposition, CVD)에 의해 증착될 수 있고, 또는 상기 실리콘 층(25)의 상부 표면이 열적으로 산화될 수 있다. 실리콘 나이트리드 막(28)이 이후 상기 실리콘 옥사이드 층(26) 위에 증착된다. 본 발명의 어떤 실시예에 있어서, 상기 실리콘 옥사이드 층(26)의 두께는 약 5 nm 내지 약 100 nm의 범위에 있다. 본 발명의 어떤 실시예에 있어서, 실리콘 옥사이드 층(26)의 두께는 약 20 nm이다. 실리콘 나이트리드 층(28)은 약 50 nm 내지 약 300 nm의 두께를 가진다. 본 발명의 어떤 실시예에 있어서, 실리콘 나이트리드 층(28)의 두께는 약 100 nm이다.

[0030] 도 8에 도시된 바와 같이, 개구들(30, 32)이 이후 SOI 구조(27) 내에 형성된다. 본 발명의 어떤 실시예에 있어서, 개구들(30, 32)은 종래 포토리소그래픽 및 에칭 기술에 의해 형성되어 기판(18)의 상부 표면(34)과 제 1 실리콘 층(19)의 상부 표면(36)을 노출시킨다. 종래 포토리소그래픽 및 에칭 기술은 SOI 구조(27) 위에 레지스트(resist) 층을 형성하는 것, 상기 레지스트 층을 마스크하고 패터닝하는 것, 그리고 SOI 구조(27)를 이방성 에칭(anisotropic etching)하여 실리콘 나이트리드 층(28), 실리콘 옥사이드 층(26), 제 2 실리콘 층(25), 및 제 2 절연 층(24)의 부분들을 제거하고 상기 제 1 실리콘 층(19)의 상부 표면(36)을 노출시키는 것을 포함한다. 에칭이 계속되어 제 1 실리콘 층(19) 및 제 1 절연 층(14)의 부분들을 제거하고 개구(30) 내에서 기판(12)의 상부 표면(34)을 노출시킨다. 포토레지스터가 이후 벗겨져서 도 8에 도시된 바와 같이 SOI 구조(27)를 제공한다. 종래 이방성 에칭 기술은 플라즈마 에칭(plasma etching)과 반응성 이온 에칭(reactive ion etching)을 포함한다. 이방성 에칭은, 대안적으로 다양한 다른 층들을 최적으로 에칭하는 다른 알려진 플라즈마를 사용하여 일련의 플라즈마 에칭 단계에서 수행될 수 있다. 다른 깊이의 두 개의 개구(30, 32)가 형성되기 때문에, 개별 포토리소그래픽 및 에칭 단계가 각 개구(30, 32)를 형성하기 위해 사용될 수 있다. 대안적으로, 양쪽 개구들은 그라디언트(gradient) 포토리소그래픽 기술을 사용하여 동시에 형성될 수 있다.

- [0031] 제 2 실리콘 나이트리드 층(38)이 이후 도 9에 도시된 바와 같이 SOI 구조(27) 위에 증착된다. 본 발명의 어떤 실시예에 있어서, 실리콘 나이트리드 층(38)은 CVD와 같은 종래 증착 기술에 의해 약 10 nm 내지 약 100 nm의 두께로 증착된다. 실리콘 나이트리드 층(38)은 이후 이방성으로 에칭되어 도 10에 도시된 바와 같이 개구(30, 32) 내에 자기-정렬 측벽 스페이서(self-aligned sidewall spacers)(38)를 형성한다. 본 발명의 어떤 실시예에 있어서, 자기-정렬 스페이서(38)는 다른 절연 물질들을 포함할 수 있다. 예를 들어, 자기-정렬 옥사이드 스페이서(38)가 증착된 실리콘 옥사이드 층을 이방성으로 에칭함으로써 형성될 수 있다.
- [0032] 선택적 에피택셜(epitaxial) 실리콘 층(40, 42)이 실리콘 기판(18) 및 제 1 실리콘 층(19) 상에서 성장되고, 그래서 에피택셜 실리콘 층(40, 42)은 도 11에 도시된 바와 같이 각 개구(30, 32)의 상부 위로 확장한다. 에피택셜 실리콘 층(40, 42)은 각각 그 아래에 놓인 베이스(base) 실리콘 층(18, 19)과 동일한 결정 배향을 갖는다. 따라서, 에피택셜 실리콘 층(40)은 실리콘 기판(18)과 동일한 결정 배향을 가지고, 에피택셜 실리콘 층(42)은 제 1 실리콘 층(19)과 동일한 결정 배향을 가진다.
- [0033] 선택적 에피택셜 실리콘 성장 이후, 종래 화학적-기계적 연마(Chemical-Mechanical Polishing, CMP) 기술은, 도 12에 도시된 바와 같이 에피택셜 실리콘 층(40, 42)이 제 2 실리콘 나이트리드 층(28)의 상부 표면(43)과 실질적으로 같은 평면에 있도록, 에피택셜 실리콘 층(40, 42)을 연마하는 데 사용된다.
- [0034] 세 개의 격리된 영역, 제 1 영역(52), 제 2 영역(54), 및 제 3 영역(56)이 SOI 구조(27) 내에 형성되고, 종래 STI(Shallow Trench Isolation) 기술을 사용하여 서로 격리된다. 도 13에 도시된 바와 같이, 트렌치(trenches)(44)가 SOI 구조(27) 내에 형성되고 제 1 절연 층(14)의 표면(46)을 노출시킨다. 트렌치(44)는 종래 포토리소그래픽 및 에칭 기술에 의해 형성되고, 이 기술은 도 13에 도시된 바와 같이, 트렌치(44)를 형성하기 위해 SOI 구조(27) 상에 포토레지스트를 증착하는 것, 상기 포토레지스트를 선택적으로 노출하고 패터닝 하는 것, 이방성 에칭, 및 남아있는 포토레지스트 제거를 포함한다. 트렌치(44)는 나이트리드 측벽(38) 주위로 위치 되고, 그래서 이방성 에칭이 수행됨에 따라 나이트리드 측벽(38)은 상기 구조(27)로부터 제거된다.
- [0035] 트렌치(44)는 이후 도 14에 도시된 바와 같은 종래의 CVD 프로세스에 의해 적당한 절연 물질(48)로 채워진다. 적당한 절연 물질(48)은 실리콘 나이트리드 및 실리콘 옥사이드를 포함한다. 본 발명의 어떤 실시예에 있어서, 트렌치(44)는 실리콘 옥사이드(48)로 채워져 제 1 영역(52), 제 2 영역(54), 제 3 영역(56)을 격리시킨다. 트렌치 영역(44)을 실리콘 옥사이드로 채우는 몇가지 종래의 방법들 중 일부는 다음을 포함한다.
- [0036] (a) 테트라에틸오르쏘실리카이트 저압 화학적 기상 증착 (TetraEthylOrtho- Silicate Low Pressure Chemical Vapor Deposition, TEOS LPCVD).
- [0037] (b) 비-표면(non-surface) 감광(sensitive) TEOS 오존 대기압 화학적 기상 증착(Atmospheric Pressure Chemical Vapor Deposition, APCVD) 또는 부압 화학적 기상 증착(Sub-Atmospheric pressure Chemical Vapor Deposition, SACVD).
- [0038] (c) 실란(silane) 산화 고밀도 플라즈마 CVD.
- [0039] 트렌치(44)를 실리콘 옥사이드(48)로 채우기 전에, 열 산화물 라이너(thermal oxide liners)(미도시)는, 예를 들어 약 950℃ 내지 약 1100℃의 온도에서 상기 구조(27)를 산소 분위기(ambient)에 노출시킴으로써, 트렌치(44)의 벽(49)을 따라 일반적으로 성장된다. 상기 구조(27)는 이후 CMP에 의해 평탄화되어 트렌치(44) 위로 확장한 실리콘 옥사이드(48)를 제거한다. 평탄화 이후, 실리콘 나이트리드 층(28)과 실리콘 옥사이드 층(26)이 도 15에 도시된 바와 같이 이후 제거되고, 제 2 실리콘 층(25)의 상부 표면(50)을 노출시킨다. 실리콘 나이트리드 층(28)과 실리콘 옥사이드 층(26)은 일반적으로 습식 에칭에 의해 제거된다. 고온 인산(hot phosphoric acid)이 실리콘 나이트리드를 에칭하는데 사용되고, 또는 플루오르화수소산(hydrofluoric acid) 또는 플루오르화수소 및 암모늄 플루오라이드(ammonium fluoride)의 혼합물(버퍼링된 옥사이드 에칭)이 실리콘 옥사이드를 제거하는데 사용된다. 최종적인 구조(27)에 있어서, 제 2 영역(54) 내의 제 1 실리콘 층(42)은 제 3 영역(56) 내의 제 2 실리콘 층(25) 및 제 1 영역(52) 내의 제 3 실리콘 층(40)과 격리된다. 제 1 영역(52) 내의 제 3 실리콘 층(40)은 또한 제 3 영역(56) 내의 제 2 실리콘 층(25)과 격리된다.
- [0040] 도 16에 도시된 바와 같이, NMOSFET(58)는 SOI 구조(27)의 제 1 영역(52) 내에 형성되고, PMOSFET(60)는 SOI 구조(27)의 제 2 영역(54) 내에 형성되고, PMOSFET(62)는 SOI 구조(27)의 제 3 영역(56) 내에 형성된다. 제 3 영역(56) 내의 제 2 실리콘 층(25)에 형성된 PMOSFET(62)는 제 2 영역(54) 내의 제 1 실리콘 층(42)에 형성된 PMOSFET(60)에 실질적으로 직교하도록 배향된다.

- [0041] 게이트 옥사이드 층(64) 및 게이트 전극 층(66)이 상기 구조(27) 위에 형성된다. 본 발명의 어떤 실시예에 있어서, 게이트 전극 층(66)은 폴리실리콘을 포함하고, 그리고 약 100 nm 내지 약 300 nm의 두께로 형성된다. 게이트 옥사이드 층(64)은 일반적으로 약 10 Å 내지 약 100 Å의 두께로 형성된다. 게이트 옥사이드 층(64) 및 게이트 전극 층(66)은 종래 포토리소그래픽 및 에칭 기술에 의해 패터닝된다.
- [0042] 소스 및 드레인 확장부(70)는 종래 이온 주입 기술에 의해 형성된다. 소스 및 드레인 확장부(70) 안으로 주입된 도펀트 타입은 디바이스가 NMOSFET인지 또는 PMOSFET인지 여부에 따라 다르다. 예를 들어, 만약 트랜지스터가 NMOSFET라면, N-타입 도펀트가 소스 및 드레인 확장부(70) 안으로 주입된다. 본 발명의 어떤 실시예에 있어서, 비소와 같은 N-타입 도펀트가, 약 1×10^{14} ions/cm² 내지 약 2×10^{15} ions/cm²의 주입 도우즈(dose) 및 약 1 keV 내지 약 5 keV 주입 에너지로, 소스 및 드레인 확장부(70) 안으로 주입된다. 만약 트랜지스터가 PMOSFET라면, P-타입 도펀트가 소스 및 드레인 확장부(70) 안으로 주입된다. 본 발명의 어떤 실시예에 있어서, 이플루오르화 붕소(Boron DiFluoride, BF₂)와 같은 P-타입 도펀트가, 약 1×10^{14} ions/cm² 내지 약 2×10^{15} ions/cm²의 주입 도우즈 및 약 0.5 keV 내지 약 5 keV 주입 에너지로, 소스/드레인 확장부(70) 안으로 주입된다.
- [0043] 할로 주입부(Halo implants)(72)가 MOSFET(58, 60, 62)의 소스 및 드레인 영역(68)에 인접하여 채널 영역(74) 내에 선택적으로 형성된다. 할로 주입부(72)는 소스 및 드레인 영역(68)의 전도성 타입과 반대되는 전도성 타입의 도펀트로 형성된다. 할로 주입부(72)는 본 발명의 어떤 실시예에 있어서는 경사 주입(angled implant)에 의해 형성될 수 있다. 할로 주입부(72)는, 본 발명의 어떤 실시예에 있어서는, 약 8×10^{12} ions/cm² 내지 약 2×10^{14} ions/cm²의 도우즈 및 약 7 keV 내지 약 50 keV 주입 에너지로, 주입될 수 있다. 할로 주입부(72)는 채널 영역(74) 내의 소스 및 드레인 영역의 합병(merger)을 막아준다. 추가로, MOSFET(58, 60, 62)의 임계 전압은 할로 도우즈를 조절함으로써 수정될 수 있다.
- [0044] 소스 및 드레인 영역(68)의 고농도로(heavily) 도핑된 영역(78)이 이후 형성된다. 도 17에 도시된 바와 같이, 게이트 전극(66)을 둘러싼 측벽 스페이서(76)는, 측벽 스페이서(76)를 형성하기 위한 종래의 방법 예를 들어, 실리콘 나이트리드 또는 실리콘 옥사이드와 같은 절연 물질 층의 증착, 그 다음으로 이방성 에칭에 의해 형성된다. 본 발명의 어떤 실시예에 있어서, 만약 트랜지스터가 NMOSFET라면, 약 1×10^{15} ions/cm² 내지 약 4×10^{15} ions/cm²의 주입 도우즈 및 약 20 keV 내지 약 50 keV 주입 에너지에서, 고농도로 도핑된 영역(78) 안으로 비소가 주입된다. 본 발명의 어떤 실시예에 있어서, 만약 트랜지스터가 PMOSFET라면, 약 1×10^{15} ions/cm² 내지 약 4×10^{15} ions/cm²의 주입 도우즈 및 약 2 keV 내지 약 10 keV 주입 에너지에서, 고농도로 도핑된 영역(78) 안으로 붕소가 주입된다.
- [0045] PMOSFET 성능은 <110> 결정 배향을 갖는 실리콘 상에 PMOSFET를 제조함으로써 크게 강화될 수 있기 때문에, <110> 결정 배향 실리콘을 포함하는 실리콘 층은 소스 및 드레인 영역(68) 내에 P-타입 도펀트로 도핑된다. <100> 결정 배향 실리콘을 포함하는 실리콘 층은 소스 및 드레인 영역(68) 내에서 N-타입 도펀트로 도핑되어 NMOSFET를 형성한다.
- [0046] 금속 층이 이후 SOI 구조(27) 위에 증착된다. SOI 구조(27)는 가열되고, 이로 인해, 상기 금속 층이 (게이트 전극(66) 그리고 소스 및 드레인 영역(68) 내에 있는) 하부 실리콘과 반응하게 되어, 도 18에 도시된 바와 같이 소스 및 드레인 영역(68) 내에 그리고 게이트 전극(66) 상에 금속 실리사이드 콘택(silicide contacts)(80)이 형성된다.
- [0047] 본 발명의 어떤 실시예에 있어서, 제 1 영역(86) 내에 제 3 실리콘 층(40)과, 제 2 영역(88) 내에 제 1 실리콘 층(42)과, 그리고 제 3 영역(90) 내에 제 2 실리콘 층(25)이 도 19에 도시된 바와 같이 각각의 SOI 실리콘 층들이 되도록, 절연 BOX 층(84)을 갖는 SOI 구조(91)가 형성된다. BOX 층(84)은 SIMOX 프로세스에 의해 형성된다. SIMOX 프로세스에 있어서, 산소 이온들(82)은 SOI 구조(91) 안으로 주입된다. 본 발명의 어떤 실시예에 있어서, 약 1.0×10^{17} ions/cm² 내지 약 1.0×10^{18} ions/cm² 범위의 도우즈 및 약 70 keV 내지 약 200 keV 범위의 에너지로, 산소 이온들(82)이 SOI 구조(91) 안으로 주입된다. 이온 주입 이후에, SOI 구조(91)는 약 1250 °C 내지 1400 °C 범위의 온도에서 약 4 시간 내지 약 6 시간 동안 어닐링된다. 도 20에 도시된 바와 같이, 복수의 MOSFET(92, 94, 96)는 이후 제 1 영역(86)과, 제 2 영역(88)과, 그리고 제 3 영역(90) 내에 형성된다.
- [0048] 본 발명의 대안적 실시예에 있어서, BOX 층(84)은 제 3 영역(90) 아래로 확장하지 않는다. 하드 옥사이드 마스크가 종래의 증착 기술, 포토리소그래픽 기술 및 에칭 기술을 사용하여 제 2 영역(90) 위에 형성될 수 있어, 제

1 영역(86) 및 제 2 영역(88) 내의 산소 이온(82) 주입 동안, 손상(damage)으로부터 제 3 영역(90)을 보호할 수 있다.

[0049] 본 발명의 실시예들은 SOI 기술의 성능 개선과 최적의 실리콘 결정 배향을 결합시킨 개선된 반도체 디바이스를 제공한다. 본 발명의 실시예들에 따라 제조된 반도체 디바이스들은 증가된 높은 전자 이동도를 유지하면서 정공 이동도가 증가되는 특징이 있다. 추가로, 본 발명의 실시예에 따른 반도체 디바이스들은, 디바이스의 공통 평면 상에서 서로 실질적으로 직교하도록 배향되는 복수의 PMOSFET들 내에서 높은 정공 이동도가 유지되도록 구성된다.

[0050] 본 개시에서 설명된 실시예들은 단지 예시적 목적을 위한 것이다. 이러한 실시예들이 본 발명의 특허청구범위를 한정하는 것으로 해석되어서는 안 된다. 본 발명의 기술분야에서 숙련된 기술을 가지는 자에게 명백한 바와 같이, 본 개시는 본 명세서에서 특별히 설명되지 않은 다양한 여러 실시예들을 포함한다.

도면의 간단한 설명

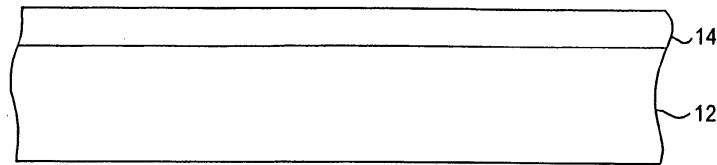
[0015] 도 1 내지 도 18은 공통 기판 상에, 다른 결정 배향의 실리콘 층들 상에 형성된 MOSFET를 갖는 SOI 반도체 디바이스를 형성하는 것을 도시한다.

[0016] 도 19는 SOI 구조 안으로 산소 이온을 주입함으로써, 매입된 옥사이드 층을 형성하는 것을 도시한다.

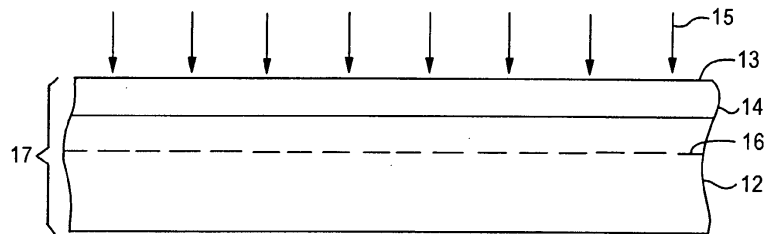
[0017] 도 20은 동일한 기판 상에, 다른 결정 배향의 실리콘 층들 상에 형성된 MOSFET를 갖는 SOI 반도체 디바이스의 대안적인 실시예를 도시한다.

도면

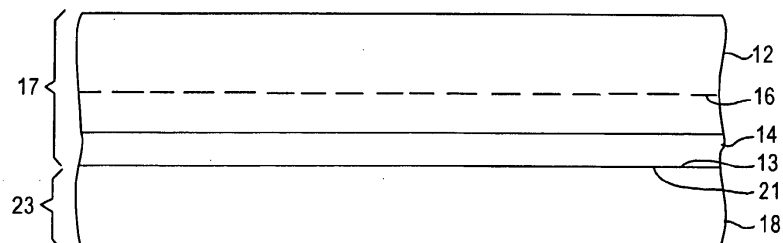
도면1



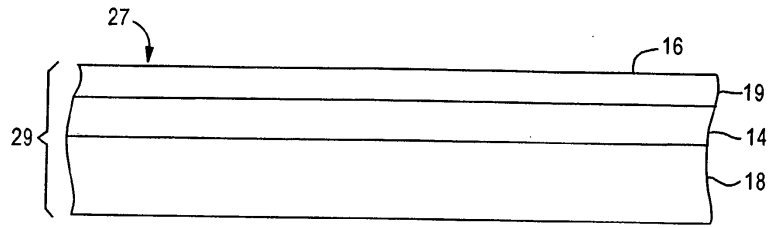
도면2



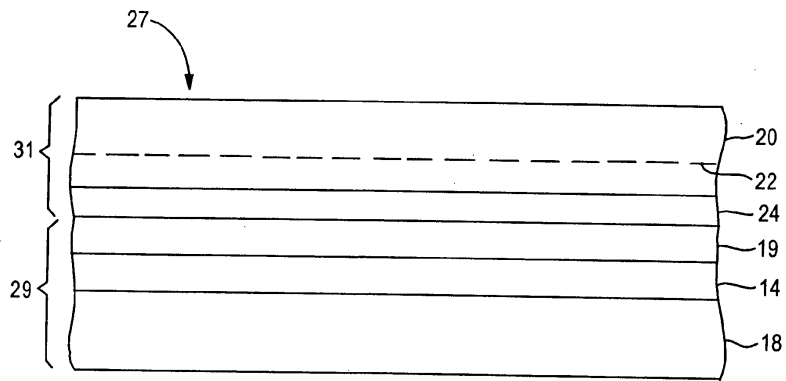
도면3



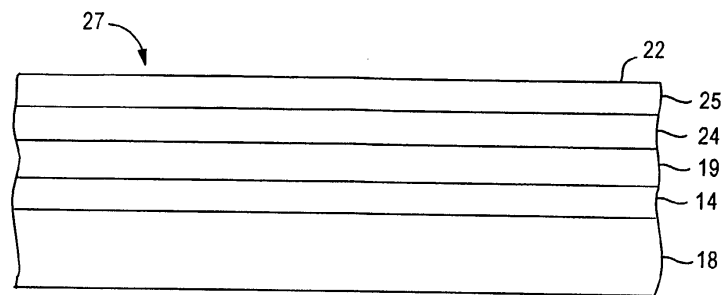
도면4



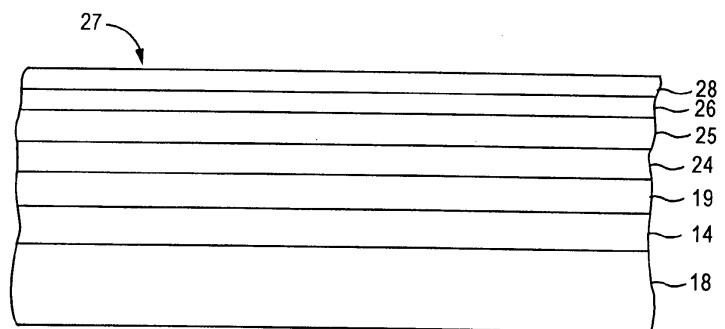
도면5



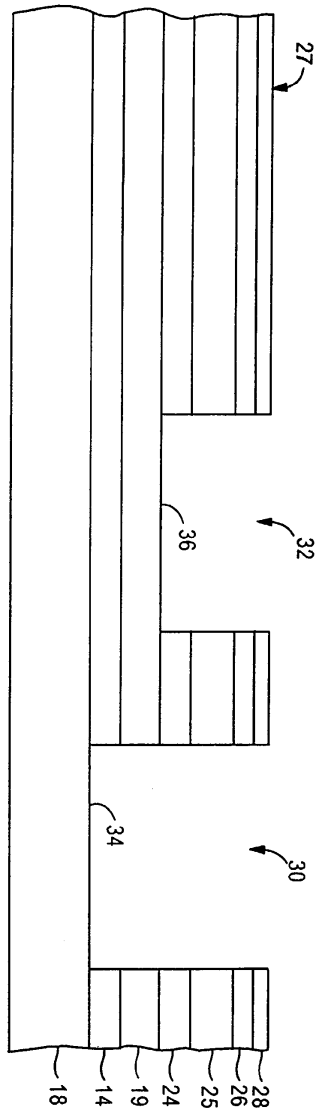
도면6



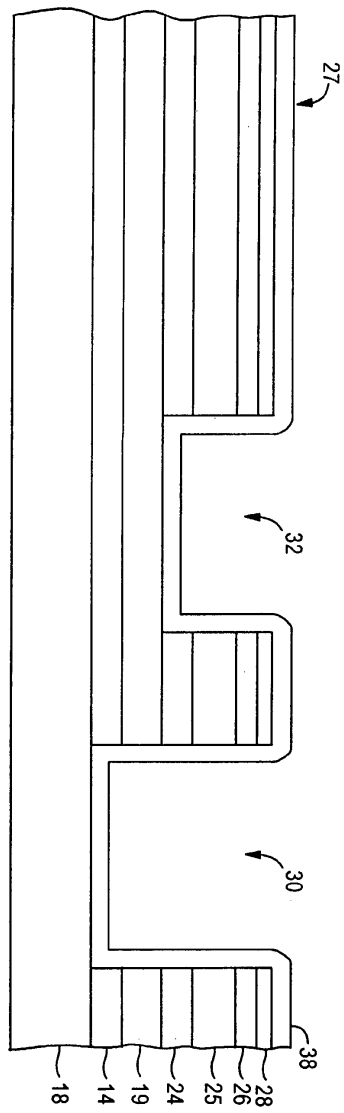
도면7



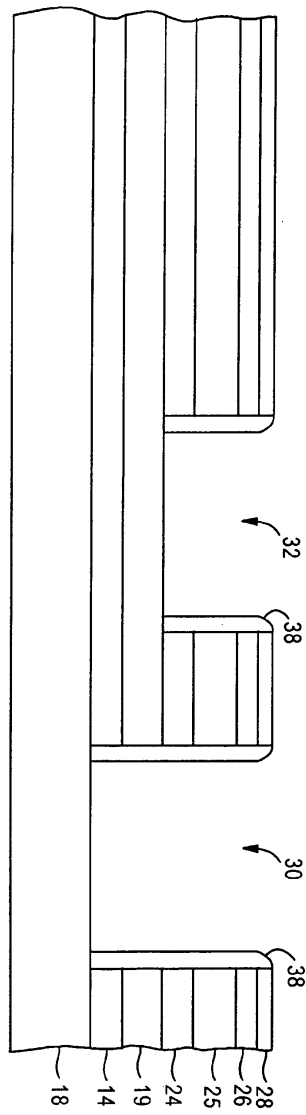
도면8



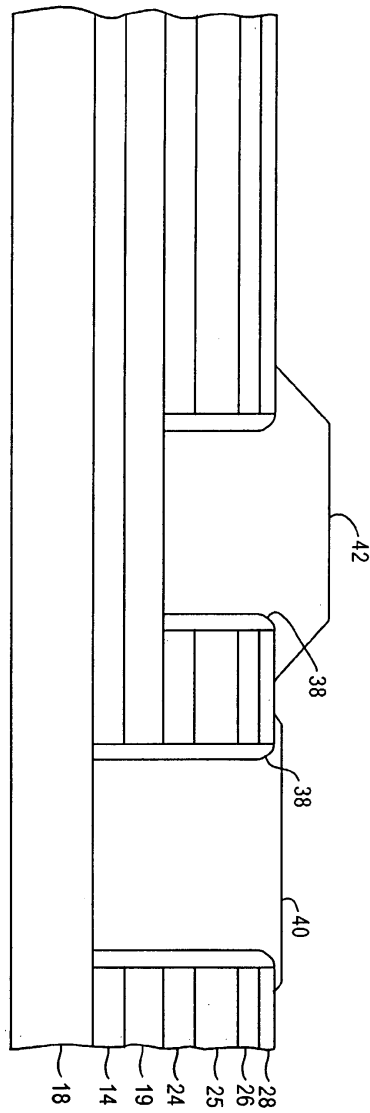
도면9



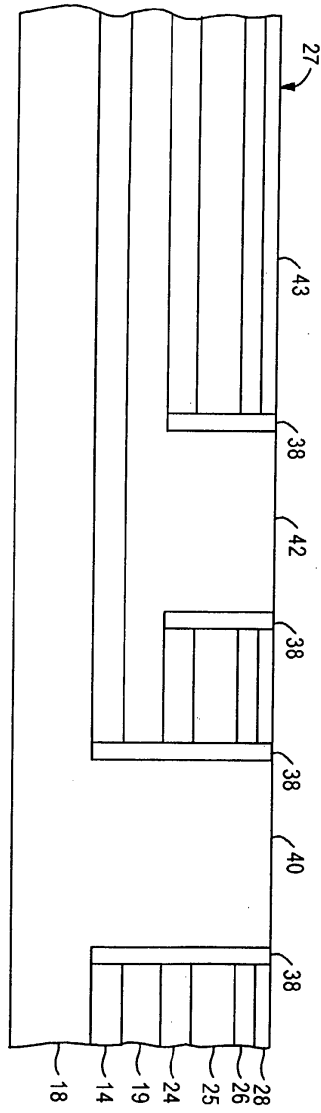
도면10



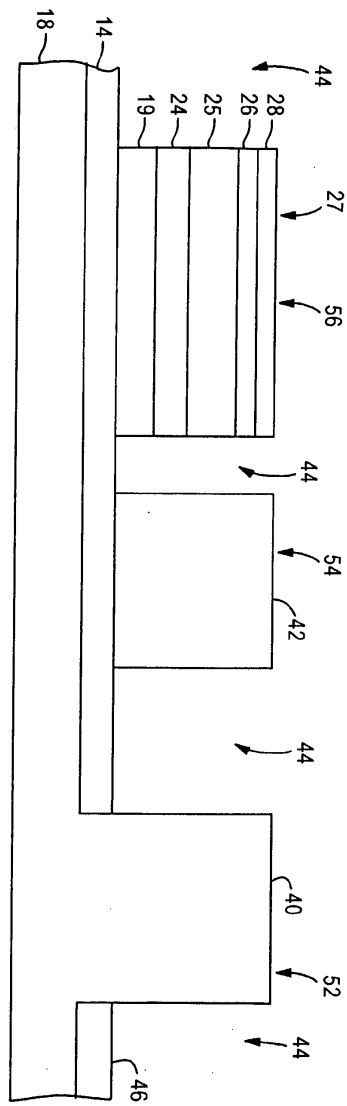
도면11



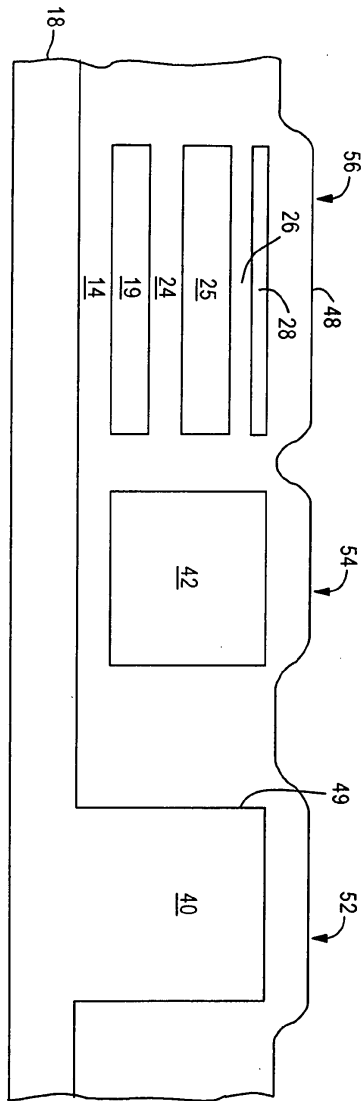
도면12



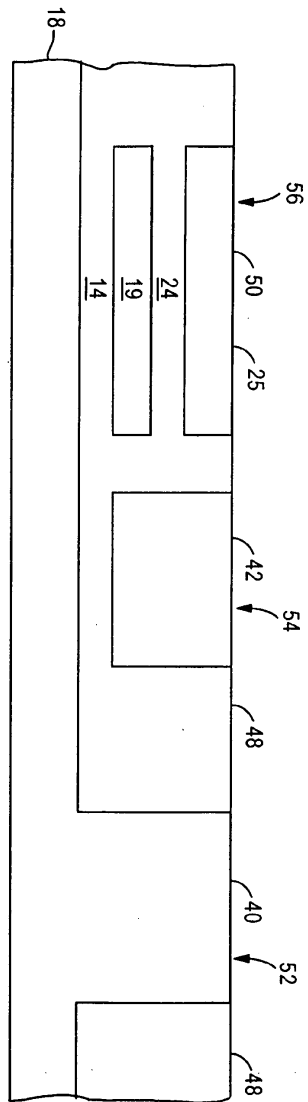
도면13



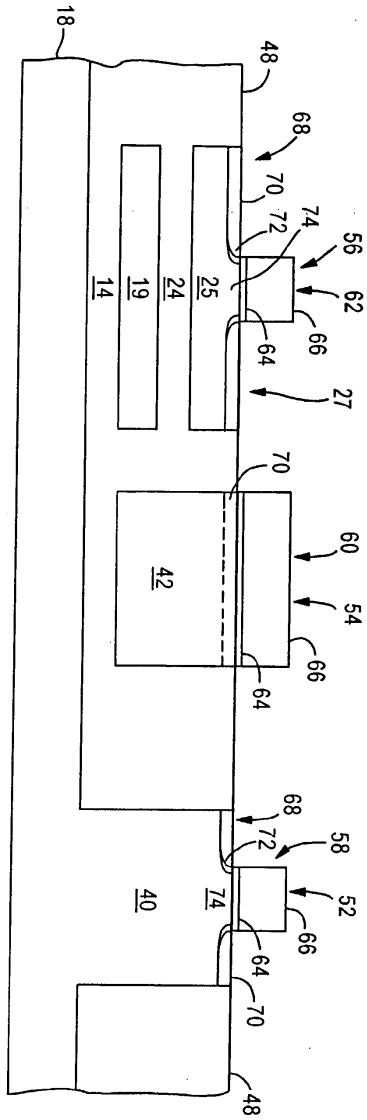
도면14



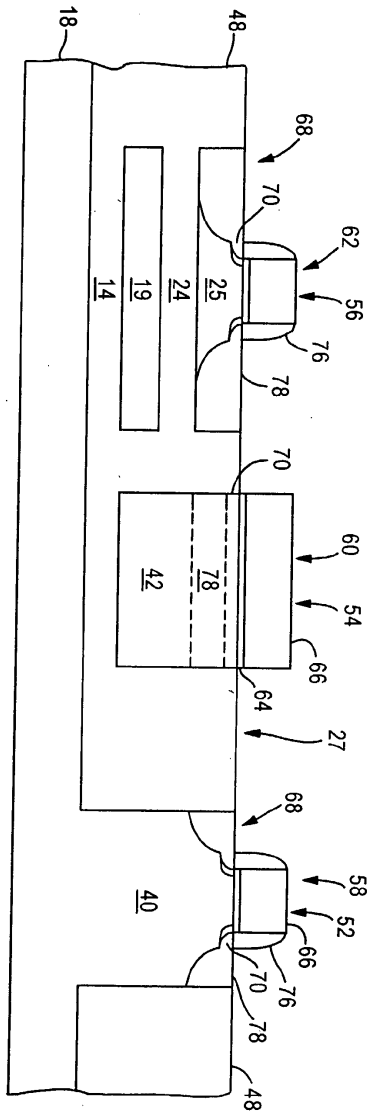
도면15



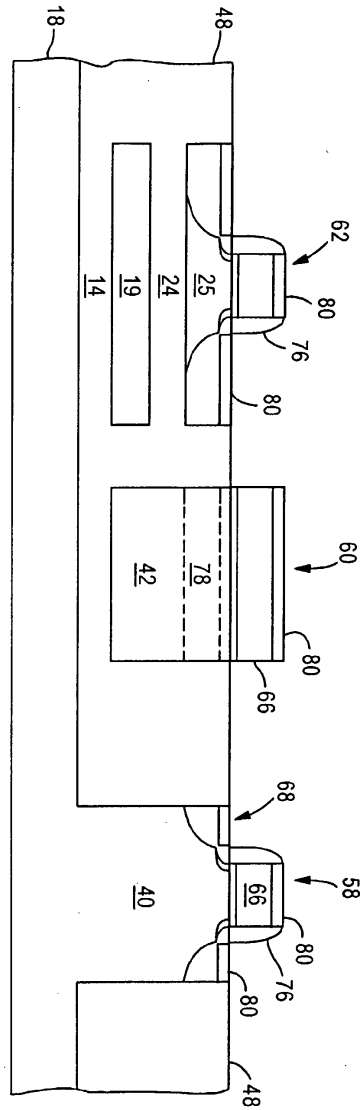
도면16



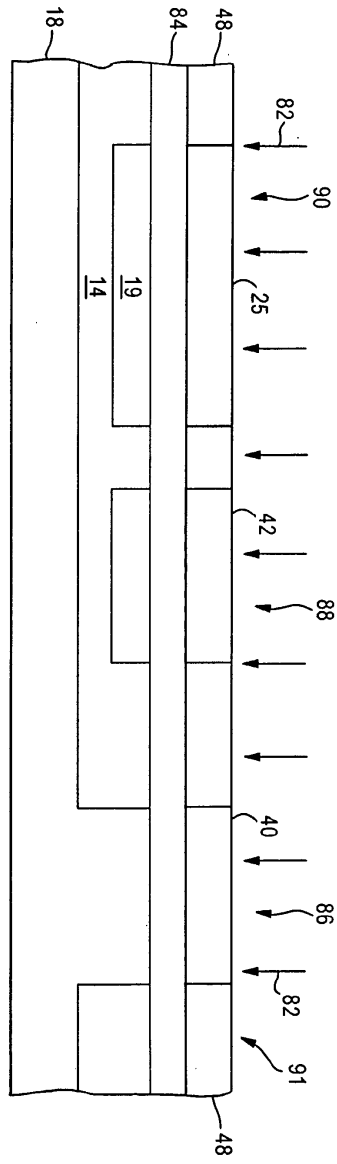
도면17



도면18



도면19



도면20

