



(12)发明专利

(10)授权公告号 CN 103117289 B

(45)授权公告日 2017.03.01

(21)申请号 201210276159.7

(51) Int. Cl.

(22)申请日 2012.08.03

H01L 27/146(2006.01)

(65)同一申请的已公布的文献号

(56) 对比文件

申请公布号 CN 103117289 A

JP 2008091702 A, 2008.04.17.

(43)申请公布日 2013.05.22

JP 2008091702 A, 2008.04.17,

(30) 优先权数据

US 2009242949 A1, 2009.10.01,

2011-176721 2011.08.12 JP

CN 102082153 A, 2011.06.01,

(73)专利权人 索尼公司

JP 2004128296 A, 2004.04.22,

地址 日本东京

CN 1531101 A, 2004.09.22,

(72)发明人 阿部高志

JP 2007201092 A, 2007.08.09.

(74)专利代理机构 北京信慧永光知识产权代理

审查员 杨敏

有限责任公司 11290

代理人 陈桂香 武玉琴

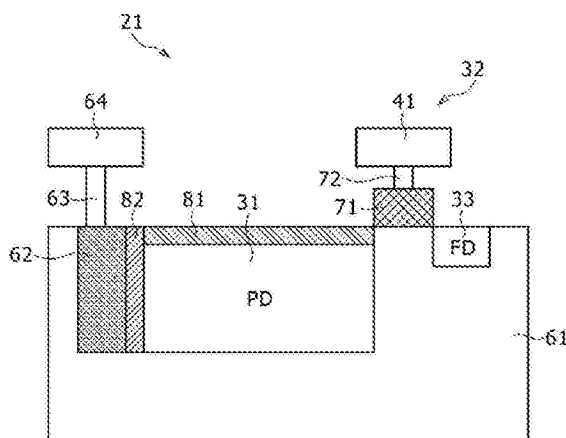
权利要求书1页 说明书9页 附图9页

(54)发明名称

固体摄像元件、固体摄像元件制造方法和电子设备

(57)摘要

本发明涉及固体摄像元件、固体摄像元件制造方法以及电子设备。所述固体摄像元件包含具有光电转换部和侧面钉扎层的像素。所述光电转换部形成于半导体基板中。所述侧面钉扎层形成于所述光电转换部的侧面上。利用形成于所述光电转换部的形成区域的侧面部分中的沟槽，在所述沟槽处于敞开的状态下进行离子注入从而形成所述侧面钉扎层。所述固体摄像元件制造方法包括如下步骤：在所述光电转换部的形成区域的侧面部分中形成沟槽；并且通过在所述沟槽处于敞开的状态下进行离子注入来形成所述侧面钉扎层。所述电子设备包含上述固体摄像元件。根据本发明，能够进一步提高图像质量。



1. 一种固体摄像元件,所述固体摄像元件包含像素,所述像素包括:

光电转换部,所述光电转换部形成于半导体基板中;

侧面钉扎层,所述侧面钉扎层形成于所述光电转换部的侧面上;以及

像素分隔部,所述像素分隔部用于分隔相邻像素,

其特征在于,所述侧面钉扎层是通过如下方式来形成的:利用形成于所述光电转换部的形成区域的侧面部分中的沟槽,在所述沟槽处于敞开的状态下进行离子注入,并且

所述像素分隔部包括与所述半导体基板接触的至少两个侧面,在传输累积于所述光电转换部中的电荷的时刻,向所述像素分隔部提供有负电位。

2. 根据权利要求1所述的固体摄像元件,其特征在于,所述侧面钉扎层形成于包围着所述光电转换部的侧面的区域中。

3. 根据权利要求1所述的固体摄像元件,其特征在于,所述侧面钉扎层是通过从相对于所述半导体基板的表面倾斜的方向进行离子注入而形成的。

4. 根据权利要求1所述的固体摄像元件,还包括形成于所述光电转换部的表面侧的表面钉扎层,

其特征在于,所述侧面钉扎层和所述表面钉扎层是通过从相对于所述半导体基板的表面倾斜的方向进行离子注入而同时形成的。

5. 根据权利要求1所述的固体摄像元件,还包括形成于所述光电转换部的表面侧的表面钉扎层,

其特征在于,所述表面钉扎层是通过从所述半导体基板的表面正上方进行离子注入而形成的,所述侧面钉扎层是通过从相对于所述半导体基板的表面倾斜的方向进行离子注入而形成的。

6. 根据权利要求1至5中任一项所述的固体摄像元件,其特征在于,在形成所述侧面钉扎层之后在所述沟槽中埋入所述像素分隔部。

7. 一种固体摄像元件制造方法,所述固体摄像元件包括像素,所述像素具有形成于半导体基板中的光电转换部、形成于所述光电转换部的侧面上的侧面钉扎层和用于将相邻像素分隔开的像素分隔部,所述方法包括如下步骤:

在所述光电转换部的形成区域的侧面部分中形成沟槽;并且

通过在所述沟槽处于敞开的状态下进行离子注入来形成所述侧面钉扎层,

其中所述像素分隔部包括与所述半导体基板接触的至少两个侧面,在传输累积于所述光电转换部中的电荷的时刻,向所述像素分隔部提供有负电位。

8. 一种电子设备,所述电子设备包括如权利要求1至6中任一项所述的固体摄像元件。

固体摄像元件、固体摄像元件制造方法和电子设备

[0001] 相关申请的交叉参考

[0002] 本申请包含与2011年8月12日向日本专利局提交的日本优先权专利申请JP 2011-176721所公开的内容相关的主题,因此将该日本优先权申请的全部内容以引用的方式并入本文。

技术领域

[0003] 本发明涉及固体摄像元件、固体摄像元件制造方法和电子设备,具体地,涉及能够进一步改善图像质量的固体摄像元件、固体摄像元件制造方法和电子设备。

背景技术

[0004] 在相关技术中,诸如CMOS(互补型金属氧化物半导体)图像传感器和CCD(电荷耦合器件)图像传感器等被广泛用于数码照相机、数码摄像机等中。固体摄像元件具有受光面,在所述受光面中,有多个像素呈二维方式排列着,各像素均具有作为光电转换部的PD(光电二极管)以及多个晶体管等。各像素对入射光进行光电转换。

[0005] 例如,在CMOS图像传感器中,PD中通过光电转换而累积的电荷经由传输晶体管被传输至作为浮动扩散区域的FD(浮动扩散部)。然后,累积于该FD中的电荷被放大晶体管转换为与所述电荷的电位对应的像素信号,并且经由选择晶体管将该像素信号输出。

[0006] 通常,PD中能够累积的电荷的饱和电荷量是由诸如PD的体积(即,物理面积和物理深度)、PD的电位深度、以及形成于PD的表面上的表面钉扎层(surface pinning layer)与PD之间的电场等参数确定的。

[0007] PD的面积是由像素的大小(单元大小)、像素所含有的多个晶体管、用于分隔像素的像素分隔部等确定的。另外,PD的物理深度和PD的电位深度是由将电荷从PD向FD读出的容易程度确定的。另外,PD与表面钉扎层之间的电场形成了PN结电容,并且即使在同一电位差下,根据上述电场的强度也能增加可累积的电荷。然而,太高强度的电场成为了泄漏的起因。因此,上述电场是在对其与泄漏的发生这二者进行了权衡利弊后而确定的。

[0008] 因此,PD的饱和电荷量是由众多因素确定的。然而,由于特性方面的限制,难以单纯地增大饱和电荷量。

[0009] 日本专利特开第2010-16114号公报(下文中称为专利文献1)披露了例如这样的技术:通过在沟槽元件隔离区域(trench element isolation region)的侧面形成PN结电容来强化PD的侧壁处的电场,因而该技术增大了PD的饱和电荷量。

发明内容

[0010] 最近,随着固体摄像元件的像素数量的增多,使像素小型化并且使PD的面积减小就成为了趋势。如上所述,PD的面积减小使得饱和电荷量降低,并且由此例如导致了诸如动态范围的减小等固体摄像元件图像质量劣化。

[0011] 因此,所期望的是,在像素小型化的趋势中,通过增大PD的饱和电荷量来抑制固体

摄像元件的图像质量的劣化并且提高图像质量。

[0012] 本发明是鉴于上述形势而做出的,并且旨在能够进一步提高图像质量。

[0013] 本发明的一个实施例提供了一种固体摄像元件,所述固体摄像元件包括像素,所述像素具有形成于半导体基板中的光电转换部和形成于所述光电转换部的侧面上的侧面钉扎层,其中所述侧面钉扎层是通过如下方式来形成的:利用形成于所述光电转换部的形成区域的侧面部分中的沟槽,在所述沟槽处于敞开的状态下进行离子注入。

[0014] 本发明的另一实施例提供了一种固体摄像元件制造方法,所述固体摄像元件包括像素,所述像素具有形成于半导体基板中的光电转换部和形成于所述光电转换部的侧面上的侧面钉扎层。所述方法包括:在所述光电转换部的形成区域的侧面部分中形成沟槽;并且通过在所述沟槽处于敞开的状态下进行离子注入来形成所述侧面钉扎层。

[0015] 本发明的又一实施例提供了一种电子设备,所述电子设备包括具有像素的固体摄像元件,所述像素包括形成于半导体基板中的光电转换部和形成于所述光电转换部的侧面上的侧面钉扎层,其中所述侧面钉扎层是通过如下方式来形成的:利用形成于所述光电转换部的形成区域的侧面部分中的沟槽,在所述沟槽处于敞开的状态下进行离子注入。

[0016] 在本发明的实施例中,通过在所述光电转换部的形成区域的侧面部分中形成沟槽,在所述沟槽处于敞开的状态下进行离子注入从而在光电转换部的侧面上形成了侧面钉扎层。

[0017] 根据本发明的实施例,能够进一步提高图像质量。

附图说明

[0018] 图1是示出了应用本发明的固体摄像元件的一个实施例的结构示例的框图;

[0019] 图2是示出了在像素阵列部中的像素和周边电路的结构示例的电路图;

[0020] 图3示出了像素的驱动时序的示例;

[0021] 图4A和图4B示出了像素的平面结构和截面结构的示例;

[0022] 图5是用于说明像素的制造工序的图;

[0023] 图6A和图6B是用于说明与具有过去的结构的像素的比較的图;

[0024] 图7示出了像素的第一变形例的平面结构;

[0025] 图8是示出了像素的第二变形例的电路图;

[0026] 图9示出了像素的驱动时序的示例;

[0027] 图10是示出了电子设备中所包含的摄像装置的结构示例的框图。

具体实施方式

[0028] 下面将参照附图来详细说明应用了本发明的具体实施例。

[0029] 图1是示出了应用本发明的固体摄像元件的一个实施例的结构示例的框图。

[0030] 图1中的固体摄像元件11是CMOS型固体摄像元件。固体摄像元件11包括像素阵列部12、垂直驱动电路13、快门驱动电路14、CDS(相关双采样)电路15、水平驱动电路16、AGC(自动增益控制器)17、A/D(模拟/数字)转换部18和时序发生器19。

[0031] 像素阵列部12具有呈二维排列的多个像素(例如,图2中的像素21)。各像素具有一个或多个光电转换元件。另外,用于将信号从垂直驱动电路13提供至各像素的多条信号配

线与像素阵列部12的相应各行连接,并且用于将像素信号从各像素输出至CDS电路15的多条信号配线与像素阵列部12的相应各列连接。

[0032] 垂直驱动电路13经由信号配线依次提供信号以用于选择像素阵列部12所含有的多个像素的相应各行。

[0033] 快门驱动电路14将用于进行快门驱动的驱动信号依次提供至像素阵列部12所含有的多个像素的相应行。例如通过调整从快门驱动电路14输出的驱动信号与从垂直驱动电路13输出的信号之间的间隔,能够调整像素的曝光时间(电荷累积时间)。

[0034] CDS电路15从被来自垂直驱动电路13的信号选择的那一行像素读取像素信号,并且进行CDS处理。具体地,CDS电路15通过在与各像素中所累积的电荷的电平相对应的像素信号和各像素的复位电平的像素信号之间取差值,来获得各像素的已被去除了固定模式噪声(fixed pattern noise)且指示着像素值的信号。然后,CDS电路15根据来自水平驱动电路16的驱动信号,将所获得的指示着像素值的信号依次输出至AGC17。

[0035] 水平驱动电路16向CDS电路15输出驱动信号,从而在列方向上依次选择像素阵列部12所含有的像素并且输出指示着像素值的信号。

[0036] AGC 17以适当的增益把从CDS电路15提供的指示着像素值的信号放大,并且将放大后的信号输出至A/D转换部18。

[0037] A/D转换部18把像素数据输出至固体摄像元件11的外部,该像素数据是通过将从AGC 17提供的模拟信号转换为数字数值而获得的。

[0038] 时序发生器19基于预定频率的时钟信号生成指示着当对固体摄像元件11的各组块进行驱动时所必需的时序的信号,并且将上述信号提供至各组块。

[0039] 在图1中,用粗线箭头表示从像素输出的信号流。从像素阵列部12输出的信号在CDS电路15中经过CDS处理,然后在AGC 17中被放大,继而在A/D转换部18中被A/D转换,并且随后输出至外部。

[0040] 顺便提及地,图1示出的是固体摄像元件11的结构示例。采用例如如下的结构也是可以的:固体摄像元件11内不包含A/D转换部18的结构,或者各像素列分别包含有A/D转换部的结构。另外,固体摄像元件11可以含有一个或多个CDS电路15并且含有多个AGC 17和多个A/D转换部18,由此具有多个输出系统。

[0041] 接着将参照图2来说明像素阵列部12的像素和周边电路。

[0042] 如上所述,像素阵列部12具有呈二维排列的多个像素。然而,图2示出了这些像素中的一个像素21,并且为了说明的简化而没有示出其它的像素。如图2中所示,像素阵列部12的周边电路包括:与各像素21行对应地布置着的AND元件22至24;与各像素21列对应地布置着的晶体管25;以及恒定电位源26。

[0043] 像素21包括PD 31、传输晶体管32、FD 33、放大晶体管34、选择晶体管35和复位晶体管36。另外,像素21与传输信号配线41、复位信号配线42及选择信号配线43相连接,传输信号配线41、复位信号配线42及选择信号配线43均用于提供由在行方向上排列着的各像素21共用的信号,像素21还与用于将像素信号输出至CDS电路15的像素输出配线44相连接。另外,经由电源电位供给配线45向像素21提供预定的电源电位。

[0044] PD 31是通过对照射于像素21上的光进行光电转换来生成电荷并且累积该电荷的光电转换元件。

[0045] 传输晶体管32根据经由传输信号配线41提供的传输信号将累积于PD 31中的电荷传输至FD 33。

[0046] FD 33是形成于放大晶体管34的栅极电极与传输晶体管32之间的连接点处的浮动扩散区域。FD 33暂时累积经由传输晶体管32从PD 31传输来的电荷。也就是说,放大晶体管34的栅极电极的电位根据累积于FD 33中的电荷而增大。

[0047] 放大晶体管34具有连接至电源电位供给配线45的漏极。放大晶体管34将累积于FD 33中的电荷转换为具有与所述电荷的电位相对应的电平的像素信号,并且输出该像素信号。

[0048] 经由选择信号配线43向选择晶体管35提供用于选择要输出像素信号的像素21的选择信号。选择晶体管35根据该选择信号将放大晶体管34连接至像素输出配线44。

[0049] 复位晶体管36具有连接至电源电位供给配线45的漏极。复位晶体管36根据经由复位信号配线42提供的复位信号将累积于FD 33中的电荷复位。

[0050] 晶体管25向像素输出配线44提供恒定电流。也就是说,将恒定电流从晶体管25提供至被选择的要输出像素信号的像素21的放大晶体管34,因而该放大晶体管34作为源极跟随器(source follower)进行操作。因此,在像素输出配线44中呈现出与放大晶体管34的栅极电极具有预定的一定电压差的电位。

[0051] 恒定电位源26经由恒定电位供给配线46向晶体管25的栅极电极提供恒定电位,从而使得晶体管25在饱和区域中进行操作以提供恒定的电流。

[0052] AND元件22的输出端经由传输信号配线41与传输晶体管32的栅极电极相连。另外,AND元件22的一个输入端经由信号配线51与垂直驱动电路13的输出端相连,并AND元件22的另一输入端经由信号配线52与用于根据驱动时序以脉冲的形式输出传输信号的端子相连。

[0053] AND元件23的输出端经由复位信号配线42与复位晶体管36的栅极电极相连。另外,AND元件23的一个输入端经由信号配线51与垂直驱动电路13的输出端相连,并AND元件23的另一输入端经由信号配线53与用于根据驱动时序以脉冲的形式输出复位信号的端子相连。

[0054] AND元件24的输出端经由选择信号配线43与选择晶体管35的栅极电极相连。另外,AND元件24的一个输入端经由信号配线51与垂直驱动电路13的输出端相连,并AND元件24的另一输入端经由信号配线54与用于根据驱动时序以脉冲的形式输出选择信号的端子相连。

[0055] 利用这样的结构,在固体摄像元件11中,经由传输信号配线41、复位信号配线42和选择信号配线43分别向布置于被垂直驱动电路13选择的那一行中的像素21提供传输信号、复位信号和选择信号。

[0056] 下面将参照图3来说明提供至像素21的驱动信号。

[0057] 图3中示出的选择信号经由选择信号配线43被提供至选择晶体管35。复位信号经由复位信号配线42被提供至复位晶体管36。传输信号经由传输信号配线41被提供至传输晶体管32。

[0058] 在用于从像素21中读出像素信号的读出期间的开始时刻,选择信号被设定至高电平从而将选择晶体管35设定为导通状态。像素21的信号因此被设定为准备经由像素输出配线44输出至CDS电路15的状态。

[0059] 然后,将复位信号设定至高电平从而将复位晶体管36设定为导通状态。累积于FD 33中的电荷因此被复位。此后,将复位信号设定至低电平,从而将复位晶体管36设定为非导

通状态,并由此完成了复位。随后,处于复位电平的像素信号被输出至CDS电路15。

[0060] 接着,传输信号被设定至高电平从而将传输晶体管32设定为导通状态,并且累积于PD 31中的电荷被传输至FD 33。然后,传输信号被设定至低电平从而将传输晶体管32设定为非导通状态,并且完成了电荷的传输。此后,将与FD 33中所累积的电荷的电平对应的像素信号输出至CDS电路15。

[0061] 因此,在固体摄像元件11中,处于复位电平的像素信号以及与FD 33中所累积的电荷的电平对应的像素信号均被输出至CDS电路15。然后,CDS电路15进行CDS处理,从而消除了因各像素21中的放大晶体管34的阈值电压的差异而导致的固定模式噪声等。

[0062] 另外,CDS电路15将指示着被水平驱动电路16选择的那一列中的像素21的像素值的信号经由水平信号配线47输出至图1中的AGC 17。

[0063] 下面将参照图4A和图4B来说明固体摄像元件11中的像素阵列部12所含有的像素21的示意性结构。图4A示出了像素21的平面结构的示例。图4B示出了像素21的截面结构的示例。

[0064] 如图4B中所示,像素21形成于硅基板61中。PD 31形成于硅基板61的表面(与图4B的上方相面对的那个表面)附近。FD 33形成于如下位置处:该位置与PD 31由夹置于FD 33与PD 31之间的传输晶体管32分隔开。

[0065] PD 31例如是通过以高浓度将杂质离子注入到P型的硅基板61(阱)中而形成的N型区域。

[0066] 传输晶体管32布置于FD 33与PD 31之间。传输晶体管32的栅极电极71设置在硅基板61的表面上,并且在栅极电极71与硅基板61的表面之间夹有绝缘膜。另外,栅极电极71经由接触部72与传输信号配线41连接。通过向栅极电极71施加电压来使电荷从PD 31输出至FD 33。

[0067] FD 33被形成得与硅基板61的表面接触。FD 33是杂质浓度比PD 31的杂质浓度更高的N型区域。

[0068] 另外,在像素21中,用于将像素21彼此分隔开的像素分隔部62被形成得包围着PD 31的侧面。像素分隔部62例如是通过在包围着PD 31的侧面的区域(该区域不包括布置有传输晶体管32的区域)中埋入多晶硅而形成的。像素分隔部62经由接触部63与电位被固定至GND的接地配线64相连,由此将像素分隔部62的电位固定至GND。

[0069] 像素21具有形成于PD 31的表面侧的表面钉扎层81,并且具有形成于PD 31的侧部处(即,PD 31与像素分隔部62之间)的侧面钉扎层82。表面钉扎层81和侧面钉扎层82都是杂质浓度比硅基板61(阱)的杂质浓度更高的P型区域。表面钉扎层81和侧面钉扎层82抑制了在硅的分界面处出现的暗电流。此外,表面钉扎层81和侧面钉扎层82通过利用跟PD 31形成的陡峭的PN结,能够增大PD 31的饱和电荷量。

[0070] 因此,在像素21中,PD 31与表面钉扎层81形成了陡峭的PN结,并且PD 31与侧面钉扎层82也类似地形成了陡峭的PN结。于是,在像素21中,相比于过去的仅在PD的表面侧形成有PN结的结构,能够增大PD 31的饱和电荷量。另外,能够比过去的结构更进一步地抑制像素21中的暗电流的产生。

[0071] 因此,在含有具有此种结构的像素21的固体摄像元件11中,例如即使当像素21被小型化的时候,仍能够抑制例如动态范围的减小和因暗电流而导致的噪声的产生,从而进

一步提高图像质量。

[0072] 下面将参照图5来说明像素21的制造工序。

[0073] 在第一工序中,在硅基板61中形成与像素分隔部62的形成区域对应的沟槽62'。顺便提及地,虽然在图5中示出的是截面,但沟槽62'以与图4A中所示的像素分隔部62对应的方式而被形成并且因此围绕着PD31的形成区域。

[0074] 在第二工序中,通过N型杂质的离子注入来形成PD 31,并且通过P型杂质的离子注入来同时形成表面钉扎层81和侧面钉扎层82。

[0075] 在本工序中,如黑箭头所示,从相对于硅基板61的表面倾斜的方向进行用于形成表面钉扎层81和侧面钉扎层82的离子注入。由此,当在沟槽62'处于敞开的状态下从相对于硅基板61的表面倾斜的方向进行离子注入时,能够在PD 31的侧面侧(横方向)上形成侧面钉扎层82,该侧面钉扎层82形成了与形成于PD 31的表面侧(深度方向)上的表面钉扎层81类似的陡峭的PN结。

[0076] 另外,可以在使硅基板61旋转的同时,从多个方向(例如八个方向)以相对于硅基板61的表面倾斜的方式进行用于形成表面钉扎层81和侧面钉扎层82的离子注入。因而,如图4A中所示,能够在PD 31的多个侧面上形成侧面钉扎层82。

[0077] 顺便提及地,可以不同时地形成表面钉扎层81和侧面钉扎层82。也就是说,第二工序可以包括:与过去的通过从硅基板61的表面正上方进行离子注入来形成表面钉扎层81的工序类似的工序;以及通过从相对于硅基板61的表面倾斜的方向进行离子注入来形成侧面钉扎层82的工序。

[0078] 在第三工序中,通过在沟槽62'中埋入多晶硅来形成像素分隔部62。另外,在第三工序中,在硅基板61的表面上在位于PD 31与FD 33之间的区域中的位置处形成栅极电极71。

[0079] 在第四工序中,形成连接至像素分隔部62的接触部63,并且形成连接至栅极电极71的接触部72。随后,形成连接至接触部63的接地配线64,并且形成连接至接触部72的传输信号配线41。

[0080] 如上所述的制造工序能够制造出这样的像素21:其中,在PD 31的表面侧形成有表面钉扎层81,并且以包围着PD 31的侧面侧的方式形成有侧面钉扎层82。

[0081] 另外,通过从倾斜方向进行离子注入来同时形成PD 31与表面钉扎层81及侧面钉扎层82的PN结,籍此,能够在不增加过去的制造方法的工序数的前提下形成具有大的饱和电荷量的PD 31。

[0082] 在像素21中,由于不仅在PD 31的表面侧形成有PN结,而且在PD31的侧面侧还形成有PN结,所以与具有过去的结构的像素相比,能够增大用于获得饱和电荷量的面积,并且能够增加整体上的饱和电荷量。

[0083] 将参照图6A和图6B来说明与具有过去的结构的像素的比较。图6A示出了具有过去的结构的像素21'的截面电位分布。图6B示出了应用了本发明的像素21的截面电位分布。

[0084] 在过去的像素21'中,在像素分隔部62的形成区域中形成了沟槽,通过在该沟槽中埋入多晶硅或氧化物膜来形成像素分隔部62,并且从硅基板61的表面侧进行离子注入来形成PD和表面钉扎层。因而,如图6A中所示,形成了PD的电位分布91和表面钉扎层的电位分布92。

[0085] 另一方面,在像素21中,在像素分隔部62的形成区域中形成了沟槽,并且通过在该沟槽处于敞开的状态下从相对于硅基板61的表面倾斜的方向进行离子注入来形成侧面钉扎层82。因而,如图6B中所示,形成了PD的电位分布93和表面钉扎层的电位分布94。也就是说,不仅在表面部形成有陡峭的PN结,并且在侧面部分处也形成有陡峭的PN结。

[0086] 因此,像素21具有与像素21'不同的电位分布,并且即使在具有与像素21'的像素面积相同的像素面积的情况下也可以形成能够累积更多电荷的PD 31。

[0087] 另外,像素21中的侧面钉扎层82是通过在沟槽62'处于敞开的状态下进行离子注入而形成的。因此,以类似于PD 31的表面侧的PN结的方式,在PD 31的侧面部分处也能够形成陡峭的PN结。

[0088] 如上述专利文献1中所述的那样,通过在沟槽元件隔离区域的侧面形成PN结电容,能够增大饱和电荷量。然而,根据这样的结构,PD与阱之间的侧壁的电容形成于硅基板的深处部分中。因而,可以认为难以如同PD与表面钉扎层之间的PN结那样形成陡峭的PN结。因此,根据上述专利文献1中所披露的结构,可以认为难以大幅提高PD的饱和电荷量。

[0089] 另一方面,在像素21中,侧面钉扎层82是通过在沟槽62'处于敞开的状态下从倾斜方向进行用于形成侧面钉扎层82的离子注入而形成的,而不是通过从硅基板61的表面侧进行离子注入来形成的。因此,与上述专利文献1所披露的结构中的PN结相比,能够在PD 31的侧面部分处形成更陡峭的PN结,并且大幅提高了PD 31的饱和电荷量。

[0090] 接着将参照图7来说明像素21的第一变形例。图7示出了像素21A的平面结构。

[0091] 如图7中所示,像素21A采用了其中PD 31-1至PD 31-4这四个PD共用一个FD 33的结构。与图4A中的像素21相同的是,在像素21A中,在PD 31-1与包围着PD 31-1的侧面的像素分隔部62-1之间也形成有侧面钉扎层82-1。对于PD 31-2至PD 31-4也同样分别形成有侧面钉扎层82-2至侧面钉扎层82-4。

[0092] 因此,像素21A也能够增大PD 31-1至PD 31-4的饱和电荷量。此外,在像素21A中,通过共用FD 33,能够增大PD 31-1至PD 31-4的面积。这也使得饱和电荷量增大。

[0093] 因此,本发明能够应用于各种结构的像素。也就是说,本发明不限于如图2中所示具有包含PD 31、FD 33和四个晶体管(传输晶体管32、放大晶体管34、选择晶体管35和复位晶体管36)的结构的像素21。此外,作为像素21的结构,例如可以采用其中通过三个晶体管来读出像素信号的结构。

[0094] 下面将参照图8来说明像素21的第二变形例。图8是像素21B的电路图。在图8中,与图2中的像素21的构成元件相同的构成元件用相同的附图标记标示,并且将会省略对它们的详细说明。

[0095] 图8中的像素21B的结构与像素21的结构的不同之处在于:图8所示像素21B中的PD 31的阳极与传输辅助信号配线48连接,而像素21中的PD 31的阳极是接地的。像素21B和像素21在其它方面具有相同的结构。

[0096] 在像素21B中,在将电荷从PD 31传输至FD 33的时刻,经由传输辅助信号配线48将负电位提供至PD 31的阳极。也就是说,在像素21B中,在将电荷从PD 31传输至FD 33的时刻,向包围着PD 31的像素分隔部62(参见图4A和图4B)提供处于GND电平或更低的负电位。

[0097] 具体地,如图9中所示,与参照图3所说明的驱动信号的情况一样,将选择信号设定至高电平,并且复位信号将FD 33中所累积的电荷复位。然后,在以脉冲形式提供传输信号

的同时,传输辅助信号将脉冲形式的负电位提供至PD 31的阳极。

[0098] 这样的驱动能够使得在像素21B中当进行电荷传输时PD 31的周围的电位变浅。因此,累积于PD 31中的电荷被输送至PD 31的中央,从而能够更容易地执行电荷传输。

[0099] 也就是说,在像素21中,在PD 31的周围形成了深电位部分,因此可以认为难以让电荷传输。另一方面,如同像素21B中那样当进行电荷传输时使PD 31的周围的电位变浅,就能够帮助电荷传输,并且实现更好的电荷传输。

[0100] 顺便提及地,在上述实施例中,是通过在沟槽62'中埋入多晶硅来形成像素分隔部62的。然而,例如,也可以通过在沟槽62'中埋入氧化物膜来形成像素分隔部62。

[0101] 另外,当在形成PD 31的工序中以与深度方向上(PD 31的表面侧上)的离子注入不同的时刻通过利用掩模在倾斜方向上进行离子注入来形成侧面钉扎层82时,能够形成与深度方向上的PN结不同的PN结。因此,能够改善对于所期望特性的分布可控性。

[0102] 固体摄像元件11不仅能够被包含在诸如数码照相机和数码摄像机等摄像装置中,还能够被包含在诸如便携电话终端和个人电脑等各种电子设备中。

[0103] 图10是示出了摄像装置的结构示例的框图。

[0104] 如图10所示,摄像装置101包括光学系统102、摄像元件103、信号处理电路104、显示器105和存储器106。摄像装置101能够拍摄静止图像和运动图像。

[0105] 光学系统102包括一个或多个透镜。光学系统102将来自拍摄对象的图像光(入射光)引导至摄像元件103,从而在摄像元件103的受光面(传感器部)上形成图像。

[0106] 采用包括上述结构的像素21的固体摄像元件11作为摄像元件103。摄像元件103根据通过光学系统102在上述受光面上形成的图像,在一定期间内累积电子。然后,将与摄像元件103中所累积的电子对应的信号提供至信号处理电路104。

[0107] 信号处理电路104对从摄像元件103输出的信号电荷进行各种信号处理。通过信号处理电路104的信号处理而获得的图像(图像数据)被提供至显示器105并显示于显示器105上,或者被提供至存储器106并存储(记录)于存储器106中。

[0108] 在按此方式形成的摄像装置101中通过采用包括上述结构的像素21的固体摄像元件11作为摄像元件103,即使在像素小型化的情况下仍能够抑制动态范围的减小并因此进一步提高图像质量。

[0109] 另外,本发明上述实施例的固体摄像元件11能够应用于背面照射型的CMOS型固体摄像元件、前面照射型的CMOS型固体摄像元件和CCD型固体摄像元件等中。

[0110] 顺便提及地,本发明还能够采用如下的方案:

[0111] (1)一种固体摄像元件,所述固体摄像元件包含像素,所述像素具有:

[0112] 光电转换部,所述光电转换部形成于半导体基板中;以及

[0113] 侧面钉扎层,所述侧面钉扎层形成于所述光电转换部的侧面上,

[0114] 其特征在于,所述侧面钉扎层是通过如下方式来形成的:利用形成于所述光电转换部的形成区域的侧面部分中的沟槽,在所述沟槽处于敞开的状态下进行离子注入。

[0115] (2)根据上面(1)所述的固体摄像元件,其特征在于,所述侧面钉扎层被形成得包围着所述光电转换部的侧面。

[0116] (3)根据上面(1)或(2)所述的固体摄像元件,其特征在于,所述侧面钉扎层是通过从相对于所述半导体基板的表面倾斜的方向进行离子注入而形成的。

[0117] (4)根据上面(1)至(3)中任一项所述的固体摄像元件,还包括形成于所述光电转换部的表面侧的表面钉扎层,

[0118] 其特征在于,所述侧面钉扎层和所述表面钉扎层是通过从相对于所述半导体基板的表面倾斜的方向进行离子注入而同时形成的。

[0119] (5)根据上面(1)至(3)中任一项所述的固体摄像元件,还包括形成于所述光电转换部的表面侧的表面钉扎层,

[0120] 其特征在于,所述表面钉扎层是通过从所述半导体基板的表面正上方进行离子注入而形成的,所述侧面钉扎层是通过从相对于所述半导体基板的表面倾斜的方向进行离子注入而形成的。

[0121] (6)根据上面(1)至(5)中任一项所述的固体摄像元件,其特征在于,在形成所述侧面钉扎层之后在所述沟槽中埋入用于将相邻像素分隔开的像素分隔部。

[0122] (7)根据上面(6)所述的固体摄像元件,其特征在于,在传输累积于所述光电转换部中的电荷的时刻,向所述像素分隔部提供有负电位。

[0123] (8)一种固体摄像元件制造方法,所述固体摄像元件包括像素,所述像素具有形成于半导体基板中的光电转换部和形成于所述光电转换部的侧面上的侧面钉扎层,所述方法包括如下步骤:

[0124] 在所述光电转换部的形成区域的侧面部分中形成沟槽;并且

[0125] 通过在所述沟槽处于敞开的状态下进行离子注入来形成所述侧面钉扎层。

[0126] (9)一种电子设备,所述电子设备包括如上述(1)至(7)中任一项所述的固体摄像元件。

[0127] 需要注意的是,本发明不限于上面的实施例,而是可以在不背离本发明精神的范围内进行各种变化。

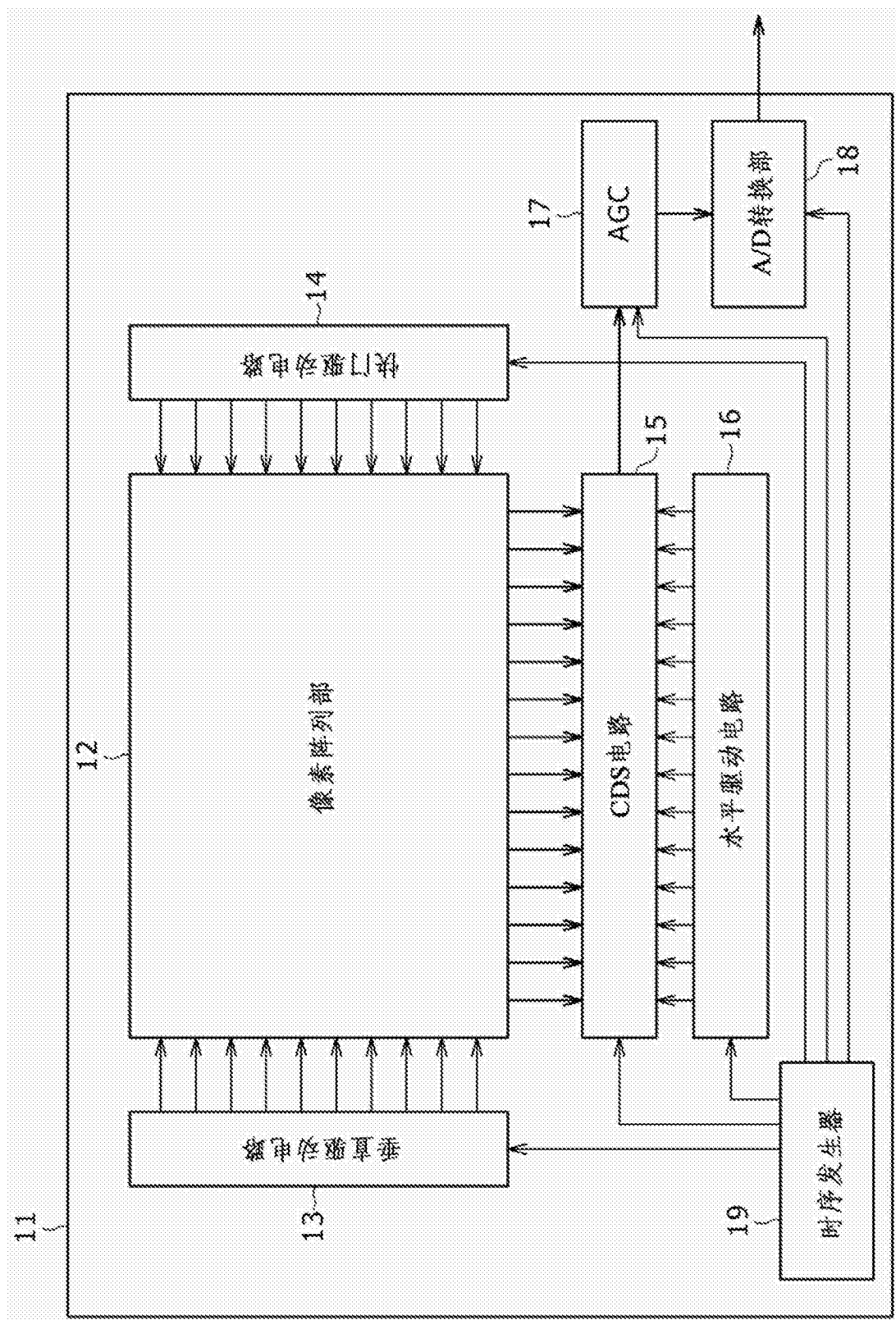


图1

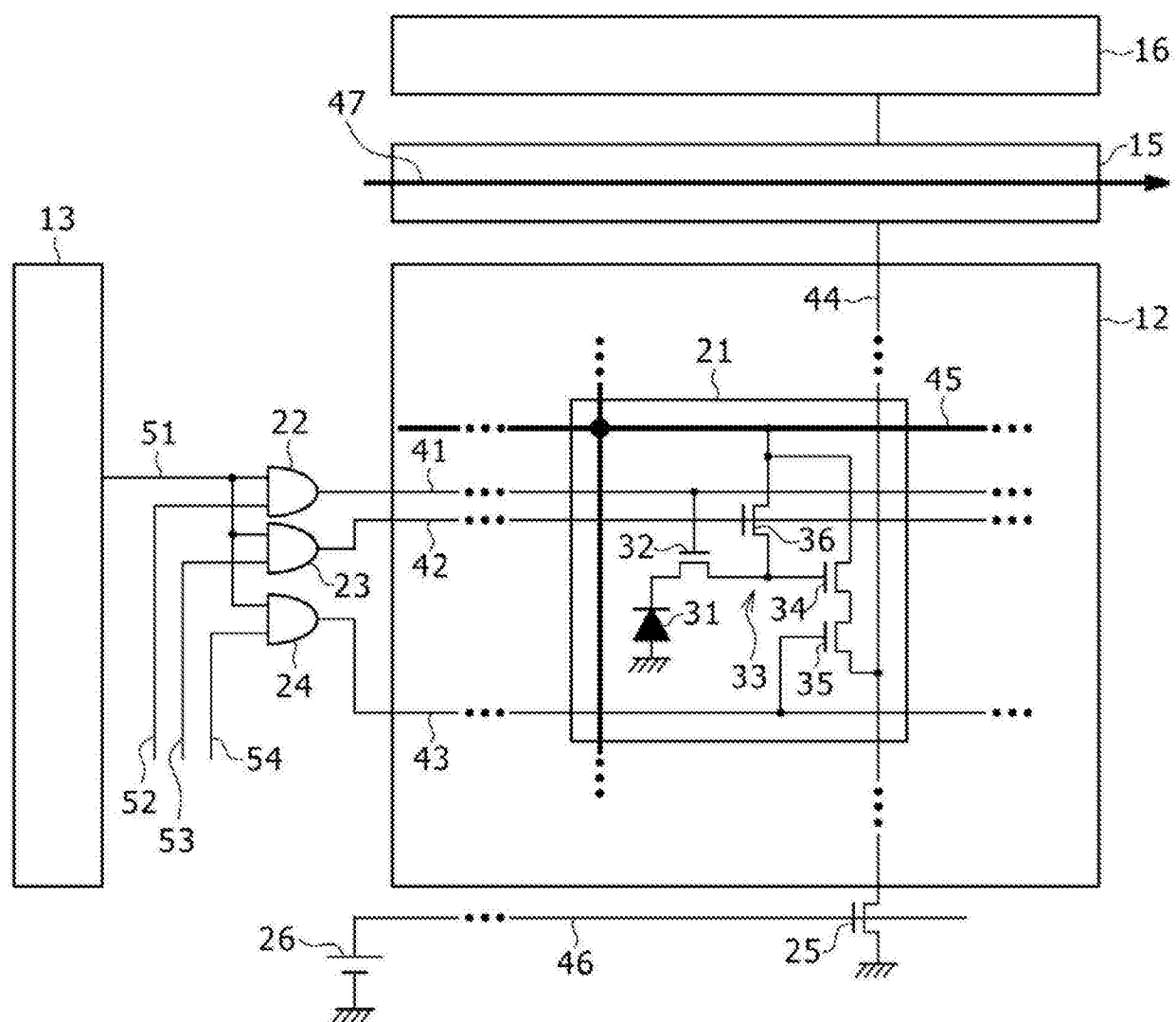


图2

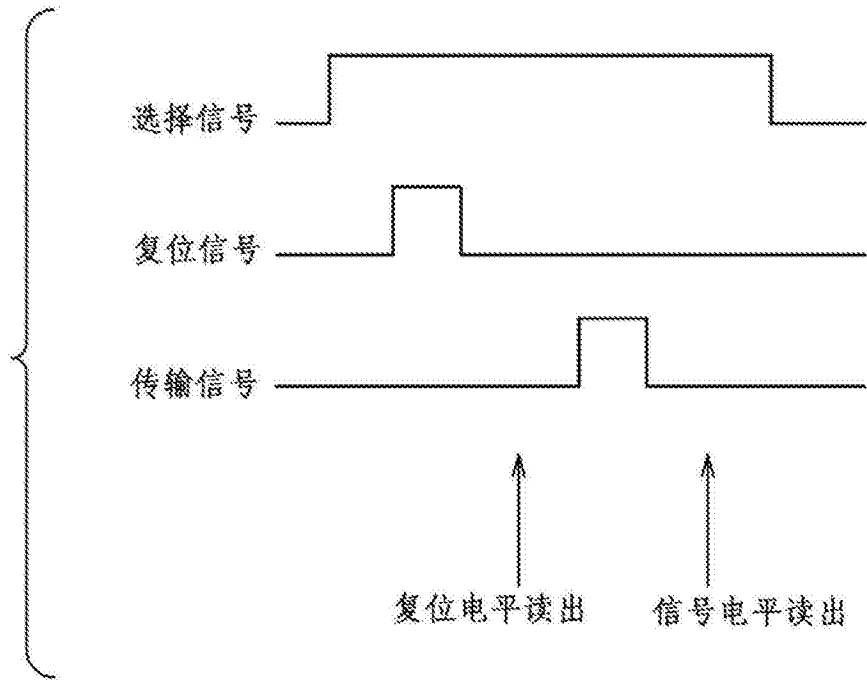


图3

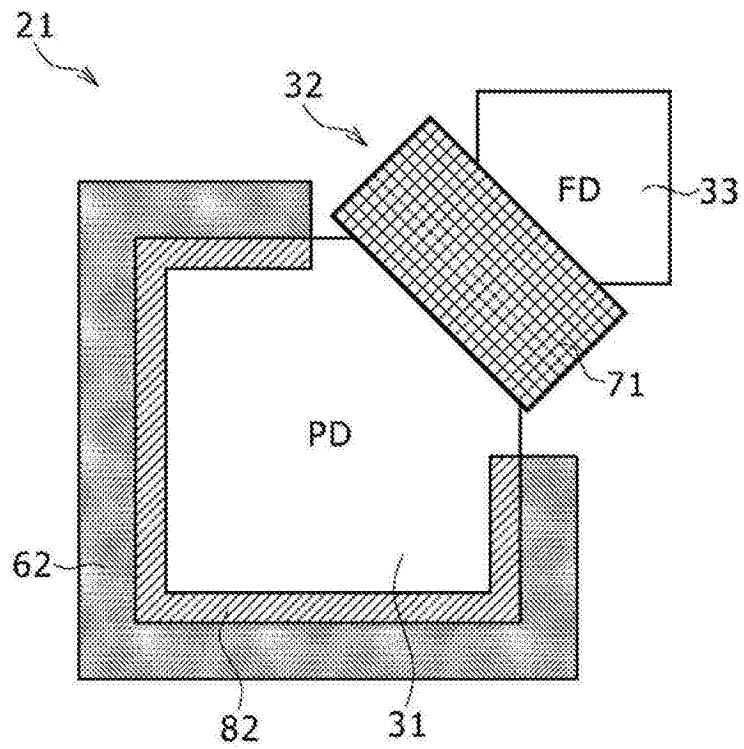


图4A

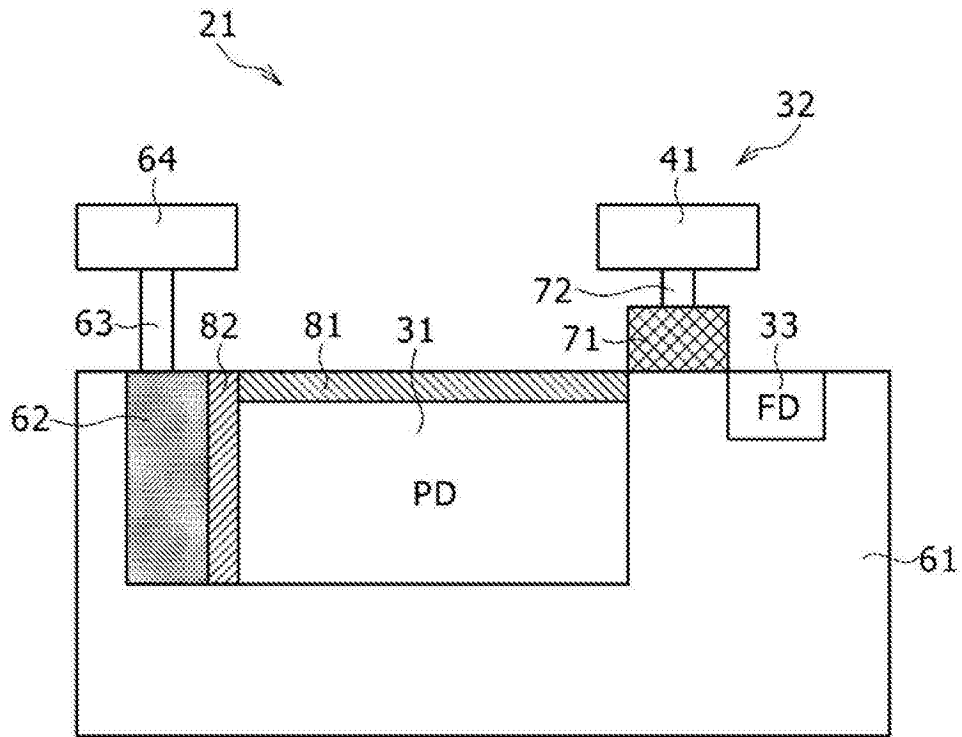


图4B

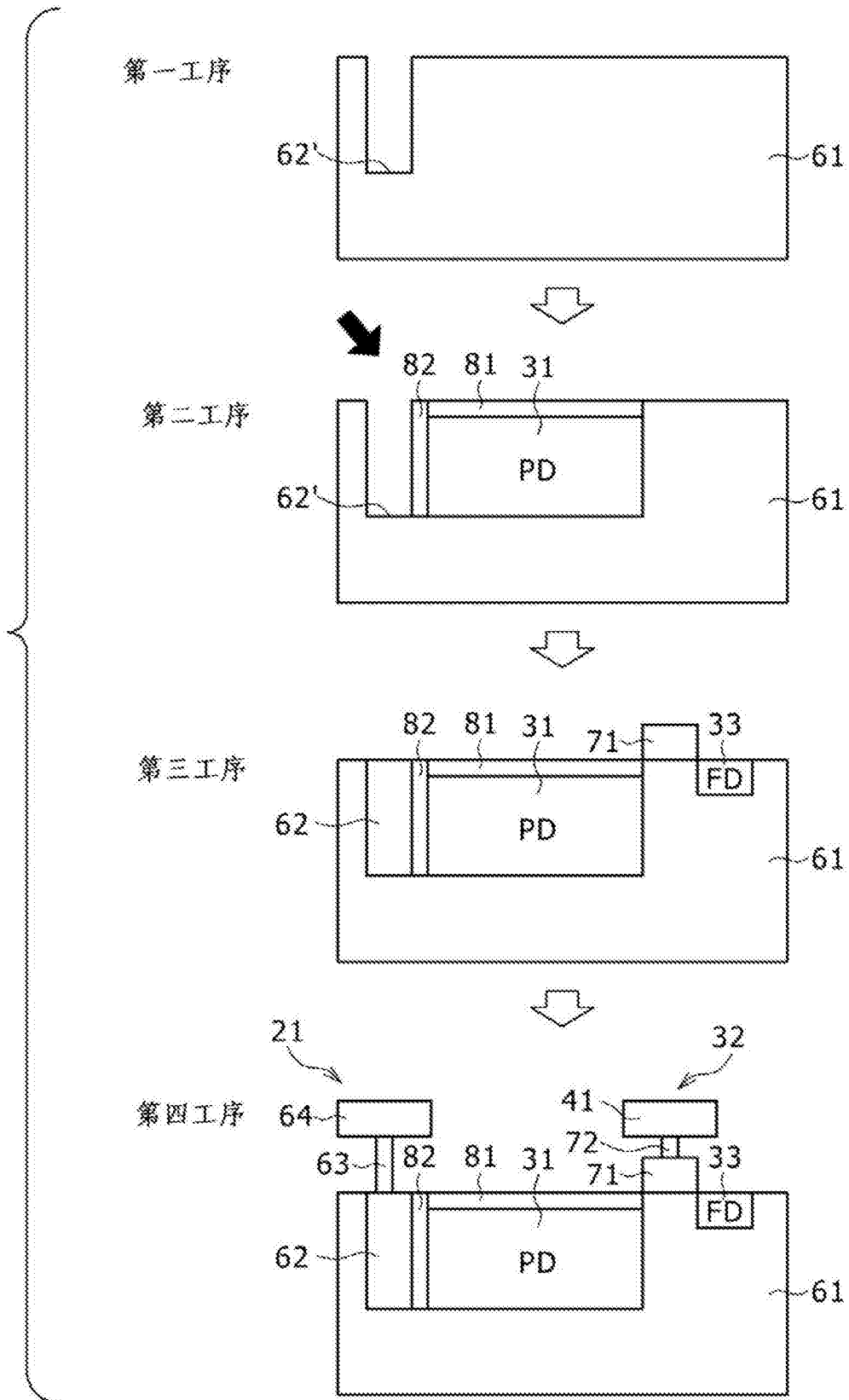


图5

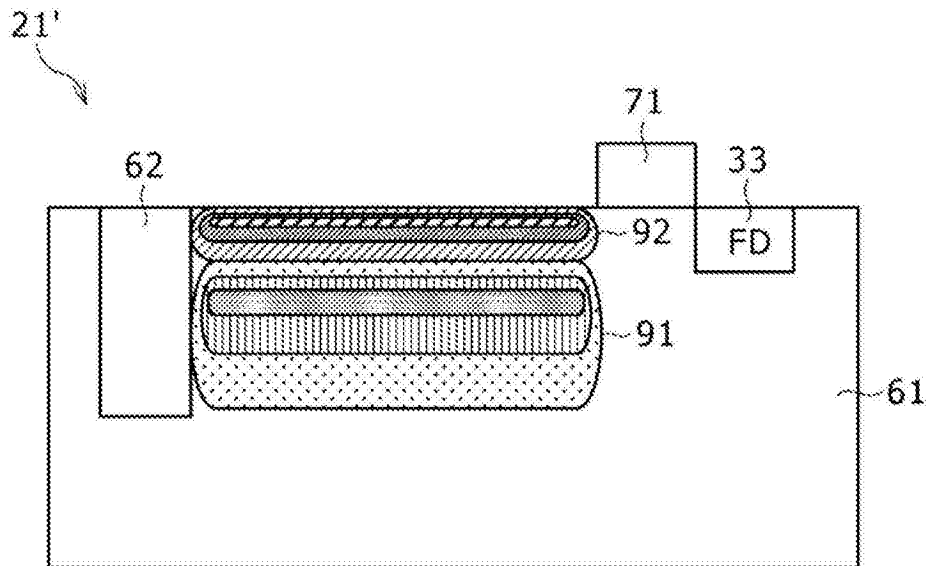


图6A

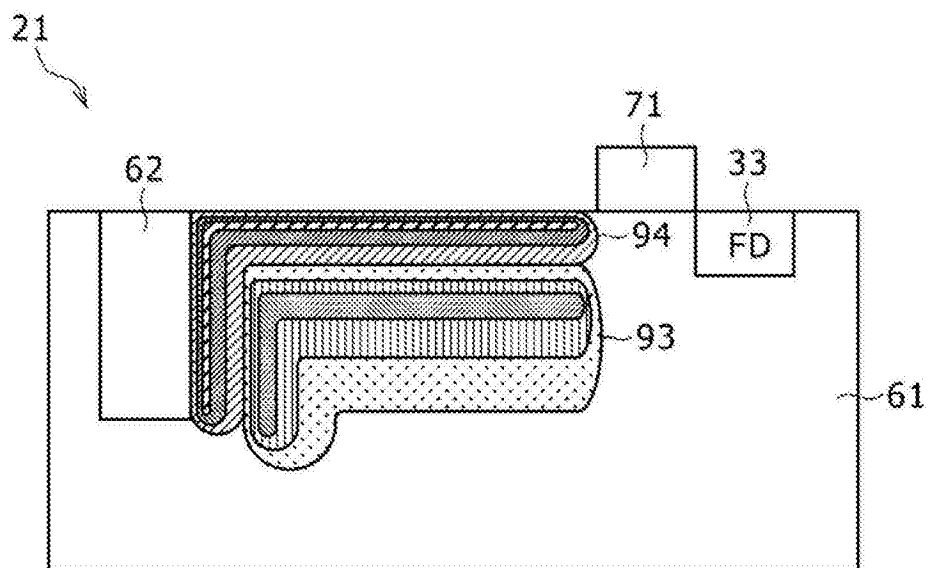


图6B

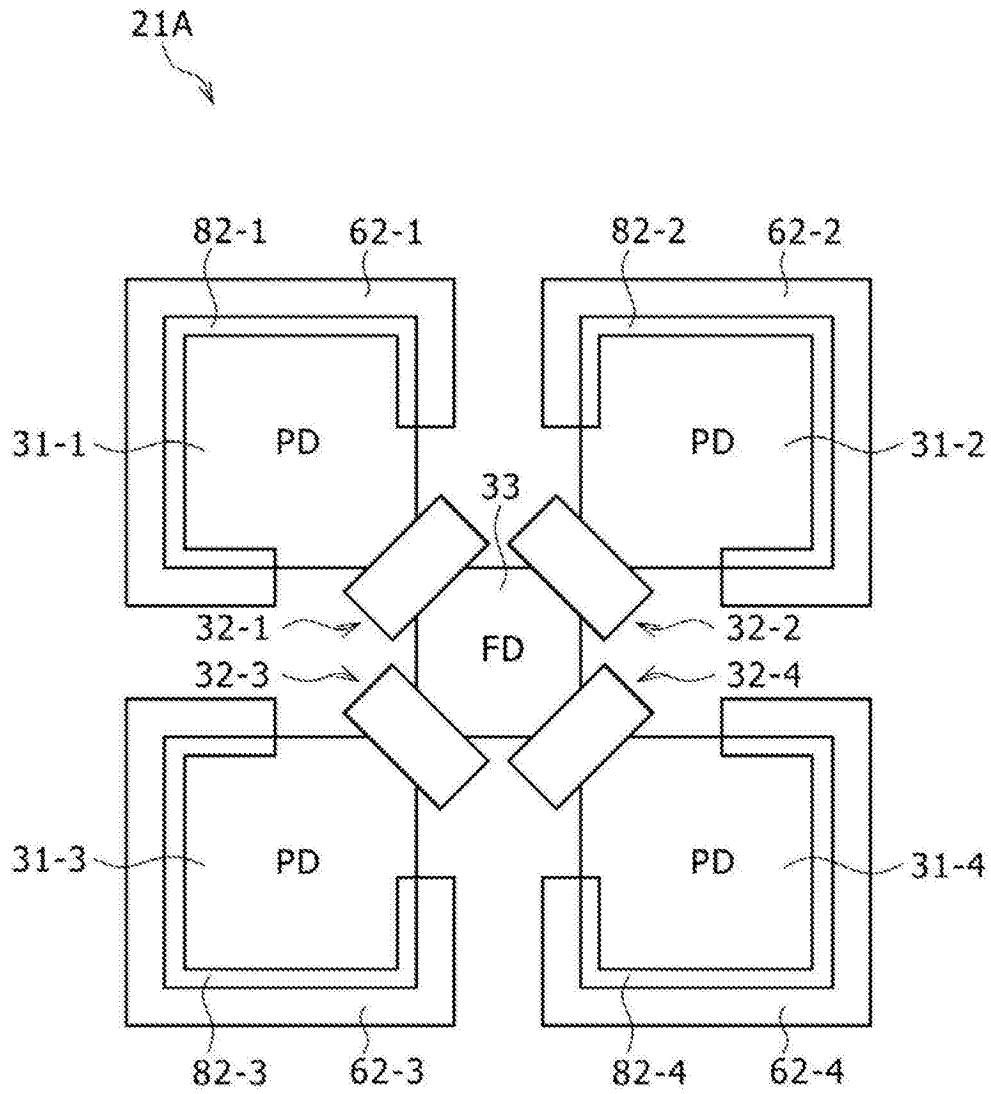


图7

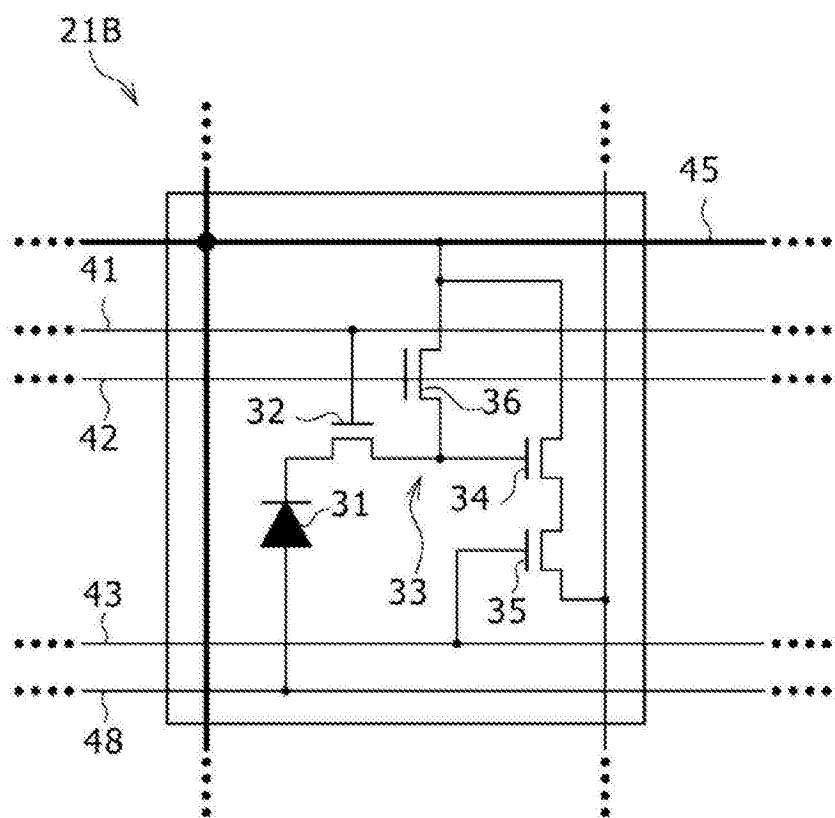


图8

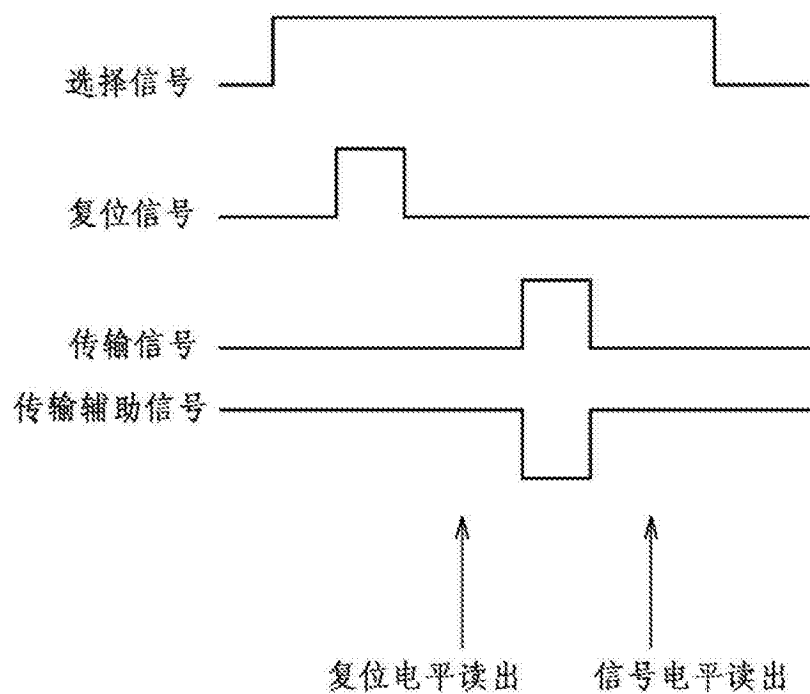


图9

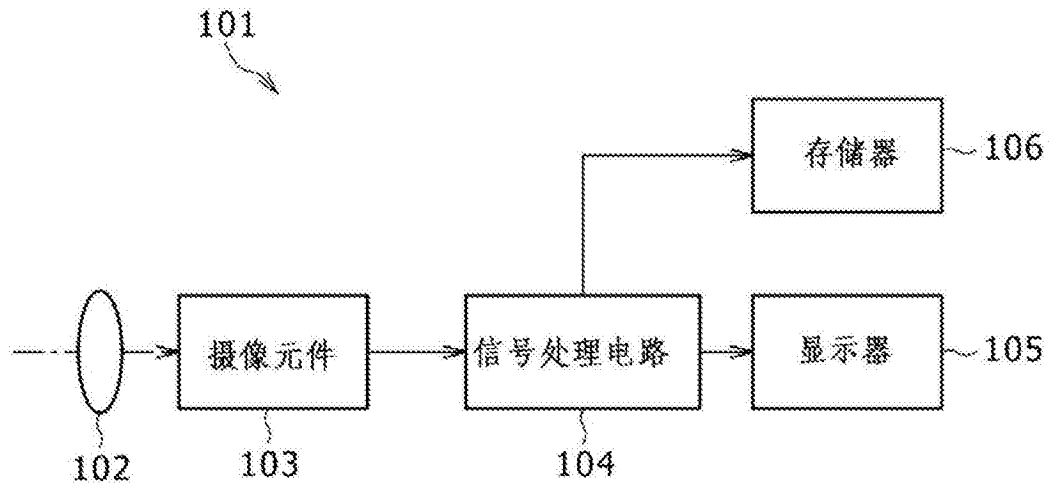


图10