



(12) 发明专利

(10) 授权公告号 CN 1835654 B

(45) 授权公告日 2011.06.29

(21) 申请号 200610059848.7

JP 特开平 10-098073 A, 1998.04.14, 全文.

(22) 申请日 2006.03.15

审查员 杨丽丽

(30) 优先权数据

2005-073946 2005.03.15 JP

(73) 专利权人 新光电气工业株式会社

地址 日本长野县

(72) 发明人 山野孝治 春原昌宏 饭塚肇

小山铁也

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 顾红霞 张天舒

(51) Int. Cl.

H01L 23/538(2006.01)

H01L 21/60(2006.01)

H01L 23/498(2006.01)

(56) 对比文件

JP 特开 2002-100696 A, 2002.04.05, 说明书 0046 段、图 8.

JP 特开 2001-15638 A, 2001.01.19, 说明书 第 0007 至 00010 段、图 1a 和 1b.

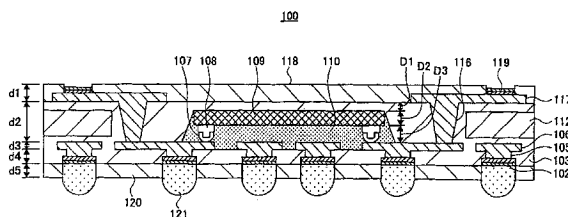
权利要求书 2 页 说明书 8 页 附图 12 页

(54) 发明名称

配线基板及其制造方法

(57) 摘要

一种配线基板,包括在其中嵌入半导体芯片的绝缘层,以及与半导体芯片连接的配线结构。加强绝缘层的加强构件嵌入在绝缘层中。这可以实现配线基板的薄型化,并且可以抑制配线基板的翘曲。



1. 一种配线基板,包括:  
至少一个半导体芯片;  
绝缘层,其中嵌入所述至少一个半导体芯片;  
配线结构,其与所述至少一个半导体芯片连接;以及  
至少一个加强构件,其用于加强所述绝缘层,并且所述加强构件嵌入在所述绝缘层中,  
其中,所述配线结构包括:  
第一配线子结构,其在所述半导体芯片的第一侧形成;以及  
第二配线子结构,其在所述半导体芯片的第二侧形成,  
所述第一配线子结构和所述第二配线子结构通过在所述绝缘层中形成的导通塞连接。
2. 根据权利要求1所述的配线基板,其中,  
所述加强构件与所述半导体芯片安装在相同的平面上。
3. 根据权利要求1所述的配线基板,其中,  
所述加强构件形成为包围所述半导体芯片。
4. 根据权利要求1所述的配线基板,其中,  
所述至少一个加强构件包括多个加强构件,并且  
所述多个加强构件在所述配线基板的两个端部上形成。
5. 根据权利要求1所述的配线基板,其中,  
所述至少一个加强构件包括多个加强构件,并且  
所述多个加强构件在所述配线基板的角部附近形成。
6. 根据权利要求1所述的配线基板,其中,  
所述配线结构具有多层配线结构。
7. 根据权利要求1所述的配线基板,其中,  
所述加强构件由有机芯材料或金属材料制成。
8. 一种配线基板,包括:  
至少一个半导体芯片;  
绝缘层,其中嵌入所述至少一个半导体芯片;  
配线结构,其与所述至少一个半导体芯片连接;  
至少一个加强构件,其用于加强所述绝缘层,并且所述加强构件嵌入在所述绝缘层  
中;  
第一端子连接部,其在所述配线基板的第一表面上形成,所述第一端子连接部通过所  
述配线结构与所述半导体芯片连接;以及  
第二端子连接部,其在所述配线基板的第二表面上形成,所述第二端子连接部通过所  
述配线结构与所述半导体芯片连接。
9. 一种制造配线基板的方法,所述方法包括:  
形成下层配线结构;  
将至少一个半导体芯片安装在所述下层配线结构上,并且将所述至少一个半导体芯片  
与所述下层配线结构连接;  
形成至少一个加强构件;以及  
形成绝缘层,以便将所述半导体芯片和所述加强构件嵌入在所述绝缘层中,所述加强

构件用于加强所述绝缘层。

10. 根据权利要求 9 所述的制造配线基板的方法,其中,所述加强构件与所述半导体芯片安装在相同的平面上。

11. 根据权利要求 9 所述的制造配线基板的方法,还包括:在所述绝缘层中形成导通塞,并将导通塞与下层配线结构连接;以及形成上层配线结构,以使所述半导体芯片安装在所述下层配线结构与所述上层配线结构之间,并且将所述上层配线结构与所述导通塞连接。

12. 根据权利要求 9 所述的制造配线基板的方法,其中,所述下层配线结构形成在芯板上,并且所述方法还包括:去除所述芯板。

13. 根据权利要求 12 所述的制造配线基板的方法,其中,所述芯板由导电材料制成,并且形成所述下层配线结构的步骤包括:通过使用所述芯板作为电极的电镀形成下层配线结构。

14. 根据权利要求 9 所述的制造配线基板的方法,其中,所述半导体芯片通过在半导体芯片上形成的柱形凸点电连接到所述下层配线结构上。

15. 根据权利要求 14 所述的制造配线基板的方法,还包括:在所述柱形凸点与下层配线结构之间形成由焊料制成的连接部。

16. 根据权利要求 9 所述的制造配线基板的方法,其中,形成所述绝缘层的步骤包括:形成第一绝缘层,以便覆盖所述半导体芯片和所述下层配线结构;以及形成第二绝缘层,以便覆盖所述半导体芯片和所述加强构件,所述加强构件在所述第一绝缘层上形成。

17. 根据权利要求 16 所述的制造配线基板的方法,还包括:通过加热使所述第一绝缘层和所述第二绝缘层硬化,其中,所述第一绝缘层和所述第二绝缘层由热硬化树脂材料制成。

## 配线基板及其制造方法

### 技术领域

[0001] 本发明涉及一种制造配线基板的方法,更具体地说,本发明涉及制造结合了半导体芯片的配线基板的方法。

### 背景技术

[0002] 当前,使用半导体器件,如半导体芯片,的电子装置的高性能化已取得进展。这样便存在如下需求:在基板上安装半导体芯片的高密度化、使其上安装有半导体芯片的基板的小型化以及基板内的节省空间化。

[0003] 因此,已提出半导体芯片嵌入其中的基板,即内置芯片型配线基板。并且已提出了多种用于将半导体芯片结合在基板内的结构(例如,参考 JP-A-2001-196525)。这种内置芯片型配线基板具有与半导体芯片连接的配线结构。而且,在配线基板上形成有端子连接部,这样使得配线基板可以与其他装置、母板或类似装置连接。

[0004] 然而,在实现了内置芯片型配线基板的薄型化(变薄)和高密度化的情况下,可能出现配线基板翘曲的问题。为了解决配线基板的这种翘曲,有必要将具有预定厚度的基板,如芯板,与半导体芯片嵌入在其中的层进行层叠,以使配线基板具有抑制翘曲的结构。因此,在具有这种层叠结构的内置芯片型配线基板中,难以减小配线基板的厚度和提高配线基板中的密度。

[0005] 而且,在抑制配线基板翘曲的同时,难以实现配线基板的薄型化。

### 发明内容

[0006] 本发明的目的是提供一种新型且实用的配线基板,以及一种制造该配线基板的方法,从而解决上述问题。

[0007] 在本发明中,可以实现结合半导体芯片的配线基板的薄型化,并且可以抑制这种配线基板的翘曲。

[0008] 在一些实施例中,本发明的配线基板包括:至少一个半导体芯片;绝缘层,其中嵌入至少一个半导体芯片;配线结构,其与半导体芯片连接;以及至少一个用于加强绝缘层的加强构件,所述加强构件嵌入在绝缘层中。

[0009] 所述配线基板具有这样的结构:即,该结构能够抑制配线基板的翘曲,并可以实现配线基板的薄型化。

[0010] 在本发明的配线基板中,加强构件与半导体芯片安装在基本相同的平面上。这样,可以减小配线基板的厚度。

[0011] 在本发明的配线基板中,加强构件形成为包围半导体芯片。这样,可以有利地增强抑制配线基板翘曲的效果。

[0012] 在本发明的配线基板中,配线结构具有多层配线结构。这样,可以实现配线结构的高密度化。因此,本实施例是有显著效果的。

[0013] 在本发明的配线基板中,配线结构包括:第一配线子结构,其在半导体芯片的第一

侧形成；以及第二配线子结构，其在半导体芯片的第二侧形成。这样，可以实现配线结构的高密度化。因此，本实施例是有显著效果的。

[0014] 在本发明的配线基板中，第一配线子结构和第二配线子结构通过在绝缘层中形成的导通塞连接。这样，可以实现配线结构的高密度化。因此，本实施例是有显著效果的。

[0015] 本发明的配线基板还包括：第一端子连接部，其在配线基板的第一表面上形成，并通过配线结构与半导体芯片连接；以及第二端子连接部，其在配线基板的第二表面上形成，并通过配线结构与半导体芯片连接。这样，端子连接部可以分别连接到半导体芯片的与第一表面和第二表面对应的两个侧面中的每个侧面上。

[0016] 在本发明的配线基板中，加强构件由有机芯材料或金属材料制成。

[0017] 在一些实施例中，本发明的制造配线基板的方法包括：形成下层配线结构；将至少一个半导体芯片安装在下层配线结构上，并且将半导体芯片与下层配线结构连接；形成至少一个加强构件；以及形成绝缘层，以便将半导体芯片和加强构件嵌入在绝缘层中，加强构件用于加强绝缘层。

[0018] 该制造配线基板的方法能够抑制配线基板的翘曲，并且可以实现配线基板的薄型化。

[0019] 在本发明的制造配线基板的方法中，加强构件与半导体芯片安装在基本相同的平面上。这样，可以减小配线基板的厚度。

[0020] 本发明的制造配线基板的方法还包括：在绝缘层中形成导通塞，并且将导通塞与下层配线结构连接；以及形成上层配线结构，使得半导体芯片安装在下层配线结构与上层配线结构之间，并且将上层配线结构与导通塞连接。这样，可以实现配线结构的高密度化。因此，本实施例是有显著效果的。

[0021] 在本发明的制造配线基板的方法中，下层配线结构形成在芯板上，并且方法还包括：去除芯板。这样，可以减小配线基板的厚度。而且，可以稳定地形成配线基板。因此，本实施例是有显著效果的。

[0022] 在本发明的制造配线基板的方法中，芯板由导电材料制成，并且形成下层配线结构的步骤包括：通过使用芯板作为电极的电镀形成下层配线结构。在进行电镀时，这有助于供给电能。因此，本实施例是有显著效果的。

[0023] 在本发明的制造配线基板的方法中，半导体芯片通过在半导体芯片上形成的柱形凸点电连接到下层配线结构上凸点是。这样，可以提高半导体芯片与配线结构之间连接的可靠性。

[0024] 本发明的制造配线基板的方法还包括：在柱形凸点与下层配线结构之间形成由焊料制成的连接部。这样，可以提高半导体芯片与配线结构之间连接的可靠性。

[0025] 根据本发明，减小了结合了半导体芯片的配线基板的厚度，并且可以抑制这种配线基板的翘曲。

## 附图说明

[0026] 图 1 为根据本发明第一实施例的配线基板的示意性剖视图。

[0027] 图 2A 为根据第一实施例的加强构件的设置方法的第一视图。

[0028] 图 2B 为根据第一实施例的加强构件的设置方法的第二视图。

- [0029] 图 2C 为根据第一实施例的加强构件的设置方法的第三视图。
- [0030] 图 3A 为根据第一实施例的配线基板的制造方法的第一视图。
- [0031] 图 3B 为根据第一实施例的配线基板的制造方法的第二视图。
- [0032] 图 3C 为根据第一实施例的配线基板的制造方法的第三视图。
- [0033] 图 3D 为根据第一实施例的配线基板的制造方法的第四视图。
- [0034] 图 3E 为根据第一实施例的配线基板的制造方法的第五视图。
- [0035] 图 3F 为根据第一实施例的配线基板的制造方法的第六视图。
- [0036] 图 3G 为根据第一实施例的配线基板的制造方法的第七视图。
- [0037] 图 3H 为根据第一实施例的配线基板的制造方法的第八视图。
- [0038] 图 3I 为根据第一实施例的配线基板的制造方法的第九视图。
- [0039] 图 3J 为根据第一实施例的配线基板的制造方法的第十视图。
- [0040] 图 3K 为根据第一实施例的配线基板的制造方法的第十一视图。
- [0041] 图 3L 为根据第一实施例的配线基板的制造方法的第十二视图。
- [0042] 图 3M 为根据第一实施例的配线基板的制造方法的第十三视图。
- [0043] 图 3N 为根据第一实施例的配线基板的制造方法的第十四视图。
- [0044] 图 3O 为根据第一实施例的配线基板的制造方法的第十五视图。
- [0045] 图 4 为图 1 所示的配线基板的第一变型的视图。
- [0046] 图 5 为图 1 所示的配线基板的第二变型的视图。

### 具体实施方式

[0047] 下面,参照附图对发明的实施例进行描述。

[0048] 第一实施例

[0049] 图 1 示意性地示出根据本发明第一实施例的配线基板 100 的剖视图。

[0050] 参照图 1,根据本实施例的配线基板 100 包括嵌入在绝缘层 103 中的半导体芯片 109,以及与半导体芯片 109 连接的配线结构。该配线结构具有图案配线 106、117,以及导通塞 (via plug) 105、116。

[0051] 此外,配线基板 100 具有:端子连接部 102,其形成在配线基板 100 的第一侧;端子连接部 119,其形成在与配线基板 100 的第一侧相对的第二侧。端子连接部 102、119 通过配线结构与半导体芯片 109 连接。

[0052] 迄今为止,在减小这种内置半导体芯片型配线基板厚度的情况下,有时将配线基板与用于支撑该配线基板且抑制配线基板翘曲的结构体,如芯板,进行层叠。因此,难以同时实现配线基板的薄型化和抑制配线基板的翘曲。

[0053] 因此,根据本实施例的配线基板 100 构造成:将通过加强绝缘层 103 以防止配线基板翘曲的加强构件 112 嵌入在绝缘层 103 中,在该绝缘层 103 中嵌入有半导体芯片 109。使用加强构件 112 可以抑制配线基板 100 的翘曲。在上述结构的情况下,可以有效地抑制配线基板 100 的翘曲,而几乎没有增加配线基板 100 的厚度。

[0054] 在图 1 中,在配线基板 100 中设置单个半导体芯片 109,以便简化附图和描述。然而,与其中安装单个半导体芯片 109 的结构类似,也可以在配线基板 100 中安装多个半导体芯片 109。而且,在这种情况下,通过将加强构件 112 嵌入绝缘层 103 中,也可以类似地抑制

配线基板 100 的翘曲。

[0055] 这样,与具有其中绝缘层 103 和用于支撑该绝缘层 103 的芯板层叠在一起的结构配线基板相比,本实施例的结构可以减小配线基板的厚度。

[0056] 接下来,描述配线基板 100 的构造细节。例如,与半导体芯片 109 连接的配线结构包括例如由 Cu 制成的图案配线 106、117,以及导通塞 105、116。这些配线结构与半导体芯片 109 连接。

[0057] 在半导体芯片 109 的电极片(未图示)上形成例如由 Au 制成的柱形凸点 108(stud bump),该柱形凸点 108 通过例如由焊料制成的连接部 107 电连接到图案配线 106 上。通过使用柱形凸点 108,提高了半导体芯片 109 与图案配线 106 之间电连接的可靠性。而且,通过在柱形凸点 108 与图案配线 106 之间形成连接部 107,也进一步提高了柱形凸点 108 与图案配线 106 之间电连接的可靠性。

[0058] 图案配线 106 与导通塞 105 一体地形成。在导通塞 105 连接到图案配线 106 那侧的相对侧上,形成包括例如 Au/Ni 电镀层的端子连接部 102。该端子连接部 102 是以其一个表面从绝缘层 103 露出的方式形成的。阻焊层 120 覆盖绝缘层 103 且包围端子连接部 102。此外,也可以根据需要在端子连接部 102 上形成焊料凸点 121。

[0059] 此外,在配线基板中形成图案配线 106 侧的相对侧面上,在例如绝缘层 103 上形成图案配线 117。导通塞 116 连接图案配线 117 和 106。例如,导通塞 116 与图案配线 117 一体地形成。

[0060] 包括例如 Ni/Au 电镀层的端子连接部 119 形成在图案配线 117 上。在绝缘层 103 和图案配线 117 上形成阻焊层 118 以包围端子连接部 119。

[0061] 例如,在所谓的积层基板中使用的积层树脂(build-up resin)可以用于形成绝缘层 103。例如,可以使用热硬化树脂材料,如环氧树脂和聚酰亚胺树脂。

[0062] 优选地,在半导体芯片 109 与图案配线 106 之间,或者在半导体芯片 109 与绝缘层 103 之间,形成由树脂材料构成的底部填充层(underfill layer)110。

[0063] 配线基板 100 可以构造成例如省去阻焊层 118、120 以及焊料凸点 121。

[0064] 在根据本实施例的配线基板 100 中,可以连接到半导体芯片 109 上的端子连接部分别设置在配线基板的两侧面上。因此,配线基板 100 构造成:诸如其他的装置、其他的半导体芯片和母板等的连接对象可以容易地连接到配线基板 100 的两侧面上。

[0065] 加强构件 112 可以使用各种材料。例如,可以使用比绝缘层 103 硬度高的树脂材料,这些材料例如是:在芯板中或类似物中使用的有机芯材料(有时称为预浸渍材料),金属材料如 Cu、Ni、Fe、这些金属材料的合金材料,或复合材料。

[0066] 优选地,加强构件 112 在与其上形成有半导体芯片 109 的平面基本相同的平面上形成。这样,加强构件 112 嵌入在绝缘层 103 中,而不会增加绝缘层 103 的厚度。

[0067] 根据本实施例的配线基板 100 可以按照半导体芯片的规格和连接的规格而形成各种形状和厚度。配线基板的实际厚度的例子在下面进行描述。

[0068] 例如,在半导体芯片 109 的厚度 D2 被设定为 80  $\mu\text{m}$  的情况下,从半导体芯片 109 的上端面到阻焊层 118 的距离 D1 是 20  $\mu\text{m}$ 。从半导体芯片 109 的下端面到图案配线 106 上端的距离 D3 是 45  $\mu\text{m}$ 。

[0069] 阻焊层 118 的厚度 d1 和阻焊层 120 的厚度 d5 的厚度都是 30  $\mu\text{m}$ 。从阻焊层 120

的上端面到图案配线 106 的下端面的距离  $d_4$  是  $25\ \mu\text{m}$ 。图案配线 106 的厚度  $d_3$  是  $10\ \mu\text{m}$ 。从图案配线 106 的上端面到阻焊层 118 的下端面的距离  $d_2$  是  $145\ \mu\text{m}$ 。

[0070] 在这种情况下,配线基板(除焊料凸点 121 之外)的厚度等于  $240\ \mu\text{m}$ 。

[0071] 图 2A 示意性地示出了图 1 中所示的配线基板 100 的平面图。顺便指出,在图 2A 中,未示出除半导体芯片 109 和加强构件 112 之外的部件。如图 2A 所示,例如,加强构件 112 在半导体芯片 109 的周围形成,以便包围半导体芯片 109。因此,更有利于防止基板的翘曲。顺便指出,可以在配线基板上安装单个或多个半导体芯片。

[0072] 加强构件并不限于上述的例子。例如,加强构件的形状可以以下述各种方式进行改变。

[0073] 图 2B 和 2C 示出了图 2A 所示的加强构件的变型。顺便指出,在图 2B 和 2C 中,用与图 2A 中使用的附图标记相同的附图标记来表示图 2A 所示的上述部件。因此,省略对这些部件的描述。加强构件可以变型为如图 2B 所示的加强构件 112A 一样,分别放置在配线基板的两侧(端部)且彼此相对。作为另外一种选择,加强构件可以变型为如图 2C 所示的加强构件 112B 一样,该加强构件 112B 分别放置在配线基板的角部附近且彼此相对。在图 2C 中,加强构件 112 以部分地包围多个半导体芯片的方式形成。如上所述,根据半导体芯片的大小、配线结构或配线基板的规格,可以对加强构件作出各种变型和改变。

[0074] 接下来,参照图 3A ~ 3O,按步骤依次对根据本发明该实施例的图 1 所示的配线基板 100 的制造方法的示例进行说明。

[0075] 首先,如图 3A 所示,制备厚度例如为  $200\ \mu\text{m}$  的由 Cu 制成的芯板 101。

[0076] 随后,在如图 3B 所示的步骤中,在芯板 101 上,使用通过光刻法制作的抗蚀图形作为掩膜,并且使用芯板 101 作为电极,通过电镀形成由例如 Au/Ni 制成的端子连接部 102。这样,在芯板 101 由导电材料制成的情况下,芯板 101 可以用作电镀时的电极。当在随后的步骤中执行电镀时,根据需要将芯板用作电极(或用作电镀时的通电线路)。在形成端子连接部 102 之后,将该抗蚀图形剥离。

[0077] 接着,在图 3C 所示的步骤中,通过例如层压或涂敷形成由树脂材料,如环氧树脂,制成的绝缘层 103,例如以便覆盖端子连接部 102。而且,通过使用例如激光束加工出导通孔 103A,以使端子连接部露出。而且,优选地,在形成导通孔 103A 之后,根据需要执行去污处理,以去除导通孔 103A 内的残渣,并且使得绝缘层 103 的表面粗糙化。

[0078] 接下来,在图 3D 所示的步骤中,通过例如无电解镀铜在绝缘层 103 的表面和端子连接部 102 的表面上形成种晶层 104。

[0079] 接下来,在图 3E 所示的步骤中,使用通过光刻法制作的抗蚀图形作为掩膜,通过例如电镀铜以形成导通塞 105,以便掩盖导通孔 103A。并且,要连接到导通塞 105 上的图案配线 106 与导通塞 105 一体地形成。在电镀电解完成之后,将抗蚀图形剥离。

[0080] 接下来,在图 3F 所示的步骤中,通过蚀刻去除在绝缘层 103 上形成的种晶层 104 的多余部分。然后,使用在绝缘层 103 和图案配线 106 上形成的抗蚀图形作为掩膜,其中通过光刻法制作所述抗蚀图形,并通过电镀在图案配线 106 上形成由例如焊料制成的连接部 107。

[0081] 在这种情况下,优选地,在连接部 107 与图案配线 106 之间形成作为阻挡层的 Ni 层。在电镀完成之后,将抗蚀图形剥离。而且,在这种情况下,用于形成连接部 107 的方法



并不限于电镀。例如,也可以使用这样的方法:将粘合材料涂敷在图案配线 106 上,并且涂细焊锡粉,以使焊锡粉粘在粘合材料上。

[0082] 接下来,在如图 3G 所示的步骤中,将半导体芯片 109 设置(安装)在图案配线 106 上。在这种情况下,在半导体芯片 109 的电极片(未图示)上设置由例如 Au 制成的柱形凸点 108。半导体芯片 109 安装在图案配线 106 上,使得柱形凸点 108 与连接部 107 接触。此时,对基板进行加热以进行回流焊接。这样,提高了柱形凸点 108 与连接部 107 之间连接的可靠性。

[0083] 优选地,例如,在半导体芯片 109 与图案配线 106 之间的空间,或者在半导体芯片 109 与绝缘层 103 之间的空间,填充树脂材料,从而形成底部填充层 110。

[0084] 接着,在图 3H 所示的步骤中,通过例如层压形成由例如可热硬化环氧树脂或可热硬化聚酰亚胺树脂制成的绝缘层 111,以便覆盖绝缘层 103、图案配线 106 和半导体芯片 109。

[0085] 绝缘层 111 用于防止加强构件与图案配线 106 的接触引起在随后步骤中设置的加强构件或图案配线 106 受到损坏。在这种情况下,绝缘层 111 例如形成为具有大约 25  $\mu\text{m}$  的厚度。

[0086] 特别是,在绝缘层 111 是由与绝缘层 103 相同的材料制成的情况下,绝缘层 103 与 111 完全彼此一体地形成。因此,在该图和随后的图中,假定绝缘层 103 与 111 形成为一个绝缘层,并将包括绝缘层 111 的绝缘层 103 表示为绝缘层 103。

[0087] 接着,在图 3I 所示的步骤中,通过绝缘层 103 在图案配线 106 上设置(安装)例如厚度为 100  $\mu\text{m}$  且由有机芯材料(预浸渍处理材料)制成的加强构件 112。在这种情况下,金属材料如 Cu 和 Ni 可以用于加强构件 112。作为另外一种选择,加强构件 112 可以由例如电镀法形成。

[0088] 接下来,在图 3J 所示的步骤中,通过层压形成由例如可热硬化环氧树脂或可热硬化聚酰亚胺树脂制成的绝缘层 113,以便覆盖加强构件 112 和半导体芯片 109。

[0089] 特别是,在绝缘层 113 是由与绝缘层 103 相同的材料制成的情况下,绝缘层 103 与 113 完全彼此一体地形成。因此,在该图和随后的图中,假定绝缘层 103 与 113 形成为一个绝缘层,并将包括绝缘层 113 的绝缘层 103 表示为绝缘层 103。

[0090] 接下来,在图 3K 所示的步骤中,通过加热绝缘层 103 而执行热硬化步骤(硬化步骤)。在这种情况下,加强构件 112 嵌入在绝缘层 103 中。所以,可以抑制由于温度变化而引起绝缘层 103 的翘曲程度,这样绝缘层 103 可以保持良好的平面度。

[0091] 接下来,在图 3L 所示的步骤中,通过使用例如激光束在绝缘层 103 中形成延伸到图案配线 106 的导通孔 114。而且,根据需要可以进行去污处理。然后,在包括导通孔 114 的内壁表面的绝缘层 103 以及露出的图案配线 106 上,通过例如无电镀铜形成种晶层 115。

[0092] 接下来,在图 3M 所示的步骤中,使用通过光刻法制作的抗蚀图形作为掩膜,通过电解镀铜形成导通塞 116,以便掩盖导通孔 114。并且,要连接到导通塞 116 的图案配线 117 与导通塞 116 一体地形成。在电镀完成之后,将抗蚀图形剥离。而且,通过蚀刻去除在绝缘层 103 上形成的种晶层 115 的多余部分。

[0093] 接下来,在图 3N 所示的步骤中,在图案配线 117 和绝缘层 103 上形成阻焊层 118,以使图案配线 117 的一部分露出。然后,在图案配线 117 露出的部分上,通过无电镀法形成

由例如 Ni/Au 制成的端子连接部 119。

[0094] 接下来,在图 30 所示的步骤中,通过例如蚀刻去除由例如 Cu 制成的芯板 101。然后,如图 1 所示,形成阻焊层 120。接着,根据需要形成焊料凸点 121。从而,形成配线基板 100。

[0095] 在本实施例中,通过蚀刻去除由例如 Cu 制成的芯板 101。然而,作为另外一种选择,例如通过制备在其上贴有粘性剥离带的芯板 101,可以芯板 101 在其与绝缘层 103 接触的那侧设置剥离层。优选地,通过加热以降低该剥离层的粘结强度。在这种情况下,在如图 30 所示的从绝缘层 103 去除芯板 101 的步骤中,通过用例如烘箱对整个配线基板进行加热,以从剥离层剥离绝缘层 103。

[0096] 根据本实施例的制造方法,在图 3I 所示的步骤中设置加强构件 112。然后,在图 3K 所示的步骤中,在其中嵌入加强构件 112 的绝缘层 103 上进行硬化处理。这样,在随后的步骤中,获得了抑制绝缘层 103 或整个配线基板的翘曲程度的优点。特别是,与现有技术的方法相比,可以更有效地抑制由于温度的升高 / 下降使应力变化而引起的翘曲程度,以及可以更有效地抑制由于电镀、去污处理、层压处理等使应力变化而引起的翘曲程度。因此,可以形成平面度高且具有高可靠性的配线基板。

[0097] 另外,在本实施例中,例如,在预定的制造过程中,在由例如 Cu 制成的芯板 101 上形成配线基板 100。因此,抑制了制造过程中的翘曲程度。而且,在预定制造过程完成之后去除芯板 101。从而,可以减小配线基板的厚度。

[0098] 第二实施例

[0099] 根据本发明的配线基板并不限于上述实施例。例如,可以对配线结构或加强构件进行各种方式的变型或改变。

[0100] 例如,图 4 示意性地示出了作为配线基板 100 的变型的配线基板 200。

[0101] 参照图 4,在图中所示的配线基板 200 中,绝缘层 203、端子连接部 202 和 219、半导体芯片 209、柱形凸点 208、连接部 207、底部填充层 210、阻焊层 218 和 220 以及加强构件 212 分别相当于图 1 所示的绝缘层 103、端子连接部 102 和 119、半导体芯片 109、柱形凸点 108、连接部 107、底部填充层 110、阻焊层 118 和 120 以及加强构件 112。配线基板 200 具有类似于配线基板 100 的结构。

[0102] 在配线基板 200 的情况下,与配线基板 100 相比,增加了多个与半导体芯片 209 连接的配线结构的层。例如,配线基板 100 总共具有两层配线,其中一层设置在半导体芯片的下侧,而另一层设置在半导体芯片的上侧。配线基板 200 总共具有四层配线,其中两层设置在半导体芯片的下侧,而其余两层设置在半导体芯片的上侧。

[0103] 在配线基板 200 的情况下,导通塞 205 和 216 与图案配线 206 连接,半导体芯片 209 连接到该图案配线 206 上。此外,导通塞 205 与图案配线 223 连接,并且图案配线 223 与在其上形成端子连接部 202 的导通塞 222 连接。另一方面,图案配线 217 与导通塞 216 连接。图案配线 217 经由导通塞 224 与在其上形成端子连接部 219 的图案配线 225 连接。

[0104] 这样,可以根据需要改变配线的层数。

[0105] 根据半导体芯片的规格和连接的规格,配线基板 200 可以以各种形状、厚度形成。配线基板的实际厚度的例子在下面进行描述。

[0106] 例如,在半导体芯片 209 的厚度 D5 被设定为 80  $\mu\text{m}$  的情况下,从半导体芯片 209

的上端面到图案配线 217 的距离 D4 是  $20\ \mu\text{m}$ 。从半导体芯片 209 的下端面到图案配线 206 的上端面的距离 D6 是  $45\ \mu\text{m}$ 。

[0107] 阻焊层 218 的厚度 d6 和阻焊层 220 的厚度 d12 的厚度都是  $30\ \mu\text{m}$ 。从阻焊层 220 的上端面到图案配线 223 的下端面的距离 d11 是  $25\ \mu\text{m}$ 。从图案配线 223 的下端面到图案配线 206 的下端面的距离 d10 是  $25\ \mu\text{m}$ 。图案配线 206 的厚度 d9 是  $10\ \mu\text{m}$ 。从图案配线 206 的上端面到图案配线 217 的下端面的距离 d8 是  $145\ \mu\text{m}$ 。从图案配线 217 的下端面到阻焊层 218 的下端面的距离 d7 是  $25\ \mu\text{m}$ 。

[0108] 在这种情况下,配线基板 200 的厚度(除焊料凸点 221 之外)等于  $290\ \mu\text{m}$ 。

[0109] 图 5 示意性地示出作为配线基板 100 的另一个变型的配线基板 200A。顺便说明,在该图中,用相同的附图标记表示上述部件。因而省略了对这些部件的描述。

[0110] 参照图 5,在图中所示的配线基板 200A 中,相当于加强构件 212 的加强构件 212A 同样也在半导体芯片 209 的附近形成。加强构件 212A 的总面积大于加强构件 212 的总面积。

[0111] 在这种情况下,在加强构件 212A 中形成用于形成导通塞 216 的孔部。

[0112] 这样,根据需要可以对加强构件和配线结构作出各种变型和改变。

[0113] 在上述实施例中,加强构件安装在正面朝下型(倒装芯片型)配线基板中以抑制配线基板的翘曲。然而,作为另外一种选择,加强构件也可以安装在正面朝上型配线基板中。而且,通过将加强构件安装在其中嵌入半导体芯片的绝缘层内,可以有效地抑制正面朝上型配线基板的翘曲,而几乎不增加正面朝上型配线基板的厚度。

[0114] 虽然已参照具体实施例对本发明进行了描述,但只要不脱离所附权利要求书中描述的本发明的精神和范围的情况下,本领域的技术人员可以对本发明作出各种变型和改变。

[0115] 根据本发明,能够减小结合了半导体芯片的配线基板的厚度,并且也可以抑制这种配线基板的翘曲。

[0116] 本申请基于 2005 年 3 月 15 日提交的日本专利申请 No. 2005-073946,并要求该申请的外国优先权,所述日本专利申请的全部内容以引用的方式并入本文。

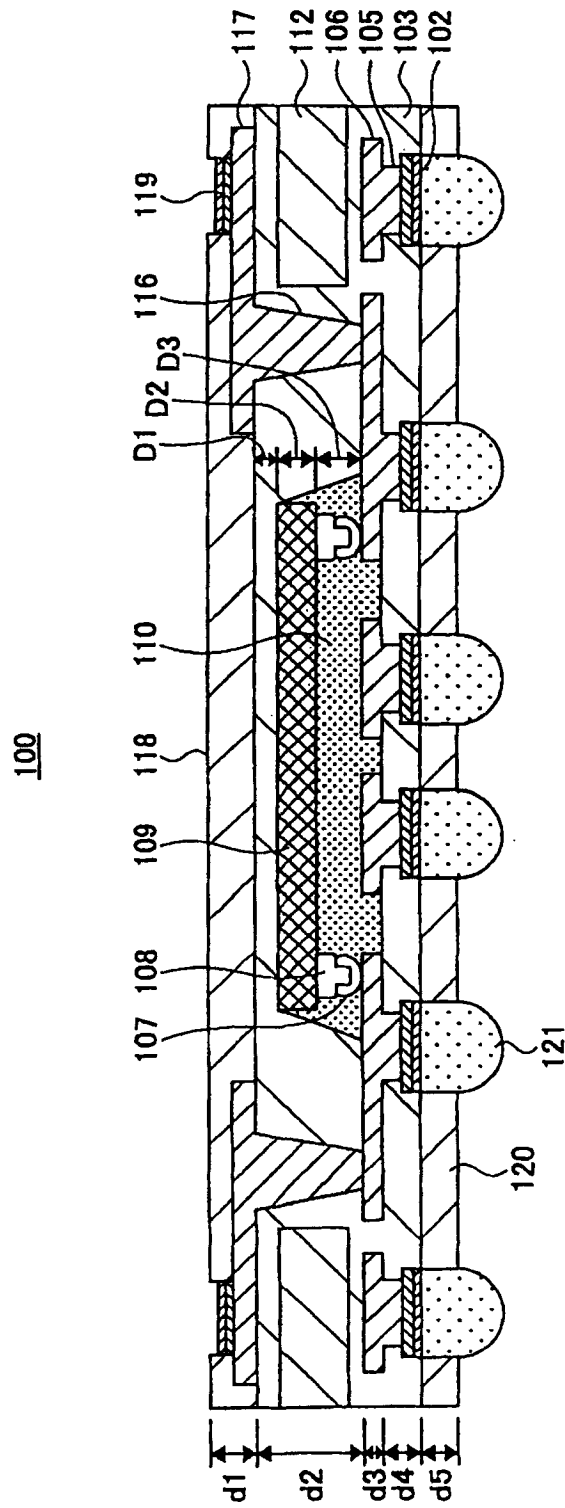


图 1

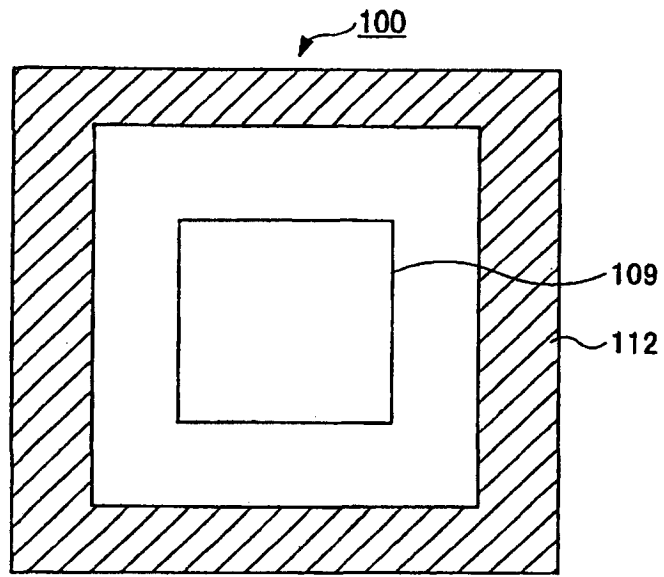


图 2A

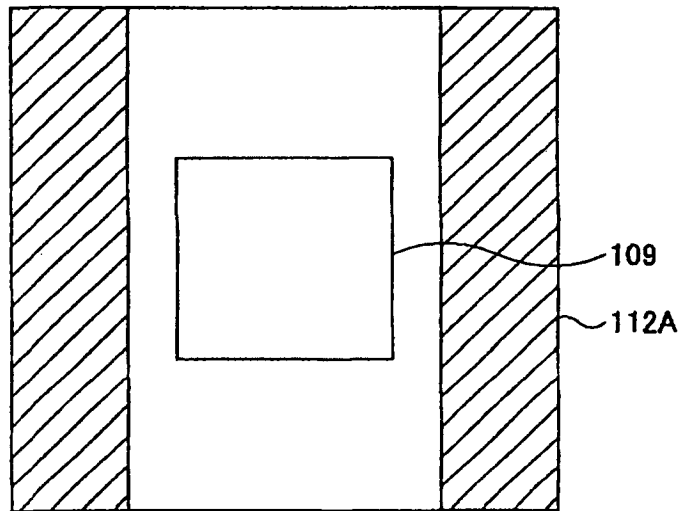


图 2B

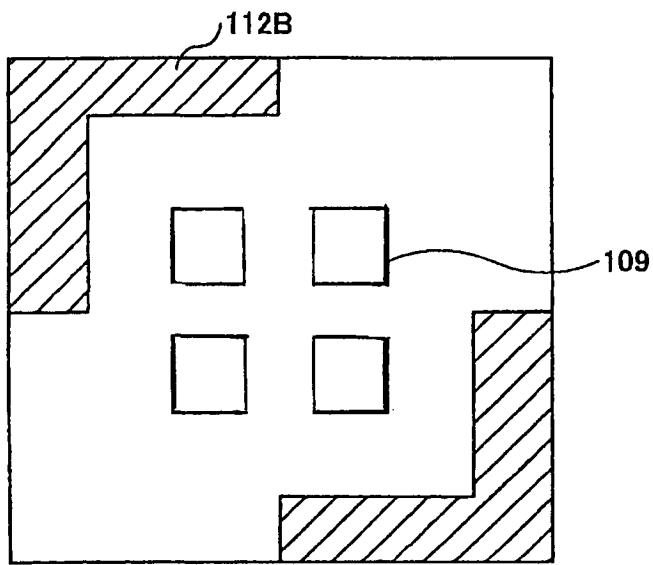


图 2C



图 3A

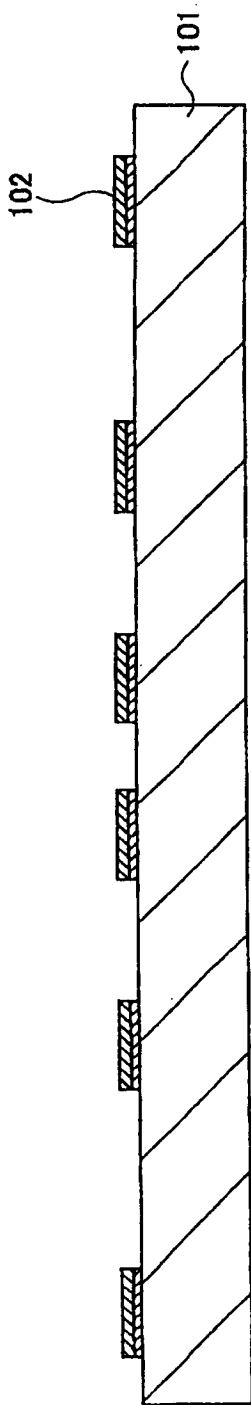


图 3B

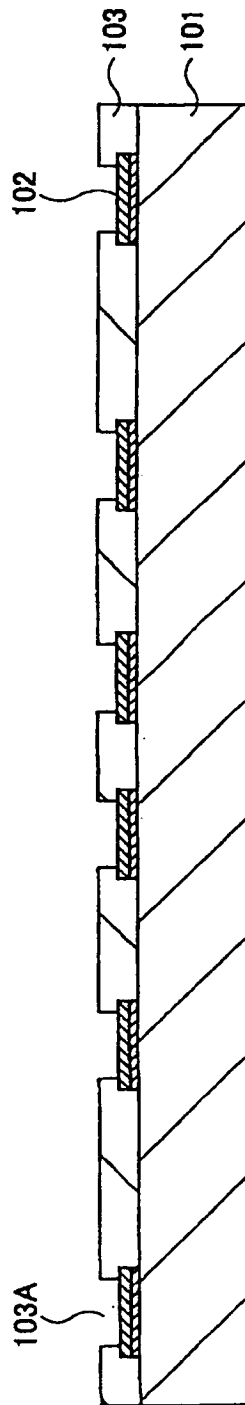


图 3C

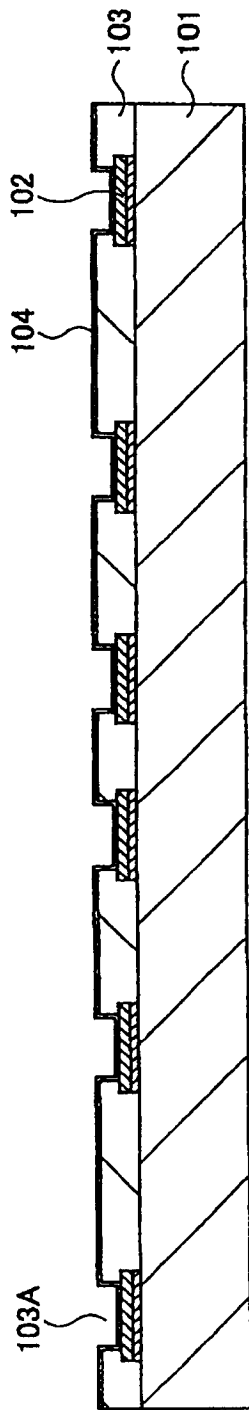


图 3D

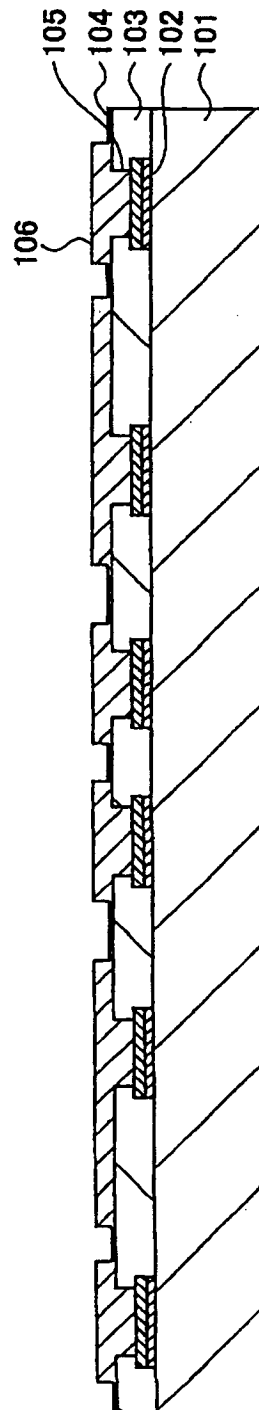


图 3E



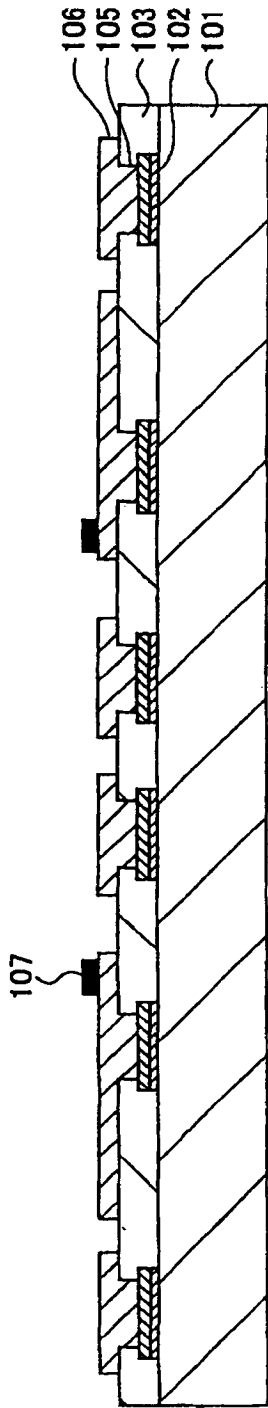


图 3F

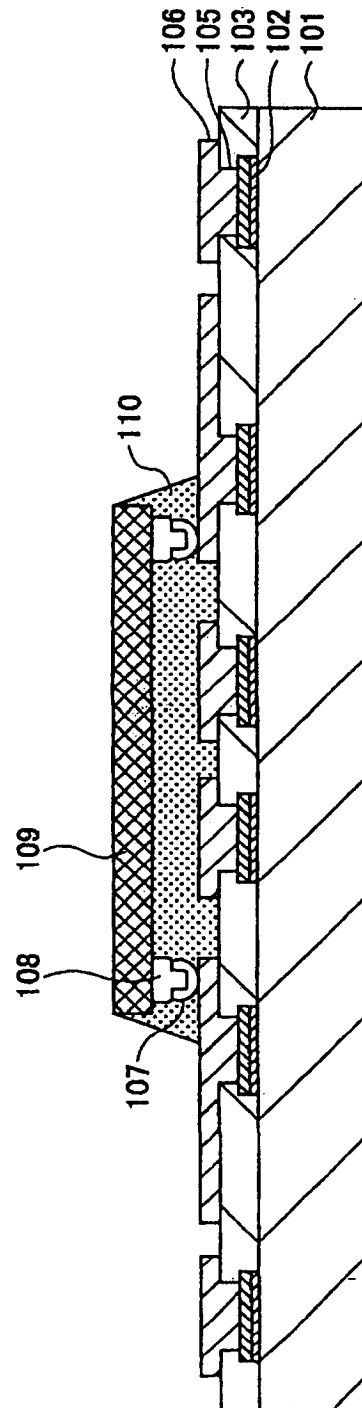


图 3G

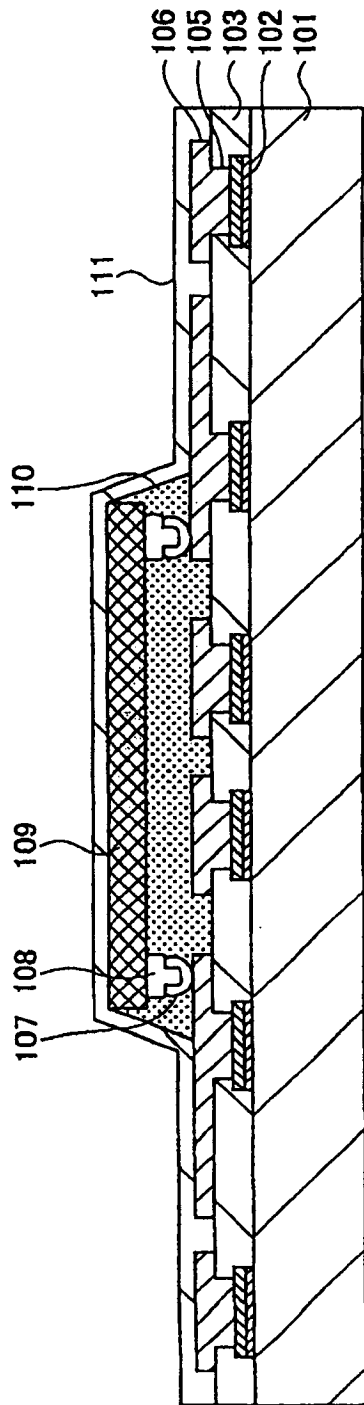


图 3H

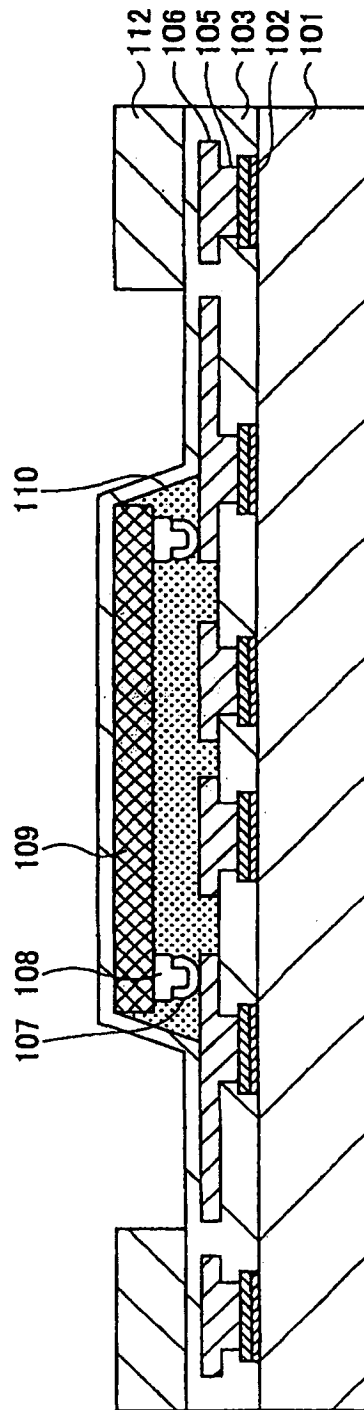


图 3I

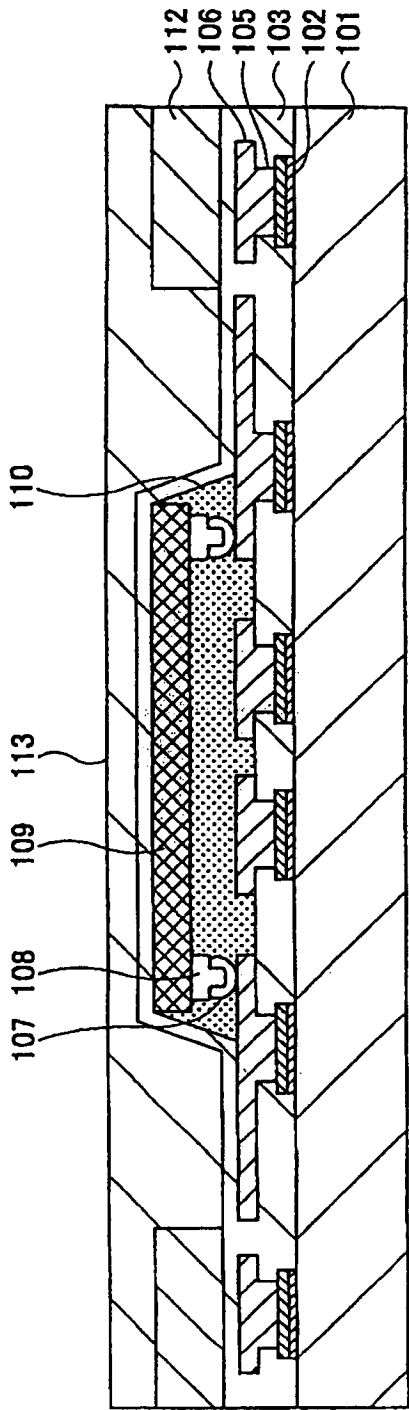


图 3J

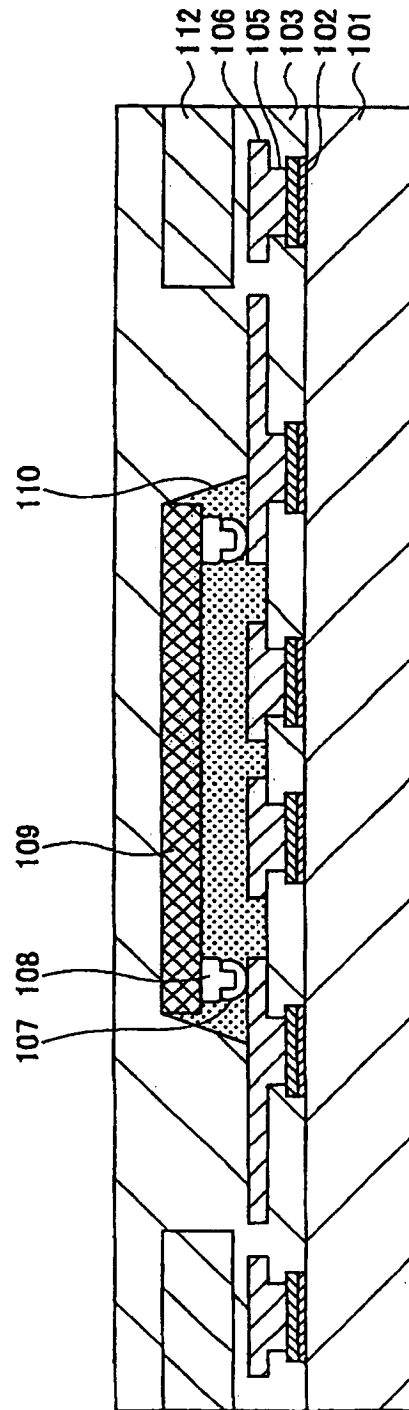


图 3K

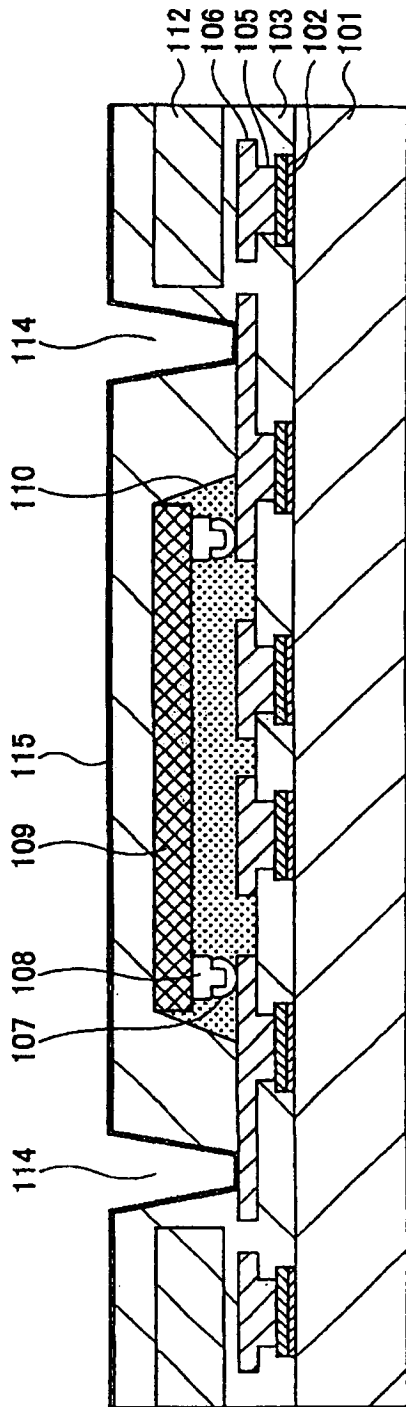


图 3L

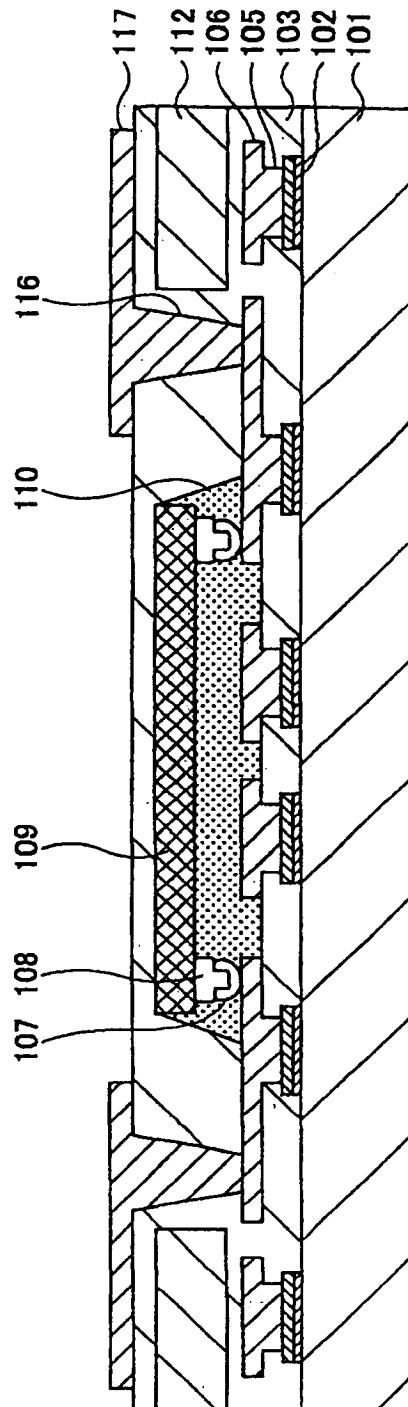


图 3M

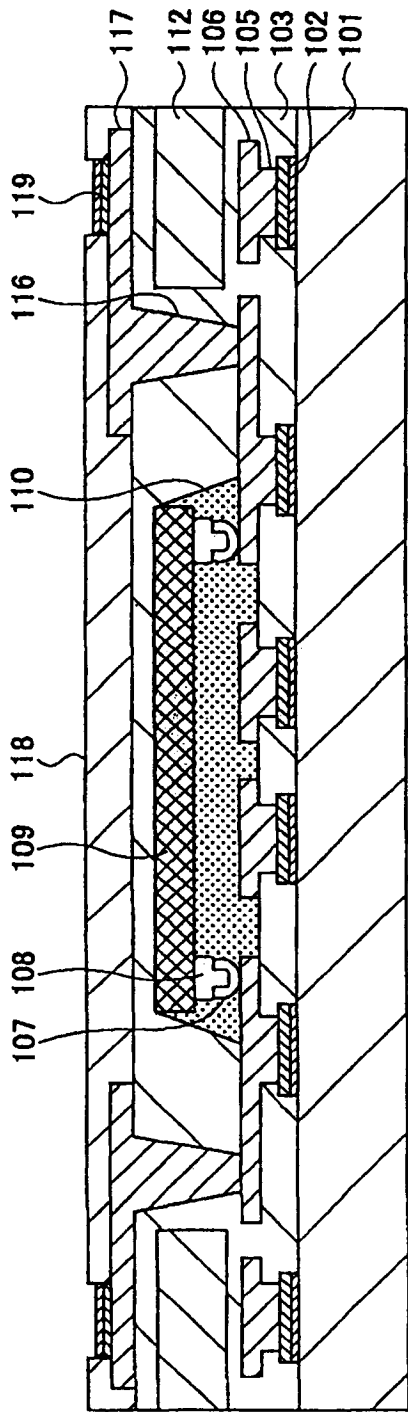


图 3N

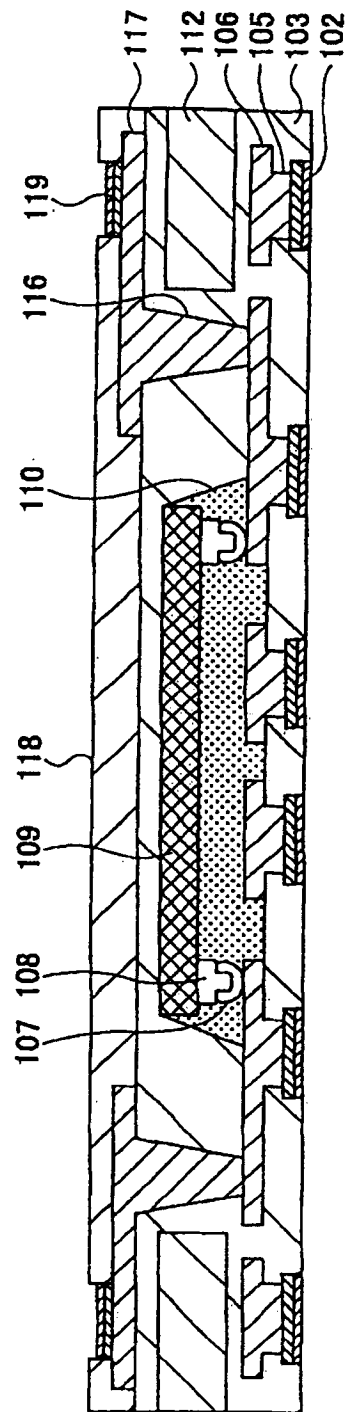


图 30

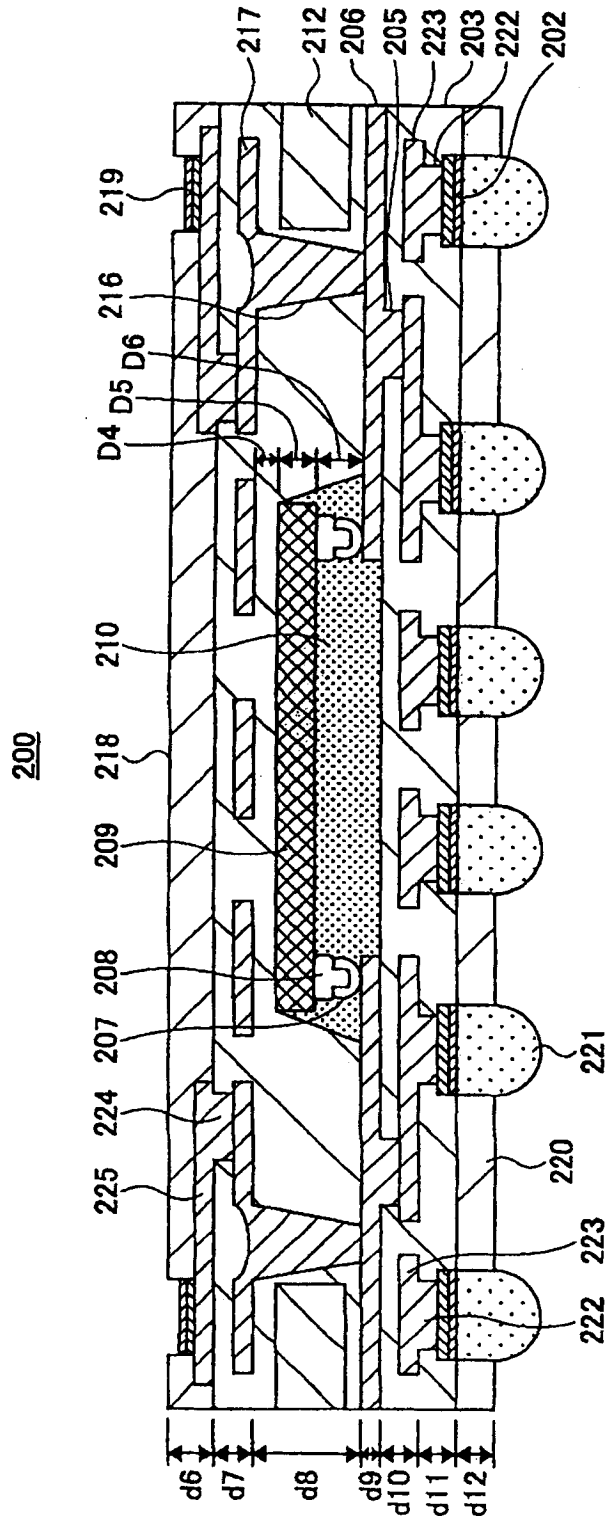


图 4

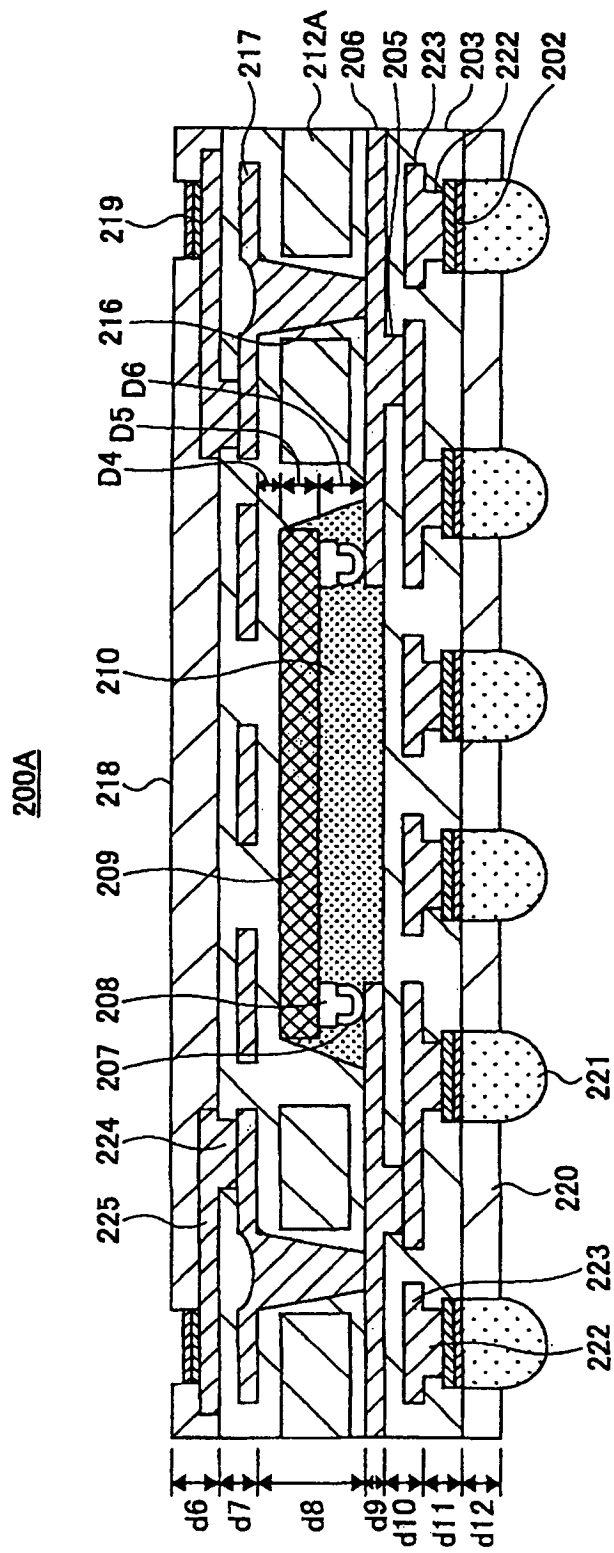


图 5