

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 10 月 28 日(28.10.2010)

PCT

(10) 国際公開番号
WO 2010/122784 A1

- (51) 国際特許分類:
H03M 1/12 (2006.01) H03M 1/50 (2006.01)
G03B 5/00 (2006.01) H04N 5/232 (2006.01)
- (21) 国際出願番号: PCT/JP2010/002853
- (22) 国際出願日: 2010 年 4 月 20 日(20.04.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-105236 2009 年 4 月 23 日(23.04.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): オリンパス株式会社(OLYMPUS CORPORATION) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 Tokyo (JP). 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 原田靖也(HARADA, Yasunari) [JP/JP]; 〒1510072 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパス株式会社内 Tokyo (JP). 渡辺高元(WATANABE,

Takamoto) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内 Aichi (JP).

(74) 代理人: 棚井澄雄, 外(TANAI, Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

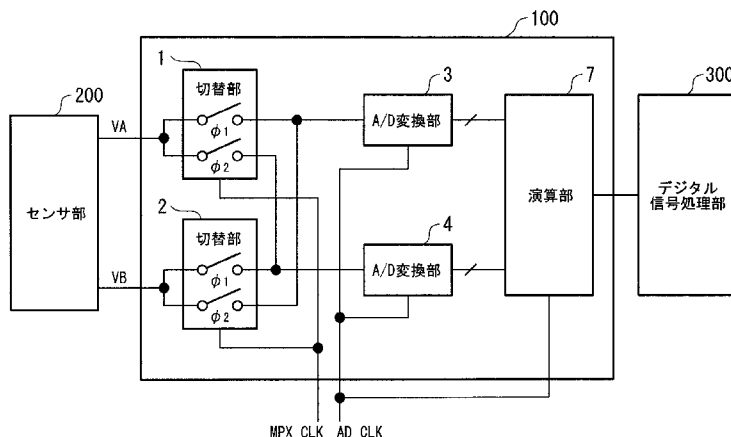
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: A/D CONVERSION CIRCUIT, SIGNAL PROCESSING CIRCUIT, AND SHAKE DETECTION DEVICE

(54) 発明の名称: A/D 変換回路、信号処理回路、及びブレ検出装置

[図1]



200 SENSOR UNIT
1, 2 SWITCH UNIT
3, 4 A/D CONVERSION UNIT
7 ARITHMETIC UNIT
300 DIGITAL SIGNAL PROCESSING UNIT

(57) Abstract: An A/D conversion circuit comprising a plurality of A/D conversion units, a switch unit, and an arithmetic unit. The plurality of A/D conversion units convert input analog signals into digital signals. The switch unit receives a first analog signal and second analog signal as input and alternately switches the output destinations of the first analog signal and the second analog signal between the plurality of A/D conversion units, per sampling period of the plurality of A/D conversion units. The arithmetic unit performs a differential operation between the result of addition of the digital signals output from the plurality of A/D conversion units having the first analog signal as input, and the result of addition of the digital signals output from the plurality of A/D conversion units having the second analog signal as input, and outputs a third digital signal corresponding to the results of the differential operation.

(57) 要約: A/D 変換回路は、複数の A/D 変換部と、切替部と、演算部と、を有する。複数の A/D 変換

部は、入力されるアナログ信号をデジタル信号に変換する。切替部は、第 1 のアナログ信号と第 2 のアナログ信号とが入力されると共に、当該第 1 のアナログ信号及び当該第 2 のアナログ信号のそれぞれの出力先を、前記複数の A/D 変換部のサンプリング周期毎に、前記複数の A/D 変換部のそれぞれへ交互に切り替える。演算部は、前記第 1 のアナログ信号が入力された前記複数の A/D 変換部のそれぞれから出力されたデジタル信号の加算演算の結果と、前記第 2 のアナログ信号が入力された前記複数の A/D 変換部のそれぞれから出力されたデジタル信号の加算演算の結果との差動演算を行い、当該差動演算の結果に対応する第 3 のデジタル信号を出力する。

WO 2010/122784 A1

WO 2010/122784 A1



CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： A／D変換回路、信号処理回路、及びブレ検出装置 技術分野

[0001] 本発明は、アナログ信号をデジタル信号に変換するA／D変換回路、及びこれを用いた信号処理回路並びにブレ検出装置に関する。

本願は、2009年4月23日に日本国に出願された特願2009-105236号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来より、入力されるパルス信号を、アナログ信号に応じた遅延時間だけ遅延させて出力する遅延ユニットを複数個直列に接続してなるパルス走行回路内にパルス信号を入力し、所定のタイミングで、各遅延ユニットからの出力信号をラッチし、ラッチした各出力信号のレベルに基づき、パルス走行回路内でのパルス信号の到達位置を表すデジタル信号を生成するA／D変換回路が開示されている（例えば特許文献1参照）。また、このA／D変換回路を用いて、相関性のある複数のアナログ信号を処理する圧力センサ装置が開示されている（例えば特許文献2参照）。

先行技術文献

特許文献

[0003] 特許文献1：日本国特許第3064644号公報

特許文献2：日本国特許第3876483号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、圧力センサ装置に入力されたアナログ信号は、A／D変換されるタイミングに依存して異なるノイズ成分を含んでいるため、相関性のある複数のアナログ信号を精度良くA／D変換したい場合には、複数のアナログ信号と同数以上のA／D変換回路を用いて複数のアナログ信号を同時にA／D変換することが望ましい。また、上記のA／D変換回路のA／D変換

精度はパルス走行回路の性能に大きく依存しているが、パルス走行回路は否定論理積回路（NAND）やインバータ（INV）等から構成されているため、A/D変換回路の個体差に起因するA/D変換誤差が生じやすい。

[0005] 従って、上記の圧力センサ装置では、相関性のある複数のアナログ信号を同一期間中にA/D変換することができないため、アナログ信号へ同一期間中に重畳するノイズ成分の影響を軽減することは困難である。また、相関性のある複数のアナログ信号に対して同数以上のA/D変換回路を設け、アナログ信号を同一期間中にA/D変換する場合には、A/D変換回路の個体差に起因するA/D変換誤差の影響を軽減することは困難である。

[0006] 本発明は、上述した課題に鑑みてなされたものであって、相関性のある複数のアナログ信号を精度良くA/D変換することができるA/D変換回路、信号処理回路、及びブレ検出装置を提供することを目的とする。

課題を解決するための手段

[0007] 本発明のA/D変換回路は、複数のアナログ信号が入力され、当該アナログ信号に対応するデジタル信号を出力するA/D変換回路であって、入力されるアナログ信号をデジタル信号に変換する複数のA/D変換部と、前記複数のアナログ信号のうち、第1のアナログ信号と第2のアナログ信号とが入力されると共に、同一期間に入力された当該第1のアナログ信号及び当該第2のアナログ信号のそれぞれの出力先を、前記複数のA/D変換部のサンプリング周期毎に、前記複数のA/D変換部のそれぞれへ交互に切り替える切替部と、前記第1のアナログ信号が入力された前記複数のA/D変換部のそれぞれから出力されたデジタル信号の加算演算の結果と、前記第2のアナログ信号が入力された前記複数のA/D変換部のそれぞれから出力されたデジタル信号の加算演算の結果との差動演算を行い、当該差動演算の結果に対応する第3のデジタル信号を出力する演算部と、を有する。

[0008] 本発明のA/D変換回路は、複数のアナログ信号が入力され、当該アナログ信号に対応するデジタル信号を出力するA/D変換回路であって、入力されるアナログ信号をデジタル信号に変換する複数のA/D変換部と、前記複

数のアナログ信号のうち、第1のアナログ信号と第2のアナログ信号とが入力されると共に、同一期間に入力された当該第1のアナログ信号及び当該第2のアナログ信号のそれぞれの出力先を、前記複数のA/D変換部のサンプリング周期毎に、前記複数のA/D変換部のそれぞれへ交互に切り替える切替部と、前記第1のアナログ信号が入力された前記複数のA/D変換部のそれぞれから出力されたデジタル信号の加算演算の結果と、前記第2のアナログ信号が入力された前記複数のA/D変換部のそれぞれから出力されたデジタル信号の加算演算の結果との除算演算を行い、当該除算演算の結果に対応する第3のデジタル信号を出力する演算部と、を有する。

[0009] 本発明のA/D変換回路において、前記第1のアナログ信号及び前記第2のアナログ信号は、同一のセンサから出力された信号であってもよい。

[0010] 本発明のA/D変換回路において、前記複数のA/D変換部の数が、前記複数のアナログ信号の数よりも多くてもよい。

[0011] 本発明のA/D変換回路において、前記A/D変換部は、入力されるパルス信号を、前記アナログ信号に応じた遅延時間だけ遅延させて出力する遅延ユニットを複数個直列に接続してなるパルス走行回路と、前記パルス走行回路内に前記パルス信号が入力された後、所定のタイミングで、前記パルス走行回路を構成する各遅延ユニットからの出力信号をラッチし、当該ラッチした各出力信号のレベルに基づき、前記パルス走行回路内での前記パルス信号の到達位置を表す前記デジタル信号を生成するラッチ回路と、を有してもよい。

[0012] 本発明の信号処理回路は、物理量を検出し、検出した物理量を示す複数のアナログ信号を出力するセンサ部と、前記センサ部から出力された前記複数のアナログ信号が入力される、上記のA/D変換回路と、前記A/D変換回路から出力された前記デジタル信号に基づいて、所定の信号処理を行うデジタル信号処理部と、を有する。

[0013] 本発明のブレ検出装置は、撮像装置のブレを検出し、検出したブレ量を示す信号を含む複数のアナログ信号を出力するブレ検出部と、前記ブレ検出部

から出力された前記複数のアナログ信号が入力される、上記のA/D変換回路と、前記撮像装置における撮像ユニット又はレンズユニットが駆動された位置を示す位置信号を生成する位置信号生成部と、前記A/D変換回路から出力された前記デジタル信号と、前記位置信号生成部から出力された前記位置信号との偏差に基づいて、前記撮像ユニット又は前記レンズユニットを駆動するための信号を生成する駆動信号生成部と、を有する。

発明の効果

- [0014] 本発明によれば、同一期間に入力された第1のアナログ信号及び第2のアナログ信号が、異なるA/D変換部によってA/D変換される。また、第1のアナログ信号及び第2のアナログ信号が、それぞれ複数のA/D変換部によってA/D変換される。このため、演算部が差動演算又は除算演算を行った結果に対応する第3のデジタル信号では、アナログ信号へ同一期間中に重畳するノイズ成分の影響や、A/D変換回路の個体差に起因するA/D変換誤差の影響を軽減することが可能となる。従って、相関性のある複数のアナログ信号を精度良くA/D変換することができる。

図面の簡単な説明

- [0015] [図1]本発明の第1の実施形態によるA/D変換回路を含む信号処理回路の構成を示すブロック図である。
- [図2]本発明の第1の実施形態によるA/D変換回路が有するA/D変換部の構成を示すブロック図である。
- [図3]本発明の第1の実施形態によるA/D変換回路の動作を示すタイミングチャートである。
- [図4]本発明の第2の実施形態によるA/D変換回路を含む信号処理回路の構成を示すブロック図である。
- [図5]本発明の第2の実施形態によるA/D変換回路の動作を示すタイミングチャートである。
- [図6]本発明の第3の実施形態によるブレ検出装置の構成を示すブロック図である。

[図7]本発明の第3の実施形態によるブレ検出装置の構成を示すブロック図である。

発明を実施するための形態

[0016] 以下、図面を参照しつつ、本発明の好適な実施形態について説明する。ただし、本発明は以下の各実施形態に限定されるものではなく、例えばこれら実施形態の構成要素同士を適宜組み合わせてもよい。

[0017] (第1の実施形態)

まず、本発明の第1の実施形態を説明する。図1は、本実施形態によるA/D変換回路を含む信号処理回路の構成を示している。図1に示す信号処理回路は、A/D変換回路100と、センサ部200と、デジタル信号処理部300とから構成されている。また、A/D変換回路100は、切替部1, 2と、A/D変換部3, 4と、演算部7とから構成されている。

[0018] 切替部1, 2には、センサ部200から出力された複数のアナログ信号(VA信号、VB信号)が入力される。このVA信号及びVB信号に含まれるノイズは相関性を有している。切替部1, 2は、制御信号(MPX_CLK)に基づいて、同一期間に入力されたVA信号及びVB信号のそれぞれの出力先を、A/D変換部3, 4のサンプリング周期毎に、A/D変換部3, 4のそれぞれへ交互に切り替える。切替部1はVA信号の出力先の切替を行い、切替部2はVB信号の出力先の切替を行う。

[0019] A/D変換部3, 4は、切替部1, 2から出力されたVA信号及びVB信号を、制御信号(AD_CLK)に基づいてA/D変換し、デジタル信号を生成する。演算部7は、A/D変換部3, 4から出力されたデジタル信号を、制御信号(AD_CLK)に基づいて演算し、後段のデジタル信号処理部300へ出力する。より具体的には、演算部7は、VA信号が入力されたA/D変換部3, 4のそれぞれから出力されたデジタル信号の加算演算の結果と、VB信号が入力されたA/D変換部3, 4のそれぞれから出力されたデジタル信号の加算演算の結果との差動演算又は除算演算を行う。演算部7が行う演算の詳細は後述する。

- [0020] センサ部200は、物理量を検出し、検出した物理量を示すVA信号及びVB信号を出力する。デジタル信号処理部300は、A/D変換回路100から出力されたデジタル信号に基づいて、所定の信号処理を行う。
- [0021] 図2は、A/D変換部3、4の構成を示している。A/D変換部3、4は、パルス走行回路11と、エンコーダ&ラッチ12と、カウンタ13と、ラッチ14、15と、演算器16とから構成されている。
- [0022] パルス走行回路11は、一方の入力端にパルス信号StartPを受けて動作する起動用反転回路としての否定論理積（NAND）回路と、反転回路としての複数のインバータ（INV）回路とをリング状に連結して構成されている。パルス走行回路11を構成する否定論理積（NAND）回路及び複数のインバータ（INV）回路は、パルス信号StartPを、電源ラインVin17より入力されるアナログ信号に応じた遅延時間だけ遅延させて出力する。
- [0023] エンコーダ&ラッチ12は、制御信号（AD_CLK）に同期して、パルス走行回路11を構成する否定論理積（NAND）回路及び複数のインバータ（INV）回路から出力された信号のレベルに基づき、当該信号をエンコードして保持（ラッチ）する。エンコーダ&ラッチ12が出力する信号は、パルス走行回路11内でのパルス信号StartPの到達位置を表す。カウンタ13は、パルス走行回路11の最終段のインバータ（INV）回路から出力された信号を計測する。カウンタ13が出力する信号は、パルス信号StartPがパルス走行回路11を周回した数を表す。
- [0024] ラッチ14は、制御信号（AD_CLK）に同期して、カウンタ13から出力された信号を保持（ラッチ）する。ラッチ15は、制御信号（AD_CLK）に同期して、エンコーダ&ラッチ12及びラッチ14から出力された信号を加算して保持（ラッチ）する。演算器16は、ラッチ15から出力された前の信号と、エンコーダ&ラッチ12及びラッチ14の出力に基づく現在の信号との差分を演算し、演算部7へ出力する。
- [0025] なお、パルス走行回路11内の否定論理積（NAND）回路及びインバー

タ（INV）回路へ電源を供給するための電源ラインVin17には、切替部1，2が接続されている。

[0026] <第1の動作例>

次に、以上のように構成されたA/D変換回路100における特徴となる第1の動作例（差動演算）について、タイミングチャート（図3）を併用して説明する。

[0027] 第1の動作例は、以下の事項に基づくものである。VA信号が所望のセンサ出力である場合に、VA信号には本来検出すべき物理量のほかにノイズ成分が含まれている。そこで、VA信号に含まれるノイズ成分と相関を有するノイズ成分を含むVB信号と、VA信号との差分を演算することで、ノイズを低減することが可能となる。第1の動作例では、2種類の信号の単なる差分を演算するのではなく、複数のA/D変換部でのA/D変換結果を加算演算した結果の差分を演算することによって、ノイズをより低減することが可能である。

[0028] 以下、第1の動作例における動作を説明する。期間T0になると、A/D変換部3，4へ供給されるパルス信号StartPが「L」レベルから「H」レベルに変化し、リング状に構成された否定論理積回路（NAND）及び複数のインバータ（INV）内を周回する。カウンタ13は、切替部1，2から供給される信号（Vin17）のレベル及び制御信号（AD_CLK）の周期に応じて変化する、パルス走行回路11内でパルス信号StartPが否定論理積（NAND）及びインバータ（INV）を周回した回数をカウントし、二進数のデジタルデータとして出力する。エンコーダ&ラッチ12は、切替部1，2から供給される信号（Vin17）のレベル及び制御信号（AD_CLK）の周期に応じて変化する、パルス走行回路11内でパルス信号StartPが否定論理積（NAND）及びインバータ（INV）を周回している位置を検出し、二進数のデジタルデータとして出力する。

[0029] ラッチ14は、カウンタ13から出力されるデジタルデータをラッチする。ラッチ15は、ラッチ14からのデジタルデータを上位ビット、エンコー

ダ&ラッチ12からのデジタルデータを下位ビットとして取り込み、これらのデジタルデータを加算することにより、制御信号(AD_CLK)の周期における切替部1, 2から供給される信号レベルに応じた二進数のデジタルデータを生成する。

[0030] 演算器16は、ラッチ15が保持した後のデジタルデータと、ラッチ15が保持する前のデジタルデータとの差分を演算し、後段のデジタル信号処理部300に出力する。A/D変換部3, 4は、パルス信号StartPが「H」レベルから「L」レベルとなるまでの間、制御信号(AD_CLK)の周期における切替部1, 2から供給される信号(Vin17)のレベルに対応したデジタルデータを周期的に出力する。

[0031] 期間T1になると、制御信号(MPX_CLK)が「H」レベルとなり、A/D変換部3には、切替部1によって、センサ部200からのVA信号が供給され、A/D変換部4には、切替部2によって、センサ部200からのVB信号が供給される。A/D変換部3は、制御信号(AD_CLK)が設定する周期に基づいて、切替部1が選択したVA信号をA/D変換する。また、A/D変換部4は、制御信号(AD_CLK)が設定する周期に基づいて、切替部2が選択したVB信号をA/D変換する。

[0032] 期間T2になると、制御信号(MPX_CLK)が「L」レベルとなり、A/D変換部3には、切替部2によって、センサ部200からのVB信号が供給され、A/D変換部4には、切替部1によって、センサ部200からのVA信号が供給される。A/D変換部3は、制御信号(AD_CLK)が設定する周期に基づいて、切替部2が選択したVB信号をA/D変換する。また、A/D変換部4は、制御信号(AD_CLK)が設定する周期に基づいて、切替部1が選択したVA信号をA/D変換する。

[0033] ここで、各期間における制御信号(MPX_CLK)の1周期は、特に記載が無い限り、制御信号(AD_CLK)の2周期と略同一の期間である。

[0034] 期間T3になると、期間T1と同様、制御信号(MPX_CLK)が「H」レベルとなり、A/D変換部3には、切替部1によって、センサ部200からのV

A 信号が供給され、A/D 変換部 4 には、切替部 2 によって、センサ部 200 からの V B 信号が供給される。A/D 変換部 3 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 1 が選択した V A 信号を A/D 変換する。また、A/D 変換部 4 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 2 が選択した V B 信号を A/D 変換する。さらに、演算部 7 は、期間 T 1 ~ 期間 T 2 の間に A/D 変換部 3, 4 が V A 信号及び V B 信号を A/D 変換した結果を用いた所定の演算を開始する。

[0035] 期間 T 4 になると、期間 T 2 と同様、制御信号 (MPX_CLK) が「L」レベルとなり、A/D 変換部 3 には、切替部 2 によって、センサ部 200 からの V B 信号が供給され、A/D 変換部 4 には、切替部 1 によって、センサ部 200 からの V A 信号が供給される。A/D 変換部 3 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 2 が選択した V B 信号を A/D 変換する。また、A/D 変換部 4 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 1 が選択した V A 信号を A/D 変換する。さらに、演算部 7 は、期間 T 1 ~ 期間 T 2 の間に A/D 変換部 3, 4 が V A 信号及び V B 信号を A/D 変換した結果を用いた所定の演算を終了する。

[0036] ここで、演算部 7 は、期間 T 1 ~ 期間 T 2 の間に A/D 変換された V A 信号及び V B 信号の差信号を任意の倍率に増幅する以下の演算を行う。(1) 式は、演算部 7 が行う演算を示しており、(2) 式は (1) 式を変形したものである。

[0037] [数1]

$$V_{OUT12} = \alpha [(VA1 + Noise1 + Error1) + (VA2 + Noise2 + Error2)] - \alpha [(VB1 + Noise1 + Error2) + (VB2 + Noise2 + Error1)] + \beta \quad \dots (1)$$

[0038] [数2]

$$V_{OUT12} \cong \alpha [(VA1 + VA2) - (VB1 + VB2)] + \beta \quad \dots (2)$$

[0039] (1) 式及び (2) 式における記号の意味は以下の通りである。

V_{OUT12} : 期間 $T_1 \sim$ 期間 T_2 における演算部 7 の演算結果

$VA1$: 期間 T_1 におけるセンサ部 200 の V_A 信号

$VB1$: 期間 T_1 におけるセンサ部 200 の V_B 信号

$VA2$: 期間 T_2 におけるセンサ部 200 の V_A 信号

$VB2$: 期間 T_2 におけるセンサ部 200 の V_B 信号

α : 増幅率

β : 演算結果に加算する基準信号

Noise1 : 期間 T_1 にセンサ部 200 へ重畳するノイズ成分

Noise2 : 期間 T_2 にセンサ部 200 へ重畳するノイズ成分

Error1 : A/D 変換部 3 の A/D 変換誤差

Error2 : A/D 変換部 4 の A/D 変換誤差

[0040] 上記の演算結果より、期間 T_1 、 T_2 の間にセンサ部 200 へ重畳するノイズ成分の影響や、A/D 変換部 3、4 の A/D 変換誤差の影響をキャンセルすることができる。

[0041] 期間 T_5 になると、期間 T_1 、 T_3 と同様、制御信号 (MPX_CLK) が「H」レベルとなり、A/D 変換部 3 には、切替部 1 によって、センサ部 200 からの V_A 信号が供給され、A/D 変換部 4 には、切替部 2 によって、センサ部 200 からの V_B 信号が供給される。A/D 変換部 3 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 1 が選択した V_A 信号を A/D 変換する。また、A/D 変換部 4 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 2 が選択した V_B 信号を A/D 変換する。さらに、演算部 7 は、期間 $T_3 \sim$ 期間 T_4 の間に A/D 変換部 3、4 が V_A 信号及び V_B 信号を A/D 変換した結果を用いた所定の演算を開始する。

[0042] 期間 T_6 になると、期間 T_2 、 T_4 と同様、制御信号 (MPX_CLK) が「L」レベルとなり、A/D 変換部 3 には、切替部 2 によって、センサ部 200 からの V_B 信号が供給され、A/D 変換部 4 には、切替部 1 によって、センサ部 200 からの V_A 信号が供給される。A/D 変換部 3 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 2 が選択した V_B 信号を A/D 変換す

る。また、A/D変換部4は、制御信号(AD_CLK)が設定する周期に基づいて、切替部1が選択したVA信号をA/D変換する。さらに、演算部7は、期間T3～期間T4の間にA/D変換部3, 4がVA信号及びVB信号をA/D変換した結果を用いた所定の演算を終了する。

[0043] ここで、演算部7は、期間T3～期間T4の間にA/D変換されたVA信号及びVB信号の差信号を任意の倍率に増幅する以下の演算を行う。(3)式は、演算部7が行う演算を示しており、(4)式は(3)式を変形したものである。

[0044] [数3]

$$V_{OUT34} = \alpha [(VA3 + Noise3 + Error3) + (VA4 + Noise4 + Error4)] - \alpha [(VB3 + Noise3 + Error4) + (VB4 + Noise4 + Error3)] + \beta \quad \dots (3)$$

[0045] [数4]

$$V_{OUT34} \cong \alpha [(VA3 + VA4) - (VB3 + VB4)] + \beta \quad \dots (4)$$

[0046] (3)式及び(4)式における記号の意味は以下の通りである。

V_{OUT34} : 期間T3～期間T4における演算部7の演算結果

VA3 : 期間T3におけるセンサ部200のVA信号

VB3 : 期間T3におけるセンサ部200のVB信号

VA4 : 期間T4におけるセンサ部200のVA信号

VB4 : 期間T4におけるセンサ部200のVB信号

α : 増幅率

β : 演算結果に加算する基準信号

Noise3 : 期間T3にセンサ部200へ重畳するノイズ成分

Noise4 : 期間T4にセンサ部200へ重畳するノイズ成分

Error3 : A/D変換部3のA/D変換誤差

Error4 : A/D変換部4のA/D変換誤差

[0047] 上記演算結果より、期間T3, T4の間にセンサ部200へ重畳するノイズ成分の影響や、A/D変換部3, 4のA/D変換誤差の影響をキャンセル

することができる。

[0048] 期間 T 7 以降は、A/D 変換部 3, 4 へ供給されるパルス信号 *Start P* が「H」レベルから「L」レベルに変化するまでの間、期間 T 3 ~ 期間 T 4 又は期間 T 5 ~ 期間 T 6 と同様な動作を繰り返し行うため、説明を省略する。

[0049] <第 2 の動作例>

次に、以上のように構成された A/D 変換回路 100 における特徴となる第 2 の動作例（除算演算）について、第 1 の動作例との違いを説明する。第 2 の動作例（除算演算）では、期間 T 3 ~ 期間 T 4 における演算を以下のように行う。（5）式は、演算部 7 が行う演算を示しており、（6）式は（5）式を変形したものである。

[0050] [数5]

$$V_{OUT12} = \left[\alpha \{ (VA1 + Noise1 + Error1) + (VA2 + Noise2 + Error2) \} + \beta \right] \div \left[\alpha \{ (VB1 + Noise1 + Error2) + (VB2 + Noise2 + Error1) \} + \beta \right] \quad \dots (5)$$

[0051] [数6]

$$V_{OUT12} = \left[\alpha \{ (VA1 + VA2) + (Noise1 + Noise2) + (Error1 + Error2) \} + \beta \right] \div \left[\alpha \{ (VB1 + VB2) + (Noise1 + Noise2) + (Error1 + Error2) \} + \beta \right] \quad \dots (6)$$

[0052] （5）式及び（6）式における記号の意味は以下の通りである。

V_{OUT12} : 期間 T 1 ~ 期間 T 2 における演算部 7 の演算結果

$VA1$: 期間 T 1 におけるセンサ部 200 の VA 信号

$VB1$: 期間 T 1 におけるセンサ部 200 の VB 信号

$VA2$: 期間 T 2 におけるセンサ部 200 の VA 信号

$VB2$: 期間 T 2 におけるセンサ部 200 の VB 信号

α : 増幅率

β : 演算結果に加算する基準信号

$Noise1$: 期間 T 1 にセンサ部 200 へ重畳するノイズ成分

$Noise2$: 期間 T 2 にセンサ部 200 へ重畳するノイズ成分

Error1 : A/D変換部3のA/D変換誤差

Error2 : A/D変換部4のA/D変換誤差

[0053] また、第2の動作例（除算演算）では、期間T5～期間T6における演算を以下のように行う。（7）式は、演算部7が行う演算を示しており、（8）式は（7）式を変形したものである。

[0054] [数7]

$$V_{OUT34} = \left[\alpha \{ (VA3 + Noise3 + Error3) + (VA4 + Noise4 + Error4) \} + \beta \right] \div \left[\alpha \{ (VB3 + Noise3 + Error4) + (VB4 + Noise4 + Error3) \} + \beta \right] \cdots (7)$$

[0055] [数8]

$$V_{OUT34} = \left[\alpha \{ (VA3 + VA4) + (Noise3 + Noise4) + (Error3 + Error4) \} + \beta \right] \div \left[\alpha \{ (VB3 + VB4) + (Noise3 + Noise4) + (Error3 + Error4) \} + \beta \right] \cdots (8)$$

[0056] （7）式及び（8）式における記号の意味は以下の通りである。

V_{OUT34} : 期間T3～期間T4における演算部7の演算結果

$VA3$: 期間T3におけるセンサ部200のVA信号

$VB3$: 期間T3におけるセンサ部200のVB信号

$VA4$: 期間T4におけるセンサ部200のVA信号

$VB4$: 期間T4におけるセンサ部200のVB信号

α : 増幅率

β : 演算結果に加算する基準信号

$Noise3$: 期間T3にセンサ部200へ重畳するノイズ成分

$Noise4$: 期間T4にセンサ部200へ重畳するノイズ成分

Error3 : A/D変換部3のA/D変換誤差

Error4 : A/D変換部4のA/D変換誤差

[0057] このように（6）式、（8）式の分子は、信号成分VA（ $VA1 + VA2$ 又は $VA3 + VA4$ ）、不要ノイズ成分（ $Noise1 + Noise2 + Error1 + Error2$ 又は $Noise3 + Noise4 + Error3 + Error4$ ）、加算基準信号（ β ）を含んでいる。また、（6）式、（

8) 式の分母は、信号成分 V_B ($V_{B1} + V_{B2}$ 又は $V_{B3} + V_{B4}$)、不要ノイズ成分 ($Noise1 + Noise2 + Error1 + Error2$ 又は $Noise3 + Noise4 + Error3 + Error4$)、加算基準信号 (β) を含んでいる。つまり、不要ノイズ成分と加算基準信号は同じものとなる。

[0058] 従って、(6) 式、(8) 式の除算演算結果は、概ね信号成分 V_A と信号成分 V_B の相対関係変化分となり、不要ノイズ成分及び加算基準信号の影響を軽減した信号成分 V_A と信号成分 V_B の比較割合情報を、A/D変換結果として得ることができる。例えば、信号成分 V_A をセンサ信号、信号成分 V_B をリファレンス信号とすることにより、リファレンス信号に対するセンサ信号の相対関係変化分を精度良く得ることができる。

[0059] 加えて、温度変化によるA/D変換器の分解能の変動についても、不要ノイズ成分として(6) 式、(8) 式の分子、分母に共有することができるため、A/D変換器の温度補正も同時に実行できる。さらに、A/D変換器への入力信号周波数に対して、制御信号(AD_CLK)が設定する周期を短く設定することにより、(6) 式における $Noise1$ と $Noise2$ 、及び(8) 式における $Noise3$ と $Noise4$ がほぼ等しくなり、入力信号周波数に対する低周波ノイズを除去することができる。

[0060] 上述したように、本実施形態によれば、演算部7が差動演算又は除算演算を行うことによって、 V_A 信号及び V_B 信号へ同一期間中に重畳するノイズ成分の影響や、A/D変換部3, 4の個体差に起因するA/D変換誤差の影響を軽減することができる。また、演算部7が除算演算を行うことにより、さらにA/D変換器の分解能変動をキャンセルすると共に、低周波ノイズを除去することができる。従って、相関性のある V_A 信号及び V_B 信号をデジタル信号に変換する際のA/D変換精度を向上することができる。

[0061] なお、本実施形態では、センサ部200については特に記載していないが、例えば出力信号振幅が微弱であり、相関性のある複数のアナログ信号をサンプリング周期毎に各A/D変換部へ交互に出力可能なセンサであれば、特

に限定されることなく、上記と同様な効果を得ることができる。

[0062] (第2の実施形態)

次に、本発明の第2の実施形態を説明する。図4は、本実施形態によるA/D変換回路を含む信号処理回路の構成を示している。図4に示す信号処理回路は、A/D変換回路101と、センサ部200と、デジタル信号処理部300とから構成されている。また、A/D変換回路101は、切替部8, 9と、A/D変換部3, 4, 5, 6と、演算部7とから構成されている。図4において、図1と同一の構成には同一の符号を付与している。また、A/D変換部3, 4, 5, 6の構成は、図2に示した構成と同一である。

[0063] 切替部8, 9には、センサ部200から出力された複数のアナログ信号(VA信号、VB信号)が入力される。切替部8, 9は、制御信号(MPX_CLK)に基づいて、同一期間に入力されたVA信号及びVB信号のそれぞれの出力先を、A/D変換部3, 4, 5, 6のサンプリング周期毎に、A/D変換部3, 4, 5, 6のそれぞれへ交互に切り替える。切替部8はVA信号の出力先の切替を行い、切替部9はVB信号の出力先の切替を行う。

[0064] A/D変換部3, 4, 5, 6は、切替部8, 9から出力されたVA信号及びVB信号を、制御信号(AD_CLK)に基づいてA/D変換し、デジタル信号を生成する。演算部7は、A/D変換部3, 4, 5, 6から出力されたデジタル信号を、制御信号(AD_CLK)に基づいて演算し、後段のデジタル信号処理部300へ出力する。より具体的には、演算部7は、VA信号が入力されたA/D変換部3, 4, 5, 6のそれぞれから出力されたデジタル信号の加算演算の結果と、VB信号が入力されたA/D変換部3, 4, 5, 6のそれぞれから出力されたデジタル信号の加算演算の結果との差動演算又は除算演算を行う。演算部7が行う演算の詳細は後述する。

[0065] <第1の動作例>

次に、以上のように構成されたA/D変換回路101における特徴となる第1の動作例(差動演算)について、タイミングチャート(図5)を併用して説明する。以下では、第1の実施形態における第1の動作例と異なる部分

についてのみ説明する。

[0066] 期間 T 1 では、切替部 1 によって、センサ部 200 からの V A 信号が A / D 変換部 3 に供給され、切替部 2 によって、センサ部 200 からの V B 信号が A / D 変換部 5 に供給される。期間 T 2 では、切替部 1 によって、センサ部 200 からの V A 信号が A / D 変換部 4 に供給され、切替部 2 によって、センサ部 200 からの V B 信号が A / D 変換部 6 に供給される。

[0067] 期間 T 3 では、切替部 2 によって、センサ部 200 からの V B 信号が A / D 変換部 3 に供給され、切替部 1 によって、センサ部 200 からの V A 信号が A / D 変換部 5 に供給される。期間 T 4 では、切替部 2 によって、センサ部 200 からの V B 信号が A / D 変換部 4 に供給され、切替部 1 によって、センサ部 200 からの V A 信号が A / D 変換部 6 に供給される。

[0068] 演算部 7 は、期間 T 1 ~ 期間 T 4 の間に A / D 変換された V A 信号及び V B 信号の差信号を任意の倍率に増幅する以下の演算を期間 T 5 ~ 期間 T 8 で行う。(9) 式は、演算部 7 が行う演算を示しており、(10) 式は(9) 式を変形したものである。

[0069] [数9]

$$\begin{aligned} V_{OUT1234} = & \alpha [(VA1 + Noise1 + Error1) + (VA2 + Noise2 + Error2)] \\ & + \alpha [(VA3 + Noise3 + Error3) + (VA4 + Noise4 + Error4)] \\ & - \alpha [(VB1 + Noise1 + Error3) + (VB2 + Noise2 + Error4)] \\ & - \alpha [(VB3 + Noise3 + Error1) + (VB4 + Noise4 + Error2)] + \beta \quad \dots (9) \end{aligned}$$

[0070] [数10]

$$V_{OUT1234} \cong \alpha [(VA1 + VA2 + VA3 + VA4) - (VB1 + VB2 + VB3 + VB4)] + \beta \quad \dots (10)$$

[0071] (9) 式及び(10) 式における記号の意味は以下の通りである。

$V_{OUT1234}$: 期間 T 1 ~ 期間 T 4 における演算部 7 の演算結果

VA1 : 期間 T 1 におけるセンサ部 200 の V A 信号

VB1 : 期間 T 1 におけるセンサ部 200 の V B 信号

VA2 : 期間 T 2 におけるセンサ部 200 の V A 信号

VB2 : 期間 T 2 におけるセンサ部 200 の V B 信号

VA3 : 期間 T 3 におけるセンサ部 200 の V A 信号

VB3 : 期間 T 3 におけるセンサ部 200 の V B 信号

VA4 : 期間 T 4 におけるセンサ部 200 の V A 信号

VB4 : 期間 T 4 におけるセンサ部 200 の V B 信号

α : 増幅率

β : 演算結果に加算する基準信号

Noise1 : 期間 T 1 にセンサ部 200 へ重畳するノイズ成分

Noise2 : 期間 T 2 にセンサ部 200 へ重畳するノイズ成分

Noise3 : 期間 T 3 にセンサ部 200 へ重畳するノイズ成分

Noise4 : 期間 T 4 にセンサ部 200 へ重畳するノイズ成分

Error1 : A/D 変換部 3 の A/D 変換誤差

Error2 : A/D 変換部 4 の A/D 変換誤差

Error3 : A/D 変換部 5 の A/D 変換誤差

Error4 : A/D 変換部 6 の A/D 変換誤差

[0072] 上記の演算結果より、期間 T 1 ~ 期間 T 4 の間にセンサ部 200 へ重畳するノイズ成分の影響や、A/D 変換部 3, 4, 5, 6 の A/D 変換誤差の影響をキャンセルすることができる。期間 T 5 以降の動作も同様である。

[0073] <第 2 の動作例>

次に、以上のように構成された A/D 変換回路 101 における特徴となる第 2 の動作例（除算演算）について、第 1 の動作例との違いを説明する。第 2 の動作例（除算演算）では、期間 T 5 ~ 期間 T 8 における演算を以下のように行う。（11）式は、演算部 7 が行う演算を示しており、（12）式は（11）式を変形したものである。

[0074]

[数11]

$$V_{OUT1234} = \left[\alpha \{ (VA1 + Noise1 + Error1) + (VA2 + Noise2 + Error2) \} \right. \\ \left. + \alpha \{ (VA3 + Noise3 + Error3) + (VA4 + Noise4 + Error4) \} + \beta \right] \\ \div \left[\alpha \{ (VB1 + Noise1 + Error3) + (VB2 + Noise2 + Error4) \} \right. \\ \left. + \alpha \{ (VB3 + Noise3 + Error1) + (VB4 + Noise4 + Error2) \} + \beta \right] \cdots (11)$$

[0075] [数12]

$$V_{OUT1234} = \left[\alpha \{ (VA1 + VA2 + VA3 + VA4) + (Noise1 + Noise2 + Noise3 + Noise4) \} \right. \\ \left. + \alpha \{ (Error1 + Error2 + Error3 + Error4) \} + \beta \right] \\ \div \left[\alpha \{ (VB1 + VB2 + VB3 + VB4) + (Noise1 + Noise2 + Noise3 + Noise4) \} \right. \\ \left. + \alpha \{ (Error1 + Error2 + Error3 + Error4) \} + \beta \right] \cdots (12)$$

[0076] (11) 式及び (12) 式における記号の意味は、(9) 式及び (10) 式における記号の意味と同じである。

[0077] このように (12) 式の分子は、信号成分 VA (VA1 + VA2 + VA3 + VA4)、不要ノイズ成分 (Noise1 + Noise2 + Noise3 + Noise4、Error1 + Error2 + Error3 + Error4)、加算基準信号 (β) を含んでいる。また、(12) 式の分母は、信号成分 VB (VB1 + VB2 + VB3 + VB4)、不要ノイズ成分 (Noise1 + Noise2 + Noise3 + Noise4、Error1 + Error2 + Error3 + Error4)、加算基準信号 (β) を含んでいる。つまり、不要ノイズ成分と加算基準信号は同じものとなる。

[0078] 従って、(12) 式の除算演算結果は、概ね信号成分 VA と信号成分 VB の相対関係変化分となり、不要ノイズ成分及び加算基準信号の影響を軽減した信号成分 VA と信号成分 VB の比較割合情報を、A/D 変換結果として得ることができる。例えば、信号成分 VA をセンサ信号、信号成分 VB をリファレンス信号とすることにより、リファレンス信号に対するセンサ信号の相対関係変化分を精度良く得ることができる。

[0079] 上述したように、本実施形態によれば、演算部 7 が差動演算又は除算演算を行うことによって、VA 信号及び VB 信号へ同一期間中に重畳するノイズ

成分の影響や、A/D変換部3, 4, 5, 6の個体差に起因するA/D変換誤差の影響を軽減することができ、第1の実施形態と同様の効果を得ることができる。

[0080] また、第1の実施形態では2個のA/D変換部を用いていたのに対して、本実施形態では4個のA/D変換部を用いており、A/D変換部の数が第1の実施形態よりも増加している。これによって、A/D変換部の個体差に起因するA/D変換誤差の影響を第1の実施形態よりも更に軽減することができる。

[0081] (第3の実施形態)

次に、本発明の第3の実施形態を説明する。図6は、本実施形態によるブレ検出装置の構成を示している。図6に示すブレ検出装置は、A/D変換回路100と、ブレ検出部201と、駆動信号生成部301と、撮像ユニット401と、位置信号生成部501とから構成されている。図6において、図1と同一の構成には同一の符号を付与している。

[0082] ブレ検出部201は、例えば物理量を電気信号に変換する角速度センサや加速度センサ等から構成され、ブレ検出装置601を有する撮像装置のブレ量を検出し、検出したブレ量を示すブレ信号VSとその基準信号VRとを出力する。駆動信号生成部301は、A/D変換回路100から出力された信号と、位置信号生成部501から出力された信号とに基づいて、撮像ユニット401を移動するための駆動信号を生成して出力する。撮像ユニット401は、撮像素子、及び撮像素子を移動するための移動部材等から構成される。位置信号生成部501は、駆動信号生成部301により撮像ユニット401が駆動された位置を検出し、検出した位置を示す信号を生成する。

[0083] 次に、以上のように構成されたブレ検出装置601における特徴となる動作例について、タイミングチャートを併用して説明する。本実施形態によるブレ検出装置601の動作例を示すタイミングチャートは図4と同様であるので、図4を参照して説明する。なお、本実施形態の動作では、図4におけるVA信号をブレ信号VSに置き換え、VB信号を基準信号VRに置き換え

るものとする。

[0084] 撮像装置の電源が起動された後、期間T0になると、撮像装置のリリーススイッチの1段目が設定される。このとき、A/D変換部3, 4へ供給されるパルス信号S t a r t Pが「L」レベルから「H」レベルに変化し、リング状に構成された否定論理積回路(NAND)及び複数のインバータ(INV)内を周回する。カウンタ13は、切替部1, 2から供給される信号(V i n 1 7)のレベル、及び制御信号(AD_CLK)の周期に応じて変化する、パルス走行回路11内でパルス信号S t a r t Pが否定論理積(NAND)及びインバータ(INV)を周回した回数をカウントし、二進数のデジタルデータとして出力する。エンコーダ&ラッチ12は、切替部1, 2から供給される信号(V i n 1 7)のレベル、及び制御信号(AD_CLK)の周期に応じて変化する、パルス走行回路11内でパルス信号S t a r t Pが否定論理積(NAND)及びインバータ(INV)を周回している位置を検出し、二進数のデジタルデータとして出力する。

[0085] ラッチ14は、カウンタ13から出力されるデジタルデータをラッチする。ラッチ15は、ラッチ14からのデジタルデータを上位ビット、エンコーダ&ラッチ12からのデジタルデータを下位ビットとして取り込み、これらのデジタルデータを加算することにより、制御信号(AD_CLK)の周期における切替部1, 2から供給される信号レベルに応じた二進数のデジタルデータを生成する。

[0086] 演算器16は、ラッチ15が保持した後のデジタルデータと、ラッチ15が保持する前のデジタルデータとの差分を演算し、後段の駆動信号生成部301に出力する。A/D変換部3, 4は、パルス信号S t a r t Pが「H」レベルから「L」レベルとなるまでの間、制御信号(AD_CLK)の周期における切替部1, 2から供給される信号(V i n 1 7)のレベルに対応したデジタルデータを周期的に出力する。

[0087] 期間T1になると、撮像装置のリリーススイッチの2段目が設定される。このとき、制御信号(MPX_CLK)が「H」レベルとなり、A/D変換部3には

、切替部 1 によって、ブレ検出部 201 からのブレ信号 VS が供給され、A/D 変換部 4 には、切替部 2 によって、ブレ検出部 201 からの基準信号 VR が供給される。A/D 変換部 3 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 1 が選択したブレ信号 VS を A/D 変換する。また、A/D 変換部 4 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 2 が選択した基準信号 VR を A/D 変換する。

[0088] 期間 T2 になると、制御信号 (MPX_CLK) が「L」レベルとなり、A/D 変換部 3 には、切替部 2 によって、ブレ検出部 201 からの基準信号 VR が供給され、A/D 変換部 4 には、切替部 1 によって、ブレ検出部 201 からのブレ信号 VS が供給される。A/D 変換部 3 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 2 が選択した基準信号 VR を A/D 変換する。また、A/D 変換部 4 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 1 が選択したブレ信号 VS を A/D 変換する。

[0089] ここで、各期間における制御信号 (MPX_CLK) の 1 周期は、特に記載が無い限り、制御信号 (AD_CLK) の 2 周期と略同一の期間である。

[0090] 期間 T3 になると、期間 T1 と同様、制御信号 (MPX_CLK) が「H」レベルとなり、A/D 変換部 3 には、切替部 1 によって、ブレ検出部 201 からのブレ信号 VS が供給され、A/D 変換部 4 には、切替部 2 によって、ブレ検出部 201 からの基準信号 VR が供給される。A/D 変換部 3 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 1 が選択したブレ信号 VS を A/D 変換する。また、A/D 変換部 4 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 2 が選択した基準信号 VR を A/D 変換する。さらに、演算部 7 は、期間 T1 ~ 期間 T2 の間に A/D 変換部 3, 4 がブレ信号 VS 及び基準信号 VR を A/D 変換した結果を用いた所定の演算を開始する。

[0091] 期間 T4 になると、期間 T2 と同様、制御信号 (MPX_CLK) が「L」レベルとなり、A/D 変換部 3 には、切替部 2 によって、ブレ検出部 201 からの基準信号 VR が供給され、A/D 変換部 4 には、切替部 1 によって、ブレ検

出部 201 からのブレ信号 VS が供給される。A/D 変換部 3 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 2 が選択した基準信号 VR を A/D 変換する。また、A/D 変換部 4 は、制御信号 (AD_CLK) が設定する周期に基づいて、切替部 1 が選択したブレ信号 VS を A/D 変換する。さらに、演算部 7 は、期間 $T1$ ~ 期間 $T2$ の間に A/D 変換部 3, 4 がブレ信号 VS 及び基準信号 VR を A/D 変換した結果を用いた所定の演算を終了する。

[0092] ここで、演算部 7 は、期間 $T1$ ~ 期間 $T2$ の間に A/D 変換されたブレ信号 VS 及び基準信号 VR の差信号を任意の倍率に増幅する以下の演算を行う。 (13) 式は、演算部 7 が行う演算を示しており、 (14) 式は (13) 式を変形したものである。

[0093] [数13]

$$V_{OUT12} = \alpha [(VS1 + Noise1 + Error1) + (VS2 + Noise2 + Error2)] - \alpha [(VR1 + Noise1 + Error2) + (VR2 + Noise2 + Error1)] + \beta \quad \dots (13)$$

[0094] [数14]

$$V_{OUT12} \cong \alpha [(VS1 + VS2) - (VR1 + VR2)] + \beta \quad \dots (14)$$

[0095] (13) 式及び (14) 式における記号の意味は以下の通りである。

V_{OUT12} : 期間 $T1$ ~ 期間 $T2$ における演算部 7 の演算結果

$VS1$: 期間 $T1$ におけるブレ検出部 201 のブレ信号

$VR1$: 期間 $T1$ におけるブレ検出部 201 の基準信号

$VS2$: 期間 $T2$ におけるブレ検出部 201 のブレ信号

$VR2$: 期間 $T2$ におけるブレ検出部 201 の基準信号

α : 増幅率

β : 演算結果に加算する基準信号

$Noise1$: 期間 $T1$ にブレ検出部 201 へ重畳するノイズ成分

$Noise2$: 期間 $T2$ にブレ検出部 201 へ重畳するノイズ成分

Error1 : A/D変換部3のA/D変換誤差

Error2 : A/D変換部4のA/D変換誤差

[0096] 上記の演算結果より、期間T1、T2の間にブレ検出部201へ重畳するノイズ成分の影響や、A/D変換部3、4のA/D変換誤差の影響をキャンセルすることができる。

[0097] また、駆動信号生成部301は、A/D変換回路100から出力された信号((14)式)に基づいて、撮像装置に生じる手ブレを補正する方向、すなわち撮像ユニット401を被写体像からの光軸と垂直な平面内で移動させる。位置信号生成部501は、撮像ユニット401が移動した位置を検出し、位置に応じた信号を駆動信号生成部301へ出力する。駆動信号生成部301は、A/D変換回路100から出力された信号と、位置信号生成部501から出力された信号とに偏差が生じないように、撮像ユニット401を被写体像からの光軸と垂直な平面内で移動させる。

[0098] 期間T5になると、期間T1、T3と同様、制御信号(MPX_CLK)が「H」レベルとなり、A/D変換部3には、切替部1によって、ブレ検出部201からのブレ信号VSが供給され、A/D変換部4には、切替部2によって、ブレ検出部201からの基準信号VRが供給される。A/D変換部3は、制御信号(AD_CLK)が設定する周期に基づいて、切替部1が選択したブレ信号VSをA/D変換する。また、A/D変換部4は、制御信号(AD_CLK)が設定する周期に基づいて、切替部2が選択した基準信号VRをA/D変換する。さらに、演算部7は、期間T3～期間T4の間にA/D変換部3、4がブレ信号VS及び基準信号VRをA/D変換した結果を用いた所定の演算を開始する。

[0099] 期間T6になると、期間T2、T4と同様、制御信号(MPX_CLK)が「L」レベルとなり、A/D変換部3には、切替部2によって、ブレ検出部201からの基準信号VRが供給され、A/D変換部4には、切替部1によって、ブレ検出部201からのブレ信号VSが供給される。A/D変換部3は、制御信号(AD_CLK)が設定する周期に基づいて、切替部2が選択した基準信号

VRをA/D変換する。また、A/D変換部4は、制御信号(AD_CLK)が設定する周期に基づいて、切替部1が選択したブレ信号VSをA/D変換する。さらに、演算部7は、期間T3～期間T4の間にA/D変換部3, 4がブレ信号VS及び基準信号VRをA/D変換した結果を用いた所定の演算を終了する。

[0100] ここで、演算部7は、期間T1～期間T2の間にA/D変換されたブレ信号VS及び基準信号VRの差信号を任意の倍率に増幅する以下の演算を行う。(15)式は、演算部7が行う演算を示しており、(16)式は(15)式を変形したものである。

[0101] [数15]

$$V_{OUT34} = \alpha [(VS3 + Noise3 + Error3) + (VS4 + Noise4 + Error4)] - \alpha [(VR3 + Noise3 + Error4) + (VR4 + Noise4 + Error3)] + \beta \quad \dots (15)$$

[0102] [数16]

$$V_{OUT34} \cong \alpha [(VS3 + VS4) - (VR3 + VR4)] + \beta \quad \dots (16)$$

[0103] (15)式及び(16)式における記号の意味は以下の通りである。

V_{OUT34} : 期間T3～期間T4における演算部7の演算結果

VS3 : 期間T3におけるブレ検出部201のブレ信号

VR3 : 期間T3におけるブレ検出部201の基準信号

VS4 : 期間T4におけるブレ検出部201のブレ信号

VR4 : 期間T4におけるブレ検出部201の基準信号

α : 増幅率

β : 演算結果に加算する基準信号

Noise3 : 期間T3にブレ検出部201へ重畳するノイズ成分

Noise4 : 期間T4にブレ検出部201へ重畳するノイズ成分

Error3 : A/D変換部3のA/D変換誤差

Error4 : A/D変換部4のA/D変換誤差

[0104] 上記の演算結果より、期間T3, T4の間にブレ検出部201へ重畳する

ノイズ成分の影響や、A/D変換部3, 4のA/D変換誤差の影響をキャンセルすることができる。

[0105] また、駆動信号生成部301は、A/D変換回路100から出力された信号((16)式)に基づいて、撮像装置に生じる手ブレを補正する方向、すなわち撮像ユニット401を被写体像からの光軸と垂直な平面内で移動させる。位置信号生成部501は、撮像ユニット401が移動した位置を検出し、位置に応じた信号を駆動信号生成部301へ出力する。駆動信号生成部301は、A/D変換回路100から出力された信号と、位置信号生成部501から出力された信号とに偏差が生じないように、撮像ユニット401を被写体像からの光軸と垂直な平面内で移動させる。

[0106] 期間T7以降は、撮像装置の電源が停止し、A/D変換部3, 4へ供給されるパルス信号StartPが「H」レベルから「L」レベルに変化するまでの間、期間T3～期間T4又は期間T5～期間T6と同様な動作を繰り返し行うため、説明を省略する。

[0107] 上述したように、本実施形態によれば、演算部7が差動演算を行うことによって、ブレ信号VS及び基準信号VRへ同一期間中に重畳するノイズ成分の影響や、A/D変換部3, 4の個体差に起因するA/D変換誤差の影響を軽減することができる。従って、相関性のあるブレ信号VS及び基準信号VRをデジタル信号に変換する際のA/D変換精度を向上することができる。

[0108] また、ブレ検出部201からのブレ信号を精度良く検出することができるため、駆動信号生成部301は、A/D変換回路100と位置信号生成部501から出力された信号の偏差が極めて少なくなるようにフィードバック制御を行うことが可能となり、撮像装置に生じる手ブレを精度良く補正することができる。

[0109] なお、本実施形態では駆動信号生成部301の制御対象を撮像ユニットに限定して記載したが、図7に示すように、ブレ検出装置602において、図示しないレンズ、及びレンズを移動するための移動部材等から構成されるレンズユニット402が駆動信号生成部301の制御対象であっても上記と同

様な効果を得ることができる。

[0110] なお、本実施形態では、センサの一例として撮像装置のブレを検出するための角速度センサを用いたが、例えば出力信号振幅が微弱であり、相関性のある複数のアナログ信号をサンプリング周期毎に各A/D変換部へ交互に出力可能なセンサであれば、特に限定されることなく、上記と同様な効果を得ることができる。また、本実施形態では、演算部7が差動演算を行うと説明したが、演算部7が除算演算を行ってもよい。

[0111] 以上、図面を参照して本発明の実施形態について詳述してきたが、本発明の具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

産業上の利用可能性

[0112] 本発明は、例えば、相関性のある複数のアナログ信号を精度良くA/D変換する圧力センサ装置の提供を可能とする。

符号の説明

[0113] 1, 2, 8, 9 切替部
3, 4, 5, 6 A/D変換部
7 演算部
11 パルス走行回路
12 エンコーダ&ラッチ
13 カウンタ
14, 15 ラッチ
16 演算器
100, 101 A/D変換回路
200 センサ部
201 ブレ検出部
300 デジタル信号処理部
301 駆動信号生成部
401 撮像ユニット

4 0 2 レンズユニット

5 0 1 位置信号生成部

6 0 1, 6 0 2 ブレ検出装置

請求の範囲

[請求項1] 複数のアナログ信号が入力され、当該アナログ信号に対応するデジ

タル信号を出力するA/D変換回路であって、

入力されるアナログ信号をデジタル信号に変換する複数のA/D変換部と、

前記複数のアナログ信号のうち、第1のアナログ信号と第2のアナログ信号とが入力されると共に、同一期間に入力された当該第1のアナログ信号及び当該第2のアナログ信号のそれぞれの出力先を、前記複数のA/D変換部のサンプリング周期毎に、前記複数のA/D変換部のそれぞれへ交互に切り替える切替部と、

前記第1のアナログ信号が入力された前記複数のA/D変換部のそれぞれから出力されたデジタル信号の加算演算の結果と、前記第2のアナログ信号が入力された前記複数のA/D変換部のそれぞれから出力されたデジタル信号の加算演算の結果との差動演算を行い、当該差動演算の結果に対応する第3のデジタル信号を出力する演算部と、

を有するA/D変換回路。

[請求項2] 複数のアナログ信号が入力され、当該アナログ信号に対応するデジタル信号を出力するA/D変換回路であって、

入力されるアナログ信号をデジタル信号に変換する複数のA/D変換部と、

前記複数のアナログ信号のうち、第1のアナログ信号と第2のアナログ信号とが入力されると共に、同一期間に入力された当該第1のアナログ信号及び当該第2のアナログ信号のそれぞれの出力先を、前記複数のA/D変換部のサンプリング周期毎に、前記複数のA/D変換部のそれぞれへ交互に切り替える切替部と、

前記第1のアナログ信号が入力された前記複数のA/D変換部のそれぞれから出力されたデジタル信号の加算演算の結果と、前記第2のアナログ信号が入力された前記複数のA/D変換部のそれぞれから出

力されたデジタル信号の加算演算の結果との除算演算を行い、当該除算演算の結果に対応する第3のデジタル信号を出力する演算部と、

を有するA/D変換回路。

[請求項3] 前記第1のアナログ信号及び前記第2のアナログ信号は、同一のセンサから出力された信号である請求項1に記載のA/D変換回路。

[請求項4] 前記第1のアナログ信号及び前記第2のアナログ信号は、同一のセンサから出力された信号である請求項2に記載のA/D変換回路。

[請求項5] 前記複数のA/D変換部の数が、前記複数のアナログ信号の数よりも多い請求項1に記載のA/D変換回路。

[請求項6] 前記複数のA/D変換部の数が、前記複数のアナログ信号の数よりも多い請求項2に記載のA/D変換回路。

[請求項7] 前記A/D変換部は、

入力されるパルス信号を、前記アナログ信号に応じた遅延時間だけ遅延させて出力する遅延ユニットを複数個直列に接続してなるパルス走行回路と、

前記パルス走行回路内に前記パルス信号が入力された後、所定のタイミングで、前記パルス走行回路を構成する各遅延ユニットからの出力信号をラッチし、当該ラッチした各出力信号のレベルに基づき、前記パルス走行回路内での前記パルス信号の到達位置を表す前記デジタル信号を生成するラッチ回路と、

を有する請求項1に記載のA/D変換回路。

[請求項8] 前記A/D変換部は、

入力されるパルス信号を、前記アナログ信号に応じた遅延時間だけ遅延させて出力する遅延ユニットを複数個直列に接続してなるパルス走行回路と、

前記パルス走行回路内に前記パルス信号が入力された後、所定のタイミングで、前記パルス走行回路を構成する各遅延ユニットからの出力信号をラッチし、当該ラッチした各出力信号のレベルに基づき、前

記パルス走行回路内での前記パルス信号の到達位置を表す前記デジタル信号を生成するラッチ回路と、

を有する請求項 2 に記載の A/D 変換回路。

[請求項 9] 物理量を検出し、検出した物理量を示す複数のアナログ信号を出力するセンサ部と、

前記センサ部から出力された前記複数のアナログ信号が入力される、請求項 1 に記載の A/D 変換回路と、

前記 A/D 変換回路から出力された前記デジタル信号に基づいて、所定の信号処理を行うデジタル信号処理部と、

を有する信号処理回路。

[請求項 10] 撮像装置のブレを検出し、検出したブレ量を示す信号を含む複数のアナログ信号を出力するブレ検出部と、

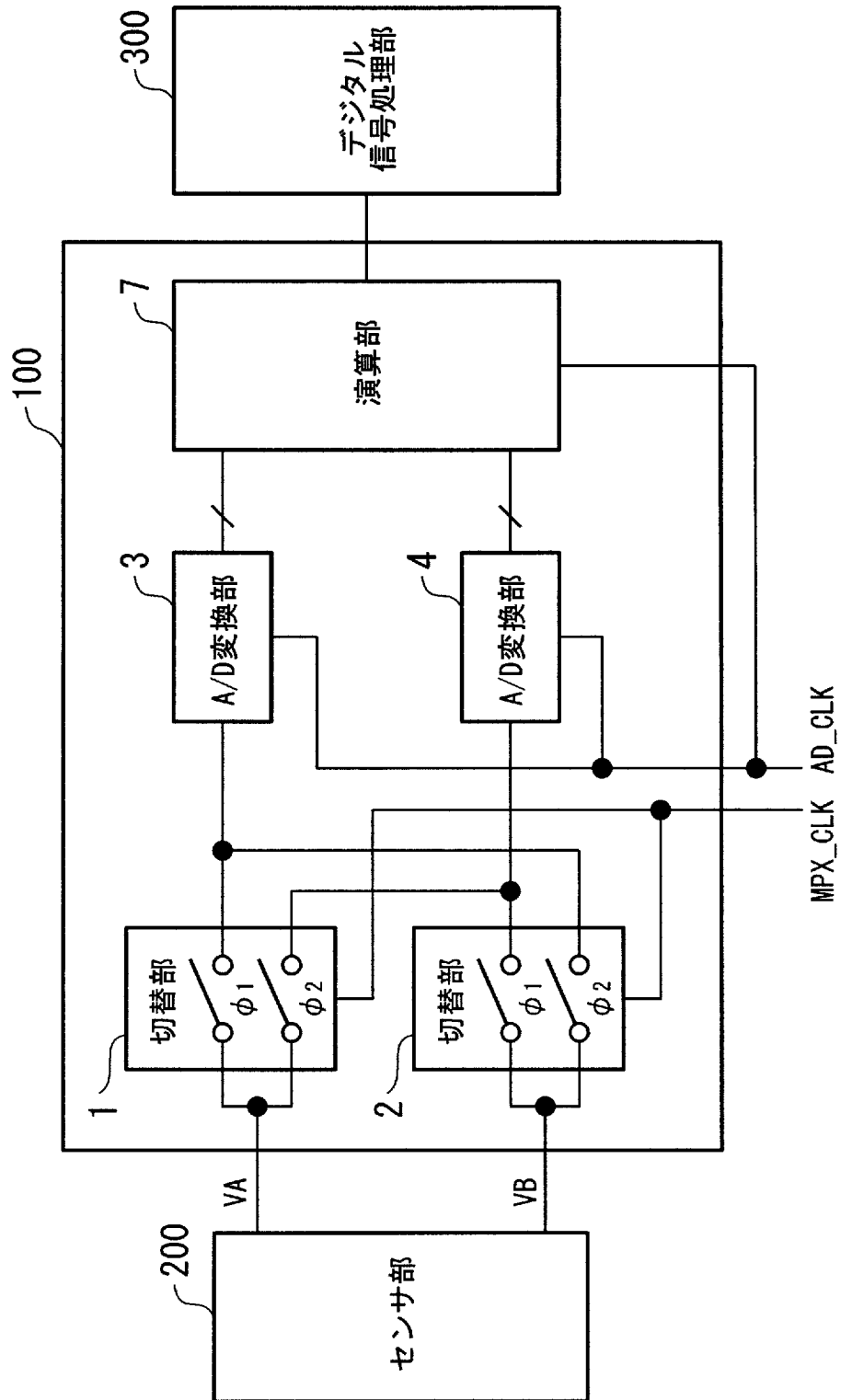
前記ブレ検出部から出力された前記複数のアナログ信号が入力される、請求項 1 に記載の A/D 変換回路と、

前記撮像装置における撮像ユニット又はレンズユニットが駆動された位置を示す位置信号を生成する位置信号生成部と、

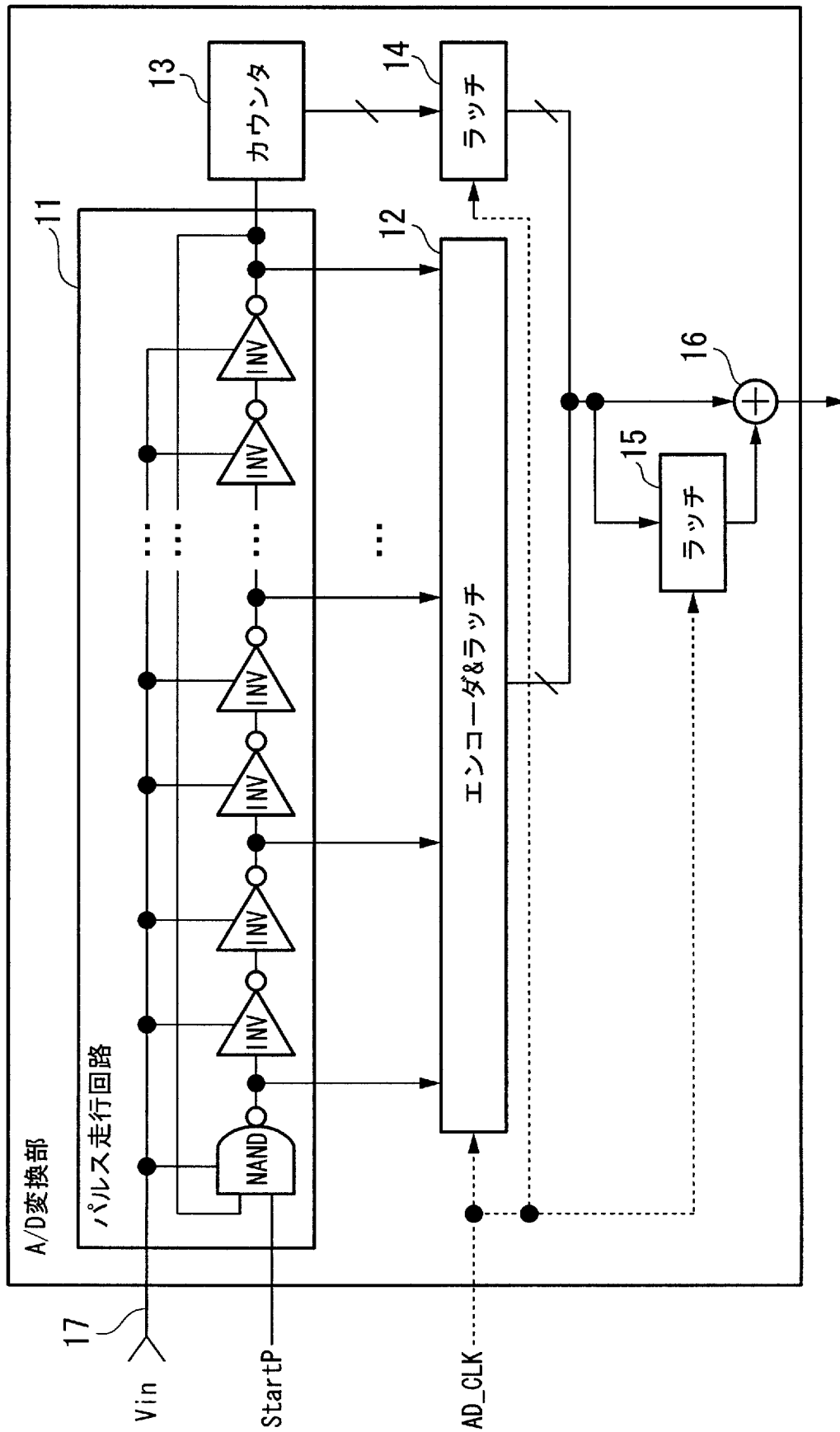
前記 A/D 変換回路から出力された前記デジタル信号と、前記位置信号生成部から出力された前記位置信号との偏差に基づいて、前記撮像ユニット又は前記レンズユニットを駆動するための信号を生成する駆動信号生成部と、

を有するブレ検出装置。

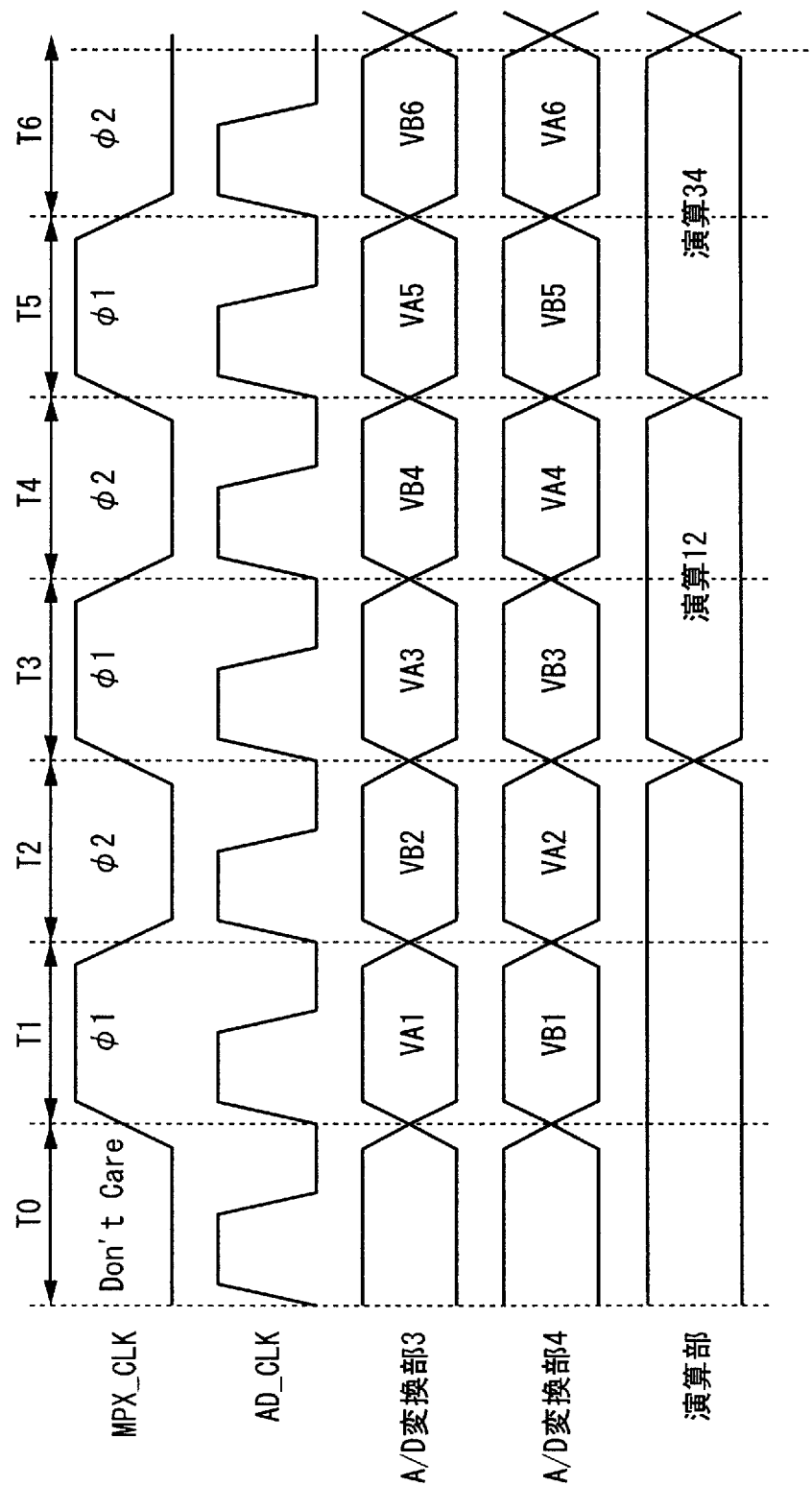
[図1]



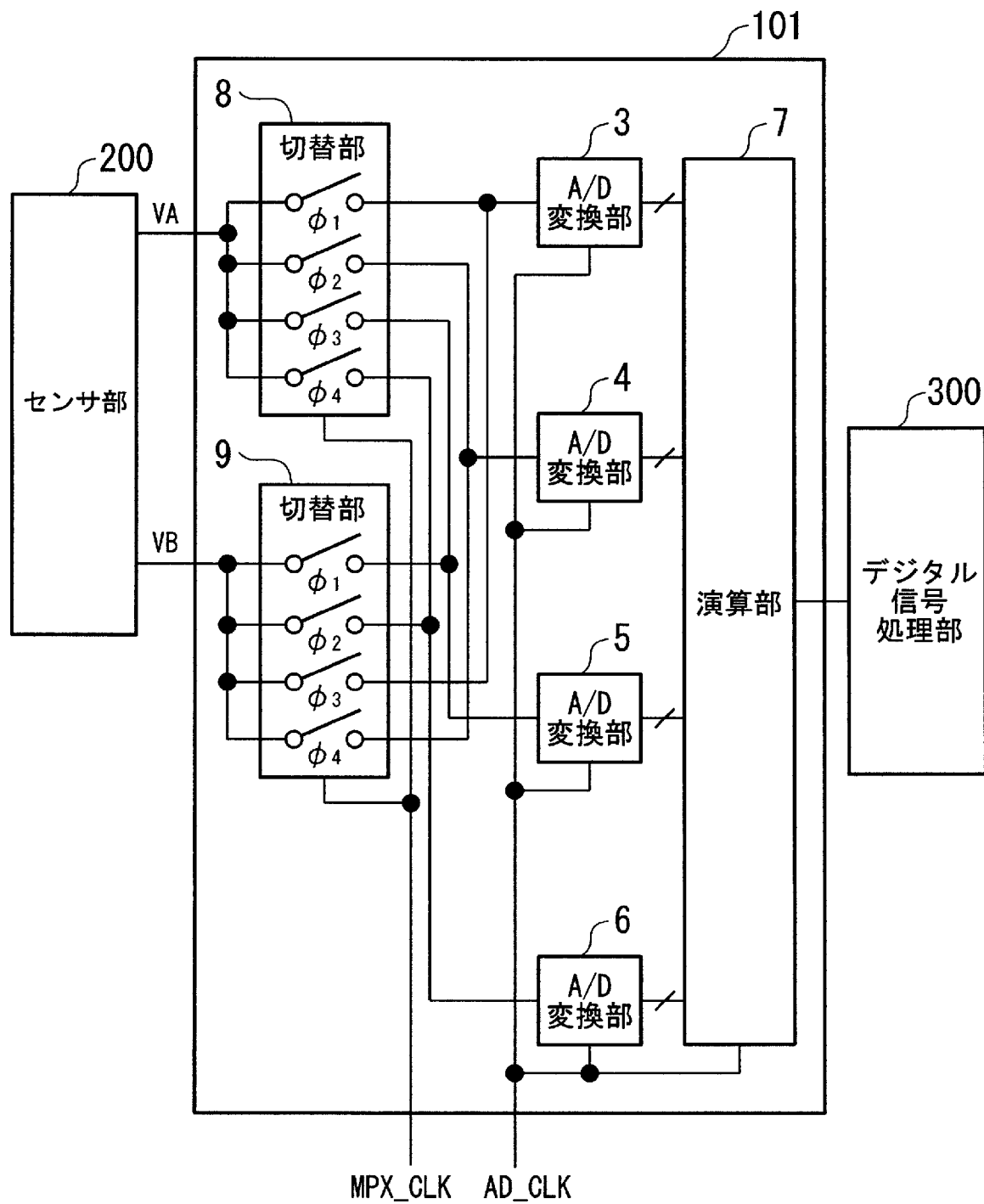
[図2]



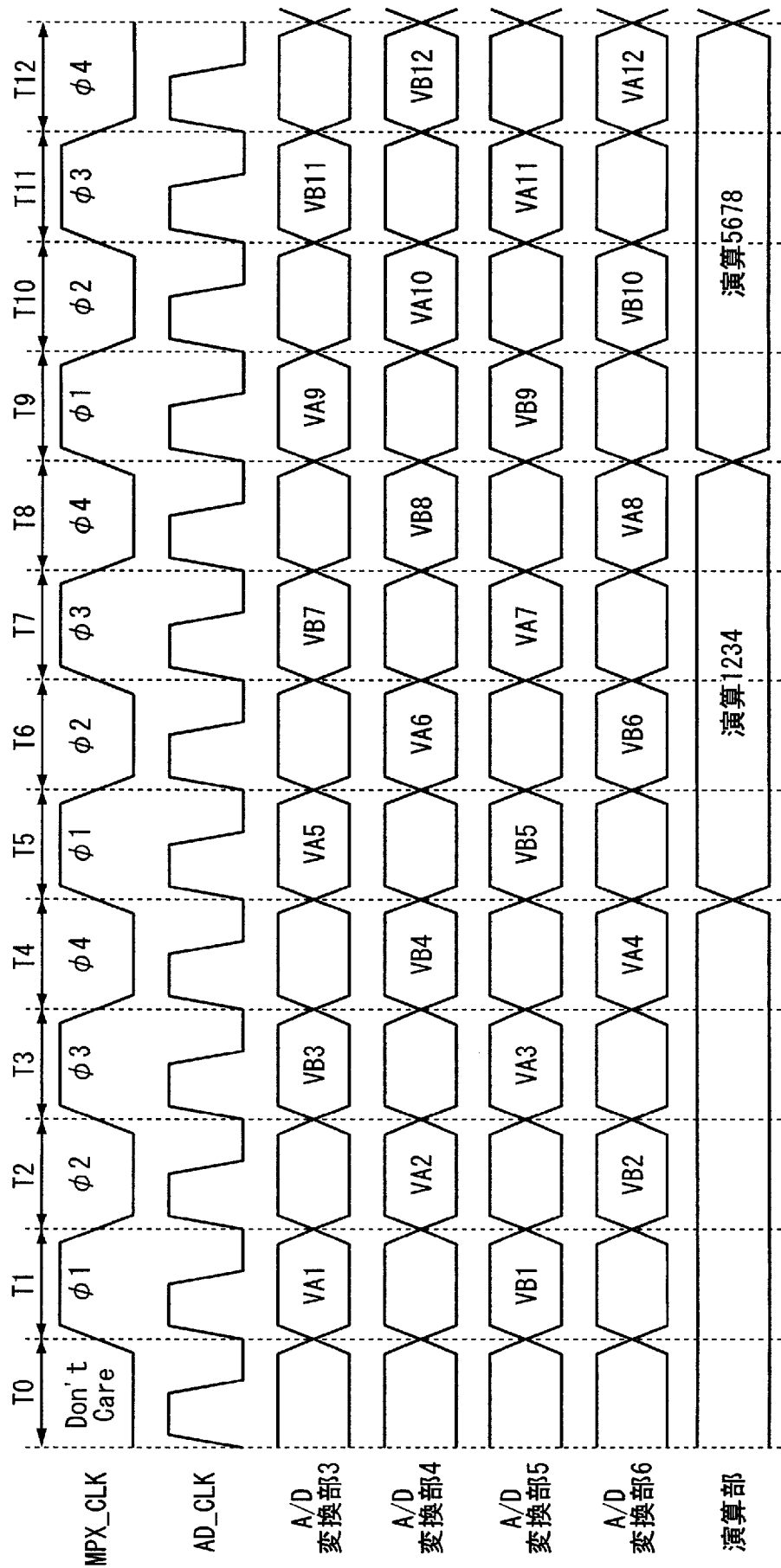
[図3]



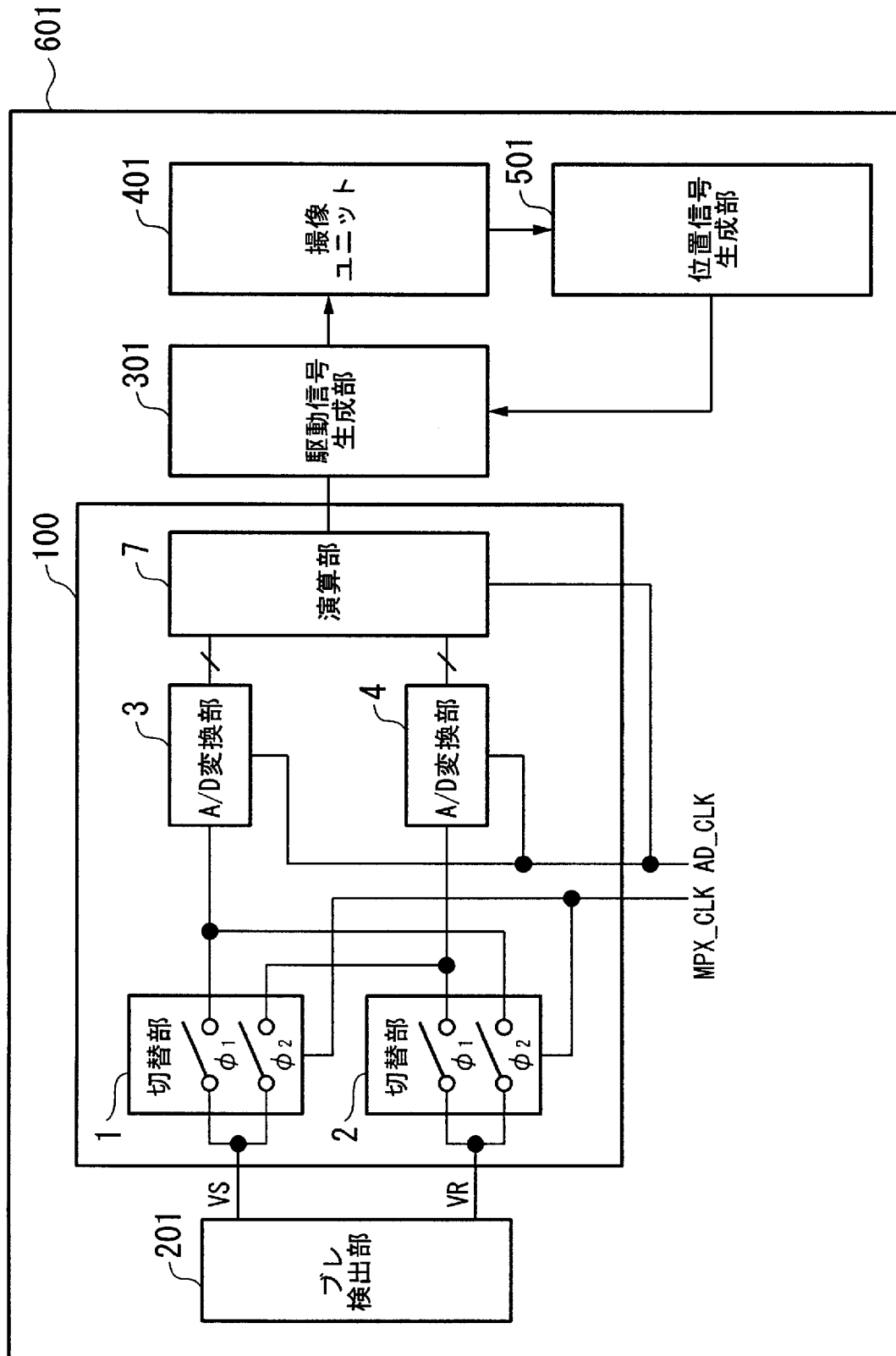
[図4]



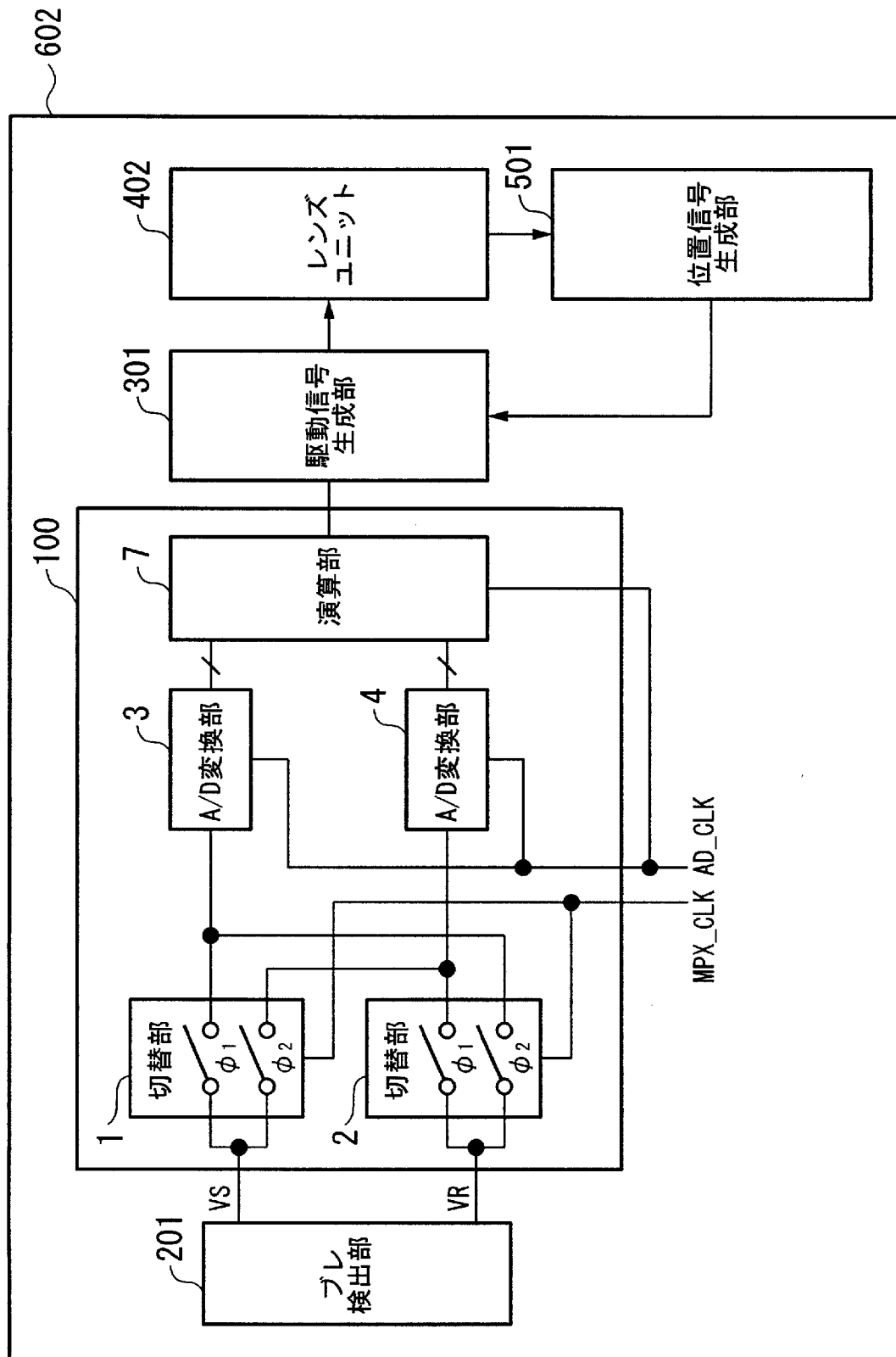
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002853

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/12(2006.01)i, G03B5/00(2006.01)i, H03M1/50(2006.01)i, H04N5/232(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/00-1/88, G03B5/00, H03M1/50, H04N5/232

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-131298 A (Fue Trek Co., Ltd.), 05 June 2008 (05.06.2008), fig. 1; claims; paragraphs [0004], [0005], [0021] to [0053] (Family: none)	1-10
A	JP 2008-312185 A (Denso Corp.), 25 December 2008 (25.12.2008), fig. 12 to 16; paragraphs [0106] to [0128] & US 2008/0309542 A1 & EP 1995875 A1	1-10
A	JP 5-93742 A (Crystal Semiconductor Corp.), 16 April 1993 (16.04.1993), fig. 1, 2; claim 4 & US 5579247 A & GB 2252829 A & DE 4203879 A1	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
14 May, 2010 (14.05.10)

Date of mailing of the international search report
25 May, 2010 (25.05.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03M1/12(2006.01)i, G03B5/00(2006.01)i, H03M1/50(2006.01)i, H04N5/232(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03M1/00-1/88, G03B5/00, H03M1/50, H04N5/232

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-131298 A (株式会社フュートレック) 2008.06.05, 第 1 図, 特許請求の範囲, 段落 4, 5, 21-53 (ファミリーなし)	1-10
A	JP 2008-312185 A (株式会社デンソー) 2008.12.25, 第 12-16 図, 段落 106-128 & US 2008/0309542 A1 & EP 1995875 A1	1-10
A	JP 5-93742 A (クリスタル セミコンダクター コーポレイション) 1993.04.16, 第 1, 2 図, 請求項 4 & US 5579247 A & GB 2252829 A & DE 4203879 A1	1-10

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 5 . 2 0 1 0

国際調査報告の発送日

2 5 . 0 5 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

柳下 勝幸

5 X

9 5 6 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6