

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-113776

(P2012-113776A)

(43) 公開日 平成24年6月14日(2012.6.14)

(51) Int.Cl.
G11C 29/06 (2006.01)F1
G11C 29/00 671Fテーマコード (参考)
5L106

審査請求 未請求 請求項の数 14 O L (全 13 頁)

(21) 出願番号 特願2010-260491 (P2010-260491)
(22) 出願日 平成22年11月22日(2010.11.22)(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100115738
弁理士 鷲頭 光宏
(74) 代理人 100121681
弁理士 緒方 和文
(74) 代理人 100130982
弁理士 黒瀬 泰之
(74) 代理人 100127199
弁理士 三谷 拓也
(72) 発明者 利穂 吉郎
東京都中央区八重洲二丁目2番1号エルピー
ダメモリ株式会社内

最終頁に続く

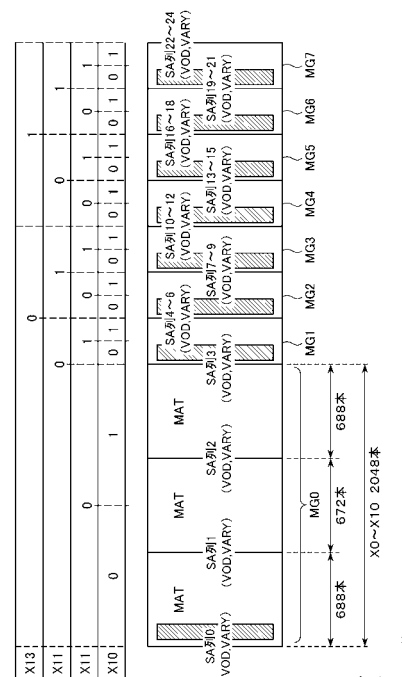
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ストレストテストにおいて同時に立ち上げるワード線の本数を増やす。

【解決手段】 複数のセンスアンプ列32によって複数のメモリセルマトリクスMATに分割され、其々が複数のワード線WLを備えるメモリセルアレイ30と、複数のメモリセルマトリクスMATの内、選択された互いに隣接しない複数のメモリセルマトリクスMATに其々含まれる複数のワード線WLを同時に立ち上げるテスト制御を行うテスト回路25とを備える。本発明によれば、複数のワード線WLが立ち上がるメモリセルマトリクスMATを分散させていることから、一つのメモリセルマトリクス内において多数のワード線を立ち上げる場合に比べて、ワード線を駆動するためのドライバ回路や、ドライバ回路に動作電圧を供給する電源回路への負荷が軽減する。その結果、より多数のワード線を同時に立ち上げることが可能となる。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

複数のセンスアンプ列によって複数のメモリセルマットに分割され、其々が複数のワード線を備えるメモリセルアレイと、

前記複数のメモリセルマットの内、選択された互いに隣接しない複数のメモリセルマットに其々含まれる複数のワード線を同時に立ち上げるテスト制御を行うテスト回路と、を備えることを特徴とする半導体装置。

【請求項 2】

前記センスアンプ列は、それぞれ対応する一对のビット線に接続された複数のセンスアンプを含み、

前記一对のビット線の一方は隣接する一方のメモリセルマットに設けられ、前記一对のビット線の他方は隣接する他方のメモリセルマットに設けられている、ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記選択された複数のメモリセルマット間には、それぞれ 2 以上のメモリセルマットが介在することを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記複数のメモリセルマットは、隣接して配置された 3 以上のメモリセルマットを一単位として複数の単位に分類され、

前記テスト回路は、各単位を構成する 3 以上のメモリセルマットに含まれる複数のワード線を同時に立ち上げる、ことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記複数の単位の中からいずれの単位を選択するかは、複数のロウアドレスビットからなるロウアドレスの第 1 のビット群によって行われ、

選択された単位の中からいずれのワード線を選択するかは前記第 1 のビット群以外の第 2 のビット群によって行われる、ことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記テスト回路は、前記ロウアドレスの前記第 1 のビット群を縮退させることによって、前記複数の単位を全て選択することを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記テスト回路は、前記ロウアドレスの前記第 2 のビット群の一部を縮退させることによって、前記複数のワード線を立ち上げることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記センスアンプ列に動作電圧を供給する第 1 の電源回路をさらに備え、前記テスト回路は前記第 1 の電源回路を通常動作時よりも長時間活性化させることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記ワード線の非活性電圧を供給する第 2 の電源回路をさらに備え、前記テスト回路は前記第 2 の電源回路から出力される前記非活性電圧を通常動作時とは異なる電圧とすることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記テスト回路は前記第 2 の電源回路から出力される前記非活性電圧を接地電圧レベルとすることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

第 1 の方向に並べて配置され、前記第 1 の方向とは異なる第 2 の方向に延在する複数のワード線をそれぞれ備える複数のメモリセルマットと、

前記複数のメモリセルマットのうち前記第 1 の方向に隣接する 2 つのメモリセルマット間にそれぞれ配置された複数のセンスアンプ列と、

前記複数のワード線及び前記複数のセンスアンプ列の動作を制御するアクセス制御回路

10

20

30

40

50

と、を備え、

前記複数のメモリセルマットは、隣接して配置された２以上のメモリセルマットを一単位として複数の単位に分類され、

前記アクセス制御回路は、テスト信号が活性化してない場合には、ロウアドレスの第１の部分に基づいて前記複数の単位の中からいずれかの単位を選択し、且つ、前記ロウアドレスの第２の部分に基づいて前記選択された単位の中からいずれかのワード線を選択し、

前記アクセス制御回路は、前記テスト信号が活性化している場合には、前記ロウアドレスの前記第１の部分縮退させることによって前記複数の単位を全て選択し、且つ、前記ロウアドレスの前記第２の部分の一部を縮退させることによって各単位に含まれる複数のワード線を選択する、ことを特徴とする半導体装置。

10

【請求項１２】

前記センスアンプ列は、それぞれ対応する一対のビット線に接続された複数のセンスアンプを含み、

前記一対のビット線の一方は隣接する一方のメモリセルマットに設けられ、前記一対のビット線の他方は隣接する他方のメモリセルマットに設けられている、ことを特徴とする請求項１１に記載の半導体装置。

【請求項１３】

前記各単位は３つのメモリセルマットによって構成されていることを特徴とする請求項１２に記載の半導体装置。

【請求項１４】

20

前記テスト回路は、複数のコマンド端子と接続されるものであって、前記複数のコマンド端子から受けるコマンド信号がテスト状態を示す時に、前記テスト制御を行い、前記コマンド信号が通常動作状態を示す時に、前記複数のメモリセルマットの内、選択された１つのメモリセルマットに含まれる１本のワード線を立ち上げるロウアドレス制御を行うことを特徴とする請求項１に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は半導体装置に関し、特に、複数のワード線を同時に立ち上げるストレステストを行うことが可能な半導体装置に関する。

30

【背景技術】

【０００２】

D R A M (Dynamic Random Access Memory) などの半導体装置は、製造段階において種々の動作テストが行われる。例えば、ウェハ状態においては不良アドレスを検出するためのテストが行われ、パッケージング後においては正常に動作しないチップを排除するための選別試験が行われる。このような動作テストの一つにストレステストがある。ストレステストは主にウェハ状態で行われるテストであり、各メモリセルにテストデータを書き込んだ後、電氣的なストレスを与え、その後読み出されたテストデータが変化していないかを判定するテストである。

【先行技術文献】

40

【特許文献】

【０００３】

【特許文献１】特開２００１－１４３４９７号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

ストレステストにおいては、複数のワード線を同時に立ち上げることによって同時にストレスを与え、これによってテスト時間を短縮する方法が知られている。一例として、特許文献１には「全ワード線アクティベーションテストモード」が開示されている。ストレステストをより短時間で行うためには、同時に立ち上げるワード線の本数を増やせばよい

50

が、ワード線を駆動するためのドライバ回路や、ドライバ回路に動作電圧を供給する電源回路などは、通常動作を想定して設計されているため、あまりに多数のワード線を同時に立ち上げることは困難である。

【課題を解決するための手段】

【０００５】

本発明の一側面による半導体装置は、複数のセンスアンプ列によって複数のメモリセルマットに分割され、其々が複数のワード線を備えるメモリセルアレイと、前記複数のメモリセルマットの内、選択された互いに隣接しない複数のメモリセルマットに其々含まれる複数のワード線を同時に立ち上げるテスト制御を行うテスト回路と、を備えることを特徴とする。

10

【０００６】

本発明の他の側面による半導体装置は、第１の方向に並べて配置され、前記第１の方向とは異なる第２の方向に延在する複数のワード線をそれぞれ備える複数のメモリセルマットと、前記複数のメモリセルマットのうち前記第１の方向に隣接する２つのメモリセルマット間にそれぞれ配置された複数のセンスアンプ列と、前記複数のワード線及び前記複数のセンスアンプ列の動作を制御するアクセス制御回路と、を備え、前記複数のメモリセルマットは、隣接して配置された２以上のメモリセルマットを一単位として複数の単位に分類され、前記アクセス制御回路は、テスト信号が活性化していない場合には、ロウアドレスの第１の部分に基づいて前記複数の単位の中からいずれかの単位を選択し、且つ、前記ロウアドレスの第２の部分に基づいて前記選択された単位の中からいずれかのワード線を選択し、前記アクセス制御回路は、前記テスト信号が活性化している場合には、前記ロウアドレスの前記第１の部分を縮退させることによって前記複数の単位を全て選択し、且つ、前記ロウアドレスの前記第２の部分の一部を縮退させることによって各単位に含まれる複数のワード線を選択する、ことを特徴とする。

20

【発明の効果】

【０００７】

本発明によれば、複数のワード線が立ち上がるメモリセルマットを分散させていることから、一つのメモリセルマット内において多数のワード線を立ち上げる場合に比べて、ワード線を駆動するためのドライバ回路や、ドライバ回路に動作電圧を供給する電源回路への負荷が軽減する。その結果、より多数のワード線を同時に立ち上げることができ、ストレステストをより短時間で実行することが可能となる。

30

【図面の簡単な説明】

【０００８】

【図１】本発明の好ましい実施形態による半導体装置１０の構成を示すブロック図である。

【図２】メモリセルアレイ３０の構成をより詳細に説明するための図である。

【図３】メモリセルマットＭＡＴの構造を説明するための模式図である。

【図４】メモリセルマットＭＡＴのアドレス割り付けを説明するための模式図である。

【図５】電源制御回路２７の回路図である。

【図６】電源制御回路２７の動作を説明するための波形図である。

40

【図７】電源回路４１，４２，４４の構成を示すブロック図である。

【発明を実施するための形態】

【０００９】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【００１０】

図１は、本発明の好ましい実施形態による半導体装置１０の構成を示すブロック図である。図１においては、半導体装置１０の構成要件のうちロウアクセスに関連する部分を抜き出して示している。したがって、カラムアクセスに関連する部分は図示を省略してある。これは、本発明の特徴がテスト時において複数のワード線を立ち上げることによりスト

50

レスを短時間で加えることにあるからであり、ストレスを印加する際にはカラムアクセスは関係しないからである。

【 0 0 1 1 】

図 1 に示すように、本実施形態による半導体装置 1 0 は、外部端子としてアドレス端子 1 1 及びコマンド端子 1 2 を備えている。その他、電源端子、クロック端子、データ入出力端子なども当然に備えられているが、これらについては図示を省略してある。

【 0 0 1 2 】

アドレス端子 1 1 は、外部からアドレス信号 A D D が入力される端子である。入力されたアドレス信号 A D D のうちロウアドレス X A D D についてはロウアドレスレジスタ 2 1 にラッチされる。カラムアドレスについては図示しないカラムアドレスレジスタにラッチ 10
されるが、その説明については省略する。ロウアドレスレジスタ 2 1 にラッチされたロウアドレス X A D D は、ロウプリデコーダ 2 2 に供給される。ロウプリデコーダ 2 2 は、ロウアドレス X A D D を部分的にデコードする回路であり、生成されたプリデコード信号 P D E C はロウデコーダ 2 3 に供給される。ロウデコーダ 2 3 は、プリデコード信号 P D E C をさらにデコードすることによりデコード信号 D E C を生成し、これによりサブワードドライバ列 3 1 を制御する。

【 0 0 1 3 】

コマンド端子 1 2 は、外部からコマンド信号 C O M が入力される端子である。入力されたコマンド信号 C O M は、コマンドデコーダ 2 4 及びテスト回路 2 5 に供給される。コマンドデコーダ 2 4 はコマンド信号 C O M を解読し、その結果に基づいて各種内部コマンド 20
を生成する回路である。生成された内部コマンドは各種回路ブロックに供給され、その動作が制御される。図 1 においては、内部コマンドのうち内部アクティブコマンド R 1 T が図示されている。内部アクティブコマンド R 1 T は、外部から入力されたコマンド信号 C O M がアクティブコマンドである場合に生成される内部コマンドであり、ロウ系制御回路 2 6 に供給される。

【 0 0 1 4 】

ロウ系制御回路 2 6 は、内部アクティブコマンド R 1 T に応答して、アドレス制御信号 A C O N T、センスアンプ制御信号 V C O N T 及び電源制御信号 P S T B を生成する。アドレス制御信号 A C O N T はロウデコーダ 2 3 に供給され、その動作タイミングの制御に 30
用いられる。また、センスアンプ制御信号 V C O N T はセンスアンプ列 3 2 に供給され、その動作タイミングの制御に用いられる。さらに、電源制御信号 P S T B は電源制御回路 2 7 に供給され、電源制御回路 2 7 によって生成される各種信号の生成タイミングを制御する。

【 0 0 1 5 】

電源制御回路 2 7 は、通常動作時においては電源制御信号 P S T B 及び内部アクティブコマンド R 1 T に基づいて、電源活性化信号 V O D T , V A R Y T を生成する。電源活性化信号 V O D T , V A R Y T は、それぞれ電源回路 4 1 , 4 2 に供給され、これら電源回路 4 1 , 4 2 を活性化させる。電源回路 4 1 は、センスアンプ列 3 2 にオーバードライブ電圧 V O D を供給するための回路である。また、電源回路 4 2 は、センスアンプ列 3 2 に 40
アレイ電圧 V A R Y を供給するための回路である。アレイ電圧 V A R Y とは、メモリセルに書き込まれるハイレベルの電圧である。オーバードライブ電圧 V O D とは、アレイ電圧 V A R Y よりも高い電圧であり、センス動作の初期においてセンス動作を高速化するためにセンスアンプ列 3 2 に供給される。

【 0 0 1 6 】

さらに、半導体装置 1 0 には、電源回路 4 3 , 4 4 も備えられている。電源回路 4 3 , 4 4 は、サブワードドライバ列 3 1 にワード線活性化電圧 V P P 及びワード線非活性化電圧 V K K をそれぞれ供給するための回路である。ワード線活性化電圧 V P P とは、サブワードドライバ列 3 1 によって選択されたワード線 W L に与えられる電圧であり、外部電圧を昇圧することにより生成される。一方、ワード線非活性化電圧 V K K とは、サブワードドライバ列 3 1 によって選択されないワード線 W L に与えられる電圧であり、接地電圧レ 50

ベル以下の負電圧である。

【 0 0 1 7 】

サブワードドライバ列 3 1 は、メモリセルアレイ 3 0 に含まれる複数のワード線 W L に接続されている。また、センスアンプ列 3 2 は、メモリセルアレイ 3 0 に含まれる複数のビット線 B L に接続されている。ワード線 W L とビット線 B L の交点にはメモリセル M C が配置されており、ワード線 W L が活性化すると、各メモリセル M C は対応するビット線 B L に接続される。メモリセルアレイ 3 0 の詳細については後述する。本発明においては、サブワードドライバ列 3 1 及びセンスアンプ列 3 2 の動作を制御する上記の各回路 2 1 ~ 2 7 を「アクセス制御回路」と呼ぶことがある。

【 0 0 1 8 】

テスト回路 2 5 は、コマンド端子 1 2 からストレステストを行うためのテストコマンドが入力された場合に活性化される回路である。テストコマンドが入力されると、テスト回路 2 5 はテスト信号 T E S T 1 ~ T E S T 3 を活性化させる。テスト信号 T E S T 1 ~ T E S T 3 は、それぞれロウプリデコーダ 2 2、電源制御回路 2 7 及び電源回路 4 4 に供給される。ロウプリデコーダ 2 2、電源制御回路 2 7 及び電源回路 4 4 は、テスト信号 T E S T 1 ~ T E S T 3 が活性化している場合には、通常時と異なる動作を行う。その詳細については後述する。

【 0 0 1 9 】

図 2 は、メモリセルアレイ 3 0 の構成をより詳細に説明するための図である。

【 0 0 2 0 】

図 2 に示すように、メモリセルアレイ 3 0 の内部においては、複数のメモリセルマット M A T が X 方向及び Y 方向にマトリクス状にレイアウトされている。各メモリセルマット M A T には複数のメモリセル M C が含まれている。Y 方向に隣接するメモリセルマット M A T 間には、サブワードドライバ列 3 1 がそれぞれ配置されている。サブワードドライバ列 3 1 には複数のサブワードドライバが含まれており、それぞれ対応するワード線 W L を駆動する役割を果たす。また、X 方向に隣接するメモリセルマット M A T 間には、センスアンプ列 3 2 がそれぞれ配置されている。センスアンプ列 3 2 には複数のセンスアンプが含まれており、それぞれ対応する一対のビット線 B L に生じている電位差を増幅する役割を果たす。

【 0 0 2 1 】

上述の通り、サブワードドライバ列 3 1 には、ワード線 W L を駆動するためのワード線活性化電圧 V P P が供給される。ワード線活性化電圧 V P P を供給するための電源配線 V L 1 は、X 方向及び Y 方向にメッシュ状に配線され、その交点において接続されている。これにより電源配線 V L 1 が強化され、ワード線活性化電圧 V P P の局所的な電圧低下が防止されている。

【 0 0 2 2 】

センスアンプ列 3 2 には、ビット線 B L を駆動するためのオーバードライブ電圧 V O D 及びアレイ電圧 V A R Y が供給される。オーバードライブ電圧 V O D を供給するための電源配線 V L 2 及びアレイ電圧 V A R Y を供給するための電源配線 V L 3 も、X 方向及び Y 方向にメッシュ状に配線され、その交点において接続されている。これにより電源配線 V L 2、V L 3 が強化され、オーバードライブ電圧 V O D 及びアレイ電圧 V A R Y の局所的な電圧低下が防止されている。

【 0 0 2 3 】

図 3 は、メモリセルマット M A T の構造を説明するための模式図である。

【 0 0 2 4 】

図 3 に示すように、メモリセルマット M A T に含まれるビット線 B L は、X 方向における両側に配置されたセンスアンプ列 3 2 に交互に接続されている。したがって、同じセンスアンプ列 3 2 に含まれる各センスアンプ S A は、互いに異なるメモリセルマット M A T に設けられた一対のビット線 B L T、B L B に接続される。つまり、オープンビット線方式が採用されている。したがって、例えばメモリセルマット M A T 1 内のワード線 W L 1

10

20

30

40

50

が選択された場合、メモリセルマツトM A T 1内のビット線B L Tがアクセス側のビット線となり、隣接するメモリセルマツトM A T 2内のビット線B L Bが参照側のビット線となる。

【0025】

このことは、メモリセルマツトM A T 1内のワード線W L 1と、メモリセルマツトM A T 2内のワード線W L 2を同時に活性化させることができないことを意味する。これに対し、テスト時において複数のメモリセルに同じデータを書き込む場合や、同じデータが書き込まれたメモリセルに対してリフレッシュ動作を行う場合には、同じメモリセルマツトM A T 1内の複数のワード線W L 1, W L 3を同時に活性化させることが可能である。もちろん、このようなアクセスは通常動作時においては行われない動作である。

10

【0026】

図4は、メモリセルマツトM A Tのアドレス割り付けを説明するための模式図である。

【0027】

図4に示すように、X方向に配列された複数のメモリセルマツトM A Tは、ロウアドレスX A D Dの上位ビットによって選択される。より具体的に説明すると、本実施形態においては、X方向に24個のメモリセルマツトM A Tが配列されており、連続して配列された3つのメモリセルマツトM A Tを一単位として複数の単位M Gに分類されている。そして、いずれの単位M Gを選択するかは、ロウアドレスX A D Dの上位3ビットX 1 1 ~ X 1 3によって指定される。一例として、図4に示す左端の単位M G 0を選択する場合、ロウアドレスX A D Dの上位3ビットX 1 1 ~ X 1 3を(0, 0, 0)にすればよい。

20

【0028】

選択された単位M Gの中からいずれのワード線W Lを選択するかは、ロウアドレスX A D Dの下位ビットX 0 ~ X 1 0によって指定される。したがって、1つの単位M Gには2048本(= 2^{11})のワード線W Lが含まれている。これら2048本のワード線は3つのメモリセルマツトM A Tに分配され、本実施形態では両端のメモリセルマツトM A Tにそれぞれ688本が割り当てられ、中央のメモリセルマツトM A Tに672本が割り当てられる。このように、本実施形態では、各メモリセルマツトM A Tに含まれるワード線W Lの本数が2のべき乗で表すことのできない数となっている。

【0029】

通常動作時においては、ロウアドレスX A D Dにより指定されるいずれかのワード線W Lが活性化される。したがって、X方向に配列された24個のメモリセルマツトM A Tにおいては、1本のワード線W Lのみが立ち上げられる。これに対し、これに対し、ストレステストを行うためのテストコマンドが入力された場合には、これとは異なる動作が行われる。以下、ストレステストを行うためのテストコマンドが入力された場合の動作について説明する。

30

【0030】

ストレステストを行うためのテストコマンドが入力されると、テスト回路25はテスト信号T E S T 1 ~ T E S T 3を活性化させる。これにより、テスト信号T E S T 1 ~ T E S T 3が供給されるロウプリデコーダ22、電源制御回路27及び電源回路44は、いずれもテストモードにエントリする。

40

【0031】

ロウプリデコーダ22は、テストモードにエントリすると、アドレス信号A D Dの上位ビットX 1 1 ~ X 1 3を縮退させるとともに、アドレス信号A D Dの下位ビットX 0 ~ X 1 0の一部であるビットX 4 ~ X 7を縮退させる。「縮退」とは、当該ビットを無視する(ドントケアとする)ことであり、したがって、縮退されたビットにより選択されるべき部分は全て選択される。具体的には、ビットX 1 1 ~ X 1 3はどの単位M Gを選択するかを示すビットであるため、これらのビットX 1 1 ~ X 1 3が縮退されると、全ての単位M G 0 ~ M G 7が選択されることになる。また、ビットX 4 ~ X 7は、メモリセルマツトM A T内のワード線W Lを選択するためのビットであるため、これらのビットX 4 ~ X 7が縮退されると、各単位M Gにおいて16本(= 2^4)のワード線W Lが同時に立ち上がる

50

ことになる。

【 0 0 3 2 】

したがって、テスト信号 T S E T 1 が活性化すると、全ての単位 M G 0 ~ M G 7 が選択されるとともに、各単位においてそれぞれ 1 6 本のワード線 W L が同時に立ち上げられる。つまり、合計で 1 2 8 本のワード線が同時に立ち上がることになる。図 4 において網掛け表示している箇所は、活性化されたワード線 W L の模式的な位置である。

【 0 0 3 3 】

このように、テストモードにエントリした状態でアドレス信号 A D D を入力すると、通常動作時の 1 2 8 倍の数のワード線 W L が同時に立ち上がる。このため、ワード線 W L に活性化電圧 V P P を供給するための電源回路 4 3 の負荷が大きくなるが、活性化されるワード線 W L が複数のメモリセルマット M A T に分散されており、且つ、メモリセルマット M A T 上において、ワード線活性化電圧 V P P を供給するための電源配線 V L 1 がメッシュ状に配線されていることから、ワード線活性化電圧 V P P の局所的な電圧低下は防止されている。これにより、通常動作時の 1 2 8 倍の数のワード線 W L を同時に立ち上げることが可能となる。

10

【 0 0 3 4 】

これに対し、一つのメモリセルマット M A T 内において 1 2 8 本のワード線 W L を同時に立ち上げるとは困難である。この場合には、ワード線活性化電圧 V P P の局所的な電圧低下が生じるからである。

【 0 0 3 5 】

20

その一方で、本実施形態では活性化されるワード線 W L が複数のメモリセルマット M A T に分散されているために、通常動作時よりも多くのセンスアンプ列 3 2 を駆動する必要が生じる。つまり、通常動作時であれば選択されたメモリセルマット M A T の両側に隣接する 2 つのセンスアンプ列 3 2 を駆動すれば足りるのに対し、テスト動作時には多数のメモリセルマット M A T が同時に選択されるため、多数のセンスアンプ列 3 2 を同時に駆動しなければならない。

【 0 0 3 6 】

センスアンプ列 3 2 は多くの電力を消費する回路であり、多数のセンスアンプ列 3 2 が同時に活性化することによって電圧が低下すると、これを所望のレベルに復帰させるまで時間がかかる。この点を考慮して、本実施形態では、テスト信号 T E S T 2 によって電源制御回路 2 7 の動作を変更し、電源回路 4 1 , 4 2 の活性化期間を延長している。

30

【 0 0 3 7 】

図 5 は電源制御回路 2 7 の回路図であり、図 6 はその動作を説明するための波形図である。

【 0 0 3 8 】

図 5 に示すように、電源制御回路 2 7 は、内部アクティブコマンド R 1 T 及びインバータ 5 1 によって反転された電源制御信号 P S T B を受ける N A N D ゲート回路 5 2 と、N A N D ゲート回路 5 2 の出力である信号 A のパルス幅を延長するパルス幅制御回路 5 3 とを備える。パルス幅制御回路 5 3 の出力である信号 B は、N A N D ゲート回路 5 4 , 5 5 を介し、電源活性化信号 V O D T , V A R Y T として出力される。通常動作時にはテスト信号 T E S T 2 がローレベルであり、これにより N A N D ゲート回路 5 6 , 5 7 の出力がハイレベルに固定されることから、信号 B の反転信号がそのまま電源活性化信号 V O D T , V A R Y T として出力される。

40

【 0 0 3 9 】

これに対し、テスト信号 T E S T 2 がハイレベルに活性化している場合には、信号 B がハイレベルに変化した後も、内部アクティブコマンド R 1 T がローレベルに戻るまでの期間は、電源活性化信号 V O D T , V A R Y T がハイレベルを維持する。このため、図 6 に示すように、電源活性化信号 V O D T , V A R Y T の活性化期間が延長される。

【 0 0 4 0 】

図 7 は電源回路 4 1 , 4 2 , 4 4 の構成を示すブロック図である。

50

【 0 0 4 1 】

図 7 (a) に示すように、電源回路 4 1 は、主回路部 4 1 a 及び副回路部 4 1 b を含み、その出力ノードは電源配線 V L 2 に共通接続されている。電源配線 V L 2 は、オーバードライブ電圧 V O D をセンスアンプ列 3 2 に供給するための配線である。主回路部 4 1 a は、電源活性化信号 V O D T に応答してオーバードライブ電圧 V O D の生成を行う回路であり、その電圧供給能力は相対的に高く設計される。一方、副回路部 4 1 b は、常時オーバードライブ電圧 V O D の生成を行う回路であり、その電圧供給能力は相対的に低く設計される。かかる回路構成により、センスアンプ列 3 2 が活性化している期間においては、主回路部 4 1 a 及び副回路部 4 1 b によってオーバードライブ電圧 V O D が十分な電圧供給能力で供給され、センスアンプ列 3 2 が活性化していない期間においては、副回路部 4 1 b によって電源配線 V L 2 のレベルが所望のレベルに維持される。そして、テストモードにエントリしている場合には、上述の通り、電源活性化信号 V O D T の活性化期間が延長されるため、多数のセンスアンプ列 3 2 が同時に活性化することより一時的に低下したオーバードライブ電圧 V O D のレベルを次のアクセスまでに回復させることが可能となる。

10

【 0 0 4 2 】

電源回路 4 2 についても上記と同様である。つまり、図 7 (b) に示すように、電源回路 4 2 は、主回路部 4 2 a 及び副回路部 4 2 b を含み、その出力ノードは電源配線 V L 3 に共通接続されている。電源配線 V L 3 は、アレイ電圧 V A R Y をセンスアンプ列 3 2 に供給するための配線である。主回路部 4 2 a は、電源活性化信号 V A R Y T に応答してアレイ電圧 V A R Y の生成を行う回路であり、その電圧供給能力は相対的に高く設計される。一方、副回路部 4 2 b は、常時アレイ電圧 V A R Y の生成を行う回路であり、その電圧供給能力は相対的に低く設計される。かかる回路構成により、センスアンプ列 3 2 が活性化している期間においては、主回路部 4 2 a 及び副回路部 4 2 b によってアレイ電圧 V A R Y が十分な電圧供給能力で供給され、センスアンプ列 3 2 が活性化していない期間においては、副回路部 4 2 b によって電源配線 V L 3 のレベルが所望のレベルに維持される。そして、テストモードにエントリしている場合には、上述の通り、電源活性化信号 V A R Y T の活性化期間が延長されるため、多数のセンスアンプ列 3 2 が同時に活性化することより一時的に低下したアレイ電圧 V A R Y のレベルを次のアクセスまでに回復させることが可能となる。

20

30

【 0 0 4 3 】

また、電源回路 4 4 は、電圧生成部 4 4 a とスイッチ回路 4 4 b を含んでいる。電圧生成部 4 4 a は、通常動作時にはワード線非活性化電圧 V K K を常時生成する回路であり、その出力ノードは電源配線 V L 4 に接続されている。そして、テスト動作時ににおいてテスト信号 T E S T 3 が活性化すると、電圧生成部 4 4 a の動作が停止されるとともに、スイッチ回路 4 4 b によって電源配線 V L 4 が接地レベル V S S に短絡される。接地レベルは外部から供給される電圧レベルであるため、その電圧供給能力は非常に高い。これにより、テスト動作時には非選択のワード線 W L のレベルが接地レベル V S S に固定されることから、負荷の増大によって非選択のワード線 W L のレベルが接地レベル V S S を超えるレベルに浮き上がる現象を防止することが可能となる。

40

【 0 0 4 4 】

以上説明したように、本実施形態によれば、各種内部電圧のレベル低下を防止しつつ、ストレステストにおいて多数のワード線を同時に立ち上げることができるため、テスト時間を短縮することが可能となる。

【 0 0 4 5 】

本実施形態においては、図 4 を用いて説明したように、ロウアドレス X A D D の上位ビット X 1 1 ~ X 1 3 を縮退させ、これにより 3 つのメモリセルマット M A T からなる単位 M G を全て選択している点が重要である。例えば、ビット X 1 1 ~ X 1 3 に加えてビット X 1 0 も縮退させることも可能であるが、この場合には、この場合には、入力されるアドレス信号 A D D 毎に隣接するメモリセルマット M A T が同時に選択されてしまうこととな

50

る。すると、既述の通り一对のビット線 B L T、B L B はセンスアンプを挟んで互いに隣接するメモリセルマツト M A T に配置されているため、一对のビット線が同時にメモリセルからのデータを受けることとなりテストが成立しない。例えば、該ストレステストが全メモリセルに H (又は L のいずれか一方) のデータを書き込み、それを読み出す (読み出されたデータに L があった場合には不良判定となる) ものである場合、上記のような制御が行われると、B L T、B L B のいずれも H となるため、センスアンプが動作しなくなってしまう。従って、このような縮退を行う場合には結局、隣接するメモリセルマツト M A T においてワード線 W L の活性化を別々に行う必要があり、上記実施形態よりもテスト時間が長くなる。一方、本実施形態においても、各メモリセルマツト M A T に含まれるワード線 W L の本数が 2 のべき乗で表すことのできない数であるため、入力されるアドレス信号 A D D の値によって選択される単位内の複数のワード線 (16 本) がセンスアンプを跨いで互いに隣接する 2 つメモリセルマツト M A T を同時に選択するタイミングは存在し、この場合にはワード線 W L の活性化を別々に行う必要がある。しかしながら、該タイミングは 16 本がセンスアンプを跨ぐテスト中のごく一部の時間に限られるため、全体のテスト時間への影響は小さい。

10

【0046】

また、ビット X 1 1 を縮退させることなく、ビット X 1 2 , X 1 3 を縮退させることも可能であるが、この場合には、同時に立ち上げるワード線 W L の本数を上記実施形態と同様に 128 本とするためには、1 つのメモリセルマツト M A T 当たり 32 本のワード線 W L を立ち上げる必要があり、上記実施形態に比べて負荷の分散効果が低減する。

20

【0047】

これらの点を考慮し、本実施形態では、ビット X 1 1 ~ X 1 3 を縮退させているのである。

【0048】

また、本実施形態では、一つのメモリセルマツト M A T に含まれるワード線 W L の本数が 2 のべき乗で表すことのできない数である点についても、ビット X 1 1 ~ X 1 3 を縮退させている重要な理由である。一つのメモリセルマツト M A T に含まれるワード線 W L の本数が 2 のべき乗で表すことのできない数である場合、どのビットを縮退させれば隣接するメモリセルマツト M A T が同時に選択されるケースが少なくなるのか、その制御が非常に複雑となる。この点を考慮し、本実施形態では、ワード線 W L の本数を 2 のべき乗で表すことができる単位 M G に着目し、これら単位 M G を選択するのに使用されるビット X 1 1 ~ X 1 3 を縮退させている。これにより、隣接する 2 つのメモリセルマツト M A T が同時に選択されるケースは、各単位 M G の中でセンスアンプ列 32 を跨ぐケースに限られるため、制御を簡素化することが可能となる。

30

【0049】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【符号の説明】

【0050】

- 10 半導体装置
- 11 アドレス端子
- 12 コマンド端子
- 21 ロウアドレスレジスタ
- 22 ロウプリデコーダ
- 23 ロウデコーダ
- 24 コマンドデコーダ
- 25 テスト回路
- 26 ロウ系制御回路
- 27 電源制御回路

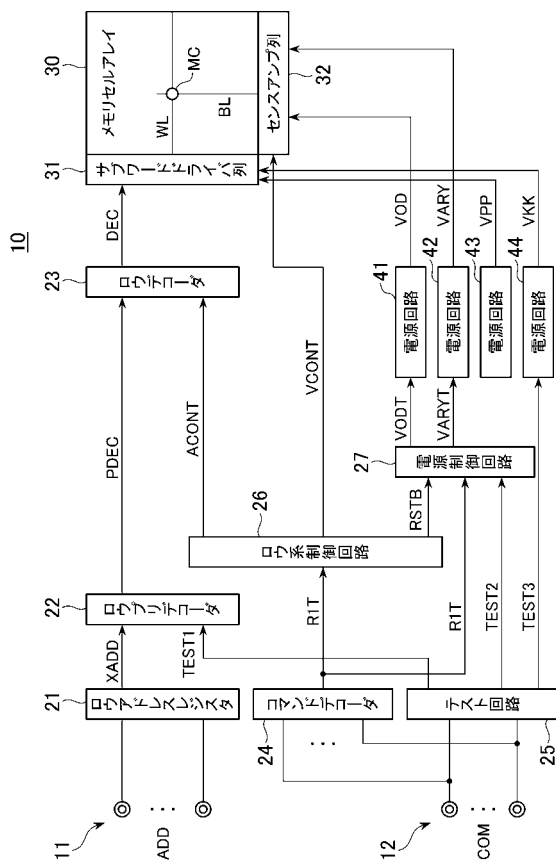
40

50

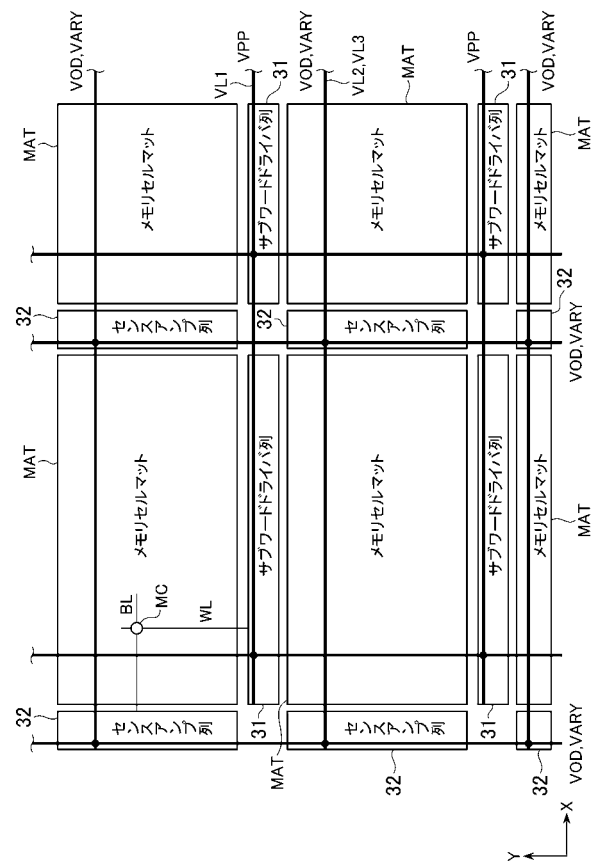
3 0 メモリセルアレイ
 3 1 サブワードドライバ列
 3 2 センスアンプ列
 4 1 ~ 4 3 電源回路
 4 1 a , 4 2 a 主回路部
 4 1 b , 4 1 b 副回路部
 4 4 a 電圧生成部
 4 4 b スイッチ回路
 5 3 パルス幅制御回路
 M A T メモリセルマツト
 V L 1 ~ V L 4 電源配線
 W L ワード線

10

【 図 1 】



【 図 2 】



フロントページの続き

(72)発明者 野田 浩正

東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

(72)発明者 佐久間 一樹

東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

Fターム(参考) 5L106 AA01 DD01 DD11 DD35 EE02 FF04 FF05 GG05