



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

230 987

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 31 03 83
(21) PV 2273-83

(51) Int. Cl.³ G 06 F 13/04

(40) Zveřejněno 28 10 83
(45) Vydáno 01 08 85

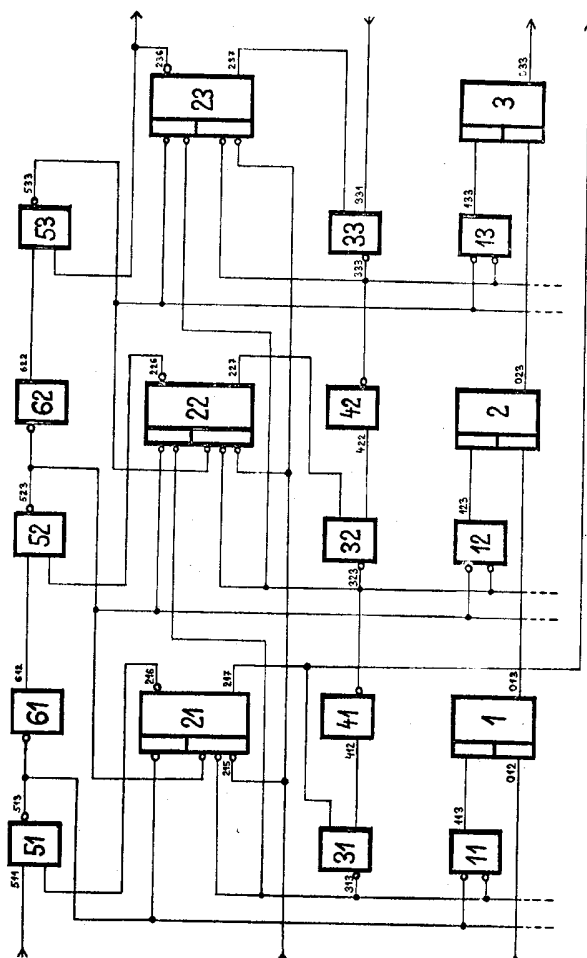
(75)

Autor vynálezu MALÝ VLADIMÍR ing., PRAHA

(54) Zapojení asynchronní vyrovnávací paměti s N-fázovými nahrávacími a čtecími impulsy, založené na principu posuvného registru

Elektronické číslicové počítače, vnější paměti, řídicí jednotky magnetických diskových pamětí, prostředky přenosu dat. Jednoduché zapojení vyrovnávací paměti, umožňující zápis a čtení bez časových ztrát. Vynález se týká zapojení vyrovnávací paměti, kde stav každého slova je indikován jedním řídicím klopným obvodem a zápis i čtení je prováděno N-fázovými zápisovými resp. čtecími impulsy.

Možné obory použití : elektronické číslicové počítače, řídicí jednotky, prostředky přenosu dat.



Vynález se týká zapojení asynchronní vyrovnávací paměti s N -fázovými nahrávacími a čtecími impulsy, založené na principu posuvného registru.

K tomuto účelu se běžně používá poměrně komplikovaně zapojených synchronních vyrovnávacích pamětí, které kromě vlastních paměťových prvků obsahují složitou ovládací elektroniku, skládající se z adresního zápisového registru, adresního čtecího registru, dekodéru adresního zápisového registru, dekodéru adresního čtecího registru a dalších obvodů, sloužících ke generaci zápisových a čtecích impulsů. Ze složitosti tohoto zapojení vyplývá poměrně složitá diagnostikovatelnost. Další nevýhodou těchto zapojení je časová ztráta, která vznikla tím, že do těchto pamětí nelze zapisovat v libovolný okamžik a rovněž ke čtení je třeba určitá vybavovací doba.

Uvedené nedostatky odstraňuje zapojení asynchronní vyrovnávací paměti s N -fázovými nahrávacími a čtecími impulsy, založené na principu posuvného registru podle vynálezu, jehož podstata spočívá v tom, že se skládá z $N \times P$ paměťových klopných obvodů prvního až N -tého slova, s informací vloženou úrovní signálu přivedeného na hodinové vstupy, kde N je počet slov vyrovnávací paměti a P je počet bitů v jednom slově, $N \times P$ součtových hradel prvního, druhého až N -tého slova, N řídicích klopných obvodů, N součinných zápisových hradel, $N-1$ invertujících zpožďovacích zápisových prvků, N součinných čtecích hradel, $N-1$ invertujících zpožďovacích čtecích prvků, přičemž první vstupní vodič s kladným zápisovým impulsem je připojen na první vstup prvního součinného zápisového hradla, druhý vstup prvního součinného zápisového hradla je vodičem spojen s inverzním výstupem prvního řídicího klopného obvodu, inverzní výstup prvního součinného zápisového hradla je spojen vodičem se vstupem prvního invertujícího zpožďovacího zápisového prvku a s inverzním nastavovacím vstupem prvního řídicího klopného obvodu a dále s prvními inverzními vstupy všech součtových hradel prvního slova, výstup prvního invertujícího zpožďovacího prvku je vodičem spojen s prvním vstupem druhého součinného zápisového hradla, druhý vstup druhého součinného zápisového hradla je vodičem spojen s inverzním výstupem druhého řídicího klopného obvodu, inverzní výstup druhého součinného zápisového hradla je vodičem spojen se vstupem druhého invertujícího zpožďovacího zápisového prvku a s prvním inverzním nastavovacím vstupem druhého řídicího klopného obvodu a s prvním inverzním nulovacím vstupem prvního řídicího klopného obvodu a dále s prvními inverzními vstupy všech součtových hradel druhého slova, výstup $N-1$ ho invertujícího zpožďovacího zápisového prvku je vodičem spojen s prvním vstupem N -tého součinného zápisového hradla, druhý vstup N -tého součinného zápisového hradla je vodičem spojen s inverzním výstupem N -tého řídicího klopného obvodu a dále je vyveden jako výstupní vodič indikující prázdnou paměť, inverzní výstup N -tého součinného zápisového hradla je spojen vodičem s prvním inverzním nastavovacím vstupem N -tého řídicího klopného obvodu a s prvním inverzním nulovacím vstupem $N-1$ ho řídicího klopného obvodu a dále s prvními inverzními vstupy všech součtových hradel N -tého slova, druhý vstupní vodič s kladným čtecím impulsem je připojen na druhý vstup N -tého součinného čtecího hradla, první vstup N -tého součinného čtecího hradla je vodičem spojen s přímým výstupem N -tého řídicího klopného obvodu, inverzní výstup N -tého součinného čtecího hradla je vodičem spojen s prvním nulovacím inverzním vstupem N -tého řídicího klopného obvodu

a se vstupem N-tého invertujícího zpožďovacího čtecího prvku a dále s druhými inverzními vstupy všech součtových hradel N-tého slova, výstup N-tého invertujícího zpožďovacího čtecího prvku je vodičem spojen s druhým vstupem N-1 ho součtinového čtecího hradla, první vstup N-1 ho součtinového čtecího hradla je vodičem spojen s přímým výstupem N-1 ho řídícího klopného obvodu, inverzní výstup N-1 ho součtinového čtecího hradla je vodičem spojen s druhým inverzním nulovacím vstupem N-1 ho řídícího klopného obvodu a s druhým inverzním nastavovacím vstupem N-tého řídícího klopného obvodu a se vstupem N-1 ho invertujícího zpožďovacího čtecího prvku a dále s druhými inverzními vstupy všech součtových hradel N-1 ho slova, výstup prvního invertujícího zpožďovacího čtecího prvku je vodičem spojen s druhým vstupem prvního součtinového čtecího hradla, první vstup prvního součtinového čtecího hradla je vodičem spojen s přímým výstupem prvního řídícího klopného obvodu a dále je vyveden jako výstupní vodič indukující plnou paměť, inverzní výstup prvního součtinového čtecího hradla je vodičem spojen s druhým inverzním nulovacím vstupem prvního řídícího klopného obvodu a s druhým inverzním nastavovacím vstupem druhého řídícího klopného obvodu a s druhými inverzními vstupy všech součtových hradel prvního slova jsou spojeny vodiči s hodinovými vstupy příslušných klopných paměťových obvodů prvního slova, výstupy součtových hradel druhého slova jsou spojeny vodiči s hodinovými vstupy příslušných klopných paměťových obvodů druhého slova, výstupy součtových hradel N-tého slova jsou spojeny vodiči s hodinovými vstupy příslušných klopných paměťových obvodů N-tého slova, vstupní datové vodiče s vloženými zapisovanými daty jsou spojeny s datovými vstupy příslušných klopných paměťových obvodů prvního slova, výstupy klopných paměťových obvodů prvního slova jsou spojeny vodiči s datovými vstupy příslušných klopných paměťových obvodů druhého slova, výstupy klopných paměťových obvodů N-1 ho slova jsou spojeny vodiči s datovými vstupy příslušných klopných paměťových obvodů N-tého slova, výstupy klopných paměťových obvodů N-tého slova jsou též výstupními vodiči z paměti používanými pro odběr čtených dat, třetí vstupní vodič se záporným impulsem k vyprazdňování celé paměti je propojen na poslední inverzní nulovací vstupy všech řídících klopných obvodů.

Hlavní výhodou zapojení podle vynálezu je jednoduchost. Tato vyrovnávací paměť má kromě datových vstupů a výstupů, dvou výstupů indukujících plnou a prázdnou paměť a nulovacího vstupu pouze zápisový a čtecí vstup. Nepotřebuje adresový zápisový registr, adresový čtecí registr, dekodéry těchto registrů ani další obvody, sloužící ke generaci zápisových a čtecích impulsů. Z toho vyplývá i snadná diagnostikovatelnost vyrovnávací paměti podle vynálezu. Další výhodou je, že použitím této vyrovnávací paměti nevznikají žádné časové ztráty. Lze do ní zapisovat v libovolném okamžiku a při čtení jsou vybíraná data okamžitě k dispozici. Není třeba vzájemně blokovat čtení a zápis.

Na připojeném obrázku je schematicky znázorněno zapojení asynchronní vyrovnávací paměti s N-fázovými nahrávacími a čtecími impulsy, založené na principu posuvného registru, kde ze součtových hradel prvního slova je kresleno pouze první součtové hradlo 11 prvního slova a zapojení dalších je obdobné, ze součtových hradel druhého slova je kresleno pouze první součtové hradlo 12 druhého slova a zapojení dalších je obdobné, ze

součtových hradel N-tého slova je kresleno pouze první součtové hradlo 13 N-tého slova a zapojení dalších je obdobné, z klopných paměťových obvodů prvního slova je kreslen pouze první klopný paměťový obvod 1 prvního slova a zapojení dalších je obdobné, z klopných paměťových obvodů druhého slova je kreslen pouze první klopný paměťový obvod 2 druhého slova a zapojení dalších je obdobné, z klopných paměťových obvodů N-tého slova je kreslen pouze první klopný paměťový obvod 3 N-tého slova a zapojení dalších je obdobné, sestávající z NxP paměťových klopných obvodů prvního až N-tého slova 1 až 3, s informací vloženou úrovní signálu přivedeného na hodinové vstupy, kde N je počet slov vyrovnávací paměti a P je počet bitů v jednom slově, NxP součtových hradel 11 až 13 prvního, druhého až N-tého slova, N řídicích klopných obvodů 21 až 23. N součtinových zápisových hradel 51 až 53, N-1 invertujících zpožďovacích zápisových prvků 61 až 62, N součtinových čtecích hradel 33 až 31, N-1 invertujících zpožďovacích čtecích prvků 42 až 41, přičemž první vstupní vodič 511 s kladným zápisovým impulsem je připojen na první vstup prvního součtinového zápisového hradla 51, druhý vstup prvního součtinového zápisového hradla 51 je vodičem 216 spojen s inverzním výstupem prvního řídicího klopného obvodu 21, inverzní výstup prvního součtinového zápisového hradla 51 je spojen vodičem 513 se vstupem prvního invertujícího zpožďovacího zápisového prvku 61 a s inverzním nastavovacím vstupem prvního řídicího klopného obvodu 21 a dále s prvními inverzními vstupy všech součtových hradel 11 prvního slova, výstup prvního invertujícího zpožďovacího prvku 61 je vodičem 612 spojen s prvním vstupem druhého součtinového zápisového hradla 52, druhý vstup druhého součtinového zápisového hradla 52 je vodičem 226 spojen s inverzním výstupem druhého řídicího klopného obvodu 22, inverzní výstup druhého součtinového zápisového hradla 52 je vodičem 523 spojen se vstupem druhého invertujícího zpožďovacího zápisového prvku 62 a s prvním inverzním nastavovacím vstupem druhého řídicího klopného obvodu 22 a s prvním inverzním nulovacím vstupem prvního řídicího klopného obvodu 21 a dále s prvními inverzními vstupy všech součtových hradel 12 druhého slova, výstup N-1 ho invertujícího zpožďovacího zápisového prvku 62 je vodičem 622 spojen s prvním vstupem N-tého součtinového zápisového hradla 53, druhý vstup N-tého součtinového zápisového hradla 53 je vodičem spojen s inverzním výstupem N-tého řídicího klopného obvodu 23 a dále je vyveden jako výstupní vodič 236 indikující prázdnou paměť, inverzní výstup N-tého součtinového zápisového hradla 53 je spojen vodičem 533 s prvním inverzním nastavovacím vstupem N-tého řídicího klopného obvodu 23 a s prvním inverzním nulovacím vstupem N-1 ho řídicího klopného obvodu 22 a dále s prvními inverzními vstupy všech součtových hradel 13 N-tého slova, druhý vstupní vodič 331 s kladným čtecím impulsem je připojen na druhý vstup N-tého součtinového čtecího hradla 33, první vstup N-tého součtinového čtecího hradla 33 je vodičem 237 spojen s přímým výstupem N-tého řídicího klopného obvodu 23, inverzní výstup N-tého součtinového čtecího hradla 33 je vodičem 333 spojen s prvním nulovacím inverzním vstupem N-tého řídicího klopného obvodu 23 a se vstupem N-tého invertujícího zpožďovacího čtecího prvku 42 a dále s druhými inverzními vstupy všech součtových hradel 13 N-tého slova, výstup N-tého invertujícího zpožďovacího čtecího prvku 42 je vodičem 422 spojen s druhým vstupem N-1 ho součtinového čtecího hradla 32, první vstup N-1 ho součtinového čtecího hradla 32 je vodičem 227 spojen s přímým výstupem N-1 ho řídicího klopného obvodu 22, inverzní výstup N-1 ho součtinového čtecího hradla 32 je

vodičem 323 spojen s druhým inverzním nulovacím vstupem N-1 ho řídícího klopného obvodu 22 a s druhým inverzním nastavovacím vstupem N-tého řídícího klopného obvodu 23 a se vstupem N-1 ho invertujícího zpožďovacího čtecího prvku 41 a dále s druhými inverzními vstupy všech součtových hradel 12 N-1 ho slova, výstup prvního invertujícího zpožďovacího čtecího prvku 41 je vodičem 412 spojen s druhým vstupem prvního součtinového čtecího hradla 31, první vstup prvního součtinového čtecího hradla 31 je vodičem 217 spojen s přímým výstupem prvního řídícího klopného obvodu 21 a dále je vyveden jako výstupní vodič indikující plnou paměť, inverzní výstup prvního součtinového čtecího hradla 31 je vodičem 313 spojen s druhým inverzním nulovacím vstupem prvního řídícího klopného obvodu 21 a s druhým inverzním nastavovacím vstupem druhého řídícího klopného obvodu 22 a s druhými inverzními vstupy všech součtových hradel 11 prvního slova, výstupy součtových hradel 11 prvního slova jsou spojeny vodiči 113 s hodinovými vstupy příslušných klopných paměťových obvodů 1 prvního slova, výstupy součtových hradel 12 druhého slova jsou spojeny vodiči 123 s hodinovými vstupy příslušných klopných paměťových obvodů 2 druhého slova, výstupy součtových hradel 13 N-tého slova jsou spojeny vodiči 133 s hodinovými vstupy příslušných klopných paměťových obvodů 3 N-tého slova, vstupní datové vodiče 012 s vloženými zapisovanými daty jsou spojeny s datovými vstupy příslušných klopných paměťových obvodů 1 prvního slova, výstupy klopných paměťových obvodů 1 prvního slova jsou spojeny vodiči 013 s datovými vstupy příslušných klopných paměťových obvodů 2 druhého slova, výstupy klopných paměťových obvodů 2 N-1 ho slova jsou spojeny vodiči 023 s datovými vstupy příslušných klopných paměťových obvodů 3 N-tého slova, výstupy klopných paměťových obvodů 3 N-tého slova jsou též výstupními vodiči 033 z paměti používanými pro odběr čtených dat, třetí vstupní vodič 215 se záporným impulsem k vyprazdňování celé paměti je propojen na poslední inverzní nulovací vstupy všech řídících klopných obvodů 21 až 23.

Obrázek je kreslen pro N rovno třem. Zapojení dalších slov je obdobné jako zapojení druhého slova, kam patří prvky 52, 62, 22, 32, 41, 12, 2.

Asynchronní vyrovnávací paměť s N-fázovými nahrávacími a čtecími impulsy, založená na principu posuvného registru pracuje takto :

Před použitím se paměť vynuluje přivedením záporného impulsu na nulovací vstup 215. Tím je paměť vynulována a připravena k použití. Na datové vstupy 012 až 033 se přivede slovo dat, které chceme zapsat do paměti. Přivedením kladného impulsu na zápisový vstup 511 se data zapíší postupně až do posledního volného slova v paměťových klopných obvodech 1 až 3. Zároveň se nastaví řídící klopný obvod 21 až 23, příslušný k tomuto slovu, čímž jsou data tohoto slova chráněna před dalším přepsáním. Takto lze postupně naplnit celou paměť. Při vybírání dat z paměti jsou žádaná data k dispozici na daných datových výstupech 033. Přivedením kladného impulsu na čtecí vstup 331 se tato data přepíší daty předcházejícího slova. Tento posun se provede v celé vyrovnávací paměti, včetně řídících klopných obvodů. To znamená, že nastavený řídící klopný obvod indikuje platnost dat příslušného slova a naopak přečtením slova dat se N-tý řídící klopný obvod znuluje a všechna zapsaná slova dat se posunou až na konec paměti. Výstupní vodič 217 indikující plnou paměť, určuje, zda lze do paměti psát. Výstupní vodič 236 indikující prázdnou paměť určuje, zda

lze z paměti číst.

Asynchronní vyrovnávací paměť s N-fázovými nahrávacími a čtecími impulsy, založená na principu posuvného registru je použita v diskovém modulu systému pro sběr a zpracování dat KA-10, výrobce Aritma Praha.

PŘEDMĚT VYNÁLEZU

Zapojení asynchronní vyrovnávací paměti s N-fázovými nahrávacími a čtecími impulsy založené na principu posuvného registru, v y z n a č e n é t í m , že se skládá z NxP paměťových klopných obvodů (1 až 3) prvního až N-tého slova, s informací vloženou úrovní signálu přivedeného na hodinové vstupy, kde N je počet slov vyrovnávací paměti a P je počet bitů v jednom slově, NxP součtových hradel (11 až 13) prvního, druhého až N-tého slova, N řídicích klopných obvodů (21 až 23), N součinnových zápisových hradel (51 až 53), N-1 invertujících zpožďovacích zápisových prvků (61 až 62), N součinnových čtecích hradel (33 až 31), N-1 invertujících zpožďovacích čtecích prvků (42 až 41), přičemž první vstupní vodič (511) s kladným zápisovým impulsem je připojen na první vstup prvního součinnového zápisového hradla (51), druhý vstup prvního součinnového zápisového hradla (51) je vodičem (216) spojen s inverzním výstupem prvního řídicího klopného obvodu (21), inverzní výstup prvního součinnového zápisového hradla (51) je spojen vodičem (513) se vstupem prvního invertujícího zpožďovacího zápisového prvku (61) a s inverzním nastavovacím vstupem prvního řídicího klopného obvodu (21) a dále s prvními inverzními vstupy všech součtových hradel (11) prvního slova, výstup prvního invertujícího zpožďovacího prvku (61) je vodičem (612) spojen s prvním vstupem druhého součinnového zápisového hradla (52), druhý vstup druhého součinnového zápisového hradla (52) je vodičem (226) spojen s inverzním výstupem druhého řídicího klopného obvodu (22), inverzní výstup druhého součinnového zápisového hradla (52) je vodičem (523) spojen se vstupem druhého invertujícího zpožďovacího zápisového prvku (62) a s prvním inverzním nastavovacím vstupem druhého řídicího klopného obvodu (22) a s prvním inverzním nulovacím vstupem prvního řídicího klopného obvodu (21) a dále s prvními inverzními vstupy všech součtových hradel (12) druhého slova, výstup N-1 ho invertujícího zpožďovacího zápisového prvku (62) je vodičem (622) spojen s prvním vstupem N-tého součinnového zápisového hradla (53), druhý vstup N-tého součinnového zápisového hradla (53) je vodičem spojen s inverzním výstupem N-tého řídicího klopného obvodu (23) a dále je vyveden jako výstupní vodič (236) indikující prázdnou paměť, inverzní výstup N-tého součinnového zápisového hradla (53) je spojen vodičem (533) s prvním inverzním nastavovacím vstupem N-tého řídicího klopného obvodu (23) a s prvním inverzním nulovacím vstupem N-1 ho řídicího klopného obvodu (22) a dále s prvními inverzními vstupy všech součtových hradel (13) N-tého slova, druhý vstupní vodič (331) s kladným čtecím impulsem je připojen na druhý vstup N-tého součinnového čtecího hradla (33), první vstup N-tého součinnového čtecího hradla (33) je vodičem (237) spojen s přímým výstupem N-tého řídicího klopného obvodu 23, inverzní

výstup N-tého součinnového čtecího hradla (33) je vodičem (333) spojen s prvním nulovacím inverzním vstupem N-tého řídícího klopného obvodu (23) a se vstupem N-tého invertujícího zpožďovacího čtecího prvku (42) a dále s druhými inverzními vstupy všech součtových hradel (13) N-tého slova, výstup N-tého invertujícího zpožďovacího čtecího prvku (42) je vodičem (422) spojen s druhým vstupem N-1 ho součinnového čtecího hradla (32), první vstup N-1 ho součinnového čtecího hradla (32) je vodičem (227) spojen s přímým výstupem N-1 ho řídícího klopného obvodu (22), inverzní výstup N-1 ho součinnového čtecího hradla (32) je vodičem (323) spojen s druhým inverzním nulovacím vstupem N-1 ho řídícího klopného obvodu (22) a s druhým inverzním nastavovacím vstupem N-tého řídícího klopného obvodu (23) a se vstupem N-1 ho invertujícího zpožďovacího čtecího prvku (41) a dále s druhými inverzními vstupy všech součtových hradel (12) N-1 ho slova, výstup prvního invertujícího zpožďovacího čtecího prvku (41) je vodičem (412) spojen s druhým vstupem prvního součinnového čtecího hradla (31), první vstup prvního součinnového čtecího hradla (31) je vodičem (217) spojen s přímým výstupem prvního řídícího klopného obvodu (21) a dále je vyveden jako výstupní vodič indikující plnou paměť, inverzní výstup prvního součinnového čtecího hradla (31) je vodičem (313) spojen s druhým inverzním nulovacím vstupem prvního řídícího klopného obvodu (21) a s druhým inverzním nastavovacím vstupem druhého řídícího klopného obvodu (22) a s druhými inverzními vstupy všech součtových hradel (11) prvního slova, výstupy součtových hradel (11) prvního slova jsou spojeny vodiči (113) s hodinovými vstupy příslušných klopných paměťových obvodů (1) prvního slova, výstupy součtových hradel (12) druhého slova jsou spojeny vodiči (123) s hodinovými vstupy příslušných klopných paměťových obvodů (2) druhého slova, výstupy součtových hradel (13) N-tého slova jsou spojeny vodiči (133) s hodinovými vstupy příslušných klopných paměťových obvodů (3) N-tého slova, vstupní datové vodiče (012) s vloženými zapisovanými daty jsou spojeny s datovými vstupy příslušných klopných paměťových obvodů (1) prvního slova, výstupy klopných paměťových obvodů (1) prvního slova jsou spojeny vodiči (013) s datovými vstupy příslušných klopných paměťových obvodů (2) druhého slova, výstupy klopných paměťových obvodů (2) N-1 ho slova jsou spojeny vodiči (023) s datovými vstupy příslušných klopných paměťových obvodů (3) N-tého slova, výstupy klopných paměťových obvodů (3) N-tého slova jsou též výstupními vodiči (033) z paměti používanými pro odběr čtených dat, třetí vstupní vodič (215) se záporným impulsem k vyprazdňování celé paměti je propojen na poslední inverzní nulovací vstupy všech řídících klopných obvodů (21 až 23).

