

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-238819

(P2009-238819A)

(43) 公開日 平成21年10月15日(2009. 10. 15)

(51) Int.Cl.			F I			テーマコード (参考)		
HO 1 L	27/146	(2006.01)	HO 1 L	27/14	A	2H095		
GO 3 F	1/08	(2006.01)	GO 3 F	1/08	A	4M118		
HO 4 N	5/335	(2006.01)	HO 4 N	5/335	E	5C024		

審査請求 未請求 請求項の数 12 O L (全 16 頁)

(21) 出願番号 特願2008-80008 (P2008-80008)
 (22) 出願日 平成20年3月26日 (2008. 3. 26)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 馬淵 圭司
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 2H095 AC07 BA01
 4M118 AB01 BA14 CA03 CA04 CA18
 CA32 FA33 GA02 GC07 GD03
 GD04 GD07
 5C024 AX01 CX54 GX24 GY31 JX36

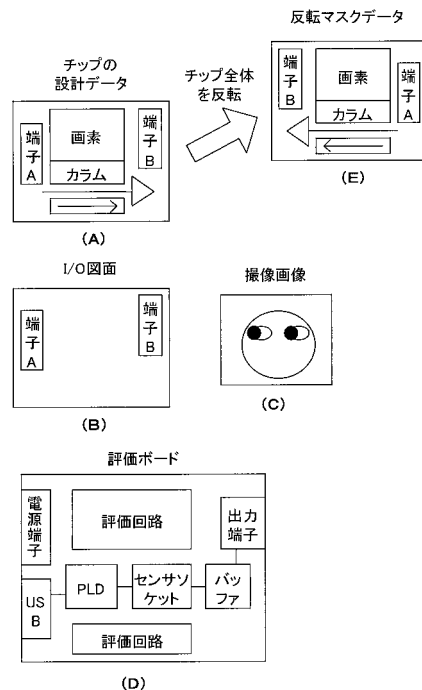
(54) 【発明の名称】 リソグラフィー用マスクの作成方法、リソグラフィー用マスクデータの作成方法、裏面入射型固体撮像装置の製造方法、裏面入射型固体撮像装置および電子機器

(57) 【要約】

【課題】裏面入射型であっても表面入射型と区別せずに扱うことができるようにする。

【解決手段】裏面入射型CMOSイメージセンサのチップの設計データ(A)については、裏面入射による撮像画像(C)の左右反転を意識することなく、通常のCMOSプロセスのIPを用いて、表面入射型と同様に設計する。端子図面であるI/O図面(B)も、信号図面も撮像画像(C)の左右反転を意識することなく、そのまま作る。そして、チップ全体のレイアウトデータまで組み上げた後、このレイアウトデータ(A)を製造のためのフォトリソグラフィー用のマスクに転写する前に、チップ全体で左右反転し、反転マスクデータ(E)を新たに作成する。そして、この反転マスクデータ(E)を用いてマスクを作成し、当該作成したマスクを用いて裏面入射型CMOSイメージセンサを作る。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

光電変換素子が形成される素子形成部の配線が形成される面側と反対側の面側から入射光を取り込む裏面入射型固体撮像装置の製造に用いるリソグラフィー用のマスクの作成に際して、

少なくとも出力端子の一部の位置を反転した反転データを用いて前記マスクを作成するリソグラフィー用マスクの作成方法。

【請求項 2】

前記固体撮像装置のチップのレイアウトデータを作成し、

次いで、前記レイアウトデータをチップ全体で左右反転して前記反転データを作成し、

しかる後、前記反転データを用いて前記マスクを作成する

請求項 1 記載のリソグラフィー用マスクの作成方法。

10

【請求項 3】

前記チップ上に配置するマークを前記レイアウトデータと別のデータとして作成し、当該別のデータを前記反転データと重ね合わせて前記反転データとする

請求項 2 記載のリソグラフィー用マスクの作成方法。

【請求項 4】

前記マークは、リソグラフィー用の合わせに使うためのマーク、製造工程での検査に使うためのマーク、チップを特定するためのマーク、または製造工程での検査のときの座標の基準に使うためのマークである

請求項 3 記載のリソグラフィー用マスクの作成方法。

20

【請求項 5】

反転操作をしない枠に前記前記反転データを嵌め込んで前記マスクを作成する

請求項 2 記載のリソグラフィー用マスクの作成方法。

【請求項 6】

前記裏面入射型固体撮像装置は、

出力段が差動出力構成の出力回路部と、

前記出力回路部から出力される正相の信号と逆相の信号とをチップの外部に出力する正相の出力端子および逆相の出力端子とを有し、

前記反転データを作成する際に、前記正相の出力端子と前記逆相の出力端子との位置を交換する

請求項 1 記載のリソグラフィー用マスクの作成方法。

30

【請求項 7】

前記正相の出力端子と前記逆相の出力端子との位置を交換したライブラリを作成しておく、当該ライブラリを用いて前記反転データを作成する

請求項 6 記載のリソグラフィー用マスクの作成方法。

【請求項 8】

光電変換素子が形成される素子形成部の配線が形成される面側と反対側の面側から入射光を取り込む裏面入射型固体撮像装置の製造に用いるリソグラフィー用のマスクデータの作成に際して、

前記固体撮像装置のチップのレイアウトデータを作成し、

次いで、前記レイアウトデータをチップ全体で左右反転した反転データを作成して当該反転データを前記マスクデータとする

リソグラフィー用マスクデータの作成方法。

40

【請求項 9】

光電変換素子が形成される素子形成部の配線が形成される面側と反対側の面側から入射光を取り込む裏面入射型固体撮像装置のチップのレイアウトデータを作成し、

次いで、前記レイアウトデータをチップ全体で左右反転した反転データを作成し、

次いで、前記反転データを用いて前記マスクを作成し、

しかる後、当該作成したマスクを用いて前記固体撮像装置を製造する

50

裏面入射型固体撮像装置の製造方法。

【請求項 10】

前記作成したマスクを用いて前記固体撮像装置を製造する際に、半導体基板に対するイオン注入の向きを前記レイアウトデータの反転に合わせて左右反転する

請求項 9 記載の裏面入射型固体撮像装置の製造方法。

【請求項 11】

チップのレイアウトデータをチップ全体で左右反転した反転データをリソグラフィー用のマスクデータとし、当該マスクデータを用いて作成されたマスクを使用して製造された裏面入射型固体撮像装置。

【請求項 12】

チップのレイアウトデータをチップ全体で左右反転した反転データをリソグラフィー用のマスクデータとし、当該マスクデータを用いて作成されたマスクを使用して製造された裏面入射型固体撮像装置を搭載した

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、リソグラフィー用マスクの作成方法、リソグラフィー用マスクデータの作成方法、裏面入射型固体撮像装置の製造方法、裏面入射型固体撮像装置および電子機器に関する。

【背景技術】

【0002】

固体撮像装置の一つとして、光電変換素子が形成される素子形成部の配線部が形成される面（表面）とは反対側の面（裏面）側から入射光を取り込む、いわゆる裏面入射型 CMOS イメージセンサがある（例えば、特許文献 1 参照）。このように、裏面側から入射光を取り込む構造を採ることで、受光面を考慮して配線層の各金属配線を配設する必要がないため、配線の自由度が高くなる。その結果、画素の微細化および高開口率化を図ることができる。

【0003】

裏面入射型 CMOS イメージセンサでは、チップを裏向きにマウントするため、表面入射型 CMOS イメージセンサに対して撮像画像が左右反転して出てくる。例えば、表面入射型の撮像画像が図 9（A）に示す画像であるとする、裏面入射型の撮像画像は、図 9（B）に示すように、表面入射型の撮像画像に対して左右が反転する。この場合、裏面入射型の撮像画像を表面入射型の撮像画像と左右関係を同じにするには、後段の信号処理 IC にラインメモリ等を用いた左右反転機能をつけなければならない。

【0004】

【特許文献 1】特開 2003 - 31785 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上述したことに加えて、裏面入射型 CMOS イメージセンサでは、撮像画像が表面入射型の撮像画像に対して左右が反転することで、次のような不具合が発生する。図 10 に、一例として、表面入射型（A）および裏面入射型（B）の CMOS イメージセンサのチップの設計データを示す。

【0006】

先ず、図 11 に示すように、CMOS イメージセンサの端子位置を規定した I/O 図面（端子図面）が反転する。図 11 において、（A）が表面入射型の場合を、（B）が裏面入射型の場合をそれぞれ示している。このように、端子位置を規定した I/O 図面が反転すると、図 12 に示すように、評価時あるいは製品でセンサを搭載するボードも左右反転して設計しなおさなければならない。

10

20

30

40

50

【 0 0 0 7 】

図 1 2 において、(A) が表面入射型の場合を、(B) が裏面入射型の場合をそれぞれ示している。また、評価回路とは、レギュレータ、各種のチェック端子などを含む回路のことを言う。

【 0 0 0 8 】

しかしながら、以下の理由から、単純にボードを左右反転して設計しなおせばよいという訳ではない。その理由の 1 つは、信号の入る向きや出る向き、電源端子の位置などは通常使い勝手のよい位置にだいたい決められているので、それらの位置を左右反転するのは好ましくない。

【 0 0 0 9 】

別の 1 つは、センサの電源端子などの端子位置は反転しても、他の P L D (Programmable Logic Device) などの端子位置は反転している訳ではないので、それらの間の配線は左右反転では済まないことである。具体的には、図 1 2 (B) に示すように、C M O S イメージセンサへの配線について、入出力関係を逆にするように引きまわした形になる。

【 0 0 1 0 】

このような配線の引き回しについては、ボード上の配線で引き回しても対応してもよいし、センサパッケージとソケットの間の変換コネクタで対応してもよい。ただし、どちらの対応策を採ったとしても数十本以上の配線を交差させることになるため、かなり無理があり、またノイズが乗りやすくなる。特に、変換コネクタについてはセンサのボード面からの高さが変わるため、この点もイメージセンサとして問題である。

【 0 0 1 1 】

もちろん、裏面入射型 C M O S イメージセンサが単独に存在するのであれば、信号や端子位置の反転の問題はなく、それに合わせて、評価系、後段の信号処理 I C、システム、カメラなど全てを作れば良いことになる。しかしながら、現実には、コストと性能のトレードオフなどの都合から、表面入射型 C M O S イメージセンサと共存することになる。その場合、信号の左右や、入出力端子の位置などが大きく変わることは望ましくない。

【 0 0 1 2 】

上記の不具合に対して、従来は、以下のような対応策を採っていた。最も簡単には、図 1 3 に示すように、チップの設計データ (A) を、水平走査方向を反転走査するように設計する。この場合、図 9 (A) に示すように、撮像画像は正常になる。したがって、後段の処理系としては従来のものでそのまま使える。

【 0 0 1 3 】

但し、端子位置については、図 1 3 (B) に示すように、チップを裏返すことで反転してしまうので、センサを実装するボード (C) の問題は残る。たとえ、すでにある表面入射型のチップを裏面化したとしても、ボードについては作り直しとなる。ウェーハ状態でのテストでも、左右反転したプローブを作り直し、ソフトも左右反転対応させる煩雑さとコストがかかる。

【 0 0 1 4 】

根本的には、図 1 4 (B) に示すように、端子位置も左右逆に置くように、最初から設計することになる。最初から設計するので問題無さそうに思えるが、実際にはやはり問題がある。C M O S イメージセンサも I P (Intellectual Property) を使って設計される。裏面入射型も一般の C M O S ライブラリの I P、当然表面入射型でも使っているものを用いて設計する。

【 0 0 1 5 】

ここで、例えば、C M O S イメージセンサの出力段を差動出力構成とする場合などの差動入出力端子を見ると、正極性の端子と負極性の端子が入れ替わる。その結果、通常では C M O S イメージセンサに限らず C M O S L S I 全般で共通な仕様が、裏面入射型では異なってしまう、測定やカメラ実装のときにいちいち対応しなければならないなどの不都合が生ずる。

10

20

30

40

50

【0016】

特に、表面入射型とコンパチブルなものを作るときは、内部ブロックでもIPの端子の出る向きは変わっていないので、先のセンサ実装ボードの例と同様に、全体的なブロック配置や配線の再構成が必要である。したがって、表面入射型で最適化して無駄の少ないレイアウトになっているものが、裏面入射型ではそもそもそのサイズに収まるかどうか不確定である。

【0017】

そこで、本発明は、裏面入射型であっても表面入射型と区別せずに扱うことができるようにするリソグラフィ用マスクの作成方法、リソグラフィ用マスクデータの作成方法、裏面入射型固体撮像装置の製造方法、裏面入射型固体撮像装置および電子機器を提供することを目的とする。

10

【課題を解決するための手段】

【0018】

上記目的を達成するために、本発明は、

光電変換素子が形成される素子形成部の配線が形成される面側と反対側の面側から入射光を取り込む裏面入射型固体撮像装置の製造に用いるリソグラフィ用のマスクデータの作成に際して、

少なくとも出力端子の一部の位置を反転した反転データをリソグラフィ用のマスクデータとし、当該マスクデータを用いて前記マスクを作成する。

20

【0019】

少なくとも出力端子の一部の位置を反転した反転データを用いてマスクを作成することで、裏面入射型であっても表面入射型と区別せずに扱うことができる固体撮像装置を製造することができる。このようにして製造された裏面入射型固体撮像装置を、画像取込部（光電変換部）に固体撮像装置を用いる電子機器において、当該固体撮像装置として搭載して用いることができる。

【発明の効果】

【0020】

本発明によれば、裏面入射型であっても表面入射型と区別せずに扱うことができるために、裏面入射型固体撮像装置を搭載する評価ボードや後段の信号処理ICに特別な仕様を要求したり、コストをかけたりしなくて済む。

30

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0022】

[固体撮像装置]

図1は、本発明が適用される裏面入射型固体撮像装置、例えば裏面入射型CMOSイメージセンサのシステム構成の概略を示すシステム構成図である。

【0023】

図1に示すように、本適用例に係るCMOSイメージセンサ10は、半導体基板（チップ）11上に形成された画素アレイ部12と、当該画素アレイ部12と同じチップ11上に集積された周辺回路部とを有する構成となっている。周辺回路部として、例えば、垂直駆動部13、カラム処理部14、水平駆動部15、出力回路部16およびシステム制御部17が設けられている。

40

【0024】

画素アレイ部12には、入射光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換素子を有する単位画素（以下、単に「画素」と記述する場合もある）が行列状に2次元配置されている。単位画素の具体的な構成については後述する。

【0025】

画素アレイ部12にはさらに、行列状の画素配列に対して行ごとに画素駆動線121が予行方向/行方向（画素行の画素の配列方向）に沿って配線され、列ごとに垂直信号線1

50

22が縦方向/列方向(画素列の画素の配列方向)に沿って配線されている。図1では、画素駆動線121について1本として示しているが、1本に限られるものではない。画素駆動線121の一端は、垂直駆動部13の各行に対応した出力端に接続されている。

【0026】

垂直駆動部13は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部12の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。この垂直駆動部13はその具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の2つの走査系を有する構成となっている。

【0027】

読出し走査系は、単位画素から信号を読み出すために、画素アレイ部12の単位画素を行単位で順に選択走査する。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査を行う。

【0028】

この掃出し走査系による掃出し走査により、読出し行の単位画素の光電変換素子から不要な電荷が掃き出される(リセットされる)。そして、この掃出し走査系による不要電荷の掃き出し(リセット)により、いわゆる電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換素子の光電荷を捨てて、新たに露光を開始する(光電荷の蓄積を開始する)動作のことを言う。

【0029】

読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に入射した光量に対応するものである。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、単位画素における光電荷の蓄積時間(露光時間)となる。

【0030】

垂直駆動部13によって選択走査された画素行の各単位画素から出力される信号は、垂直信号線122の各々を通してカラム処理部14に供給される。カラム処理部14は、画素アレイ部12の画素列ごとに、選択行の各単位画素から垂直信号線122を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

【0031】

具体的には、カラム処理部14は、各単位画素の信号を受けて当該信号に対して、例えばCDS(Correlated Double Sampling; 相関二重サンプリング)によるノイズ除去や、信号増幅や、AD(アナログ-デジタル)変換などの信号処理を行う。ノイズ除去処理により、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。なお、ここで例示した信号処理は一例に過ぎず、信号処理としてはこれらに限られるものではない。

【0032】

水平駆動部15は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部14の画素列に対応する単位回路を順番に選択する。この水平駆動部15による選択走査により、カラム処理部14で信号処理された画素信号が順番に水平バス18に出力され、当該水平バス18によって出力回路部16に伝送される。

【0033】

出力回路部16は、水平バス18によって伝送される信号を処理して出力する。出力回路部16での処理としては、バッファリングだけの処理の場合もあるし、バッファリングの前に黒レベルを調整したり、列ごとのばらつきを補正したりするなど、各種のデジタル信号処理が挙げられる。

【0034】

出力回路部16は、例えば、その出力段が差動の信号を出力する差動出力構成となって

10

20

30

40

50

いる。すなわち、出力回路部 16 の出力段は、水平バス 18 によって伝送される信号を処理して正相の信号として出力するとともに、その極性を反転して逆相の信号として出力する。この出力回路部 16 の出力段には、例えば、L V D S (Low Voltage Differential Signal) 回路が用いられる。

【 0 0 3 5 】

正相の信号は正相の出力端子 19 A を介してチップ 11 の外部に出力され、逆相の信号は逆相の出力端子 19 B を介してチップ 11 の外部に出力される。出力回路部 16 の出力段を差動出力構成とした場合、チップ 11 の外部に設けられる信号処理部、例えば信号処理 IC は、差動回路構成の入力段で正相および逆相の信号を受けることになる。

【 0 0 3 6 】

このように、出力回路部 16 の出力段を差動出力構成とし、信号処理 IC の入力段を差動回路構成とすることで、出力回路部 16 の出力段と信号処理 IC の入力段との間で電流によって情報を伝達することができる。これにより、出力回路部 16 の出力段と信号処理 IC の入力段との間の伝送経路が長くなっても当該伝送経路での充放電が小さくなるためにシステムの高速化を実現できる。

【 0 0 3 7 】

システム制御部 17 は、チップ 11 の外部から与えられるクロックや、動作モードを指令するデータなどを受け取り、また、本 CMOS イメージセンサ 10 の内部情報などのデータを出力する。システム制御部 17 はさらには、各種のタイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部 13、カラム処理部 14 および水平駆動部 15 などの周辺回路部の駆動制御を行う。

【 0 0 3 8 】

チップ 11 の周縁部には、電源端子を含む入出力端子群 20, 21 の各端子が設けられている。入出力端子群 20, 21 は、チップ 11 の内部と外部との間で電源電圧や信号のやり取りを行う。入出力端子群 20, 21 の配設位置としては、信号の入る向きや出る向きなどを考慮して使い勝手のよい位置に決められる。

【 0 0 3 9 】

(画素回路)

図 2 は、単位画素 30 の回路構成の一例を示す回路図である。本回路例に係る単位画素 30 は、光電変換素子であるフォトダイオード 31 と、例えば転送トランジスタ 32、リセットトランジスタ 33、増幅トランジスタ 34 および選択トランジスタ 35 の 4 つのトランジスタとを有する構成となっている。ここでは、これらトランジスタ 32 ~ 35 として、例えば N チャネルの MOS トランジスタを用いているが、これに限られるものではない。

【 0 0 4 0 】

転送トランジスタ 32、リセットトランジスタ 33 および選択トランジスタ 35 の駆動制御のために、先述した画素駆動線 121 として、転送制御線 1211、リセット制御線 1212 および選択制御線 1213 が行ごとに配線されている。

【 0 0 4 1 】

転送トランジスタ 32 は、フォトダイオード 31 のカソード電極と浮遊拡散容量 (FD) 36 との間に接続されており、フォトダイオード 31 で光電変換され、その内部に蓄積された光電荷 (ここでは、電子) を、転送制御線 1211 を介してゲート電極に転送パルス TRG が与えられることによって浮遊拡散容量 36 に転送する。浮遊拡散容量 36 は、光電荷を電圧信号に変換する電荷電圧変換部として機能する

【 0 0 4 2 】

リセットトランジスタ 33 は、電源電圧 V d d の画素電源にドレイン電極が、浮遊拡散容量 36 にソース電極がそれぞれ接続されており、フォトダイオード 31 から浮遊拡散容量 36 への光電荷の転送に先立って、リセット制御線 1212 を介してゲート電極にリセットパルス RST が与えられることによって浮遊拡散容量 36 の電位をリセットする。

10

20

30

40

50

【 0 0 4 3 】

増幅トランジスタ 3 4 は、浮遊拡散容量 3 6 にゲート電極が、電源電圧 V_{dd} の画素電源にドレイン電極がそれぞれ接続されており、リセットトランジスタ 3 3 によってリセットされた後の浮遊拡散容量 3 6 の電位をリセットレベルとして出力し、さらに転送トランジスタ 3 2 によって光電荷が転送された後の浮遊拡散容量 3 6 の電位を信号レベルとして出力する。

【 0 0 4 4 】

選択トランジスタ 3 5 は、ドレイン電極が増幅トランジスタ 3 4 のソース電極に、ソース電極が垂直信号線 1 2 2 にそれぞれ接続されており、選択制御線 1 2 1 3 を介してゲート電極に選択パルス SEL が与えられることによってオン状態となり、画素 3 0 を選択状態として増幅トランジスタ 3 4 から出力される信号を垂直信号線 1 2 2 に出力する。選択トランジスタ 3 5 については、画素電源 (V_{dd}) と増幅トランジスタ 3 4 のドレイン電極との間に接続した構成を採ることも可能である。

10

【 0 0 4 5 】

なお、ここでは、転送トランジスタ 3 2、リセットトランジスタ 3 3、増幅トランジスタ 3 4 および選択トランジスタ 3 5 を含む 4 トランジスタ構成の単位画素 3 0 を例に挙げたが、これは一例に過ぎない。すなわち、単位画素 3 0 としては、4 トランジスタ構成の画素構成に限られるものではない。

【 0 0 4 6 】

(裏面入射型の画素構造)

20

図 3 は、裏面入射型の画素構造の一例を示す断面図である。ここでは、2 画素分の断面構造を示している。

【 0 0 4 7 】

図 3 において、シリコン部 4 1 には、フォトダイオード 4 2 や画素トランジスタ 4 3 が形成される。すなわち、シリコン部 4 1 は素子形成部である。ここで、フォトダイオード 4 2 は図 2 のフォトダイオード 3 1 に相当する。また、画素トランジスタ 4 3 は図 2 のトランジスタ 3 2 ~ 3 5 に相当する。

【 0 0 4 8 】

シリコン部 4 1 の一方の面側には、層間膜 4 4 を介してカラーフィルタ 4 5 およびオンチップレンズ 4 6 が作り込まれる。これにより、シリコン部 4 1 の一方の面側から入射する光は、オンチップレンズ 4 6 およびカラーフィルタ 4 5 を経由してフォトダイオード 4 2 の受光面に導かれる。

30

【 0 0 4 9 】

シリコン部 4 1 の他方の面側には、画素トランジスタ 4 3 のゲート電極や金属配線が配線される配線部 4 7 が形成される。配線部 4 7 のシリコン部 4 1 と反対側の面には、接着剤 4 8 によって支持基板 4 9 が貼り付けられる。

【 0 0 5 0 】

上記の画素構造において、フォトダイオード 4 2 や画素トランジスタ 4 3 が形成されるシリコン部 4 1 の配線部 4 7 側を表面側と呼び、シリコン部 4 1 の配線部 4 7 と反対側を裏面側と呼ぶこととする。このような定義の下に、本画素構造は、シリコン部 4 1 の裏面側から入射光を取り込むことによるため裏面入射型の画素構造となる。

40

【 0 0 5 1 】

以下では、裏面入射型の画素構造において、シリコン部 4 1 の表面側に画素トランジスタ 4 3 を作り込んだり、配線部 4 7 に金属配線を形成したりする工程を表面工程と呼ぶこととする。また、シリコン部 4 1 の裏面側にカラーフィルタ 4 5 およびオンチップレンズ 4 6 を造り込む工程を裏面工程と呼ぶこととする。

【 0 0 5 2 】

[裏面入射型 CMOS イメージセンサの設計]

以下に、裏面入射型 CMOS イメージセンサ 1 0 を設計するに当たった具体的な実施例について説明する。

50

【 0 0 5 3 】

(実 施 例 1)

図 4 に示すように、裏面入射型 CMOS イメージセンサ 1 0 のチップのレイアウトデータである設計データ (A) については、裏面入射による撮像画像 (C) の左右反転を意識することなく、通常の CMOS プロセスの IP を用いて、表面入射型と同様に設計する。ここに、IP (Intellectual Property ; 知的所有権) とは、既に開発済みの知的財産 (機能別ブロック) のことを言う。

【 0 0 5 4 】

端子図面である I / O 図面 (B) も、信号図面も撮像画像 (C) の左右反転を意識することなく、そのまま作る。そして、チップ全体のレイアウトデータまで組み上げた後、本実施例 1 では、このレイアウトデータ、即ちチップの設計データ (A) を製造のためのフォトリソグラフィー用のマスクに転写する前に、チップ全体で左右反転し、反転マスクデータ (E) を新たに作成する。

10

【 0 0 5 5 】

反転マスクデータ (E) の作成は、元データであるチップの設計データ (A) の x 座標の符号を全て入れ替えることによって容易に実現できる。裏面入射型 CMOS イメージセンサ 1 0 の製造については、この反転マスクデータ (E) に基づくレイアウトが焼き付けられたリソグラフィー用のマスクを用いて行う。

【 0 0 5 6 】

このようにして製造された CMOS イメージセンサ 1 0 は全体が反転しているが、それを裏面側から見ると、反転の反転で、端子位置も、出てくる撮像画像も、正転となっている。図 1 に示す出力回路部 1 6 の差動出力についても、正極性の端子と負極性の端子が入れ替わったりしていない。

20

【 0 0 5 7 】

表面入射型チップとコンパチブルな裏面入射型チップを作る場合も、従来のような全体的な再設計の必要はない。例えば、チップ内ブロック間の配線をやり直す必要は無い。表面入射型のレイアウトデータを流用して、裏面側に関係する工程の部分のみ入れ替えまたは変更するだけで、端子位置、信号データとも同じものを作ることができる。

【 0 0 5 8 】

反転マスクデータ (E) を作成する際には以下のようにすることが重要である。すなわち、図 5 に示すように、表面側のマークのうち、チップに配置するマーク 5 1 を、チップのレイアウトデータ (A) と別のデータ (層) 、即ち合わせマークのデータ (B) として持つ。マスク作成に進む前に、チップの設計データ (A) については反転させて反転設計データ (C) とする。合わせマークのデータ (B) については反転しない。そして、反転設計データ (C) と合わせマークのデータ (B) を重ね合わせたものを反転マスクデータ (D) とする。

30

【 0 0 5 9 】

ここで、チップに配置するマーク 5 1 としては、リソグラフィー用の合わせに使うためのマーク、線幅や膜厚など製造工程での検査に使うためのマーク、チップを特定するためのマーク、または製造工程での検査のときの座標の基準に使うためのマークなどが挙げられる。すなわち、マーク 5 1 とは、チップの動作に関係しない、マークとして認識可能なすべての「しるし」をいう。

40

【 0 0 6 0 】

チップに配置するマーク 5 1 をレイアウトデータ (A) と別のデータとして持ち、チップの設計データ (A) は反転させ、合わせマークのデータ (B) はそのままにして重ね合わせて反転マスクデータ (D) とすることで、次のような効果を得ることができる。すなわち、製造工程上でリソグラフィーの合わせや、製造工程での検査に伴う問題が起こるのを防止できる。裏面側のマークについては、チップの設計データ (A) とともに反転させるので、当該設計データ (A) と同一の層に置いてよい。また、表面工程では、左右対称なマークや、形状が決められていないマークについては設計データ (A) と同一の層にお

50

いてもよい。

【0061】

このようにして出来上がったチップデータ（即ち、反転マスクデータ）は、図6に示すように、枠52に収められてマスクになる。ここでは、1チップはTEG（Test Element Group）を入れる例としている。枠52にも、マスクの番号など、さまざまなマーク類53が存在するが、枠52の作り方については従来と同じにする。その詳細についてはここでは説明を省略する。

【0062】

図6に示すように、従来と同じ枠、即ち反転操作をしていない枠52に、従来は行われていなかった反転工程を経た反転マスクデータ54を嵌め込む。この全体データから、表面工程の各リソグラフィーマスク（A）を形成する。裏面工程のマスク（B）については、枠とそこに収められたチップ全体をまるごと左右反転したデータからつくる。この枠も含めた丸ごと反転については、従来の裏面入射型CMOSイメージセンサでもやっていたことであり、本実施例1の特徴ではない。ここでは、従来の枠も含めた丸ごと反転と、本実施例1の表面工程でも影響あるチップのみの反転が異なることを明示するために記述している。

10

【0063】

そして、製造工程においては、ウェーハ（半導体基板）に対するイオン注入について注意する。通常は、チップデータ（反転マスクデータ）に基づいて、イオン注入のウェーハに対する傾きを決定する（例えば、特開2000-223687号公報参照）。本実施例1では、マスクにする前にチップデータが反転されるので、イオン注入の向きを気にする工程では、これも合わせて左右反転することが好ましい。例えば、通常ウェーハの左から8度の角度でイオン注入する場合、ここでは右から8度の角度でイオン注入する。

20

【0064】

以上説明した実施例1によれば、開発や設計に当たっても、裏面入射による撮像画像の左右反転を意識しないでよいので、設計者、製造業者の両者にメリットが有る。特に、表面入射型チップとコンパクトな裏面入射型チップを作る場合は、従来のような全体的な再設計の必要なく、表面入射型のレイアウトデータを流用して、端子位置、信号データとも同じものを作ることができる。

【0065】

30

（実施例2）

一部のIPについて、裏面入射用のライブラリを別に用意する。ここに、ライブラリとは、特定の機能を持ったプログラムを他のプログラムから利用できるように、設計の単位となる基本論理ゲートや論理回路ブロック、セルなどをまとめたデータベースのことをいう。

【0066】

図7に示すように、差動入出力端子、即ち正相の信号の端子と逆相の信号の端子の位置を反転させたI/Oセルを裏面入射用ライブラリ内に持つ。インターフェイス部分にこのI/Oセルを用いてチップの設計データ（A）を設計する。図7（A）では、端子Aや端子Bと表示している。

40

【0067】

図7において、（E）は通常のLVDS I/Oライブラリを、（F）は裏面入射型CMOSイメージセンサ10のLVDS I/Oライブラリをそれぞれ示している。LVDS回路は、先述したように、図1に示す出力回路部16において、差動の信号、即ち正相の信号と逆相の信号とを出力する出力段の回路部分として用いられる。

【0068】

あとは、図14に示した従来技術2の場合のように、全体が逆になるように設計する。端子図面であるI/O図面（B）は、チップの設計データ（A）に対して左右反転したものになる。撮像画像（C）は正転である。マスクにするデータは、チップ全体を反転することなく、そのまま用いる。これにより、インターフェイス部分の不都合を解消する。

50

【 0 0 6 9 】

表面入射型チップのものとコンパチブルな裏面入射型チップを作るときは、全体を再設計しないといけないとか、同じチップサイズで作れないかもしれないなどについては、図 1 4 に示した従来技術 2 の場合と同じである。そのため、製造者にとっては効率が落ちることになるものの、チップの内部がブラックボックスでよい使用者にとっては、使い勝手が変わらないことになる。

【 0 0 7 0 】

裏面入射型 CMOS イメージセンサ 1 0 を表面入射型と無関係につくるときは、上記の効率の低下はない。但し、表面入射型とライブラリや各種図面の管理が異なることの手間や、撮像画像の左右反転を意識して設計しなければならない煩雑さやミス誘発の可能性は残る。

10

【 0 0 7 1 】

(実施例 1, 2 による作用効果)

実施例 1, 2 に係る設計によって裏面入射型 CMOS イメージセンサ 1 0 を製造することで、裏面入射型であっても表面入射型と区別せずに扱うことができる。そのため、裏面入射型 CMOS イメージセンサ 1 0 を搭載する評価ボード (E) や後段の信号処理 IC に特別な仕様を要求したり、コストをかけたりしなくて済む。

【 0 0 7 2 】

また、裏面入射型 CMOS イメージセンサ 1 0 を従来の表面入射型 CMOS イメージセンサと同じ感覚で使用できるため、当該 CMOS イメージセンサ 1 0 を搭載する電子機器にとっては、次のようなメリットがある。すなわち、表面入射型チップとコンパチブルな裏面入射型チップを作る場合は、従来のような全体的な再設計の必要なく、表面入射型のレイアウトデータを流用できるため、早期に商品を投入できるとともに、低コスト化を図ることができる。また、予期せぬ不具合の可能性を低減できる。

20

【 0 0 7 3 】

ここでは、可視光の光量に応じた信号電荷を物理量として検知する単位画素が行列状に配置されてなる CMOS イメージセンサに適用した場合を例に挙げて説明したが、本発明は CMOS イメージセンサへの適用に限られるものではなく、裏面入射型の固体撮像装置全般に対して適用可能である。

【 0 0 7 4 】

なお、固体撮像装置はワンチップとして形成された形態であってもよいし、撮像部と、信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

30

【 0 0 7 5 】

[適用例]

本発明に係る裏面入射型固体撮像装置は、画像取込部 (光電変換部) に固体撮像装置を用いる電子機器全般に搭載して用いることができる。電子機器としては、デジタルスチルカメラやビデオカメラ等の撮像装置や、携帯電話機などの撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置を用いる複写機などが挙げられる。なお、電子機器に搭載される上記モジュール状の形態、即ちカメラモジュールを撮像装置とする場合もある。

40

【 0 0 7 6 】

(撮像装置)

図 8 は、本発明に係る電子機器の一つである例えば撮像装置の構成の一例を示すブロック図である。図 8 に示すように、本発明に係る撮像装置 1 0 0 は、レンズ群 1 0 1 等を含む光学系、撮像素子 (撮像デバイス) 1 0 2、カメラ信号処理回路である DSP 回路 1 0 3、フレームメモリ 1 0 4、表示装置 1 0 5、記録装置 1 0 6、操作系 1 0 7 および電源系 1 0 8 等を有し、DSP 回路 1 0 3、フレームメモリ 1 0 4、表示装置 1 0 5、記録装置 1 0 6、操作系 1 0 7 および電源系 1 0 8 がバスライン 1 0 9 を介して相互に接続された構成となっている。

【 0 0 7 7 】

50

レンズ群 101 は、被写体からの入射光（像光）を取り込んで撮像素子 102 の撮像面上に結像する。撮像素子 102 は、レンズ群 101 によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この撮像素子 102 として、先述した適用例に係る CMOS イメージセンサ 10 等の裏面入射型固体撮像装置を用いることができる。

【0078】

表示装置 105 は、液晶表示装置や有機 EL (electro luminescence) 表示装置等のパネル型表示装置からなり、撮像素子 102 で撮像された動画または静止画を表示する。記録装置 106 は、撮像素子 102 で撮像された動画または静止画を、ビデオテープや DVD (Digital Versatile Disk) 等の記録媒体に記録する。

10

【0079】

操作系 107 は、ユーザによる操作の下に、本撮像装置が持つ様々な機能について操作指令を発する。電源系 108 は、DSP 回路 103、フレームメモリ 104、表示装置 105、記録装置 106 および操作系 107 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

【0080】

上述したように、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置において、その撮像素子 52 として先述した実施形態に係る裏面入射型 CMOS イメージセンサ 10 を用いることで、次のような作用効果を得ることができる。すなわち、先述した実施形態に係る裏面入射型 CMOS イメージセンサ 10 を従来の表面入射型 CMOS イメージセンサと同じ感覚で使用できるために、早期に商品を投入できるとともに低コスト化を図ることができ、また予期せぬ不具合の可能性を低減できる。

20

【図面の簡単な説明】

【0081】

【図 1】本発明が適用される裏面入射型 CMOS イメージセンサのシステム構成の概略を示すシステム構成図である。

【図 2】単位画素の回路構成の一例を示す回路図である。

【図 3】裏面入射型の画素構造の一例を示す断面図である。

【図 4】実施例 1 に係る裏面入射型 CMOS イメージセンサの設計の概念図である。

30

【図 5】反転マスクデータを作成する手順を示す概念図である。

【図 6】マスク構成の例を示す図であり、(A) は表面工程のマスク、(B) は裏面工程のマスクをそれぞれ示している。

【図 7】実施例 2 に係る裏面入射型 CMOS イメージセンサの設計の概念図である。

【図 8】本発明に係る撮像装置の構成の一例を示すブロック図である。

【図 9】表面入射型 (A) と裏面入射型 (B) の撮像画像を示す図である。

【図 10】表面入射型および裏面入射型の CMOS イメージセンサのチップの設計データを示す図である。

【図 11】CMOS イメージセンサの端子位置を規定した I/O 図面（端子図面）を示す図であり、(A) が表面入射型の場合を、(B) が裏面入射型の場合をそれぞれ示している。

40

【図 12】評価時あるいは製品でセンサを搭載するボードを示す図であり、(A) が表面入射型の場合を、(B) が裏面入射型の場合をそれぞれ示している。

【図 13】従来技術 1 についての説明図である。

【図 14】従来技術 2 についての説明図である。

【符号の説明】

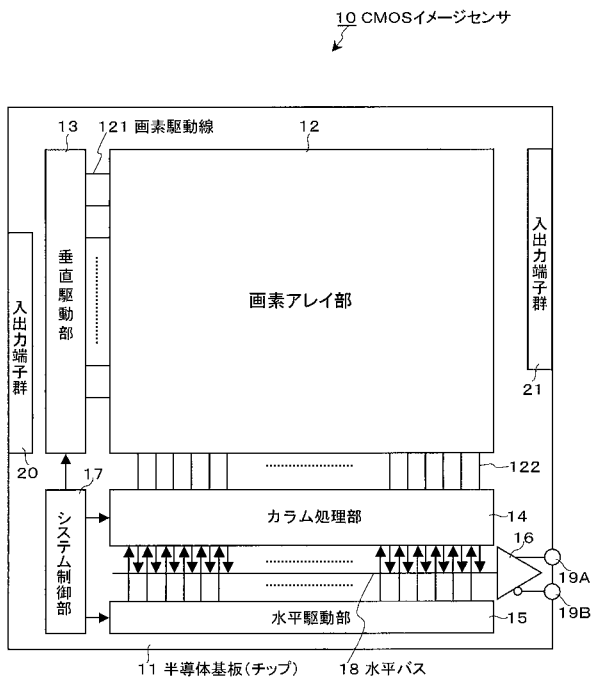
【0082】

10 ... 裏面入射型 CMOS イメージセンサ、11 ... 半導体基板（チップ）、12 ... 画素アレイ部、13 ... 垂直駆動部、14 ... カラム処理部、15 ... 水平駆動部、16 ... 出力回路部、17 ... システム制御部、18 ... 水平バス、19A ... 正相の出力端子、19B ... 逆相の

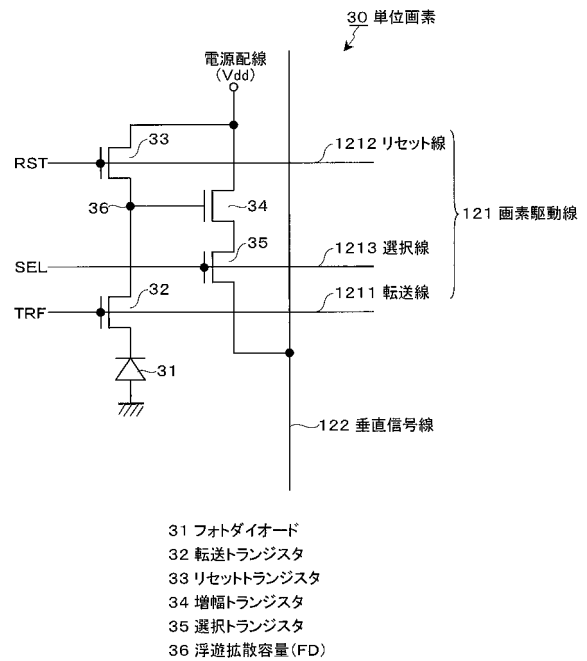
50

出力端子、20, 21... 入出力端子群、30... 単位画素、31... フォトダイオード、32... 転送トランジスタ、33... リセットトランジスタ、34... 増幅トランジスタ、35... 選択トランジスタ、36... 浮遊拡散容量(FD)、41... シリコン部(素子形成部)、45... カラーフィルタ、46... オンチップレンズ、47... 配線部

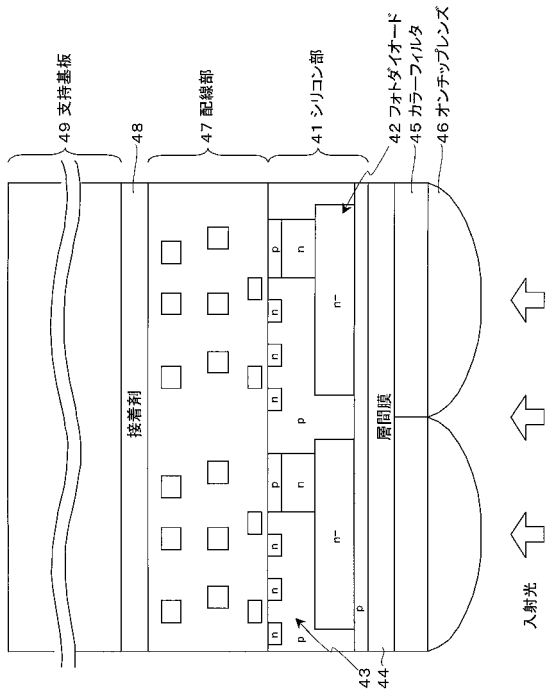
【 図 1 】



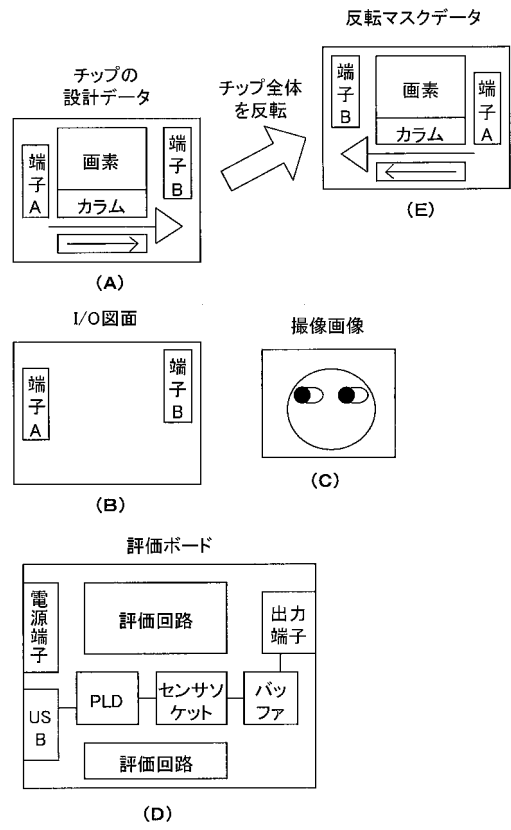
【 図 2 】



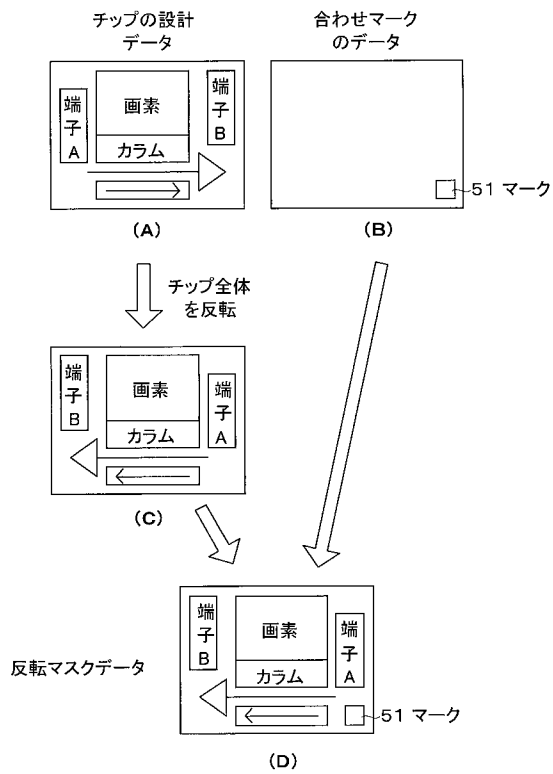
【 図 3 】



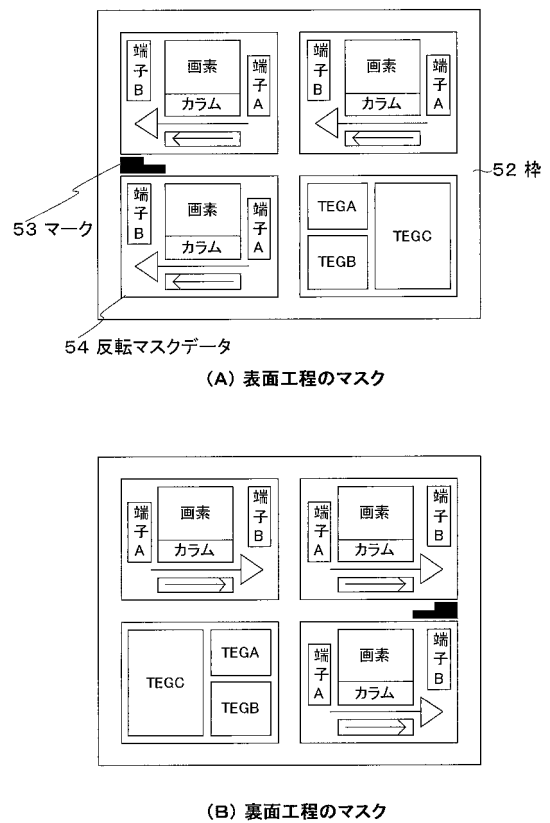
【 図 4 】



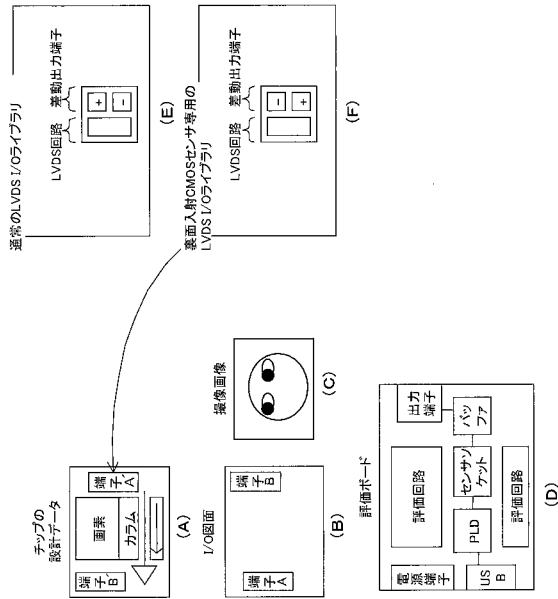
【 図 5 】



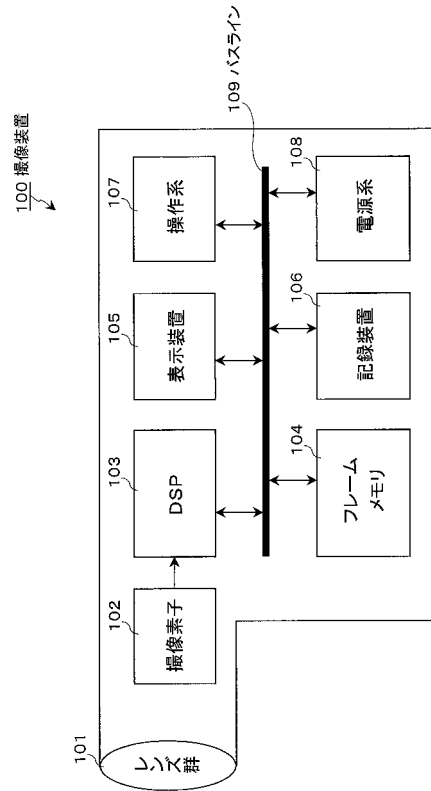
【 図 6 】



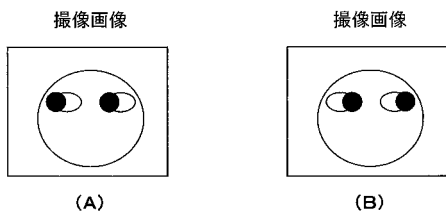
【 図 7 】



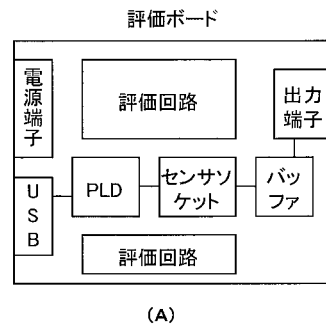
【 図 8 】



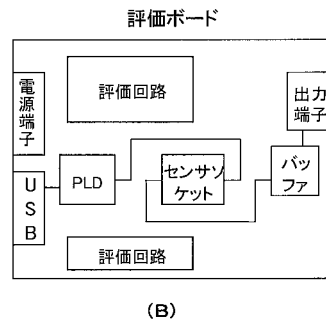
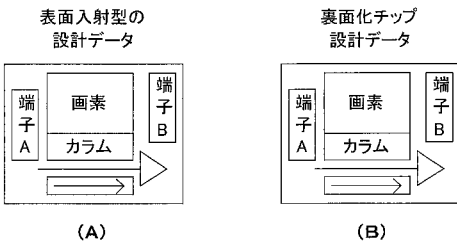
【 図 9 】



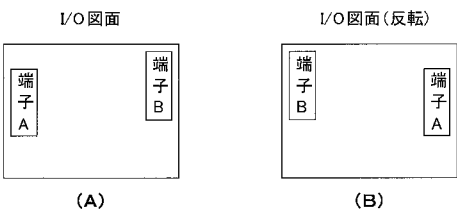
【 図 1 2 】



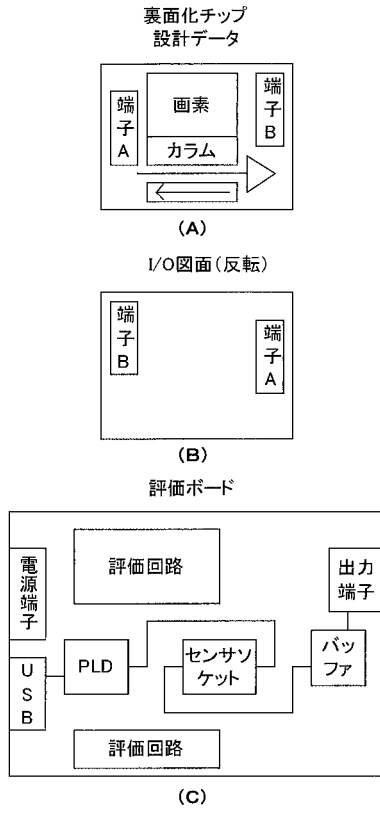
【 図 1 0 】



【 図 1 1 】



【 図 1 3 】



【 図 1 4 】

