

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-363255

(P2004-363255A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/8234	HO 1 L 27/08 1 O 2 F	5 F O 3 3
HO 1 L 21/3205	HO 1 L 27/06 3 1 1 B	5 F O 3 8
HO 1 L 21/822	HO 1 L 21/88 S	5 F O 4 8
HO 1 L 27/04	HO 1 L 21/88 Z	
HO 1 L 27/06	HO 1 L 29/90 Z	

審査請求 未請求 請求項の数 14 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2003-158479 (P2003-158479)  
 (22) 出願日 平成15年6月3日(2003.6.3)

(71) 出願人 000005821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 110000040  
 特許業務法人池内・佐藤アンドパートナーズ  
 (72) 発明者 江利口 浩二  
 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
 Fターム(参考) 5F033 HH11 JJ11 JJ19 KK01 MM01  
 MM02 QQ48 RR04 RR06 SS15  
 UU01 VV01 XX00  
 5F038 BH04 BH15 CA05 CD10 CD18  
 EZ14 EZ15 EZ20

最終頁に続く

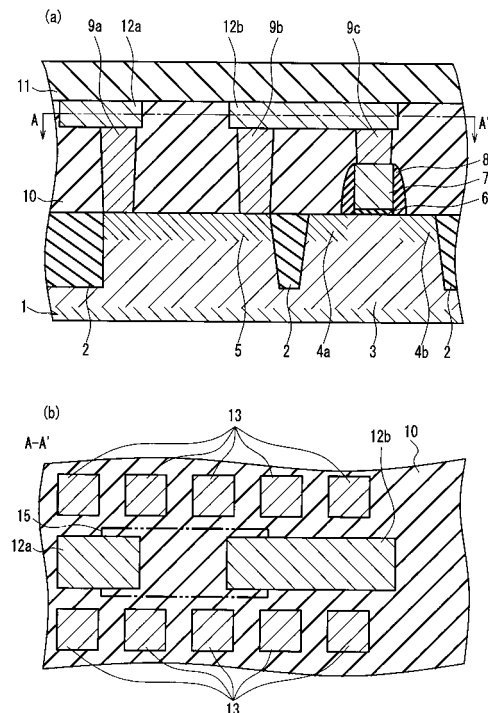
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 プラズマプロセス時の電界の印加方向に影響されずに、プラズマチャージングダメージの抑制を図り得る半導体装置及びその製造方法を提供することにある。

【解決手段】 シリコン基板上に、ゲート絶縁膜6、ゲート電極7及びダイオードとして機能する活性領域5を設け、プラズマプロセスによって第1の層間絶縁層10を形成する。次に、第1層間絶縁膜10に、ダミー配線13と、非ダミー配線12a及び12bとを同時に形成し、更に、第1層間絶縁膜10の上に、プラズマプロセスによって、第2層間絶縁膜11を形成する。このとき、ダミー配線13は、活性領域5を第1層間絶縁膜10に投影して得られる領域15と重ならないように配置する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極と、前記ゲート絶縁膜及び前記ゲート電極を被覆する絶縁層と、前記絶縁層に設けられた配線とを有する半導体装置であって、  
前記半導体基板には、ダイオードとして機能する活性領域が形成され、  
前記配線は、ダミー配線と、前記ゲート電極又は前記活性領域に電氣的に接続される非ダミー配線とを少なくとも有し、  
前記ダミー配線は、前記活性領域を前記半導体基板の法線方向に沿って前記絶縁層に投影して得られる領域と重ならないように配置されていることを特徴とする半導体装置。

10

## 【請求項 2】

前記ダミー配線と非ダミー配線とが、ダマシン法によって同時に形成されたものであって、前記絶縁層に埋め込まれている請求項 1 記載の半導体装置。

## 【請求項 3】

前記ダミー配線と非ダミー配線とが、同一の金属材料によって形成されている請求項 2 記載の半導体装置。

## 【請求項 4】

前記金属材料が銅を含む金属材料である請求項 3 記載の半導体装置。

## 【請求項 5】

半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極と、複数の絶縁層とを有する半導体装置であって、  
前記半導体基板には、ダイオードとして機能する活性領域が形成され、  
前記複数の絶縁層のうち、最下層の絶縁層は、前記ゲート絶縁膜及び前記ゲート電極を被覆するように形成され、前記最下層の絶縁層には、第 1 のダミー配線と、前記ゲート電極又は前記活性領域に電氣的に接続される第 1 の配線とが設けられ、  
前記最下層の絶縁層よりも上層に位置する絶縁層には、第 2 のダミー配線と、前記第 1 の配線に電氣的に接続される第 2 の配線とが設けられ、  
前記第 2 のダミー配線は、前記活性領域を前記半導体基板の法線方向に沿って前記第 2 のダミー配線が設けられた絶縁層に投影して得られる領域と重ならないように配置されていることを特徴とする半導体装置。

20

30

## 【請求項 6】

前記第 1 のダミー配線と前記第 1 の配線とが、ダマシン法によって同時に形成されたものであって、前記最下層の絶縁層に埋め込まれており、  
同一の絶縁層に設けられた前記第 2 の配線と前記第 2 のダミー配線とが、ダマシン法によって同時に形成されたものであって、これらが設けられた前記絶縁層に埋め込まれている請求項 5 記載の半導体装置。

## 【請求項 7】

前記第 1 のダミー配線、前記第 1 の配線、前記第 2 のダミー配線、及び前記第 2 の配線とが、同一の金属材料によって形成されている請求項 6 記載の半導体装置。

## 【請求項 8】

前記金属材料が銅を含む金属材料である請求項 7 記載の半導体装置。

40

## 【請求項 9】

(a) 半導体基板上に、ゲート絶縁膜及びゲート電極の積層体と、ダイオードとして機能する活性領域とを少なくとも形成する工程と、  
(b) 前記半導体基板上に、プラズマプロセスによって、前記積層体及び前記活性領域を被覆する第 1 の絶縁層を形成する工程と、  
(c) 前記第 1 の絶縁層に、ダミー配線と、前記ゲート電極又は前記活性領域に電氣的に接続される非ダミー配線とを同時に形成する工程と、  
(d) 前記第 1 の絶縁層の上に、プラズマプロセスによって、第 2 の絶縁層を形成する工程とを有する半導体装置の製造方法であって、

50

前記(c)の工程において、前記ダミー配線が、前記活性領域を前記半導体基板の法線方向に沿って前記絶縁層に投影して得られる領域と重ならないように、前記ダミー配線と前記非ダミー配線とを形成することを特徴とする半導体装置の製造方法。

【請求項10】

前記(c)の工程において、前記ダミー配線と前記非ダミー配線とをダマシン法によって形成する請求項9記載の半導体装置の製造方法。

【請求項11】

前記第1の絶縁層及び前記第2の絶縁層が、シリコン酸化膜又はシリコン窒化膜である請求項9記載の半導体装置の製造方法。

【請求項12】

(a)半導体基板上に、ゲート絶縁膜及びゲート電極の積層体と、ダイオードとして機能する活性領域とを少なくとも形成する工程と、

(b)前記半導体基板上に、プラズマプロセスによって、前記積層体及び前記活性領域を被覆する下地絶縁層を形成する工程と、

(c)前記下地絶縁層に、第1のダミー配線と、前記ゲート電極又は前記活性領域に電氣的に接続される第1の配線とを同時に形成する工程と、

(d)プラズマプロセスによって、前記下地絶縁層の上層に位置する絶縁層を形成する工程と、

(e)前記(d)の工程によって得られた絶縁層に、第2のダミー配線と、前記第1の配線に電氣的に接続される第2の配線とを同時に形成する工程とを有する半導体装置の製造方法であって、

前記(e)の工程において、前記第2のダミー配線が、前記活性領域を前記半導体基板の法線方向に沿って前記第2のダミー配線の形成される前記絶縁層に投影して得られる領域と重ならないように、前記第2のダミー配線と前記第2の配線とを形成することを特徴とする半導体装置の製造方法。

【請求項13】

前記(c)の工程において、前記第1のダミー配線と前記第1の配線とをダマシン法によって形成し、

前記(e)の工程において、前記第2のダミー配線と前記第2の配線とをダマシン法によって形成する請求項12記載の半導体装置の製造方法。

【請求項14】

前記下地絶縁層及び前記下地絶縁層の上層に位置する絶縁層が、シリコン酸化膜又はシリコン窒化膜である請求項12記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、半導体集積回路によって構成された半導体装置においては、高集積化が大きく進展してきている。特に、MIS(Metal Insulated semiconductor)型の半導体装置においては、高集積化に対応するため、トランジスタ等の素子の微細化、高性能化が図られており、更なる微細化、高性能化も求められている。

【0003】

また、このような半導体装置の配線の形成工程においては、プラズマCVDやプラズマエッチングに代表されるプラズマプロセスの利用が増加している。これは、半導体装置の配線の形成工程においては、不純物の拡散の点や金属配線材料の耐熱性の点から熱処理量に制約があり、プラズマプロセスによれば熱処理量を小さくできるからである。

【0004】

更に、近年においては、高性能化を図るため銅(Cu)配線が導入される場合があるが、

10

20

30

40

50

銅(Cu)配線の形成にはダマシン法が使用されるため、この場合は、益々、プラズマプロセスの利用が増大する。

【0005】

このように、プラズマプロセスはエッチング時だけでなく、成膜時にも多用されており、プラズマプロセスの利用は年々増加傾向にある。ところが、プラズマプロセスの利用増大に伴い、プラズマプロセスによるデバイス損傷が顕在化してきている。これを主に「プラズマチャージングダメージ」と呼び、近年大きくクローズアップされている。

【0006】

このようなプラズマチャージングダメージを受けた半導体装置においては、デバイス特性が劣化するため、不良品となる。また、プラズマチャージングダメージの問題においては、特に、ゲート絶縁膜における信頼性の劣化が重大な問題となっている。

【0007】

このような問題を解決するため、特許文献1には、半導体基板上に、保護ダイオードを設けた半導体装置が開示されている。特許文献1に開示された半導体装置においては、プラズマチャージングダメージを生じさせるチャージング電流は保護ダイオードを介して設置電位に逃がされる。このため、チャージング電流がゲート絶縁膜に印加されるのが抑制され、ゲート絶縁膜の破壊が回避される。

【0008】

【特許文献1】

特開平10-173157号公報(第20段落、第2図-第9図)

【0009】

【発明が解決しようとする課題】

しかしながら、保護ダイオードが形成された半導体基板にプラズマプロセスを実施した場合は、以下に示す問題が生じることがある。図6を用いて従来の半導体装置の製造方法について説明しながら、この問題を説明する。

【0010】

図6は、従来の半導体装置における層間絶縁膜の形成工程を示す断面図であり、図6(a)は半導体基板の法線方向に沿って切断した断面図、図6(b)は図6(a)に示す切断線C-C'に沿って切断した断面図である。図6に示す半導体装置は、多層配線構造を有している。

【0011】

最初に、素子分離32とnウェル(n well)33とが設けられたp型シリコン基板31上に、ゲート絶縁膜36を形成する。素子分離32の形成方法としては、STI(Shallow Trench Isolation)法を用いることができる。次に、ゲート絶縁膜(膜厚2.2nm)36の上にゲート電極37を形成し、ゲート絶縁膜36及びゲート電極37の両側面にサイドウォール38を形成する。なお、ゲート電極37はp+ポリシリコンによって形成されている。

【0012】

次いで、イオン注入によって、保護ダイオードとして機能する活性領域(p+)35、ソース(p+)領域34a及びドレイン(p+)領域34bを形成する。これにより、ゲート絶縁膜6及びゲート電極7を備えたpチャンネルMOSトランジスタが形成する。その後、プラズマCVD装置(図示せず)によってプラズマを発生させて、第1層間絶縁膜40を成膜する。

【0013】

更に、第1層間絶縁膜40にコンタクトホールを形成し、タングステンを充填してWプラグ39a~39cを形成する。その後、ダマシン法を用いて、配線42a、42b、43及び44を同時に形成する。これらの配線は銅配線(厚み500nm)であり、第1層間絶縁膜40に埋め込まれている。

【0014】

なお、配線42aは、Wプラグ39cを介してゲート電極37に接続され、Wプラグ39

10

20

30

40

50

bを介して活性領域35に接続されるように形成されている。配線42bはWプラグ39aを介して活性領域35に接続されるように形成されている。

【0015】

一方、図6(b)からも分るように、配線43及び44は、ダマシン法で実施されるCMP(chemical mechanical polishing)工程における平坦性の確保のためのダミー配線である。また、配線43及び44は、その全周囲が第1の絶縁層40と第2の絶縁層41とによって絶縁されており、電氣的に浮遊した状態にある。

【0016】

次に、プラズマCVD装置(図示せず)によってプラズマを発生させて、第1層間絶縁膜40の上に第2層間絶縁膜41を成膜する。この後、上述した工程と同様にして、第2層間絶縁膜41にもWプラグ48a及び48bを形成し、更に配線45a、配線45b及び配線46を形成する。配線46は、上記の配線43及び44と同様のダミー配線であり、配線43及び44の真上に位置している。

10

【0017】

その後、図6に示すように、第2層間絶縁膜41の上に、プラズマCVD装置(図示せず)によってプラズマを発生させて第3層間絶縁膜47を成膜する。このように、層間絶縁膜の形成、Wプラグの形成、配線の形成を繰り返すことにより、所望の多層配線構造を有した半導体装置を得ることができる。

【0018】

ところで、上述したように、プラズマCVD装置(図示せず)によるプラズマプロセスによって第1層間絶縁膜40、第2層間絶縁膜41及び第3層間絶縁膜47を成膜するが、プラズマプロセス時においては、プラズマから紫外領域の光線がシリコン基板31に向けて放射される。また、このような紫外領域の光線が活性領域35に入射すると、入射した光線の量に応じてダイオードの整流特性が崩れ、活性領域5とnウェル3との間において正方向へのリーク電流が増大するという現象が生じる。

20

【0019】

このような現象が生じた場合は、例え、電界の印加方向が逆方向(シリコン基板からプラズマへと向かう方向)であったとしても、プラズマ14からのチャージング電流は保護ダイオードを介して設置電位へと逃がされ、ゲート絶縁膜37にかかる電氣的ストレスは軽減される。

30

【0020】

しかしながら、図6の例では、第2層間絶縁膜41の成膜時においては、配線44が活性領域35の真上に位置し、第3層間絶縁膜47の成膜時においては、配線46の一つが活性領域35の真上に位置している。なお、図6(b)において、45は、活性領域35をシリコン基板31の法線方向に沿って絶縁層40の切断面に投影して得られる領域を示している。

【0021】

このため、プラズマから保護ダイオードへ向けて放射された紫外領域の光線の一部は、第2層間絶縁膜41の成膜時には配線44によって吸収され、又第3層間絶縁膜48の成膜時には配線44と配線46とによって吸収されてしまう。この場合、活性領域35に入射する光量は十分でなく、更に、発生する正方向へのリーク電流も小さいといえる。

40

【0022】

よって、電界の印加方向が逆方向である場合は、プラズマからのチャージング電流の一部は保護ダイオードを流れずに、ゲート絶縁膜36へと向かい、ゲート絶縁膜36に電氣的なストレスを与えてデバイス特性を劣化させてしまう。また、プラズマプロセスにおいては、プラズマCVD装置における電圧波形の切り替えが行われることもあり、シリコン基板31への電界の印加方向が、正方向でなく、逆方向となる場合は少なくないと言える。

【0023】

このように、図6に示す例では、保護ダイオードが形成されているにもかかわらず、第2層間絶縁膜41の成膜時と第3層間絶縁膜48の成膜時との両方において電界の印加方向

50

が逆方向となった場合は、二回に渡って、ゲート絶縁膜 36 に電氣的なストレスがかかることになる。このことから、保護ダイオードの役割の限界が指摘されている。

【0024】

本発明の目的は、上記問題を解決し、プラズマプロセス時の電界の印加方向に影響されずに、プラズマチャージングダメージの抑制を図り得る半導体装置及びその製造方法を提供することにある。

【0025】

【課題を解決するための手段】

上記目的を達成するために本発明にかかる第1の半導体装置は、半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極と、前記ゲート絶縁膜及び前記ゲート電極を被覆する絶縁層と、前記絶縁層に設けられた配線とを有する半導体装置であって、前記半導体基板には、ダイオードとして機能する活性領域が形成され、前記配線は、ダミー配線と、前記ゲート電極又は前記活性領域に電氣的に接続される非ダミー配線とを少なくとも有し、前記ダミー配線は、前記活性領域を前記半導体基板の法線方向に沿って前記絶縁層に投影して得られる領域と重ならないように配置されていることを特徴とする。

10

【0026】

上記第1の半導体装置を用いれば、従来技術に示した図6の例に比べて、ダイオードとして機能する活性領域に入射する紫外領域の光線の量を増加させることができるので、ダイオードの整流特性を大きく崩れさせて活性領域における正方向へのリーク電流を増大させることができる。このため、プラズマによる電界の印加方向が逆方向となった場合であっても、プラズマからのチャージング電流を、ダイオードを介して設置電位へと逃がすことができ、プラズマプロセス中にゲート絶縁膜の受ける電氣的なストレスを軽減することができる。

20

【0027】

上記第1の半導体装置においては、前記ダミー配線と非ダミー配線とが、ダマシン法によって同時に形成されたものであって、前記絶縁層に埋め込まれている態様とするのが好ましい。この態様においては、前記ダミー配線と非ダミー配線とが、同一の金属材料によって形成されているのが好ましく、特に、前記金属材料が銅を含む金属材料であるのが好ましい。

30

【0028】

また、上記目的を達成するために本発明にかかる第2の半導体装置は、半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜の上に設けられたゲート電極と、複数の絶縁層とを有する半導体装置であって、前記半導体基板には、ダイオードとして機能する活性領域が形成され、前記複数の絶縁層のうち、最下層の絶縁層は、前記ゲート絶縁膜及び前記ゲート電極を被覆するように形成され、前記最下層の絶縁層には、第1のダミー配線と、前記ゲート電極又は前記活性領域に電氣的に接続される第1の配線とが設けられ、前記最下層の絶縁層よりも上層に位置する絶縁層には、第2のダミー配線と、前記第1の配線に電氣的に接続される第2の配線とが設けられ、前記第2のダミー配線は、前記活性領域を前記半導体基板の法線方向に沿って前記第2のダミー配線が設けられた絶縁層に投影して得られる領域と重ならないように配置されていることを特徴とする。

40

【0029】

上記第2の半導体装置を用いても、上記第1の半導体装置と同様に、従来技術に示した図6の例に比べて、ダイオードとして機能する活性領域に入射する紫外領域の光線の量を増加させることができるので、ダイオードの整流特性を大きく崩れさせて活性領域における正方向へのリーク電流を増大させることができる。このため、上記第2の半導体装置においても、プラズマプロセス中にゲート絶縁膜の受ける電氣的なストレスは軽減される。

【0030】

上記第2の半導体装置においては、前記第1のダミー配線と前記第1の配線とが、ダマシ

50

ン法によって同時に形成されたものであって、前記最下層の絶縁層に埋め込まれており、更に、同一の絶縁層に設けられた前記第2の配線と前記第2のダミー配線とが、ダマシン法によって同時に形成されたものであって、これらが設けられた前記絶縁層に埋め込まれている態様とするのが好ましい。この態様においては、前記第1のダミー配線、前記第1の配線、前記第2のダミー配線、及び前記第2の配線とが、同一の金属材料によって形成されているのが好ましく、特に、前記金属材料が銅を含む金属材料であるのが好ましい。

#### 【0031】

次に、上記目的を達成するために本発明にかかる第1の半導体装置の製造方法は、(a)半導体基板上に、ゲート絶縁膜及びゲート電極の積層体と、ダイオードとして機能する活性領域とを少なくとも形成する工程と、(b)前記半導体基板上に、プラズマプロセスによって、前記積層体及び前記活性領域を被覆する第1の絶縁層を形成する工程と、(c)前記第1の絶縁層に、ダミー配線と、前記ゲート電極又は前記活性領域に電氣的に接続される非ダミー配線とを同時に形成する工程と、(d)前記第1の絶縁層の上に、プラズマプロセスによって、第2の絶縁層を形成する工程とを有する半導体装置の製造方法であって、前記(c)の工程において、前記ダミー配線が、前記活性領域を前記半導体基板の法線方向に沿って前記絶縁層に投影して得られる領域と重ならないように、前記ダミー配線と前記非ダミー配線とを形成することを特徴とする。

10

#### 【0032】

上記第1の半導体装置の製造方法を用いれば、プラズマプロセスによって第2の絶縁層を形成する際に、ダイオードとして機能する活性領域に入射する紫外領域の光線の量を、従来技術に示した図6の例に比べて増加させることができる。よって、ダイオードの整流特性を大きく崩れさせて活性領域における正方向へのリーク電流を増大させることができる。このため、プラズマによる電界の印加方向が逆方向となった場合であっても、プラズマからのチャージング電流を、ダイオードを介して設置電位へと逃がすことができ、プラズマプロセス中にゲート絶縁膜が受ける電氣的なストレスを軽減しながら半導体装置を製造できる。

20

#### 【0033】

上記第1の半導体装置の製造方法においては、前記(c)の工程において、前記ダミー配線と前記非ダミー配線とをダマシン法によって形成するのが好ましい。更に、前記第1の絶縁層及び前記第2の絶縁層が、シリコン酸化膜又はシリコン窒化膜であるのが好ましい。

30

#### 【0034】

また、上記目的を達成するために本発明にかかる第2の半導体装置の製造方法は、(a)半導体基板上に、ゲート絶縁膜及びゲート電極の積層体と、ダイオードとして機能する活性領域とを少なくとも形成する工程と、(b)前記半導体基板上に、プラズマプロセスによって、前記積層体及び前記活性領域を被覆する下地絶縁層を形成する工程と、(c)前記下地絶縁層に、第1のダミー配線と、前記ゲート電極又は前記活性領域に電氣的に接続される第1の配線とを同時に形成する工程と、(d)プラズマプロセスによって、前記下地絶縁層の上層に位置する絶縁層を形成する工程と、(e)前記(d)の工程によって得られた絶縁層に、第2のダミー配線と、前記第1の配線に電氣的に接続される第2の配線とを同時に形成する工程とを有する半導体装置の製造方法であって、前記(e)の工程において、前記第2のダミー配線が、前記活性領域を前記半導体基板の法線方向に沿って前記第2のダミー配線の形成される前記絶縁層に投影して得られる領域と重ならないように、前記第2のダミー配線と前記第2の配線とを形成することを特徴とする。

40

#### 【0035】

上記第2の半導体装置の製造方法を用いれば、前記(d)の工程によって得られた絶縁層の上に、プラズマプロセスによって更に絶縁層を形成する際に、ダイオードとして機能する活性領域に入射する紫外領域の光線の量を、従来技術に示した図6の例に比べて増加させることができる。よって、上記第2の半導体装置の製造方法においても、ダイオードの

50

整流特性を大きく崩れさせて活性領域における正方向へのリーク電流を増大させることができ、プラズマプロセス中にゲート絶縁膜が受ける電氣的なストレスを軽減しながら半導体装置を製造できる。

【0036】

上記第2の半導体装置の製造方法においては、前記(c)の工程において、前記第1のダミー配線と前記第1の配線とをダマシン法によって形成し、前記(e)の工程において、前記第2のダミー配線と前記第2の配線とをダマシン法によって形成するのが好ましい。更に、前記下地絶縁層及び前記下地絶縁層の上層に位置する絶縁層が、シリコン酸化膜又はシリコン窒化膜であるのが好ましい。

【0037】

【発明の実施の形態】

(実施の形態1)

以下、本発明の実施の形態1にかかる半導体装置及び半導体装置の製造方法について、図1～図4を参照しながら説明する。最初に、図1を用いて本実施の形態1にかかる半導体装置の構成について説明する。図1は、本発明の実施の形態1にかかる半導体装置の構成を部分的に示す断面図であり、図1(a)は半導体装置を構成する半導体基板の法線方向に沿って切断した断面図、図1(b)は図1(a)に示す切断線A-A'に沿って切断した断面図である。

【0038】

図1(a)に示すように、本実施の形態1にかかる半導体装置は、従来技術において図6に示した半導体装置と同様に、p型シリコン基板1を備えており、シリコン基板1には複数の素子分離2が、所定の間隔を置いて、シリコン基板1上に露出するように形成されている。

【0039】

また、シリコン基板1上の素子分離2間には、従来技術において図6に示した半導体装置と同様に、シリコン基板1の内部に形成されたnウェル(n well)3と、ゲート絶縁膜6と、p+ポリシリコンで形成されたゲート電極7と、シリコン基板1の表層部分に設けられたソース(p+)領域4a及びドレイン(p+)領域4bとによって、pチャンネルMOSトランジスタが形成されている。

【0040】

ゲート絶縁膜6及びゲート電極7は、従来技術において図6に示した半導体装置と同様に、互いに整合されるように形成されており、これらの両側面には、両側面を覆うようにサイドウォール8が形成されている。また、シリコン基板1には、保護ダイオードとして機能する活性領域(p+)5が形成されている。

【0041】

また、シリコン基板1の上には、従来技術において図6に示した半導体装置と同様に、第1層間絶縁膜10が形成されており、第1層間絶縁膜10の上には第2層間絶縁膜11が形成されている。更に、第1層間絶縁膜10には、配線12a、配線12b、及び配線13が形成されている。なお、第1層間絶縁膜10及び第2層間絶縁膜11は、シリコン酸化膜又はシリコン窒化膜である。

【0042】

配線12a、配線12b、及び配線13は、ダマシン法によって同時に形成された銅配線(厚み500nm)であり、第1層間絶縁膜10に埋め込まれている。これらの配線のうち、配線13は、ダマシン法で実施されるCMP工程における平坦性の確保のためのダミー配線である。配線13の全周囲は第1層間絶縁膜10と第2層間絶縁膜11とによって絶縁されており、配線13は電氣的に浮遊した状態にある。更に、配線13は、図1(b)に示すように、複数個で構成されており、正方形形状に形成されている。

【0043】

一方、配線12a及び12bは、非ダミー配線である。配線12aはWプラグ9aを介して活性領域5に接続されている。また、配線12bは、Wプラグ9bを介して活性領域5

10

20

30

40

50

に接続され、Wプラグ9cを介してゲート電極7に接続されている。なお、本実施の形態1においては、図1(b)に示すように、配線12a及び12bは短冊状に形成されている。

【0044】

なお、Wプラグ9a~9cは、従来技術において図6に示したWプラグ39a~39cと同様に、第1層間絶縁膜10に形成されたコンタクトホールに、タングステンを充填して形成されている。

【0045】

このように、本実施の形態1にかかる半導体装置は、従来技術において図6に示した半導体装置と同様の構成を有しているが、以下に説明するように、この従来の半導体装置と異なる点を有している。

10

【0046】

本実施の形態1においては、図1(b)に示すように、従来技術において図6に示した半導体装置と異なり、ダミー配線である配線13は、活性領域5をシリコン基板1の法線方向に沿って第1層間絶縁層10に投影して得られる領域(投影領域)15と重ならないように配置されている。つまり、図1(b)から分るように、本実施の形態1においては、保護ダイオードとして機能する活性領域5の上方にはダミー配線13は存在していない。このため、第2層間絶縁膜11をプラズマプロセスによって形成する場合において、従来技術に示した図6の例に比べて、活性領域5に入射する紫外領域の光線の量は多くなっている。この点について以下に説明する。

20

【0047】

図2に用いて、本実施の形態1にかかる半導体装置の製造方法及びダミー配線による作用について説明する。図2は、本発明の実施の形態1にかかる半導体装置の製造方法を示す断面図である。なお、図2は、図1に示す半導体装置を構成する第2層間絶縁膜11の形成工程を示している。

【0048】

最初に、素子分離2とnウェル3とが設けられたシリコン基板1上に、ゲート絶縁膜6を形成する。次に、ゲート絶縁膜6の上にゲート電極7を形成し、ゲート絶縁膜6及びゲート電極7の両側面にサイドウォール8を形成する。次いで、例えばホウ素(B)イオンをイオン注入して、活性領域5、ソース(p+)領域4a及びドレイン(p+)領域4bを形成する。

30

【0049】

その後、プラズマCVD装置(図示せず)によってプラズマを発生させて、第1層間絶縁膜10を成膜する。なお、このとき、ゲート電極7に接続される配線は未だ形成されていないため、プラズマによるチャージ電流は発生しない。

【0050】

次に、下地層間絶縁膜となる第1層間絶縁層10に、底面に活性領域5の一端部分が露出したコンタクトホール、底面に活性領域5の他端部分が露出したコンタクトホール、及び底面にゲート電極7が露出したコンタクトホールを形成し、これらコンタクトホールの内部にタングステンを充填してWプラグ9a~9cを形成する。

40

【0051】

その後、ダマシン法を用いて配線12a、配線12b、及び配線13を同時に形成する。具体的には、先ず、下地層間絶縁膜10の配線を設けるべき位置に溝を形成する。但し、ダミー配線となる配線13を構成する溝は、投影領域5と重ならないようにレイアウトする必要がある。次いで、下地層間絶縁膜10に形成された溝が埋まるように銅の層を形成し、CMP法による研磨によって余分な厚みを除去する。

【0052】

次に、図2に示すように、プラズマCVD装置(図示せず)によってプラズマ14を発生させて、第2層間絶縁膜11を成膜する。このとき、本実施の形態1においては、投影領域15上にはダミー配線は存在していないため、従来技術において示した図6の例に比べ

50

て、多くの紫外領域の光線が活性領域 5 に入射する。このため、ダイオードの整流特性の崩れが大きく、活性領域 5 と n ウェル 3 との間において正方向へのリーク電流が増大することになる。

【0053】

この結果、本実施の形態 1 においては、電界の印加方向が逆方向となった場合であっても、プラズマ 14 からのチャージング電流は図 2 中の矢印に示すように保護ダイオードを介して設置電位へと逃がされる。なお、ダイオードの整流特性が大きく崩れ、電界の印加方向が正方向となった場合も、問題なくチャージング電流は保護ダイオードを介して設置電位へと逃がされる。

【0054】

このように、本実施の形態 1 においては、プラズマプロセス時の電界の印加方向に拘わらずに、チャージング電流を保護ダイオードへと流すことができる。このため、従来に比べて、ゲート絶縁膜の受ける電氣的ストレスを軽減でき、デバイス特性の劣化を抑制することができる。

【0055】

ここで、本実施の形態 1 にかかる半導体装置及び半導体装置の製造方法による効果を図 3 及び図 4 を用いて説明する。図 3 は、本発明の実施形態 1 にかかる半導体装置を構成するトランジスタ素子の特性曲線を示す図である。図 4 は、図 3 に示す特性曲線の飽和領域を拡大して示す図である。

【0056】

なお、このトランジスタ素子は上述したように p チャンネル MOS トランジスタである。図 3 及び図 4 において、横軸はゲート電圧を示し、縦軸はドレイン電流を示している。ドレイン電圧は 1.2 [V] に設定されている。

【0057】

また、図 3 及び図 4 に示す従来の半導体装置は図 6 に示す半導体装置であり、図 3 及び図 4 には図 6 に示す半導体装置を構成する p チャンネル MOS トランジスタの特性曲線も図示されている。

【0058】

図 3 及び図 4 から分るように、実施の形態 1 にかかる半導体装置を構成するトランジスタ素子は、従来の半導体装置を構成するトランジスタ素子に比べて、駆動能力が 5 % 以上向上している（実施の形態 1 : 138  $\mu\text{A}/\mu\text{m}$ 、従来 : 134  $\mu\text{A}/\mu\text{m}$ ）。このことは、実施の形態 1 によれば、従来に比べて、ゲート絶縁膜におけるプラズマチャージングダメージの抑制を図ることができ、デバイス特性の向上を図ることができることを示している。

【0059】

なお、本実施の形態 1 においては、半導体装置は多層配線構造を有するものであって良い。また、例えば、従来技術において図 6 に示したように、配線層が二層の場合であっても、第 1 層間絶縁膜の成膜時においてのみ電界の印加方向が逆方向になると予想される場合は、第 2 層間絶縁膜に形成するダミー配線は投影領域に重なる位置に配置されていても良い。

【0060】

(実施の形態 2)

次に本発明の実施の形態 2 にかかる半導体装置及び半導体装置の製造方法について、図 5 を参照しながら説明する。図 5 は、本発明の実施の形態 2 にかかる半導体装置の構成を部分的に示す断面図であり、図 5 (a) は半導体装置を構成する半導体基板の法線方向に沿って切断した断面図、図 5 (b) は図 5 (a) に示す切断線 B - B' に沿って切断した断面図である。なお、図 5 において、図 1 に示した符号と同様の符号が付された部分は、図 1 に示したものと同様のものである。

【0061】

図 5 (a) 及び (b) に示すように、本実施の形態 2 にかかる半導体装置においても、第

10

20

30

40

50

1層間絶縁膜10には、ダマシン法によって配線21~24及び29が設けられている。配線24及び29は、実施の形態1において図1に示した配線13と同様のダミー配線であり、正方形に形成されている。また、配線21、配線22及び配線23は、実施の形態1において図1に示した配線12a及び12bと同様の非ダミー配線であり、実施の形態1と同様に短冊状の形状を有している。

【0062】

但し、本実施の形態2においては、実施の形態1と異なり、ダミー配線のうち配線29は、投影領域15に重なるように形成されている。よって、プラズマプロセスによる第2層間絶縁膜11及び後述する第3層間絶縁膜28の成膜時においては、従来技術において図6を用いて説明した半導体装置と同様に、プラズマから放射される紫外領域の光線のうち、保護ダイオードへと向かう光線の一部は、配線29によって吸収される。

10

【0063】

なお、配線21、配線22及び配線23は、実施の形態1とレイアウトが異なっている。配線23はWプラグ9aを介して、配線22はWプラグ9bを介して、それぞれ活性領域5に接続されている。配線21はWプラグ9cを介してゲート電極7に接続されている。

【0064】

一方、本実施の形態2においては、第2層間絶縁膜11にも、非ダミー配線である配線25及び26と、ダミー配線である配線30とが形成されており、多層配線構造となっている。また、第2層間絶縁膜11の上層には、プラズマプロセスによって第3層間絶縁膜28が成膜されている。なお、配線25は、Wプラグ27aを介して配線23に接続されており、配線26は、Wプラグ27bを介して配線22に接続されている。

20

【0065】

更に、ダミー配線である配線30は、図5(b)に示すように投影領域15と重ならない配線24の真上にのみ配置されており、活性領域5をシリコン基板1の法線方向に沿って第2層間絶縁層11に投影して得られる領域(図示せず)と重ならないように配置されている。

【0066】

このため、本実施の形態3においては、従来技術において図6を用いて説明した例と異なり、第2層間絶縁膜11に形成されたダミー配線(配線29)によって、第3層間絶縁膜28の成膜時に活性領域5へと向かう紫外領域の光線が吸収されることはない。従って、従来技術において示した図6の例に比べて、第3層間絶縁膜28の成膜時に活性領域5に入射する紫外領域の光線の量は多く、ゲート絶縁膜6が受ける電氣的ストレスは小さくなっている。

30

【0067】

このことから、本実施の形態2においては、第2層間絶縁膜11の成膜時と第3層間絶縁膜28の成膜時との両方において電界の印加方向が逆方向となった場合であっても、半導体装置の完成までにゲート絶縁膜6が受ける電氣的ストレスのトータルは、従来技術において示した図6の例に比べて小さく、デバイス特性の劣化も小さいといえる。

【0068】

また、上層に位置する配線の上に成膜される層間絶縁膜の形成時のチャージングダメージを想定して、上記配線よりも下層に位置するダミー配線が投影領域に重ならないようにすることは、配線形成のためのマスクデータやデザインルールチェックに必要な以上の工数が要求され、効率的ではない。このことから、本実施の形態2にかかる半導体装置及び半導体装置の製造方法は、特に、第3層間絶縁膜28の成膜時においてのみ、電界の印加方向が逆方向となる場合やその可能性が高い場合に有効である。

40

【0069】

また、本実施の形態2においては、配線が設けられる層間絶縁膜が2層である場合について説明しているが、本実施の形態2はこれに限定されるものではなく、配線が設けられる層間絶縁膜は3層以上であっても良い。この場合は、チャージングダメージの発生が予想される層間絶縁膜の直下のダミー配線についてのみ、投影領域に重ならないように形成す

50

れば良い。

【0070】

なお、本発明の半導体装置及び半導体装置の製造方法は、上記した実施の形態1及び2に限定されるものではない。例えば、実施の形態1及び2においては、CMP工程における効果を高めるため、又ルール化し易いようにするため、ダミー配線の形状は矩形としているが、本発明においてはダミー配線の形状は特に限定されるものではない。

【0071】

また、実施の形態1及び2においては、ダミー配線と活性領域との接続や、ゲート電極接続用配線とゲート電極との接続等においては、Wプラグが用いられているが、Cuプラグを用いることもできる。更に、このようなプラグを設ける代わりに、デュアルダマシン構造とすることもできる。

10

【0072】

また、実施の形態1及び2においては、配線はCu配線であるが、本発明はこれにも限定されず、配線は金属材料で形成されたものであれば良く、Al配線であっても良い。Al配線の場合は、配線はエッチングにより形成すれば良い。また、この場合は、ダミー配線は、エッチングを実施する前に行うリソグラフィ法におけるアライメント確認のためのアライメント用配線であっても良い。

【0073】

【発明の効果】

以上のように本発明にかかる半導体装置及び半導体装置の製造方法によれば、プラズマプロセス時の電界の印加方向に影響されずに、プラズマチャージングダメージの抑制を図り得る半導体装置及びその製造方法を提供することができる。

20

【図面の簡単な説明】

【図1】本発明の実施の形態1にかかる半導体装置の構成を部分的に示す断面図であり、図1(a)は半導体装置を構成する半導体基板の法線方向に沿って切断した断面図、図1(b)は図1(a)に示す切断線A-A'に沿って切断した断面図である。

【図2】本発明の実施の形態1にかかる半導体装置の製造方法を示す断面図である。

【図3】本発明の実施形態1にかかる半導体装置を構成するトランジスタ素子の特性曲線を示す図である。

【図4】図3に示す特性曲線の飽和領域を拡大して示す図である。

30

【図5】本発明の実施の形態2にかかる半導体装置の構成を部分的に示す断面図であり、図5(a)は半導体装置を構成する半導体基板の法線方向に沿って切断した断面図、図5(b)は図5(a)に示す切断線B-B'に沿って切断した断面図である。

【図6】従来の半導体装置における層間絶縁膜の形成工程を示す断面図であり、図6(a)は半導体基板の法線方向に沿って切断した断面図、図6(b)は図6(a)に示す切断線C-C'に沿って切断した断面図である。

【符号の説明】

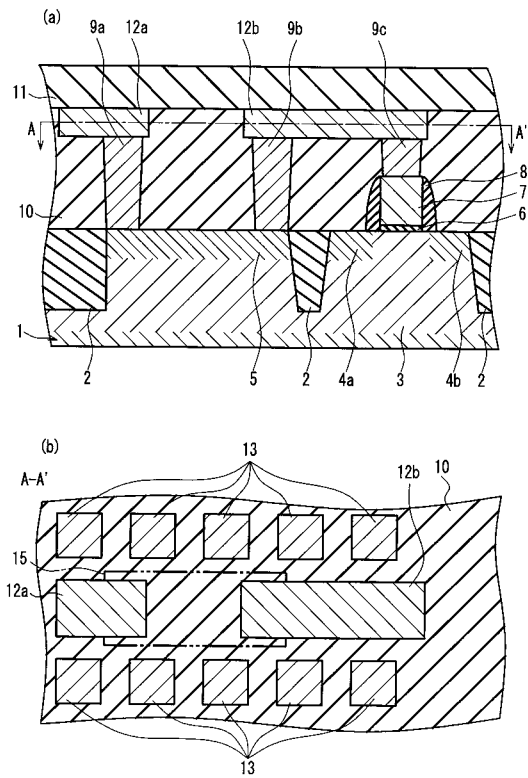
- 1 p型シリコン基板
- 2 素子分離
- 3 nウェル
- 4 a ソース(p+)領域
- 4 b ドレイン(p+)領域
- 5 活性領域(p+)
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 サイドウォール
- 9 a ~ 9 c、27 a、27 b Wプラグ
- 10 第1層間絶縁膜
- 11 第2層間絶縁膜
- 12 a、12 b、21、22、23、25、26 配線(非ダミー配線)

40

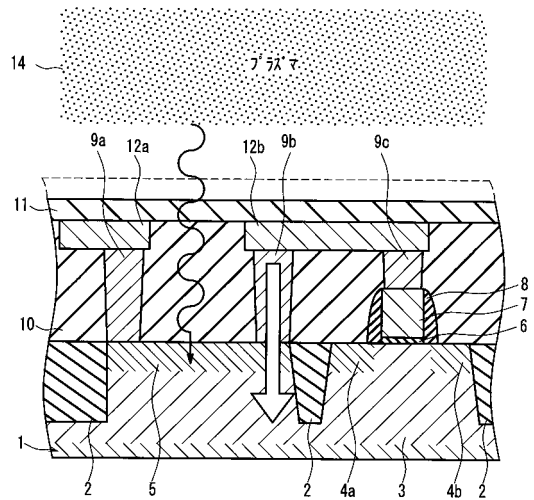
50

- 1 3、2 4、2 9、3 0 配線（ダミー配線）
- 1 4 プラズマ
- 1 5 投影領域
- 2 8 第3層間絶縁膜

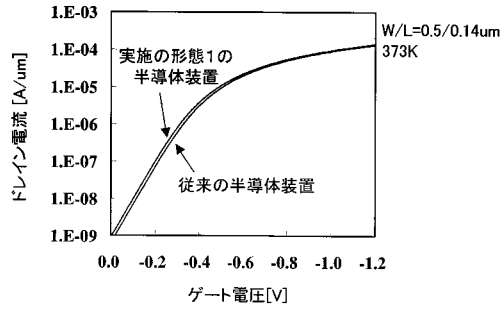
【 図 1 】



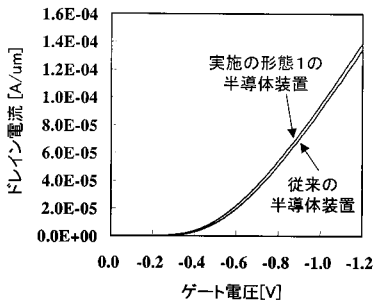
【 図 2 】



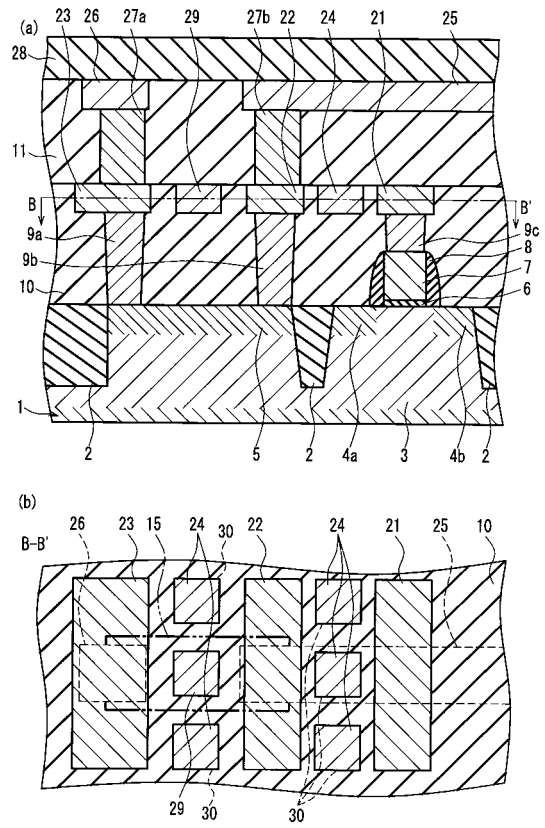
【 図 3 】



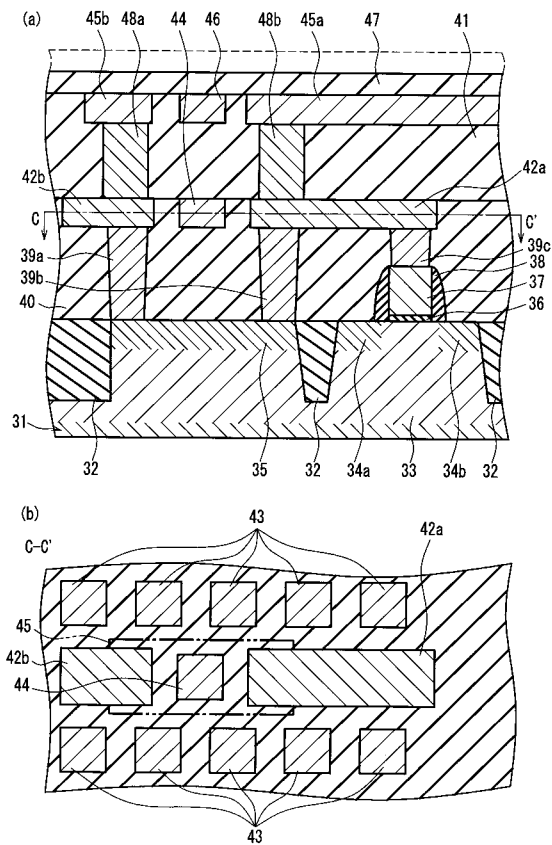
【 図 4 】



【 図 5 】



【 図 6 】



## フロントページの続き

(51)Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
H 0 1 L 27/088	H 0 1 L 27/04	H
H 0 1 L 29/861		

Fターム(参考) 5F048 AC10 BA01 BB07 BF01 BF07 BF11 BF12 BF15 BG13 BG14  
CC06 CC18 DA23