

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
12. Juni 2008 (12.06.2008)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2008/067799 A2**

- (51) Internationale Patentklassifikation:  
*G11C 16/02* (2006.01) *H01L 29/788* (2006.01)
- (21) Internationales Aktenzeichen: PCT/DE2007/002182
- (22) Internationales Anmeldedatum:  
3. Dezember 2007 (03.12.2007)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:  
10 2006 059 110.0  
8. Dezember 2006 (08.12.2006) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): TECHNISCHE UNIVERSITÄT BERLIN [DE/DE]; Strasse des 17. Juni 135, 10623 Berlin (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): BIMBERG, Dieter [DE/DE]; Hackländerweg 28, 14089 Berlin (DE).

GELLER, Martin [DE/DE]; Emdenerstrasse 41, 10551 Berlin (DE). MARENT, Andreas [DE/DE]; Oldenburger Strasse 9, 10551 Berlin (DE).

(74) Anwalt: FISCHER, UWE; Moritzstrasse 22, 13597 Berlin (DE).

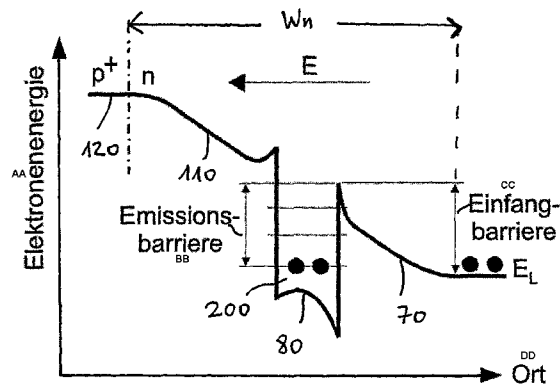
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,

[Fortsetzung auf der nächsten Seite]

(54) Title: MEMORY CELL, AND METHOD FOR STORING DATA

(54) Bezeichnung: SPEICHERZELLE UND VERFAHREN ZUM SPEICHERN VON DATEN



AA... electron power  
BB... emission barrier  
CC... trapping barrier  
DD... location

(57) Abstract: The invention relates, among other things, to a memory cell (10) for storing at least one piece of bit data. Said memory cell comprises at least two electrical terminals (40, 130) and a semiconductor structure (11) with a band curve (EL) that has at least one potential well (200). The charged state of the potential well with charge carriers can be increased by applying a supply voltage ( $U_s=U_{speis}$ ) to the two terminals, can be reduced by applying a discharge voltage ( $U_s=U_{sperr}$ ), and can be maintained by applying a maintaining voltage ( $U_s=U_{bei}$ ), the respective charged state of the potential well defining the piece of bit data of the memory cell. According to the invention, the semiconductor structure has a space charge region (Wn) while the potential well is formed by a semiconductor heterostructure (80). The semiconductor heterostructure and the space charge region are spatially arranged relative to one another in such a way that the semiconductor heterostructure is located within the space charge region when the maintaining voltage is applied, at the edge of or outside the space charge region when the supply voltage is applied, and within the space charge region when the discharge voltage is applied.

[Fortsetzung auf der nächsten Seite]

WO 2008/067799 A2



ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

---

**(57) Zusammenfassung:** Die Erfindung bezieht sich u. a. auf eine Speicherzelle (10) zum Speichern mindestens einer Bitinformation, wobei die Speicherzelle eine Halbleiterstruktur (11) mit einem zumindest einen Potentialtopf (200) aufweisenden Bandverlauf (EL) und zumindest zwei elektrische Anschlüsse (40, 130) umfasst, wobei sich durch Anlegen einer elektrischen Einspeisespannung ( $U_s=U_{speis}$ ) an die zwei Anschlüsse der Beladungszustand des Potentialtopfes mit Ladungsträgern vergrößern, durch Anlegen einer Entladespannung ( $U_s=U_{sperr}$ ) verkleinern und durch Anlegen einer Beibehaltungsspannung ( $U_s=U_{bei}$ ) beibehalten lässt und wobei der jeweilige Beladungszustand des Potentialtopfes die Bitinformation der Speicherzelle festlegt. Erfindungsgemäß ist vorgesehen, dass die Halbleiterstruktur eine Raumladungszone ( $W_n$ ) aufweist und der Potentialtopf durch eine Halbleiterheterostruktur (80) gebildet ist, wobei die Halbleiterheterostruktur und die Raumladungszone relativ zueinander räumlich derart angeordnet sind, dass sich die Halbleiterheterostruktur bei Anlegen der Beibehaltungsspannung innerhalb der Raumladungszone, bei Anlegen der Einspeisespannung am Rand oder außerhalb der Raumladungszone und bei Anlegen der Entladespannung innerhalb der Raumladungszone befindet.

## Speicherzelle und Verfahren zum Speichern von Daten

Die Erfindung bezieht sich auf eine Speicherzelle zum Speichern mindestens einer Bitinformation, wobei die Speicherzelle eine Halbleiterstruktur mit einem zumindest einen Potentialtopf aufweisenden Bandverlauf und zumindest zwei elektrische Anschlüsse umfasst, wobei sich durch Anlegen einer elektrischen Einspeisespannung an die zwei Anschlüsse der Beladungszustand des Potentialtopfes mit Ladungsträgern vergrößern, durch Anlegen einer Entladespannung verkleinern und durch Anlegen einer Beibehaltungsspannung beibehalten lässt und wobei der jeweilige Beladungszustand des Potentialtopfes die Bitinformation der Speicherzelle festlegt.

Die beiden heutzutage wichtigsten kommerziell erhältlichen Halbleiter-Speicherzellen sind DRAM- und Flash-Speicherzellen.

DRAM-Speicherzellen, die beispielsweise als Arbeitsspeicher in PCs zur Anwendung kommen, speichern die Information als Ladung in einem Kondensator (R. Waser, *Microelectronics and Information Technology*, Wiley-VCH, Berlin, 2003). Die Vorteile der DRAM-Speicherzellen liegen in einer schnellen Zugriffszeit im Bereich von unter 20 Nanosekunden und einer hohen Haltbarkeit von  $>10^{15}$  Schreib- und Löschkzyklen. Ein Nachteil der DRAM-Speicherzellen ist eine relativ kurze Speicherzeit von nur einigen zehn Millisekunden.

Bei Flash-Speicherzellen, die z. B. in Memory-Sticks, Digitalkameras oder Handys eingesetzt werden und gattungsgemäße Speicherzellen bilden, kommt eine MOSFET-Struktur mit einem zusätzlichen Floating-Gate als Speicherelement zum Einsatz (L. Geppert, *The new indelible memories*, IEEE Spectrum, 49-54 (2003); S. M. Sze, *Evolution of Nonvolatile Semiconductor Memory: From Floating-Gate Concept to Single-Electron Memory*

Cell, in Future Trends in Microelectronics, edited by S. Luryi, J. Xu, and A. Zaslavsky, page 291, John Wiley & Sons, Inc., 1999).

- 5 Den Bandverlauf einer vorbekannten Flash-Speicherzelle zeigt beispielhaft die Figur 15. Man erkennt SiO<sub>2</sub>-Barrieren, die ein sogenanntes Floating-Gate einschließen, in dem Ladung gespeichert werden kann. Die SiO<sub>2</sub>-Barrieren der Flash-Speicherzelle ermöglichen Speicherzeiten von >10 Jahren. Die
- 10 SiO<sub>2</sub>-Barrieren führen aber auch zu Nachteilen, nämlich zu einer langsamen Schreibzeit in der Größenordnung von Mikrosekunden und zu einer nur geringen Haltbarkeit von nur rund einer Million Lösch- und Schreibzyklen. Der Schreibprozess erfolgt in einer CHE-Flash-Zelle (CHE=channel hot electron)
- 15 mittels einer Injektion heißer Ladungsträger (hot electron injection), bei der die Ladungsträger durch Anlegen einer Spannung so stark beschleunigt werden, dass sie über eine der beiden SiO<sub>2</sub>-Barrieren in das Floating-Gate gebracht werden können. Die heißen Ladungsträger zerstören wegen ihrer hohen
- 20 kinetischen Energie die Barriere, wodurch die Haltbarkeit begrenzt wird, und gelangen nur mit geringer Wahrscheinlichkeit in das Floating-Gate, wodurch der Schreibprozess sehr langsam ist.
- 25 Der Erfindung liegt demgemäß die Aufgabe zugrunde, eine Speicherzelle anzugeben, die sich relativ schnell beschreiben lässt und dennoch eine lange Speicherzeit aufweist.

Diese Aufgabe wird erfindungsgemäß durch eine Speicherzelle mit den Merkmalen des Anspruchs 1 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind in Unteransprüchen angegeben.

Danach ist erfindungsgemäß vorgesehen, dass die Speicherzelle eine Halbleiterstruktur mit einer Raumladungszone aufweist und der Potentialtopf durch eine Halbleiterheterostruktur gebildet ist, wobei die Halbleiterheterostruktur und die Raumladungszone relativ zueinander räumlich derart angeordnet

sind, dass sich die Halbleiterheterostruktur bei Anliegen der Beibehaltungsspannung innerhalb der Raumladungszone, bei Anliegen der Einspeisespannung am Rand oder außerhalb der Raumladungszone und bei Anliegen der Entladespannung innerhalb der Raumladungszone befindet.

Ein wesentlicher Vorteil der erfindungsgemäßen Speicherzelle ist darin zu sehen, dass diese aufgrund der erfindungsgemäß vorgesehenen relativen Anordnung zwischen einer Raumladungszone und einer Halbleiterheterostruktur und damit aufgrund des Zusammenspiels zwischen Raumladungszone und Halbleiterheterostruktur sowohl schnell beschrieben werden kann als auch eine sehr lange Speicherzeit aufweist. Die Zugriffszeiten, also die Schreib- oder die Lesezeiten, liegen im Nanosekundenbereich, und gleichzeitig sind Speicherzeiten von mehreren Jahren möglich.

Die erfindungsgemäße Idee besteht darin, dass sich eine Halbleiterheterostruktur sehr schnell mit Ladungsträgern füllen und auch sehr schnell wieder von diesen befreien lässt, so dass die erwähnte hohe Zugriffsgeschwindigkeit erreicht wird.

Die lange Speicherzeit wird erfindungsgemäß dadurch erreicht, dass für den Speicherbetrieb, also für den Zustand des Beibehaltens der Speicherladung, die Raumladungszone auf die Halbleiterheterostruktur ausgeweitet wird, so dass die in der Halbleiterheterostruktur gefangenen Ladungsträger aus dieser nicht entweichen können; gleichzeitig können - und zwar aufgrund der Verarmung an Ladungsträgern innerhalb der Raumladungszone - auch keine anderen Ladungsträger in den Potentialtopf der Halbleiterheterostruktur hineinfallen, so dass der Beladungszustand des Potentialtopfes konserviert wird. Dadurch wird beispielsweise sowohl ein sicheres Speichern einer logischen Eins (zum Beispiel definiert durch einen gefüllten Potentialtopf) als auch ein sicheres Speichern einer logischen Null (zum Beispiel definiert durch einen leeren Potentialtopf) gewährleistet.

Mit anderen Worten besteht der erfinderische Gedanke also darin, eine Raumladungszone mit einer Halbleiterheterostruktur zu verknüpfen, um Bitinformationen zu speichern.

5

Vorzugsweise weist die Halbleiterheterostruktur mindestens eine Nanostruktur auf. Unter Nanostrukturen werden hier beispielsweise niederdimensionale Halbleiterstrukturen verstanden, deren Ausdehnung in eine oder mehrere Raumrichtungen so eingeschränkt ist, dass die Ausdehnung in dieser Raumrichtung in der Größenordnung der „de-Broglie“-Wellenlänge des betrachteten Ladungsträgers (Elektron oder Loch) liegt. Derartige Nanostrukturen können durch Quantenfilme, Quantendrähte oder Quantenpunkte gebildet sein, wie sie beispielsweise aus der Druckschrift „Quantum Dot Heterostructures“ (D. Bimberg, M. Grundmann, and N. N. Ledentsov, John Wiley & Sons, Chichester, 1998) bekannt sind.

10  
15

Die erlaubten Zustände der Nanostrukturen liegen vorzugsweise energetisch tiefer als die des sie umgebenden Materials (z. B. Matrixmaterial). Für die in einer solchen Nanostruktur gebundenen bzw. gespeicherten Ladungsträger liegt in diesem Falle eine Potentialbarriere vor, die die Ladungsträger nur durch eine Energieaufnahme überwinden können, um in das Leitungs- bzw. Valenzband des umgebenden Materials zu gelangen. Ein wesentlicher Vorteil der Nanostrukturen besteht darin, dass zur Darstellung eines Informationsbits nur relativ wenige Ladungsträger erforderlich sind, weil die Anzahl an verfügbaren Besetzungszuständen innerhalb des Potentialtopfes bei Nanostrukturen sehr klein ist: Im Idealfall kann ein Informationsbit mit nur einem oder zwei Ladungsträgern dargestellt werden. Speicherzellen mit Nanostrukturen unterscheiden sich damit erheblich von den eingangs beschriebenen vorbekannten Speicherzellentypen, bei denen zur Speicherung eines Informationsbits eine große Anzahl von Ladungsträgern benötigt wird und sich ein relativ hoher Energieverbrauch beim Schreib- und Löschmodus ergibt: Flash-Speicherzellen benö-

20  
25  
30  
35

tigen beispielsweise ca. eintausend Elektronen, während DRAM-Speicherzellen für ein Informationsbit sogar mehrere zehntausend Ladungsträger brauchen.

5 Wie die Raumladungszone erzeugt wird, ist im Übrigen prinzipiell beliebig: Besonders einfach und damit vorteilhaft lässt sich die Raumladungszone jedoch durch einen pn-Übergang hervorrufen. Alternativ kann die Raumladungszone beispielsweise auch auf einem Schottky-Kontakt beruhen.

10

Vorzugsweise ist die Speicherzelle derart ausgestaltet, dass sich der Beladungszustand der Halbleiterheterostruktur durch Anlegen einer Durchlassspannung an die Anschlüsse vergrößern lässt. Bevorzugt erfolgt eine Vergrößerung des Beladungszustandes durch Relaxation der Ladungsträger von einer an die Halbleiterheterostruktur mittelbar oder unmittelbar angrenzenden Leitungs- oder Valenzbandkante eines dotierten Halbleitermaterials, weil nämlich ein Relaxationsvorgang physikalisch sehr schnell abläuft.

20

Der Bandverlauf ist im Bereich der Halbleiterheterostruktur beispielsweise derart ausgebildet, dass der Beladungszustand der Halbleiterheterostruktur durch Anlegen einer Sperrspannung verringerbar ist. Die Verringerung des Beladungszustandes kann beispielsweise auf einem Tunneleffekt beruhen.

25

Die Halbleiterstruktur kann beispielsweise aus einer III/V-Materialkombination, einer II/VI-Materialkombination oder aus einer IV/IV-Materialkombination bestehen.

30

Zum Auslesen der Speicherzelle kann beispielsweise eine ein-  
2-dimensionale Elektronengas enthaltende Ausleseschicht vorhanden sein. Vorzugsweise ist eine solche Ausleseschicht von der Halbleiterheterostruktur durch eine Halbleiterzwischen-  
35 schicht getrennt. Die Dicke der Halbleiterzwischen-schicht ist beispielsweise derart bemessen, dass die Ausleseschicht im Speicherzustand am Rand oder außerhalb der Raumladungszone

liegt. Die Dicke der Halbleiterzwichenschicht beträgt bevorzugt mindestens 5 nm.

5 Besonders bevorzugt ist die Halbleiterheterostruktur durch eine Trägerschicht gebildet, in der eine Mehrzahl an Nanostrukturen beabstandet voneinander angeordnet ist. Das Schichtmaterial der Trägerschicht weist vorzugsweise einen höheren elektrischen Widerstand auf als die Ausleseschicht. 10 Dadurch, dass die Nanostrukturen beabstandet voneinander angeordnet sind, ist es möglich, Anschlusskontakte zum elektrischen Kontaktieren der Ausleseschicht ohne weitere Isolations-schichten durch die Halbleiterheterostruktur hindurchzuführen, ohne dass es zu einem unmittelbaren Kurzschluss zwischen den Nanostrukturen kommen kann.

15 Im Hinblick auf eine besonders große Informationsdichte wird es als vorteilhaft angesehen, wenn die Halbleiterheterostruktur eine Mehrzahl an Besetzungszuständen aufweist, die jeweils eine Bitinformation repräsentieren und von Ladungsträgern besetzt werden können, und dass die Anzahl der besetzten 20 Besetzungszustände auslesbar ist. In dieser Weise lassen sich Ladungsträgermultiplexing und damit Multi-Level-Zellen realisieren.

25 Mit der Speicherzelle kann beispielsweise eine Auswerteeinrichtung in Verbindung stehen, die den Beladungszustand des zumindest einen Potentialtopfes misst und mit dem Messwert eine die Bitinformation angegebende Zahl ermittelt.

30 Beispielsweise kann die Auswerteeinrichtung als Bitinformation eine binäre Zahl ausgeben.

Bevorzugt sind die Halbleiterheterostruktur und die Raumladungszone relativ zueinander räumlich derart angeordnet, dass 35 eine Spannung von Null Volt zwischen den elektrischen Anschlüssen der Speicherzelle eine Beibehaltungsspannung darstellt bzw. bewirkt.

Die Erfindung bezieht sich außerdem auf ein Verfahren zum  
Betreiben einer Speicherzelle, bei dem eine Bitinformation  
der Speicherzelle durch den Beladungszustand mindestens eines  
5 Potentialtopfes der Speicherzelle festgelegt wird, wobei  
durch Anlegen einer elektrischen Einspeisespannung an die  
Speicherzelle der Beladungszustand des Potentialtopfes mit  
Ladungsträgern vergrößert und durch Anlegen einer Entlade-  
spannung verkleinert wird und wobei bei Anlegen einer Beibe-  
10 haltespannung die Ladungsträger innerhalb des Potentialtopfes  
gefangen bleiben. Ein solches Verfahren ist von den eingangs  
erwähnten Flash-Speicherzellen her bekannt.

Im Hinblick auf eine schnelle Zugriffszeit und eine lange  
15 Speicherzeit wird erfindungsgemäß vorgeschlagen, dass zum  
Vergrößern des Beladungszustandes eine derartige Einspeise-  
spannung an die Speicherzelle angelegt wird, dass sich eine  
den Potentialtopf bildende Halbleiterheterostruktur am Rand  
oder außerhalb einer Raumladungszone der Speicherzelle befin-  
20 det, dass zum Beibehalten des Beladungszustandes eine derar-  
tige Beibehaltespannung an die Speicherzelle angelegt wird,  
dass sich die Halbleiterheterostruktur innerhalb dieser Rauml-  
ladungszone befindet und die Ladungsträger innerhalb der  
Halbleiterheterostruktur gefangen sind, und dass zum Verklei-  
25 nern des Beladungszustandes eine derartige Entladespannung an  
die Speicherzelle angelegt wird, dass sich die Halbleiterhe-  
terostruktur innerhalb dieser Raumladungszone befindet, je-  
doch die Ladungsträger die Heterostruktur verlassen können.

30 Bezüglich der Vorteile des erfindungsgemäßen Verfahrens sei  
auf die obigen Ausführungen im Zusammenhang mit der erfin-  
dungsgemäßen Speicherzelle verwiesen, weil die Vorteile der  
erfindungsgemäßen Speicherzelle denen des erfindungsgemäßen  
Verfahrens im Wesentlichen entsprechen. Entsprechendes gilt  
35 für vorteilhafte Weiterbildungen des erfindungsgemäßen Ver-  
fahrens.

Vorzugsweise wird während des Auslesens der Speicherzelle die Beibehaltungsspannung an die Speicherzelle angelegt. Das Auslesen kann beispielsweise durchgeführt werden, indem ein vom Beladungszustand des Potentialtopfes abhängiger elektrischer Widerstand einer ein 2-dimensionales Elektronengas enthaltenden Ausleseschicht ausgewertet wird. Alternativ kann das Auslesen durchgeführt werden, indem die vom Beladungszustand des Potentialtopfes abhängige Kapazität der Raumladungszone der Speicherzelle ausgewertet wird. Auch kann das Auslesen durchgeführt werden, indem der vom Beladungszustand des Potentialtopfes abhängige elektrische Widerstand der Speicherzelle ausgewertet wird. Ebenfalls möglich ist es, das Auslesen durchzuführen, indem der vom Beladungszustand des Potentialtopfes abhängige Ladungstransfer von oder zu der Speicherzelle ausgewertet wird.

Alternativ kann während des Auslesens der Speicherzelle die Entladespannung an die Speicherzelle angelegt werden. Auch in diesem Falle kann das Auslesen durchgeführt werden, indem der vom Beladungszustand des Potentialtopfes abhängige Ladungstransfer von oder zu der Speicherzelle ausgewertet wird.

Zum Vergrößern des Beladungszustandes des Potentialtopfes wird bevorzugt eine derartige Einspeisespannung an die Speicherzelle angelegt, dass die Ladungsträger von einer an den Potentialtopf mittelbar oder unmittelbar angrenzenden Leitungs- oder Valenzbandkante eines dotierten Halbleitermaterials in den Potentialtopf relaxieren.

Zum Verringern des Beladungszustandes des Potentialtopfes wird bevorzugt eine derartige Entladespannung an die Speicherzelle angelegt, dass die Ladungsträger aus dem Potentialtopf heraustunneln.

Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen näher erläutert; dabei zeigen beispielhaft

- Figuren 1-2 ein erstes Ausführungsbeispiel für eine erfindungsgemäße Speicherzelle mit einer Nanostruktur (beispielsweise einem Quantenfilm), die einen Potentialtopf bildet, oder  
5 mehrere Nanostrukturen (beispielsweise Quantenpunkte) die mehrere Potentialtöpfe bilden, sowie mit einer Ausleseschicht,
- Figuren 3-5 den Bandverlauf innerhalb der Speicherzelle gemäß der Figur 1 beim Beibehalten des Befüllungszustandes des Potentialtopfes, beim Befüllen des Potentialtopfes und beim Entleeren des Potentialtopfes,  
10
- Figur 6 den Einfluss der Ausleseschicht auf den Bandverlauf,  
15
- Figur 7 ein zweites Ausführungsbeispiel für eine erfindungsgemäße Speicherzelle mit Nanostrukturen, jedoch ohne Ausleseschicht,  
20
- Figuren 8-9 ein drittes Ausführungsbeispiel für eine erfindungsgemäße Speicherzelle ohne Ausleseschicht, jedoch mit einer zusätzlichen Hilfsschicht für ein verbessertes Tunnelverhalten beim Entleeren des Potentialtopfes,  
25
- Figuren 10-11 ein viertes Ausführungsbeispiel für eine erfindungsgemäße Speicherzelle mit einer zusätzlichen Quantenfilmschicht für ein verbessertes Tunnelverhalten beim Entleeren des Potentialtopfes,  
30
- Figuren 12-13 ein fünftes Ausführungsbeispiel für eine Speicherzelle 10 mit einer zusätzlichen deltaförmig dotierten Schicht,  
35

Figur 14 ein sechstes Ausführungsbeispiel mit einem gegenüber den Ausführungsbeispielen 1-5 inversen Dotierungsprofil und

5

Figur 15 zur allgemeinen Erläuterung eine Flash-Speicherzelle nach dem Stand der Technik.

10 In den Figuren 1-14 werden für identische oder vergleichbare Komponenten der Übersicht halber dieselben Bezugszeichen verwendet.

15 In der Figur 1 ist ein erstes Ausführungsbeispiel für eine Speicherzelle 10 in einer dreidimensionalen Sicht von schräg oben dargestellt. Die Figur 2 zeigt die entsprechende Speicherzelle 10 im Querschnitt.

20 Die Speicherzelle 10 enthält, wie weiter unten im Detail erläutert werden wird, eine Halbleiterstruktur 11 mit einem pn-Übergang 12, der eine Raumladungszone bereitstellt. Bei dem nachfolgend beschriebenen Ausführungsbeispiel wird davon ausgegangen, dass die den pn-Übergang 12 bildenden Schichten so angeordnet sind, dass n-dotiertes Speicherzellenmaterial 13 unterhalb des p-dotierten Speicherzellenmaterials 14 liegt; 25 selbstverständlich ist diese Anordnung nur beispielhaft zu verstehen: So kann das n-dotierte Speicherzellenmaterial 13 stattdessen auch oberhalb des p-dotierten Speicherzellenmaterials 14 angeordnet werden.

30 Man erkennt in den beiden Figuren 1 und 2 ein Substrat 20, auf dem eine hoch n-dotierte Anschlussschicht 30 aufgebracht ist. Auf der Anschlussschicht 30 befindet sich ein unterer elektrischer Anschluss 40 der Speicherzelle 10. Das Substrat 20 besteht beispielsweise aus undotiertem GaAs und die hoch 35 n-dotierte Anschlussschicht 30 aus  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ .

Auf der Anschlussschicht 30 liegt eine n-dotierte Zuleitungsschicht 50 auf, oberhalb derer eine Ausleseschicht 60 angeordnet ist; die Ausleseschicht 60 besteht beispielsweise aus  $\text{In}_x\text{Ga}_{1-x}\text{As}$  und stellt ein 2-dimensionales Elektronengas zur Verfügung, das in der Figur 2 durch das Bezugszeichen 2DEG gekennzeichnet ist. Die n-dotierte Zuleitungsschicht 50 besteht beispielsweise aus  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ .

Durch eine Halbleiterzwichenschicht 70 beispielsweise aus demselben Material wie die Zuleitungsschicht 50 von der Ausleseschicht 60 getrennt ist eine Halbleiterheterostruktur 80 vorgesehen, die durch eine Trägerschicht 90 mit darin eingebetteten Nanostrukturen 100, beispielsweise in Form von Quantenpunkten, gebildet ist. Der Bandabstand der Halbleiterheterostruktur 80 ist kleiner als der in der darunter liegenden Schicht 70 sowie ebenfalls kleiner als in einer darüber befindlichen n-dotierten Abstandsschicht 110, so dass die Halbleiterheterostruktur 80 mindestens einen Potentialtopf bereitstellt, in dem Ladungsträger gefangen werden können.

Die Trägerschicht 90 besteht beispielsweise aus dotiertem oder undotiertem  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ , und die Nanostrukturen werden vorzugsweise aus  $\text{In}_x\text{Ga}_{1-x}\text{Sb}$  oder  $\text{In}_x\text{Ga}_{1-x}\text{As}$  gebildet. Die n-dotierte Abstandsschicht 110 kann beispielsweise aus demselben Material wie die n-dotierte Zuleitungsschicht 50 bestehen.

Auf der n-dotierten Abstandsschicht 110 befindet sich eine hoch p-dotierte Anschlussschicht 120 beispielsweise aus demselben Material wie die Abstandsschicht 110, auf der ein oberer elektrischer Anschluss 130 der Speicherzelle 10 aufliegt.

Durch die Übergangsstelle zwischen der hoch p-dotierten Anschlussschicht 120 und der n-dotierten Abstandsschicht 110 wird der pn-Übergang 12 gebildet. Durch den pn-Übergang 12 wird in der Speicherzelle 10 eine Raumladungszone hervorgerufen, deren Raumladungszonenweite von der an die beiden elekt-

rischen Anschlüsse 40 und 130 angelegten Steuerspannung  $U_s$  und der Dotierkonzentration in der Schicht 110 und 50 abhängt.

5 Die Figur 3 zeigt den Bandverlauf in der Speicherzelle 10 für den Fall, dass als Steuerspannung  $U_s$  keine Spannung oder eine Beibehaltespannung angelegt wird, bei der der Beladungs-  
zustand der Speicherzelle 10 beibehalten bzw. konstant gehalten wird. Aus Gründen der Übersicht sind in der Figur 3 nur das  
10 Leitungsband  $E_L$  und Elektronen als Ladungsträger dargestellt; die nachstehenden Erläuterungen gelten aber für das Valenz-  
band und für Löcher als Ladungsträger je nach der Ausführung der Halbleiterstruktur 11 entsprechend.

15 Es lässt sich in der Figur 3 erkennen, dass die Dotierung der Schichten der Speicherzelle 10 sowie die Dicke der Abstandsschicht 110 so gewählt sind, dass sich die Raumladungszone bei Anlegen der Beibehaltespannung (also beispielsweise bei  
 $U_s = U_{bei} = 0V$ ) bis in die Halbleiterheterostruktur 80 er-  
20 streckt und diese einschließt; die Raumladungszonenweite  $W_n$  innerhalb des n-dotiertes Speicherzellenmaterials 13 ist also größer, zumindest genauso groß, wie die Dicke des Schichtpakets, das sich aus der Abstandsschicht 110 und der Dicke der Halbleiterheteroschicht 80 zusammensetzt.

25 In der Figur 3 ist darüber hinaus erkennbar, dass die Ladungsträger, die sich innerhalb des durch die Halbleiterheterostruktur 80 gebildeten Potentialtopfes 200 befinden, diesen nicht verlassen können, weil sie die Emissionsbarriere nicht  
30 überwinden können. In diesem Zusammenhang sei erwähnt, dass die Höhe der Emissionsbarriere maßgeblich die Speicherzeit der Speicherzelle 10 bestimmt und daher möglichst groß sein sollte; vorzugsweise beträgt sie mindestens 1,0 eV um eine Speicherzeit von mehreren Tagen zu realisieren.

35 Aufgrund der räumlichen Lage des Potentialtopfes 200 innerhalb der Raumladungszone  $W_n$  wird außerdem sichergestellt,

dass keine zusätzlichen Ladungsträger unerwünscht in den Potentialtopf 200 hineinfallen können und den Speicherzustand in dieser Weise verändern bzw. überschreiben können; denn die Raumladungszone ist sehr arm an freien Ladungsträgern, so  
5 dass schlicht keine Ladungsträger für eine Verfälschung des Speicherinhalts zur Verfügung stehen. Von außerhalb der Raumladungszone  $W_n$  können ebenfalls keine Ladungsträger in den Potentialtopf 200 eindringen, weil sie die Einfangbarriere, die durch den Bandverlauf innerhalb der Raumladungszone ge-  
10 bildet wird, nicht überwinden können.

In der Figur 4 ist dargestellt, wie der Potentialtopf 200 mit Ladungsträgern gefüllt werden kann, um beispielsweise eine logische „Eins“ in die Speicherzelle 10 einzuschreiben. Nach-  
15 folgend wird beispielhaft davon ausgegangen, dass eine logische Eins durch einen gefüllten Potentialtopf 200 und eine logische „Null“ durch einen leeren Potentialtopf charakterisiert wird; selbstverständlich ist diese Festlegung beliebig und könnte auch umgekehrt sein.

20 Zum „Schreiben“ einer logischen Eins wird an die beiden Anschlüsse 40 und 130 und damit an den pn-Übergang 12 als Steuerspannung  $U_s$  eine Einspeisespannung  $U_{speis}$ , und zwar eine Durchlassspannung  $U_{speis} > U_{min}$  ( $U_{min}$  beträgt beispielsweise  
25 0,7 V), angelegt, so dass die Raumladungszone  $W_n$  verkleinert wird. Man erkennt in der Figur 4, dass die Raumladungszonenweite  $W_n$  nicht mehr in die Halbleiterheterostruktur 80 hineinragt und die Einfangbarriere vollständig abgebaut ist. Somit können die Ladungsträger, im vorliegenden Fall Elektronen,  
30 von der Leitungsbandkante  $E_L$  in den Potentialtopf 200 im Rahmen eines Relaxationsprozesses unmittelbar „hineinfallen“. Das Füllen des Potentialtopfes 200 erfolgt sehr schnell, so dass Schreibzeiten für das Schreiben des Zustands „mit Ladungsträgern gefüllt“ (bzw. Bitinformation „Eins“) in Pikosekunden  
35 möglich sind.

In der Figur 5 ist dargestellt, wie der Potentialtopf von den Ladungsträgern geleert werden kann, um beispielsweise eine logische „Null“ in die Speicherzelle 10 einzuschreiben. Zum „Entleeren“ (Schreiben einer logischen Null) wird an die beiden Anschlüsse 40 und 130 und damit an den pn-Übergang 12 als Entladespannung eine Sperrspannung  $U_s = U_{sperr}$  ( $U_{sperr}$  beträgt beispielsweise  $-15$  V) angelegt, so dass die Raumladungszone  $W_n$  vergrößert wird. Gleichzeitig wird der Bandverlauf verändert bzw. verzerrt, so dass eine Tunnelemission der in dem Potentialtopf 200 gefangenen Elektronen möglich wird. Die Elektronen können somit den Potentialtopf 200 verlassen, wodurch dieser geleert und die Speicherzelle mit einer logischen Null beschrieben wird.

Der Tunnelvorgang ist zwar etwas langsamer als der Relaxationsvorgang beim Befüllen des Potentialtopfes 200, jedoch sind dennoch Entleerungszeiten bzw. Schreibzeiten für eine logische Null im Nanosekundenbereich möglich.

Im Zusammenhang mit den Figuren 1, 2 und 6 soll nun erläutert werden, wie die Speicherzelle 10 ausgelesen werden kann, ohne den Speicherzelleninhalt zu verändern. Hierzu wird die Ausleseschicht 60 herangezogen, deren Bandverlauf in der Figur 6 dargestellt ist. Man kann erkennen, dass der Bandabstand in der Ausleseschicht 60 geringer ist als in den benachbarten Schichten, also der Halbleiterzwischenschicht 70 und der ~~n-dotierten Zuleitungsschicht 50~~, so dass sich das bereits erwähnte 2-dimensionale Elektronengas in dem weiteren Potentialtopf 210 ausbilden kann.

Die Ausleseschicht 60 ist durch zwei seitliche Anschlusskontakte 250 und 260 (Fig. 1 und 2) kontaktiert, so dass die elektrischen Eigenschaften der Ausleseschicht 60 mit einem Messgerät 270 gemessen werden können. Aufgrund der Nähe der Ausleseschicht 60 zu der Halbleiterheterostruktur 80 sind die elektrischen Eigenschaften der Ausleseschicht 60 abhängig von dem Füllzustand bzw. der Beladung des Potentialtopfs 200 in

der Halbleiterheterostruktur 80, so dass durch ein Messen der elektrischen Eigenschaften der Ausleseschicht 60 der Befüllungszustand des Potentialtopfs 200 gemessen und der Speicherzustand der Speicherzelle 10 bestimmt werden kann, ohne dass die Gefahr besteht, dadurch den Speicherzustand der Speicherzelle 10 zu verändern.

Beispielsweise kann der Beladungszustand des Potentialtopfs 200 bestimmt werden, indem der von diesem abhängige elektrische Widerstand der Ausleseschicht 60 gemessen und ausgewertet wird.

Die Figur 7 zeigt ein zweites Ausführungsbeispiel für eine Speicherzelle 10. Im Unterschied zu dem Ausführungsbeispiel gemäß den Figuren 1 bis 6 fehlen die Halbleiterzwischen-schicht 70 und die Ausleseschicht 60, so dass die Halbleiterheterostruktur 80 unmittelbar an die n-dotierte Zuleitungsschicht 50 angrenzt.

Während das Schreiben von logischen Einsen und Nullen genauso ablaufen kann, wie dies im Zusammenhang mit den Figuren 1 bis 6 erläutert wurde, muss jedoch der Ausleseprozess anders durchgeführt werden, weil die Ausleseschicht 60 fehlt.

Beispielsweise wird das Auslesen durchgeführt, indem die vom Beladungszustand des Potentialtopfes abhängige Kapazität der Raumladungszone  $W_n$  der Speicherzelle 10 ausgewertet wird. Alternativ kann das Auslesen durchgeführt werden, indem der vom Beladungszustand des Potentialtopfes abhängige elektrische Widerstand der Speicherzelle 10 ausgewertet wird.

Auch kann das Auslesen durchgeführt werden, indem der vom Beladungszustand des Potentialtopfes 200 abhängige Ladungstransfer von oder zu der Speicherzelle 10 ausgewertet wird. Das letztgenannte Verfahren kann sowohl durchgeführt werden, wenn die zum Schreiben einer Null bzw. zum Entladen vorgese-

hene Entladespannung anliegt, als auch dann, wenn die Beibehaltungsspannung an der Speicherzelle anliegt.

Die Figuren 8 und 9 zeigen ein drittes Ausführungsbeispiel für eine Speicherzelle 10. Bei diesem Ausführungsbeispiel ist - verglichen mit dem zweiten Ausführungsbeispiel gemäß der Figur 7 - zusätzlich eine Hilfsschicht 50a vorhanden, die die n-dotierte Zuleitungsschicht 50 von der Halbleiterheterostruktur 80 trennt. Die n-dotierte Zuleitungsschicht 50 weist einen kleineren Bandabstand als die Hilfsschicht 50a auf, so dass ein „Heraustunneln“ der Ladungsträger aus dem Potentialtopf 200 beim Entleeren der Halbleiterheterostruktur 80 vereinfacht und damit beschleunigt wird. Das Schreiben einer „Null“ ist aufgrund der Hilfsschicht 50a also schneller möglich als ohne diese Schicht. Die zugehörige Bandstruktur zeigt die Figur 9.

Die Schichten 50a und 110 können beispielsweise aus demselben Material bestehen, beispielsweise aus AlAs; die Schicht 50 besteht beispielsweise aus 50-prozentigem  $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ . Die resultierende energetische Höhe der Emissionsbarriere zwischen der Halbleiterheterostruktur 80 (z.B. aus GaSb oder InSb) und der AlAs-Barriere 50a würde in diesem Fall beispielsweise bei ungefähr 1 eV oder 1,2 eV liegen, wodurch sich eine Speicherzeit von Tagen bzw. Jahren bei Raumtemperatur ergibt. Aufgrund dieser Schichtanordnung ergibt sich zusätzlich auch eine ~~Einfang-Barriere beim Schreibprozess, die energetisch aber~~ bei weitem nicht so hoch wie einem Flash-Speicher nach dem Stand der Technik ist.

Die Figuren 10 und 11 zeigen ein viertes Ausführungsbeispiel für eine Speicherzelle 10. Bei diesem Ausführungsbeispiel ist - verglichen mit dem zweiten Ausführungsbeispiel gemäß der Figur 7 - zusätzlich eine Quantenfilmschicht 50b vorhanden, die innerhalb der n-dotierten Zuleitungsschicht 50 eingebettet ist. Die Quantenfilmschicht 50b weist einen kleineren Bandabstand als die n-dotierte Zuleitungsschicht 50 auf. Bei

der Quantenfilmschicht 50b kann es sich beispielsweise um  $\text{In}_x\text{Ga}_{1-x}\text{As}$  handeln, das in einer Zuleitungsschicht 50 aus  $\text{Al}_x\text{Ga}_{1-x}\text{As}$ -Matrixmaterial eingebettet ist. Die Schichtdicke beträgt beispielsweise ca. 1 - 5nm; sie ermöglicht eine Erhöhung der Löschgeschwindigkeit, da sich innerhalb der Quantenfilmschicht 50b diskrete Energieniveaus ausbilden, die bei entsprechender Entladespannung ein resonantes Tunneln aus der Halbleiterheterostruktur 80 ermöglichen. Dies bedeutet, dass die Ladungsträger über die Zustände in der Quantenfilmschicht 50b einfacher ins Leitungs- oder Valenzband der Zuleitungsschicht 50 tunneln können als ohne diese Schicht.

Die Figuren 12 und 13 zeigen ein fünftes Ausführungsbeispiel für eine Speicherzelle 10. Im Unterschied zu dem Ausführungsbeispiel gemäß den Figuren 1 bis 11 ist eine zusätzliche deltaförmig dotierte Schicht 300 vorhanden, die innerhalb der n-dotierten Zuleitungsschicht 50 angeordnet ist und eine höhere Dotierung wie die Zuleitungsschicht 50 aufweist. Die Dicke der deltaförmig dotierten Schicht 300 ist vorzugsweise eine Monolage. Die Funktion der deltaförmig dotierten Schicht 300 besteht darin, zusätzlich zur Zuleitungsschicht 50 Ladungsträger für die Ausbildung des zweidimensionalen Elektronengases 2DEG in der Ausleseschicht 60 zur Verfügung zu stellen.

Die Figur 14 zeigt ein sechstes Ausführungsbeispiel für eine Speicherzelle 10. Im Unterschied zu den Ausführungsbeispielen gemäß den Figuren 1 bis 13 sind bei diesem fünften Ausführungsbeispiel die Schichten so angeordnet, dass n-dotiertes Speicherzellenmaterial 13 oberhalb des p-dotierten Speicherzellenmaterials 14 liegt.

Zusammenfassend sei erwähnt, dass grundsätzlich alle Arten von Halbleitermaterialien bzw. Halbleiterstrukturen eingesetzt werden können, mit denen sich Halbleiterheterostrukturen mit Potentialtöpfen bilden lassen. Besonders geeignet sind jedoch folgende Materialkombinationen:

Für eine  $\text{Al}_{0,43}\text{Ga}_{0,57}\text{As}$  Trägerschicht 90, eine n-dotierte Zuleitungsschicht 50, eine n-dotierte Abstandsschicht 110 und InAs als Material für die Nanostrukturen 100 ergeben sich eine Emissionsbarrierenhöhe von circa mindestens 0,7 eV und damit Speicherzeiten bei Raumtemperatur von mehreren Millisekunden.

Für eine AlAs Trägerschichtschicht 90, eine p-dotierte Zuleitungsschicht 50, eine p-dotierte Abstandsschicht 110 und InAs als Material für die Nanostrukturen 100 ergeben sich eine Emissionsbarrierenhöhe von mindestens 0,75 eV und damit Speicherzeiten von mehreren Millisekunden bei Raumtemperatur.

Für eine AlAs Trägerschicht 90, eine p-dotierte Zuleitungsschicht 50, eine p-dotierte Abstandsschicht 110 und GaSb als Material für die Nanostrukturen 100 ergeben sich eine Emissionsbarrierenhöhe von mindestens 1 eV und damit Speicherzeiten von mehreren Tagen bei Raumtemperatur.

Für eine AlAs Trägerschicht 90, eine p-dotierte Zuleitungsschicht 50, eine p-dotierte Abstandsschicht 110 und InSb als Material für die Nanostrukturen 100 ergeben sich eine Emissionsbarrierenhöhe von mindestens 1,2 eV und damit Speicherzeiten von mehreren Jahren bei Raumtemperatur.

Auch ist zu erwähnen, dass die Halbleiterheterostruktur 80 ~~eine Mehrzahl an Besetzungszuständen aufweisen kann, wie dies~~ in der Figur 3 durch parallele Linien innerhalb des Potentialtopfes 80 angedeutet ist. Jeder Besetzungszustand kann jeweils eine Bitinformation repräsentieren, indem er von Ladungsträgern besetzt wird oder davon frei bleibt. Dadurch ist es möglich, mit einer mit der Speicherzelle in Verbindung stehenden Auswerteeinrichtung den Beladungszustand des Potentialtopfes zu messen und mit dem jeweiligen Messwert die durch den Beladungszustand definierte Bitinformation beispielsweise in Form einer Zahl zu ermitteln.

## Bezugszeichenliste

	10	Speicherzelle
	11	Halbleiterstruktur
5	12	pn-Übergang
	13	n-dotiertes Speicherzellenmaterial
	14	p-dotiertes Speicherzellenmaterial
	20	Substrat
	30	hoch n-dotierte Anschlussschicht
10	40	unterer elektrischer Anschluss
	50	n-dotierte Zuleitungsschicht
	50a	Hilfsschicht
	50b	Quantenfilmschicht
	60	Ausleseschicht
15	70	Halbleiterzwischenschicht
	80	Halbleiterheterostruktur
	90	Trägerschicht
	100	Nanostrukturen
	110	n-dotierte Abstandsschicht
20	120	hoch p-dotierte Anschlussschicht
	130	oberer elektrischer Anschluss
	200	Potentialtopf
	210	weiterer Potentialtopf
	250, 260	seitliche Anschlusskontakte
25	300	deltaförmig dotierte Schicht
	Us	<del>Steuerspannung</del>
	Wn	Raumladungszonenweite

## Patentansprüche

1. Speicherzelle (10) zum Speichern mindestens einer Bitinformation, wobei die Speicherzelle eine Halbleiterstruktur (11) mit einem zumindest einen Potentialtopf (200) aufweisenden Bandverlauf ( $E_L$ ) und zumindest zwei elektrische Anschlüsse (40, 130) umfasst,
- 5
- wobei sich durch Anlegen einer elektrischen Einspeisespannung ( $U_s=U_{speis}$ ) an die zwei Anschlüsse der Beladungszustand des Potentialtopfes mit Ladungsträgern vergrößern,

10

  - durch Anlegen einer Entladespannung ( $U_s=U_{sperr}$ ) verkleinern und durch Anlegen einer Beibehaltungsspannung ( $U_s=U_{bei}$ ) beibehalten lässt und
  - wobei der jeweilige Beladungszustand des Potentialtopfes

15

  - die Bitinformation der Speicherzelle festlegt,

dadurch gekennzeichnet, dass

- die Halbleiterstruktur eine Raumladungszone ( $W_n$ ) aufweist

20

- und
- der Potentialtopf durch eine Halbleiterheterostruktur (80) gebildet ist,
- wobei die Halbleiterheterostruktur und die Raumladungszone relativ zueinander räumlich derart angeordnet sind, dass

25

- sich die Halbleiterheterostruktur bei Anliegen der Beibehaltungsspannung innerhalb der Raumladungszone, bei Anliegen ~~der Einspeisespannung am Rand oder außerhalb der Raumladungszone~~ und bei Anliegen der Entladespannung innerhalb der Raumladungszone befindet.

- 30
2. Speicherzelle nach Anspruch 1, dadurch gekennzeichnet, dass die Halbleiterheterostruktur mindestens eine Nanostruktur (100) aufweist.

- 35
3. Speicherzelle nach einem der voranstehenden Ansprüche, dadurch gekennzeichnet, dass die Raumladungszone durch einen pn-Übergang (12) hervorgerufen wird.

4. Speicherzelle nach einem der voranstehenden Ansprüche 1-2, dadurch gekennzeichnet, dass die Raumladungszone durch einen Schottky-Kontakt hervorgerufen wird.

5

5. Speicherzelle nach einem der voranstehenden Ansprüche, dadurch gekennzeichnet, dass der Beladungszustand der Halbleiterheterostruktur durch Anlegen einer Durchlassspannung an die Anschlüsse vergrößerbar ist.

10

6. Speicherzelle nach Anspruch 5, dadurch gekennzeichnet, dass die Vergrößerung des Beladungszustandes durch Relaxation der Ladungsträger von einer an die Halbleiterheterostruktur mittelbar oder unmittelbar angrenzenden Leitungs- oder Valenzbandkante eines dotierten Halbleitermaterials erfolgt.

15

7. Speicherzelle nach einem der voranstehenden Ansprüche, dadurch gekennzeichnet, dass der Bandverlauf im Bereich der Halbleiterheterostruktur derart ausgebildet ist, dass der Beladungszustand der Halbleiterheterostruktur durch Anlegen einer Sperrspannung an die Anschlüsse verringerbar ist.

20

8. Speicherzelle nach Anspruch 7, dadurch gekennzeichnet, dass die Verringerung des Beladungszustandes auf einem Tunneleffekt beruht, durch den die Ladungsträger die Halbleiterheterostruktur verlassen.

25

9. Speicherzelle nach einem der voranstehenden Ansprüche, dadurch gekennzeichnet, dass die Halbleiterstruktur aus einer III/V-Materialkombination, einer II/VI-Materialkombination oder aus einer IV/IV-Materialkombination besteht.

30

10. Speicherzelle nach einem der voranstehenden Ansprüche, dadurch gekennzeichnet, dass eine ein 2-dimensionales Elektronengas (2DEG) enthaltende Ausleseschicht (60) vorhanden ist, die ein Auslesen der Bitinformation der Speicherzelle ermöglicht.

35

11. Speicherzelle nach Anspruch 10, dadurch gekennzeichnet, dass die Ausleseschicht von der Halbleiterheterostruktur durch eine Halbleiterzwischenschicht (70) getrennt ist.

5

12. Speicherzelle nach Anspruch 11, dadurch gekennzeichnet, dass die Dicke der Halbleiterzwischenschicht derart bemessen ist, dass die Ausleseschicht im Speicherzustand am Rand oder außerhalb der Raumladungszone liegt.

10

13. Speicherzelle nach Anspruch 11 oder 12, dadurch gekennzeichnet, dass die Dicke der Halbleiterzwischenschicht mindestens 5 nm beträgt.

15

14. Speicherzelle nach einem der voranstehenden Ansprüche, dadurch gekennzeichnet, dass die Halbleiterheterostruktur durch eine Trägerschicht (90) gebildet ist, in der eine Mehrzahl an Nanostrukturen (100) beabstandet voneinander angeordnet ist.

20

15. Speicherzelle nach Anspruch 14, dadurch gekennzeichnet, dass das Schichtmaterial der Trägerschicht einen höheren elektrischen Widerstand aufweist als die Ausleseschicht.

25

16. Speicherzelle nach Anspruch 15, dadurch gekennzeichnet, dass Anschlusskontakte (250, 260) zum elektrischen Kontaktieren der Ausleseschicht durch die Halbleiterheterostruktur hindurchgeführt sind.

30

17. Speicherzelle nach einem der voranstehenden Ansprüche, dadurch gekennzeichnet, dass die Halbleiterheterostruktur eine Mehrzahl an Besetzungszuständen aufweist, die jeweils eine Bitinformation repräsentieren, indem sie von Ladungsträgern besetzt werden können, und dass die Anzahl der besetzten Besetzungszustände auslesbar ist.

35

18. Speicherzelle nach einem der voranstehenden Ansprüche, dadurch gekennzeichnet, dass die Halbleiterheterostruktur (80) und die Raumladungszone ( $W_n$ ) relativ zueinander räumlich derart angeordnet sind, dass eine Spannung ( $U_s$ ) von Null Volt zwischen den elektrischen Anschlüssen (40, 130) eine Beibehaltungsspannung darstellt.

19. Speichereinrichtung mit mindestens einer Speicherzelle nach einem der voranstehenden Ansprüche, dadurch gekennzeichnet, dass mit der Speicherzelle eine Auswerteeinrichtung in Verbindung steht, die den Beladungszustand des zumindest einen Potentialtopfes misst und mit dem Messwert eine die Bitinformation angegebende Zahl ermittelt.

20. Speichereinrichtung nach Anspruch 19, dadurch gekennzeichnet, dass die Auswerteeinrichtung als Bitinformation eine binäre Zahl ausgibt.

21. Verfahren zum Betreiben einer Speicherzelle (10), bei dem eine Bitinformation der Speicherzelle durch den Beladungszustand mindestens eines Potentialtopfes (200) der Speicherzelle festgelegt wird,

- wobei durch Anlegen einer elektrischen Einspeisespannung ( $U_s=U_{speis}$ ) an die Speicherzelle der Beladungszustand des Potentialtopfe mit Ladungsträgern vergrößert und durch Anlegen einer Entladespannung ( $U_s=U_{sperr}$ ) verkleinert wird und

- wobei bei Anlegen einer Beibehaltungsspannung ( $U_s=U_{bei}$ ) die Ladungsträger innerhalb des Potentialtopfes gefangen bleiben,

dadurch gekennzeichnet,

- dass zum Vergrößern des Beladungszustandes eine derartige Einspeisespannung an die Speicherzelle angelegt wird, dass sich eine den Potentialtopf bildende Halbleiterhetero-

struktur (80) am Rand oder außerhalb einer Raumladungszone (Wn) der Speicherzelle befindet,

- dass zum Beibehalten des Beladungszustandes eine derartige Beibehaltespannung an die Speicherzelle angelegt wird, dass sich die Halbleiterheterostruktur innerhalb dieser Raumladungszone befindet, und
- dass zum Verkleinern des Beladungszustandes eine derartige Entladespannung an die Speicherzelle angelegt wird, dass sich die Halbleiterheterostruktur innerhalb dieser Raumladungszone befindet, jedoch die Ladungsträger die Heterostruktur verlassen können.

22. Verfahren nach Anspruch 21, dadurch gekennzeichnet, dass während des Auslesens der Speicherzelle die Beibehaltespannung an die Speicherzelle angelegt wird.

23. Verfahren nach Anspruch 21 oder 22, dadurch gekennzeichnet, dass das Auslesen durchgeführt wird, indem eine ein 2-dimensionales Elektronengas enthaltende Ausleseschicht ausgelesen wird, indem deren vom Beladungszustand des Potentialtopfes abhängiger elektrischer Widerstand ausgewertet wird.

24. Verfahren nach Anspruch 21 oder 22, dadurch gekennzeichnet, dass das Auslesen durchgeführt wird, indem die vom Beladungszustand des Potentialtopfes abhängige Kapazität der Raumladungszone der Speicherzelle ausgewertet wird.

25. Verfahren nach Anspruch 21 oder 22, dadurch gekennzeichnet, dass das Auslesen durchgeführt wird, indem der vom Beladungszustand des Potentialtopfes abhängige elektrische Widerstand der Speicherzelle ausgewertet wird.

26. Verfahren nach Anspruch 21 oder 22, dadurch gekennzeichnet, dass das Auslesen durchgeführt wird, indem der vom Beladungszustand des Potentialtopfes abhängige Ladungstransfer von oder zu der Speicherzelle ausgewertet wird.

27. Verfahren nach Anspruch 21, dadurch gekennzeichnet, dass während des Auslesens der Speicherzelle die Entladespannung an die Speicherzelle angelegt wird.

5 28. Verfahren nach Anspruch 27, dadurch gekennzeichnet, dass das Auslesen durchgeführt wird, indem der vom Beladungszustand des Potentialtopfes abhängige Ladungstransfer von oder zu der Speicherzelle ausgewertet wird.

10 29. Verfahren nach einem der voranstehenden Ansprüchen 21 bis 28, dadurch gekennzeichnet, dass zum Vergrößern des Beladungszustandes des Potentialtopfes eine derartige Einspeisepannung an die Speicherzelle angelegt wird, dass die Ladungsträger von einer an den Potentialtopf mittelbar oder un-  
15 mittelbar angrenzenden Leitungs- oder Valenzbandkante eines dotierten Halbleitermaterials in den Potentialtopf relaxieren.

20 30. Verfahren nach einem der voranstehenden Ansprüche 21 bis 29, dadurch gekennzeichnet, dass zum Verringern des Beladungszustandes des Potentialtopfes eine derartige Entladespannung an die Speicherzelle angelegt wird, dass die Ladungsträger aus dem Potentialtopf heraustunneln.

25 31. Verfahren nach einem der voranstehenden Ansprüche 21 bis 30, dadurch gekennzeichnet, dass zum Beibehalten des Beladungszustandes eine Beibehaltespannung von Null Volt an die Speicherzelle angelegt wird.

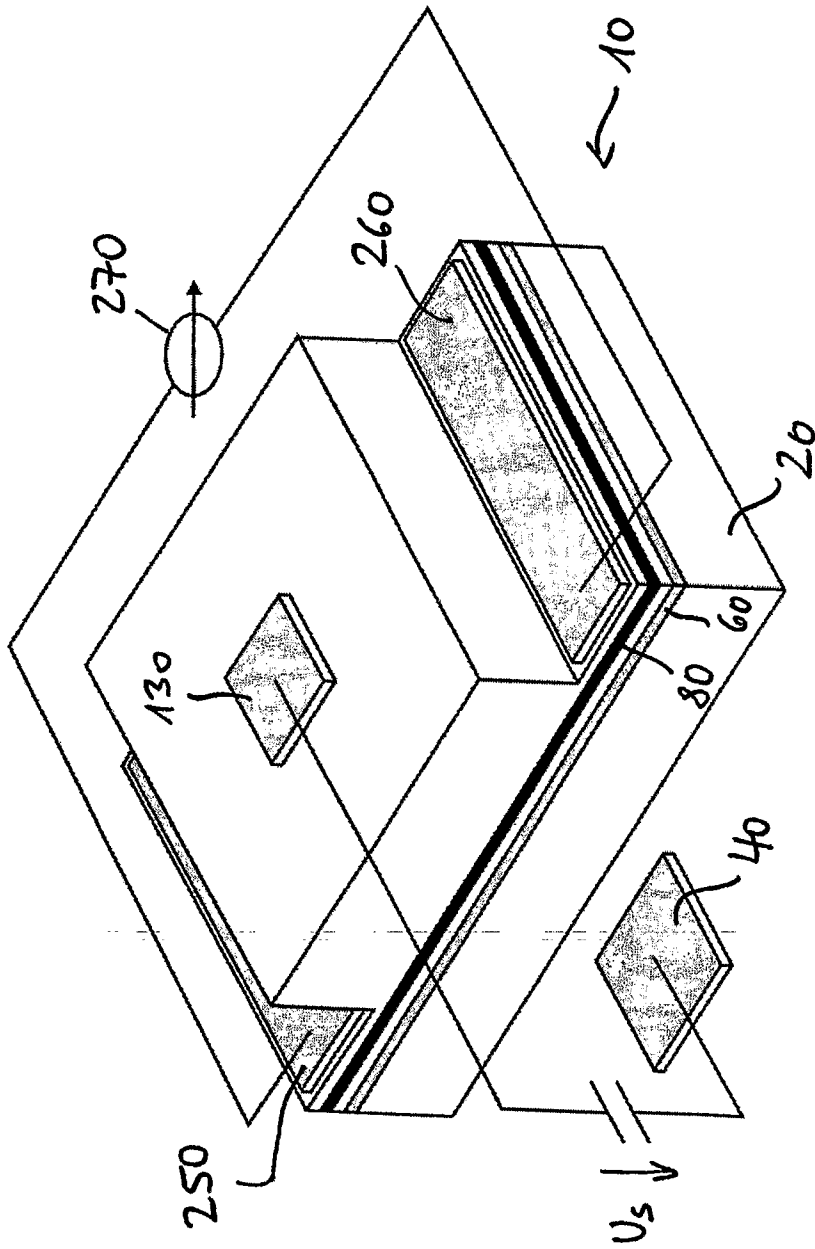


Fig. 1

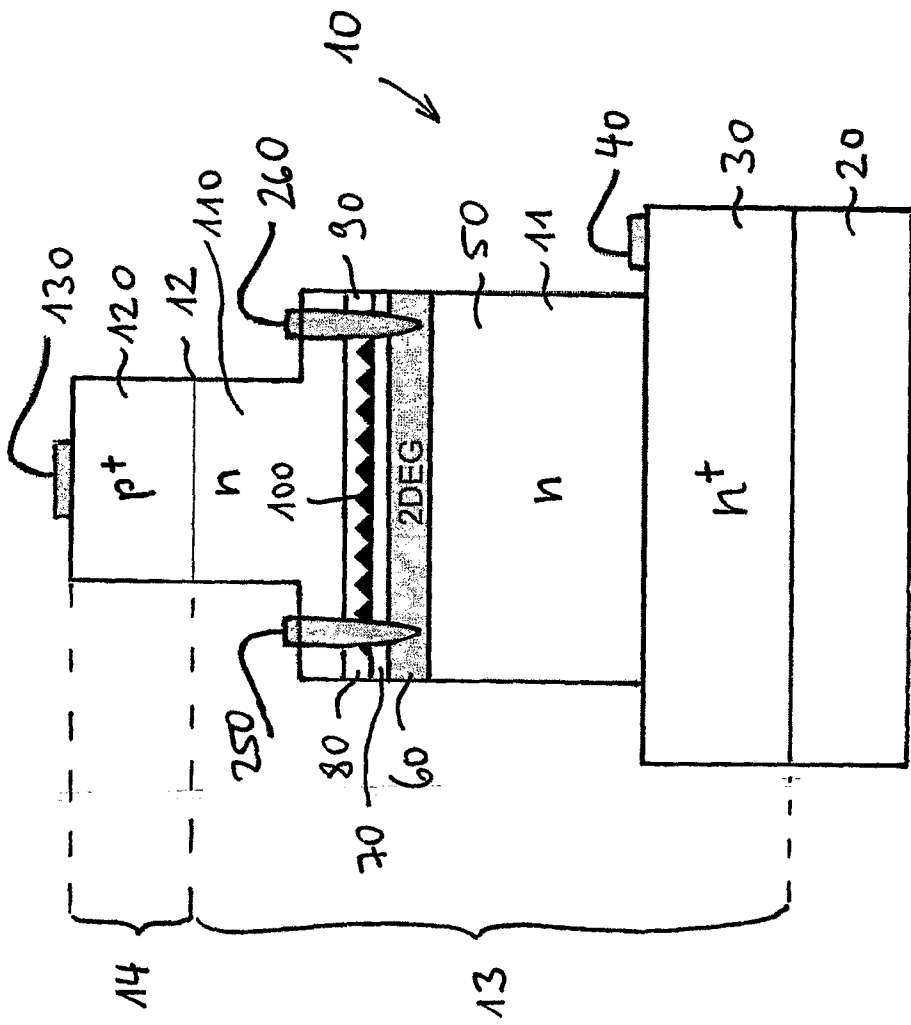


Fig. 2

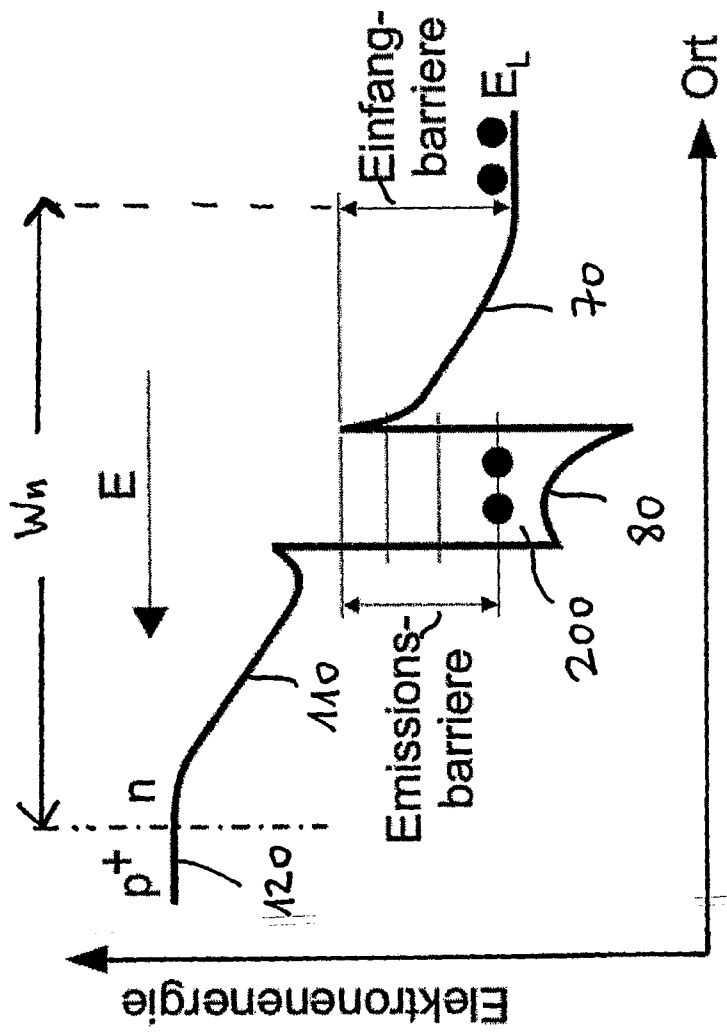


Fig. 3

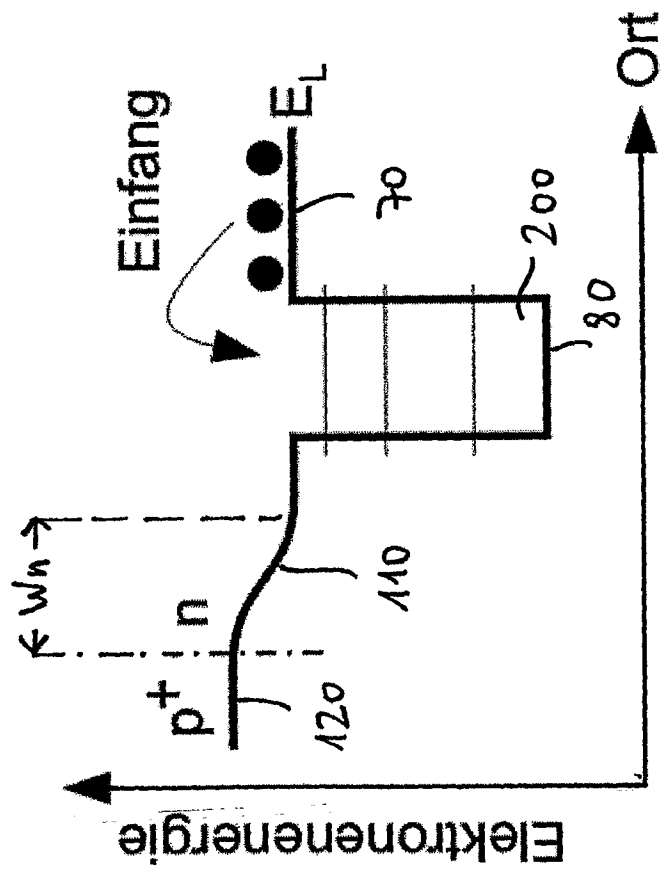


Fig. 4

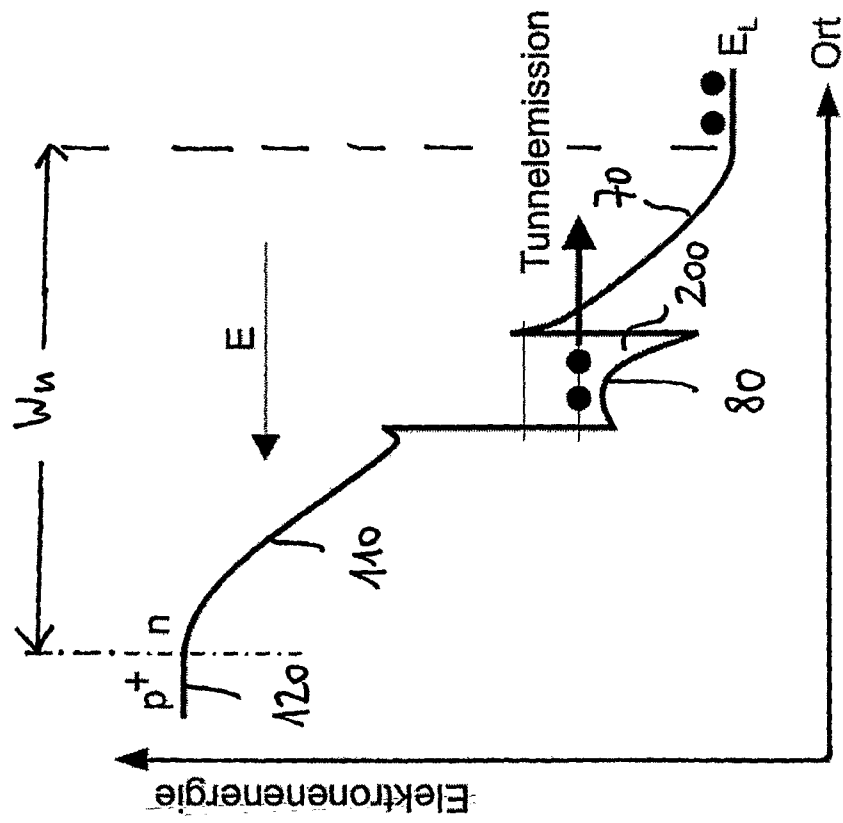


Fig. 5

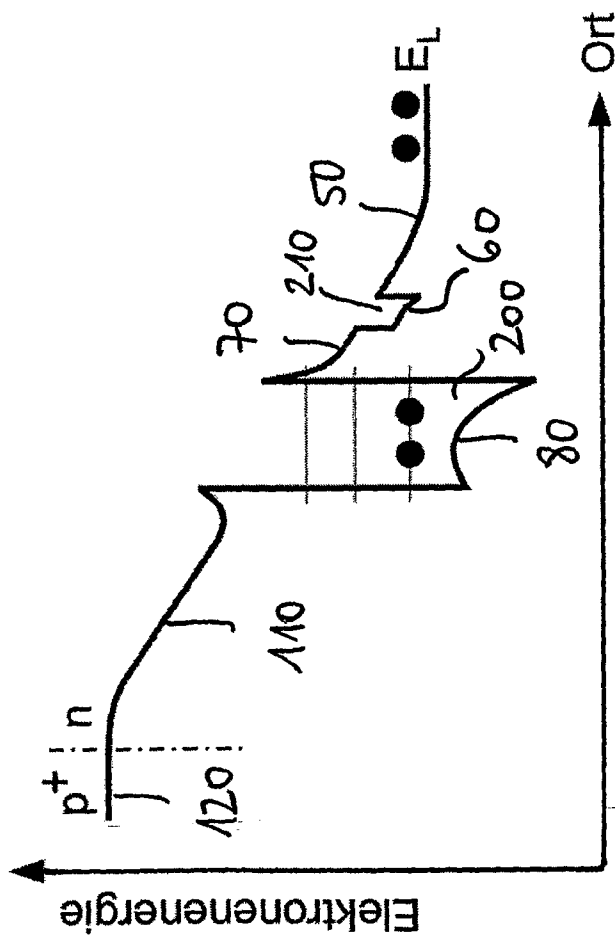


Fig. 6

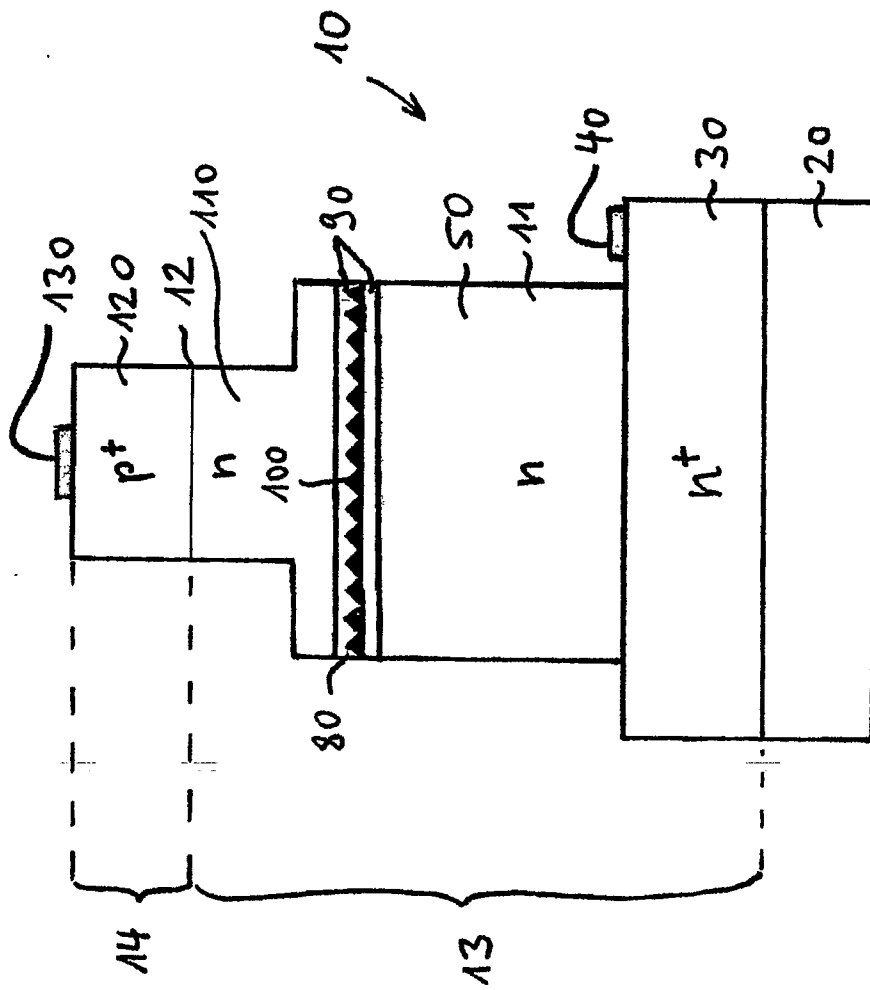


Fig.7

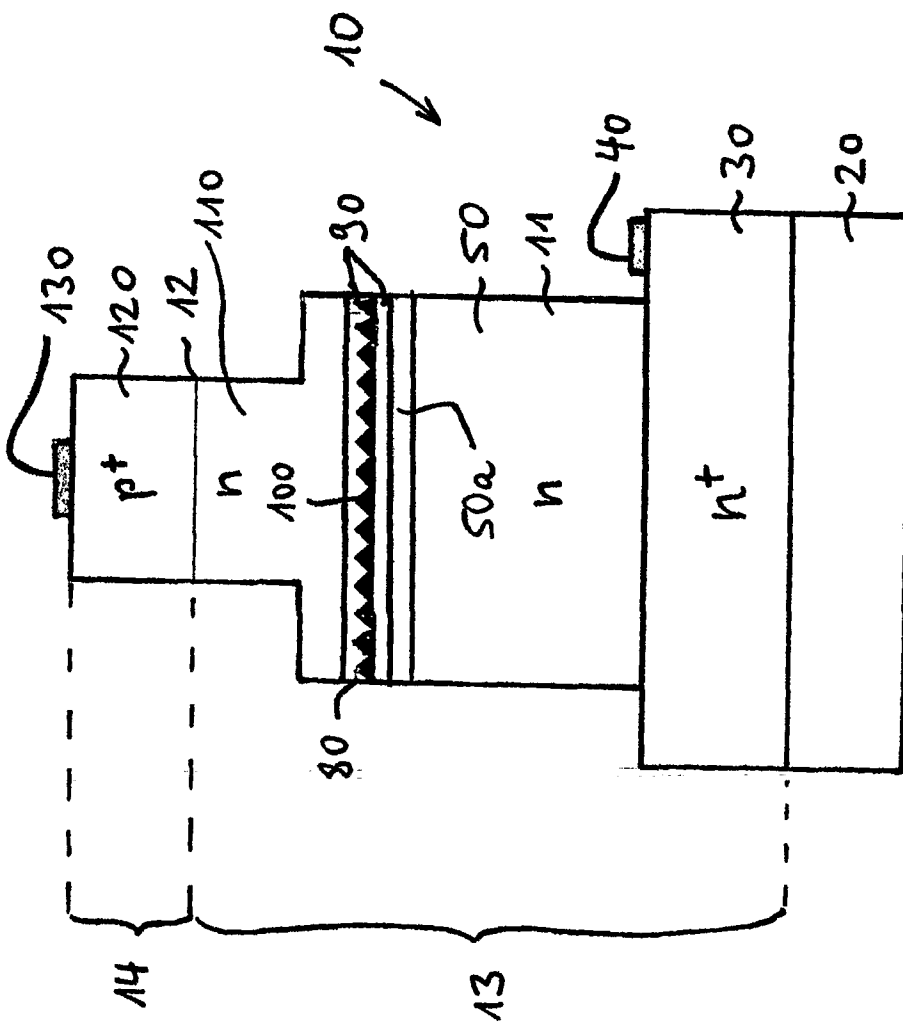


Fig. 8

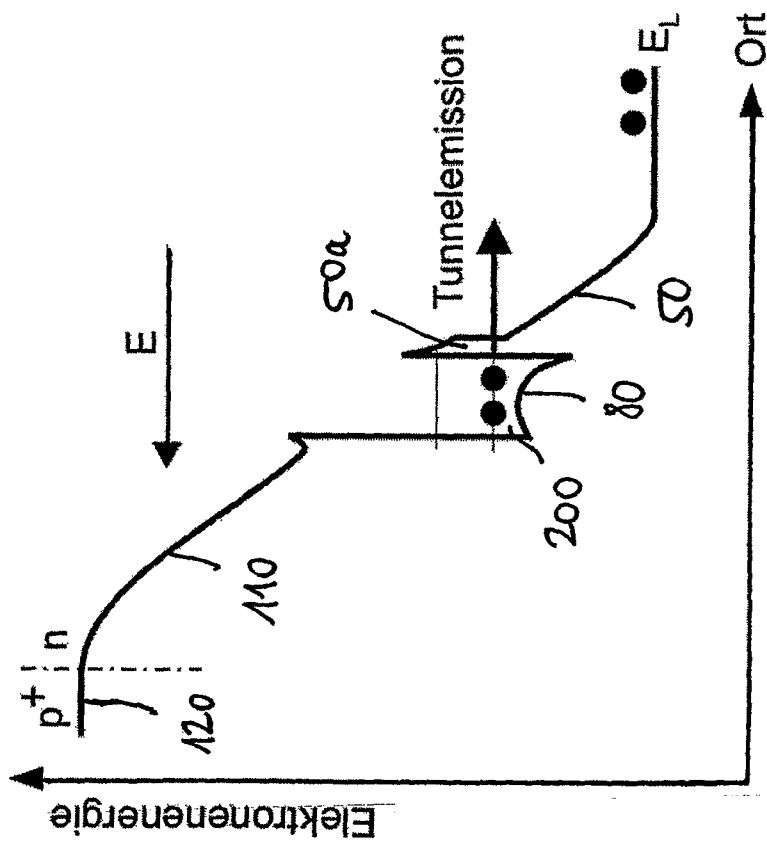


Fig. 9

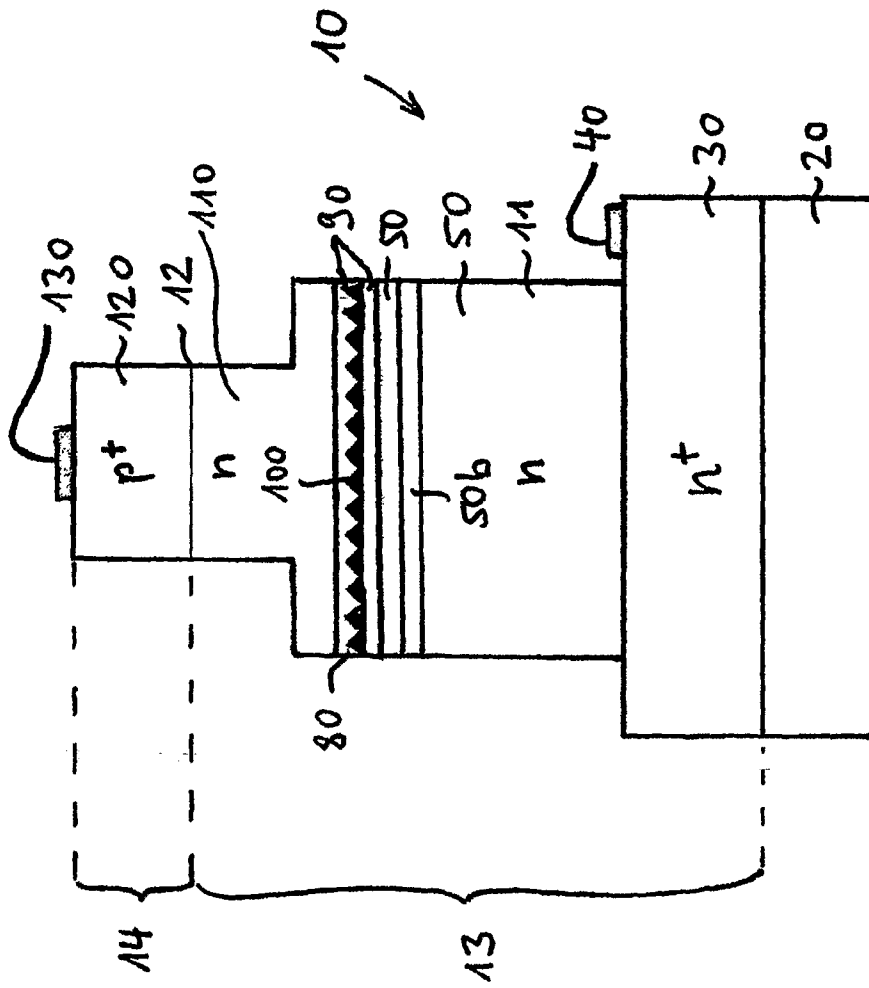


Fig. 10

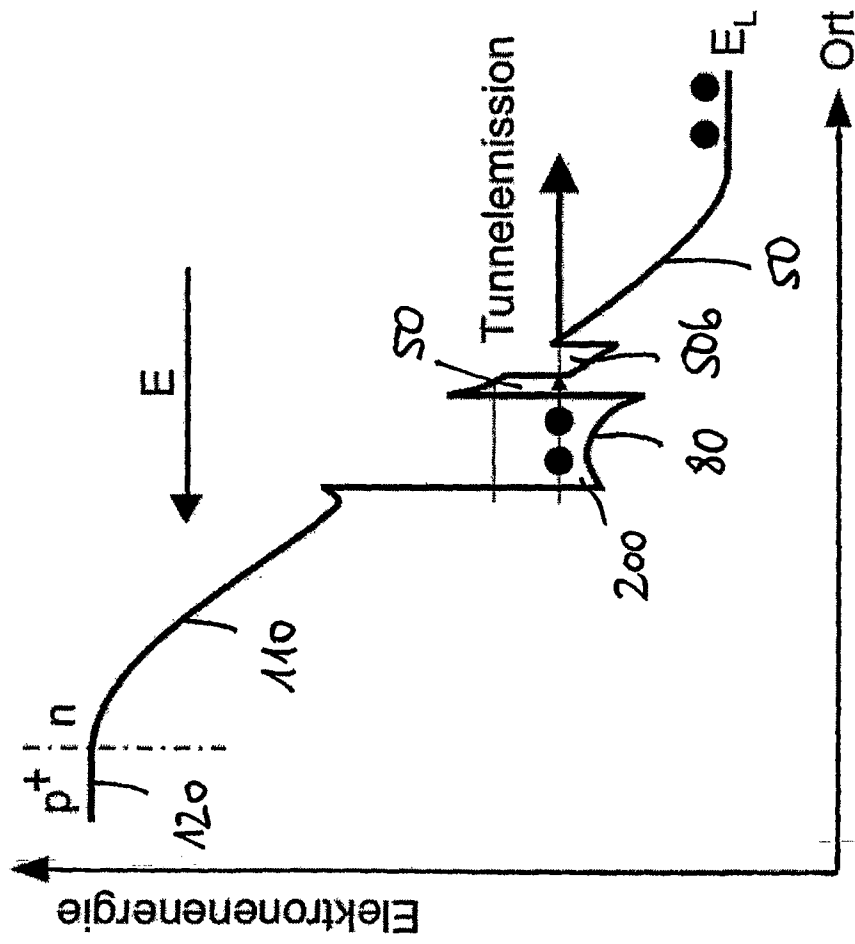


Fig. 11



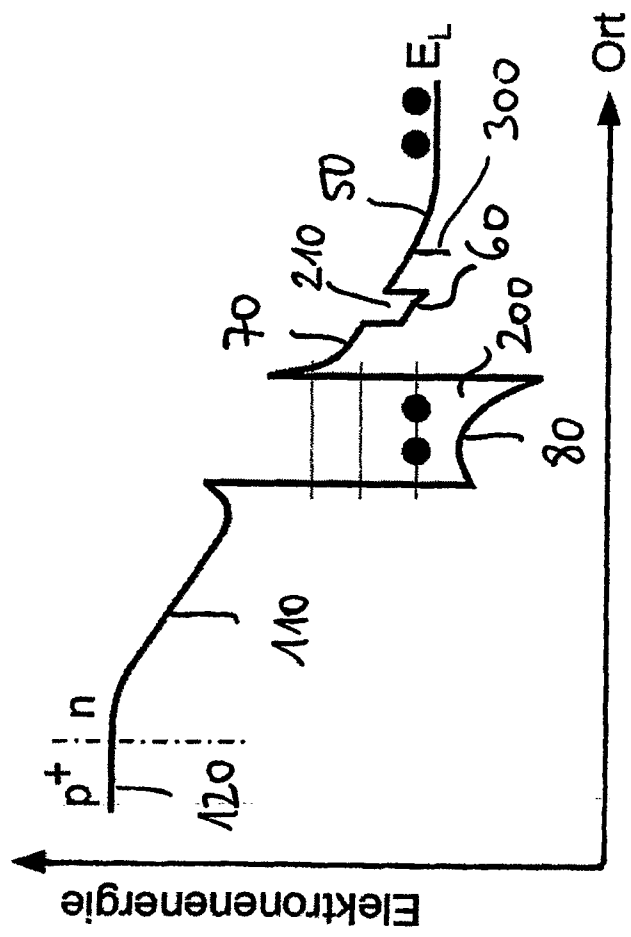


Fig. 13



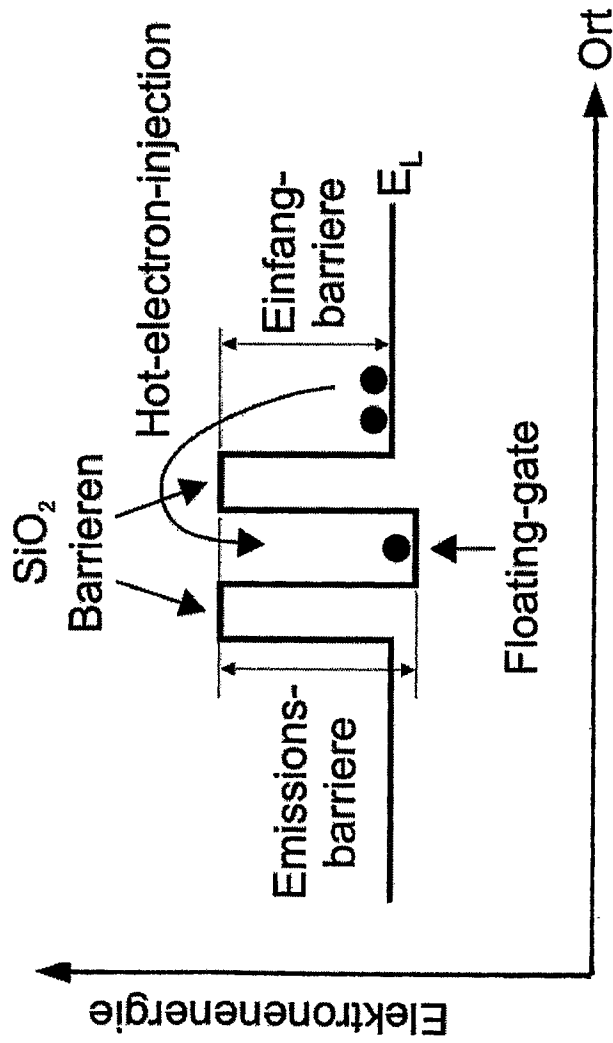


Fig. 15