

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6620025号
(P6620025)

(45) 発行日 令和1年12月11日(2019.12.11)

(24) 登録日 令和1年11月22日(2019.11.22)

(51) Int.Cl.		F I			
G06F	3/041	(2006.01)	G06F	3/041	430
G06F	3/044	(2006.01)	G06F	3/044	120
G02F	1/1333	(2006.01)	G02F	1/1333	

請求項の数 12 (全 26 頁)

(21) 出願番号	特願2016-8137 (P2016-8137)	(73) 特許権者	502356528
(22) 出願日	平成28年1月19日 (2016.1.19)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2017-129982 (P2017-129982A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成29年7月27日 (2017.7.27)	(74) 代理人	110001737
審査請求日	平成30年8月13日 (2018.8.13)		特許業務法人スズエ国際特許事務所
		(72) 発明者	野口 幸治
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	中野 泰
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	村瀬 正樹
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内

最終頁に続く

(54) 【発明の名称】 センサ付き表示装置

(57) 【特許請求の範囲】

【請求項1】

第1端子を備えた第1基板と、
センサ信号を出力する第2端子を備えた第2基板と、
前記第1基板に接続される第1接続部及び前記第2基板に接続される第2接続部を備えたフレキシブル基板と、を備え、

前記フレキシブル基板は、前記第1接続部と前記第2接続部とに位置する連続したベース層と、前記ベース層の前記第1基板と対向する側に位置する導電層と、前記導電層の前記ベース層とは反対の側に位置し前記導電層の一部を覆うカバー層とを備え、

前記導電層は、前記第1接続部において前記第1端子に接続される第1導電層と、前記第2接続部から前記第1接続部に延びた第2導電層と、を備え、

前記カバー層は、前記第2導電層を覆う領域と、前記第1導電層を露出する開口部とを、前記第1接続部に有し、

前記第1導電層は、前記開口部と重なる位置で、前記第1端子に接続される、
センサ付き表示装置。

【請求項2】

さらに、前記第1基板に実装された駆動ICチップを備え、

前記フレキシブル基板は、前記第1接続部と前記第2接続部との間において、平面視で前記駆動ICチップと重複しない、請求項1に記載のセンサ付き表示装置。

【請求項3】

さらに、前記第 1 基板に実装された駆動 IC チップを備え、
前記フレキシブル基板は、前記第 1 接続部と前記第 2 接続部との間において、平面視で前記駆動 IC チップと重複する、請求項 1 に記載のセンサ付き表示装置。

【請求項 4】

前記第 2 導電層は、前記第 2 接続部において前記第 2 端子に接続され、前記第 1 接続部において前記第 1 基板に位置する導電部材とは接続されていない、請求項 1 乃至 3 のいずれか 1 項に記載のセンサ付き表示装置。

【請求項 5】

前記第 1 基板は、画素を含み、
前記第 1 端子には、前記画素へ供給される信号が入力され、
前記第 2 基板は、タッチ検出を行う検出電極を含み、
前記第 2 端子は、前記検出電極と接続する、請求項 1 乃至 4 のいずれか 1 項に記載のセンサ付き表示装置。

10

【請求項 6】

前記第 1 導電層は、前記第 1 接続部において第 1 方向に延び、
前記第 2 導電層は、前記第 1 接続部において、前記第 1 方向へ交差する第 2 方向に前記第 1 導電層と並ぶ領域を有する、請求項 1 乃至 5 のいずれか 1 項に記載のセンサ付き表示装置。

【請求項 7】

前記第 2 導電層は、前記第 1 接続部の前記第 2 接続部とは反対の側へ延びる、請求項 1 乃至 6 のいずれか 1 項に記載のセンサ付き表示装置。

20

【請求項 8】

前記フレキシブル基板は、さらに、前記ベース層の前記導電層とは反対側に補助カバー層を備え、前記補助カバー層は、前記カバー層の開口部と重複する位置に設けられている、請求項 1 乃至 7 のいずれか 1 項に記載のセンサ付き表示装置。

【請求項 9】

前記補助カバー層は、前記カバー層と同等の厚さを有する、請求項 8 に記載のセンサ付き表示装置。

【請求項 10】

さらに、前記開口部に位置し、前記第 1 導電層と前記第 1 基板とを接着すると共に、前記第 1 導電層と前記第 1 端子とを電気的に接続する導電性接着層を備え、
前記導電性接着層は、前記カバー層と重複しない、請求項 1 乃至 9 のいずれか 1 項に記載のセンサ付き表示装置。

30

【請求項 11】

さらに、前記第 1 導電層と前記第 1 基板とを接着すると共に、前記第 1 導電層と前記第 1 端子とを電気的に接続する導電性接着層を備え、
前記導電性接着層の一部は、前記カバー層と前記第 1 基板との間に位置する、請求項 1 乃至 9 のいずれか 1 項に記載のセンサ付き表示装置。

【請求項 12】

前記カバー層は、前記第 2 導電層を露出する第 2 開口部を有し、
前記第 2 導電層は、前記第 2 開口部と重なる位置で、前記第 2 端子に接続される、請求項 1 乃至 11 のいずれか 1 項に記載のセンサ付き表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、センサ付き表示装置に関する。

【背景技術】

【0002】

近年、表示装置のインターフェース等として、指などの被検出物の接触あるいは接近を検出するセンサが実用化されている。センサの一例である静電容量式タッチパネルは、被

50

検出物による静電容量の変化を検出するための電極を備えている。このようなタッチパネルを備えた表示装置においては、例えば、表示パネルに接続されたフレキシブルプリント基板に加えて、タッチパネルの電極が形成される面に接続されたフレキシブルプリント基板が必要となる（例えば、特許文献1参照）。

【0003】

複数のフレキシブルプリント基板を備えた構成においては、両者を電氣的に接続するためのコネクタが必要となり、表示装置全体の薄型化が阻害される。また、複数のフレキシブルプリント基板を備えた表示装置を電子機器にセットした際に、電子機器内部の構造物と接触したり、他の構造物の設置の妨げとなったりする。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2011-65515号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、構造を簡素化することが可能なセンサ付き表示装置を提供することにある。

【課題を解決するための手段】

【0006】

一実施形態によれば、

画像を表示する表示領域に位置する第1電極を備えた第1基板と、前記表示領域に位置し、センシングに必要なセンサ信号を出力する第2電極を備えた第2基板と、前記第1基板に接続される第1接続部及び前記第2基板に接続される第2接続部を備えたフレキシブル基板であって、前記第1接続部及び前記第2接続部に亘って延出した共通のベース層を備えたフレキシブル基板と、を備えたセンサ付き表示装置が提供される。

【図面の簡単な説明】

【0007】

【図1】図1は、本実施形態の表示装置DSPの構成を示す図である。

【図2】図2は、図1に示した表示パネルPNLの基本構成及び等価回路を示す図である

。

【図3】図3は、図1に示した表示パネルPNLの一部の構造を示す断面図である。

【図4A】図4Aは、静電容量型センサSSの基本原理を説明するための図であり、被検出物が接触あるいは接近していない状態を表す説明図である。

【図4B】図4Bは、静電容量型センサSSの基本原理を説明するための図であり、図4Aに示した状態のセンサの等価回路の例を示す説明図である。

【図4C】図4Cは、静電容量型センサSSの基本原理を説明するための図であり、センサ駆動信号及び検出信号の波形の一例を表す図である。

【図4D】図4Dは、センサSSの一構成例を示す平面図である。

【図4E】図4Eは、図4Dに示したセンサSSを概略的に示す斜視図である。

【図4F】図4Fは、センサSSの他の構成例を示す平面図である。

【図5A】図5Aは、センサ駆動電極Txがセンサ駆動信号Tx_sにより駆動されるときのタイミングチャートを示している。

【図5B】図5Bは、主な回路ブロックを示す図である。

【図6A】図6Aは、第1基板SUB1及び第2基板SUB2に接続されたフレキシブル基板3の一構成例を示す平面図である。

【図6B】図6Bは、図6Aに示したフレキシブル基板3の第1接続部3A及び第2接続部3Bを示す断面図である。

【図7】図7は、第1基板SUB1及び第2基板SUB2と接続されたフレキシブル基板3の他の構成例を示す平面図である。

10

20

30

40

50

【図 8】図 8 は、第 1 基板 SUB 1 及び第 2 基板 SUB 2 と接続されたフレキシブル基板 3 の他の構成例を示す平面図である。

【図 9】図 9 は、図 6 A 及び図 7 に示した構成例におけるフレキシブル基板 3 と駆動 IC チップ 1 との位置関係を示す断面図である。

【図 10】図 10 は、図 8 に示した構成例におけるフレキシブル基板 3 と駆動 IC チップ 1 との位置関係を示す断面図である。

【図 11】図 11 は、第 1 基板 SUB 1 及び第 2 基板 SUB 2 と接続されたフレキシブル基板 3 の他の構成例を示す平面図である。

【図 12】図 12 は、図 11 に示したフレキシブル基板 3 の第 1 接続部 3 A を第 1 基板側から見た拡大平面図である。

10

【図 13】図 13 は、図 11 に示したフレキシブル基板 3 の第 1 接続部 3 A における一方端 3 D から他方端 3 E までの断面図である。

【図 14】図 14 は、図 11 に示した開口部 O P A と対向する第 1 基板 SUB 1 の拡大平面図である。

【図 15】図 15 は、図 11 に示した開口部 O P A と対向する第 1 基板 SUB 1 の他の構成例を示す図である。

【図 16】図 16 は、第 1 基板 SUB 1 及び第 2 基板 SUB 2 と接続されたフレキシブル基板 3 の他の構成例を示す平面図である。

【図 17】図 17 は、図 16 に示したフレキシブル基板 3 の第 1 接続部 3 A を第 1 基板側から見た拡大平面図である。

20

【図 18】図 18 は、図 16 に示したフレキシブル基板 3 の第 1 接続部 3 A の断面図である。

【図 19】図 19 は、フレキシブル基板 3 の他の構成例における第 1 接続部 3 A の断面図である。

【図 20】図 20 は、フレキシブル基板 3 の他の構成例における第 1 接続部 3 A の断面図である。

【図 21 A】図 21 A は、他のセンサ装置 100 を示す平面図である。

【図 21 B】図 21 B は、図 21 A に示したセンサ装置 100 の断面図である。

【図 22】図 22 は、さらに他のセンサ装置 100 を示す平面図である。

【図 23】図 23 は、センサ装置 100 を備えた表示装置 D S P の適用例を示す断面図である。

30

【図 24】図 24 は、センサ装置 100 を備えた表示装置 D S P の他の適用例を示す断面図である。

【図 25 A】図 25 A は、センサ装置 100 を備えた表示装置 D S P の他の適用例を示す断面図である。

【図 25 B】図 25 B は、図 25 A に示した表示装置 D S P の平面図である。

【図 26】図 26 は、第 1 基板 SUB 1 及び第 2 基板 SUB 2 と接続されたフレキシブル基板 3 の他の構成例を示す平面図である。

【発明を実施するための形態】

【0008】

40

以下、本実施形態について、図面を参照しながら説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を發揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

【0009】

図 1 は、本実施形態の表示装置 D S P の構成を示す図である。ここでは、互いに交差す

50

る第1方向X及び第2方向Yによって規定されるX-Y平面における表示装置DSPの平面図を示している。本実施形態においては、表示装置の一例として、液晶表示装置について説明する。なお、本実施形態にて開示する主要な構成は、有機エレクトロルミネッセンス表示素子等を有する自発光型の表示装置、電気泳動素子等を有する電子ペーパー型の表示装置、MEMS (Micro Electro Mechanical Systems) を応用した表示装置、或いはエレクトロクロミズムを応用した表示装置などにも適用可能である。

【0010】

表示装置DSPは、表示パネルPNL、表示パネルPNLを駆動する駆動ICチップ1などを備えている。表示パネルPNLは、例えば、液晶表示パネルであり、第1基板SUB1と、第2基板SUB2と、シール部SEと、表示機能層(後述する液晶層LC)と、を備えている。第2基板SUB2は、第1基板SUB1に対向している。シール部SEは、第1基板SUB1と第2基板SUB2とを接着している。

10

【0011】

表示パネルPNLは、画像を表示する表示領域DA、及び、表示領域DAを囲む額縁状の非表示領域NDAを備えている。表示領域DAは、シール部SEによって囲まれた内側に位置している。

駆動ICチップ1は、非表示領域NDAに位置している。図示した例では、駆動ICチップ1は、第2基板SUB2よりも外側に延出した第1基板SUB1の実装部MTに実装されている。駆動ICチップ1は、例えば、画像表示に必要な信号を出力するディスプレイドライバを内蔵している。ここでのディスプレイドライバは、後述する信号線駆動回路SD、走査線駆動回路GD、及び、共通電極駆動回路CDの少なくとも一部を含むものである。なお、図示した例に限らず、駆動ICチップ1は、別途表示パネルPNLに接続されるフレキシブル基板上に実装されていても良い。詳細な例については後述する。

20

【0012】

本実施形態の表示パネルPNLは、例えば、第1基板SUB1の背面側からの光を選択的に透過させることで画像を表示する透過表示機能を備えた透過型であるが、これに限定されるものではない。例えば、表示パネルPNLは、第2基板SUB2の前面側からの光を選択的に反射させることで画像を表示する反射表示機能を備えた反射型であっても良いし、透過表示機能及び反射表示機能を備えた半透過型であっても良い。

【0013】

図2は、図1に示した表示パネルPNLの基本構成及び等価回路を示す図である。

表示パネルPNLは、表示領域DAにおいて、複数の画素PXを備えている。ここで、画素とは、画素信号に応じて個別に制御することができる最小単位を示し、例えば、後述する走査線と信号線との交差する位置に配置されたスイッチング素子を含む領域に存在する。複数の画素PXは、第1方向X及び第2方向Yにマトリクス状に配置されている。また、表示パネルPNLは、表示領域DAにおいて、複数本の走査線G(G1~Gn)、複数本の信号線S(S1~Sm)、共通電極CEなどを備えている。走査線Gは、各々第1方向Xに延出し、第2方向Yに並んでいる。信号線Sは、各々第2方向Yに延出し、第1方向Xに並んでいる。なお、走査線G及び信号線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。共通電極CEは、複数の画素PXに亘って配置されている。

30

40

【0014】

信号線駆動回路SD、走査線駆動回路GD、及び、共通電極駆動回路CDは、非表示領域NDAにおいて、第1基板SUB1上に形成されても良いし、これらの一部或いは全部が図1に示した駆動ICチップIC1に内蔵されていても良い。また、これらの駆動回路のレイアウトは、図示した例に限られるものではない。

【0015】

走査線Gは、非表示領域NDAに引き出され、走査線駆動回路GDに接続されている。信号線Sは、非表示領域NDAに引き出され、信号線駆動回路SDに接続されている。共通電極CEは、非表示領域NDAに引き出され、共通電極駆動回路CDに接続されている

50

【 0 0 1 6 】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E、液晶層 L C 等を備えている。スイッチング素子 S W は、例えば薄膜トランジスタ (T F T) によって構成され、走査線 G 及び信号線 S と電氣的に接続されている。より具体的には、スイッチング素子 S W は、ゲート電極、ソース電極、及び、ドレイン電極を備えている。ゲート電極は、走査線 G と電氣的に接続されている。ソース電極及びドレイン電極のうち的一方は、信号線 S と電氣的に接続されている。ソース電極及びドレイン電極のうち他方は、画素電極 P E と電氣的に接続されている。走査線 G は、第 1 方向 X に並んだ画素 P X の各々におけるスイッチング素子 S W と接続されている。信号線 S は、第 2 方向 Y に並んだ画素 P X の各々におけるスイッチング素子 S W と接続されている。画素電極 P E の各々は、共通電極 C E と対向し、画素電極 P E と共通電極 C E との間に生じる電界によって液晶層 L C を駆動している。保持容量 C S は、例えば、共通電極 C E と画素電極 P E との間に形成される。

10

【 0 0 1 7 】

図 3 は、図 1 に示した表示パネル P N L の一部の構造を示す断面図である。ここでは、表示装置 D S P を第 1 方向 X に沿って切断した断面図を示す。以下の説明において、第 1 基板 S U B 1 から第 2 基板 S U B 2 に向かう方向を上方 (あるいは、単に上) と称し、第 2 基板 S U B 2 から第 1 基板 S U B 1 に向かう方向を下方 (あるいは、単に下) と称する。第 2 基板 S U B 2 から第 1 基板 S U B 1 に向かって見ることを平面視という。

20

【 0 0 1 8 】

図示した表示パネル P N L は、主として基板主面にほぼ平行な横電界を利用する表示モードに対応した構成を有しているが、特に制限される訳ではなく、基板主面に対して垂直な縦電界や、基板主面に対して斜め方向の電界、或いは、それらを組み合わせて利用する表示モードに対応した構成を有していても良い。横電界を利用する表示モードでは、例えば第 1 基板 S U B 1 及び第 2 基板のいずれか一方に画素電極 P E 及び共通電極 C E の双方が備えられた構成が適用可能である。縦電界や斜め電界を利用する表示モードでは、例えば、第 1 基板 S U B 1 に画素電極 P E 及び共通電極 C E のいずれか一方が備えられ、第 2 基板 S U B 2 に画素電極 P E 及び共通電極 C E のいずれか他方が備えられた構成が適用可能である。なお、ここでの基板主面とは、X - Y 平面と平行な面である。

30

【 0 0 1 9 】

第 1 基板 S U B 1 は、第 1 絶縁基板 1 0、信号線 S、共通電極 C E、画素電極 P E、第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、第 3 絶縁膜 1 3、第 1 配向膜 A L 1 などを備えている。なお、ここでは、スイッチング素子や走査線、これらの間に介在する各種絶縁膜等の図示を省略している。

第 1 絶縁基板 1 0 は、ガラス基板や樹脂基板などの光透過性を有する基板である。第 1 絶縁膜 1 1 は、第 1 絶縁基板 1 0 の上に位置している。信号線 S は、第 1 絶縁膜 1 1 の上に位置している。第 2 絶縁膜 1 2 は、信号線 S、及び、第 1 絶縁膜 1 1 の上に位置している。共通電極 C E は、第 2 絶縁膜 1 2 の上に位置している。第 3 絶縁膜 1 3 は、共通電極 C E 及び第 2 絶縁膜 1 2 の上に位置している。画素電極 P E は、第 3 絶縁膜 1 3 の上に位置している。画素電極 P E は、第 3 絶縁膜を介して共通電極 C E と対向している。また、画素電極 P E は、共通電極 C E と対向する位置にスリット S L を有している。共通電極 C E 及び画素電極 P E は、インジウム・ティン・オキサイド (I T O) やインジウム・ジニク・オキサイド (I Z O) などの透明な導電材料によって形成されている。第 1 配向膜 A L 1 は、画素電極 P E 及び第 3 絶縁膜 1 3 を覆っている。

40

なお、画素電極 P E が第 2 絶縁膜 1 2 と第 3 絶縁膜 1 3 との間に位置し、共通電極 C E が第 3 絶縁膜 1 3 と第 1 配向膜 A L 1 との間に位置していても良い。このような場合、画素電極 P E は画素ごとにスリットを有していない平板状に形成され、共通電極 C E は画素電極 P E と対向するスリットを有する。また、画素電極 P E 及び共通電極 C E の双方が第 1 方向 X に並んで配置されていても良い。例えば、画素電極 P E 及び共通電極 C E の双方

50

が櫛歯状に形成され互いに噛み合うように配置されていても良い。このような配置の場合、例えば、図示した第3絶縁膜を省略し、画素電極PE及び共通電極CEの双方が第2絶縁膜12と第1配向膜AL1との間に位置していても良いし、画素電極PE及び共通電極CEのうち的一方が第2絶縁膜12と第3絶縁膜13との間に位置し、他方が第3絶縁膜13と第1配向膜AL1との間に位置していても良い。

【0020】

第2基板SUB2は、第2絶縁基板20、遮光層BM、カラーフィルタCF、オーバーコート層OC、第2配向膜AL2などを備えている。

第2絶縁基板20は、ガラス基板や樹脂基板などの光透過性を有する基板である。遮光層BM及びカラーフィルタCFは、第2絶縁基板20の第1基板SUB1と対向する側に位置している。遮光層BMは、各画素を区画し、図中において信号線Sと対向する位置に配置されている。カラーフィルタCFは、画素電極PEと対向する位置に配置され、その一部が遮光層BMに重なっている。カラーフィルタCFは、赤色カラーフィルタ、緑色カラーフィルタ、青色カラーフィルタなどを含む。オーバーコート層OCは、カラーフィルタCFを覆っている。第2配向膜AL2は、オーバーコート層OCを覆っている。

なお、カラーフィルタCFは、第1基板SUB1に配置されても良い。また、遮光層BMを配置する代わりに、異なる色のカラーフィルタを2層以上重ね合わせることで透過率を低下させ、遮光層として機能させても良い。カラーフィルタCFは、4色以上のカラーフィルタで形成されても良く、白色を表示する画素には、白色のカラーフィルタを配置しても良いし、無着色の樹脂材料を配置しても良いし、カラーフィルタを配置せずにオーバーコート層OCを配置しても良い。

【0021】

本実施形態の表示装置DSPに搭載されるセンサは、検出電極Rxを備えている。図示した例では、検出電極Rxは、第2基板SUB2の外面SBAに位置している。検出電極Rxは、例えば、アルミニウム(Al)、チタン(Ti)、銀(Ag)、モリブデン(Mo)、タングステン(W)、銅(Cu)、クロム(Cr)などの金属材料や、これらの金属材料を組み合わせた合金や、ITOやIZO等の透明な酸化物材料や、導電性の有機材料や、微細な導電性物質の分散体などによって形成されている。また、検出電極Rxは、これらの金属材料を1以上用いて、複数積層した積層体としても良い。検出電極Rxに金属製の導電材料を用いる場合は、メッシュ加工を施したり、黒色材料でメッキ加工するなどの不可視化処理をするとより良い。

【0022】

第1偏光板PL1を含む第1光学素子OD1は、第1絶縁基板10と照明装置BLとの間に位置している。第2偏光板PL2を含む第2光学素子OD2は、検出電極Rxの上に位置している。第1光学素子OD1及び第2光学素子OD2は、必要に応じて位相差板を含んでいても良い。第1偏光板PL1及び第2偏光板PL2は、例えば、それぞれの吸収軸が直交するクロスニコルの位置関係となるように配置される。

【0023】

次に、本実施形態の表示装置DSPに搭載されるセンサSSの一構成例について説明する。以下に説明するセンサSSは、例えば相互容量方式の静電容量型であり、誘電体を介して対向する一対の電極間の静電容量の変化に基づいて、被検出物の接触あるいは接近を検出するものである。

以下、図4A乃至4Cを参照して、静電容量型センサSSの基本原理について説明する。図4Aは、被検出物が接触あるいは接近していない状態を表す説明図である。図4Bは、図4Aに示した状態のセンサの等価回路の例を示す説明図である。図4Cは、センサ駆動信号及び検出信号の波形の一例を表す図である。なお、以下の説明では、被検出物として指が接触あるいは接近する場合を説明するが、被検出物は指に限られず、例えばスタイラスペン等の導体を含む物体であっても良い。

例えば、図4Aに示すように、センサSSを構成する容量素子CPは、誘電体Dを挟んで互に対向配置された一対の電極、すなわち、センサ駆動電極Tx及び検出電極Rxを

10

20

30

40

50

備えている。図4Bに示すように、容量素子C1の一端(センサ駆動電極Tx)は交流信号源(駆動信号源)SGSに接続され、他端(検出電極Rx)は電圧検出器(検出部)DETに接続される。電圧検出器DETは、例えば積分回路である。

交流信号源SGSからセンサ駆動電極Txに所定の周波数(例えば数kHz~数百kHz程度)の交流矩形波Sgが印加されると、検出電極Rx側に接続された電圧検出器DETを介して、図4Cに示すような出力波形Vdetが現れる。なお、この交流矩形波Sgは、共通電極駆動回路CDから入力されるセンサ駆動信号TxSに相当する。出力波形Vdetは、検出信号RxSに相当する。

指が接触または近接していない状態(非接触状態)では、図4Bに示すように、容量素子CPに対する充放電に伴って、容量素子CPの容量値に応じた電流I₀が流れる。図示した電圧検出器DETは、交流矩形波Sgに応じた電流I₀の変動を電圧の変動に変換し、図4Cの実線で示した波形V₀の検出信号RxSが出力される。

一方、指が接触(または接近)した状態(接触状態)では、指によって形成される静電容量が検出電極Rxと接触しているまたは検出電極Rxの近傍にあることにより、センサ駆動電極Tx及び検出電極Rxの間にあるフリンジ分の静電容量が遮られる。このため、接触状態での容量素子CPは、非接触状態での容量値よりも小さい容量値の容量素子として作用する。そして、容量素子CPの容量値の変化に応じて変動する電流が流れる。このとき、図4Cに点線で示した波形V₁の検出信号RxSが出力される。この場合、波形V₁は、上述した波形V₀と比べて振幅が小さくなる。これにより、波形V₀と波形V₁との電圧差分の絶対値|V|は、指などの被検出物が接触または接近した影響に応じて変化することになる。なお、電圧検出器DETは、波形V₀と波形V₁との電圧差分の絶対値|V|を精度よく検出するため、回路内のスイッチングにより、交流矩形波Sgの周波数に合わせて、コンデンサの充放電をリセットする期間Resetを設けた動作とすることがより好ましい。

このように、センサSSは、共通電極駆動回路CDから供給されるセンサ駆動信号TxSに従って、1検出ブロックずつ順次走査して、被検出物の接触あるいは接近の検出(センシング)を行う。センサSSは、後述する複数の検出電極Rxから、図4Bに示した電圧検出器DETを介して、検出ブロック毎に検出信号RxSを出力する。

【0024】

図4Dは、センサSSの一構成例を示す平面図である。

本実施形態では、センサSSは、センサ駆動電極(第1電極)Tx、検出電極(第2電極)Rx、リード線L、及び、接続配線WRを備えている。センサ駆動電極Txは、上記の共通電極CEを含み、画素電極PEとの間で電界を発生させる機能を有するとともに、検出電極Rxとの間で容量を発生させることで被検出物の位置を検出するための機能を有している。

【0025】

センサ駆動電極Tx及び検出電極Rxは、表示領域DAに位置している。図示した例では、センサ駆動電極Txは、それぞれ第1方向Xに延出した帯状の形状を有し、第2方向Yに間隔を置いて並んでいる。また、検出電極Rxは、それぞれ第2方向Yに延出した帯状の形状を有し、第1方向Xに間隔を置いて並んでいる。なお、センサ駆動電極Tx及び検出電極Rxの個数やサイズ、形状は特に限定されるものではなく種々変更可能である。センサ駆動電極Tx及び検出電極Rxは、非表示領域NDAまで延在していても良い。センサ駆動電極Tx及び検出電極Rxの形状は、帯状に限らず、櫛歯形状などの他の形状であっても良い。あるいは、センサ駆動電極Tx及び検出電極Rxは、複数に分割されていればよく、センサ駆動電極Txを分割するスリットの形状は直線であっても、曲線であっても良い。

【0026】

リード線L及び接続配線WRは、非表示領域NDAに位置している。リード線Lは、第2基板SUB2において、検出電極Rxと同一面(例えば、図3に示した外面SBA)に位置している。このようなリード線Lは、低抵抗な金属材料によって形成されることが望

10

20

30

40

50

ましい。リード線 L の各々の一端側は、検出電極 R x の各々と電氣的に接続されている。リード線 L の各々の他端側は、端子群 T G B における端子 T B 2 の各々と電氣的に接続されている。接続配線 W R は、第 1 基板 S U B 1 に備えられている。接続配線 W R の各々の一端側は、センサ駆動電極 T x の各々と電氣的に接続されている。接続配線 W R の各々の他端側は、共通電極駆動回路 C D と電氣的に接続されている。

なお、リード線 L 及び接続配線 W R のレイアウトは、図示した例に限らない。例えば、複数のセンサ駆動電極 T x のうち、奇数番目のセンサ駆動電極 T x と接続された接続配線 W R が一方の非表示領域 N D A (例えば、表示領域 D A よりも右側の非表示領域 N D A) に位置し、偶数番目のセンサ駆動電極 T x と接続された接続配線 W R が他方の非表示領域 N D A (例えば、表示領域 D A よりも左側の非表示領域 N D A) に位置していても良い。また、表示領域 D A の上側半分に位置するセンサ駆動電極 T x と接続された接続配線 W R が一方の非表示領域 N D A に位置し、表示領域 D A の下側半分に位置するセンサ駆動電極 T x と接続された接続配線 W R が他方の非表示領域 N D A に位置していても良い。

【 0 0 2 7 】

共通電極駆動回路 C D は、画像を表示する表示駆動時に、共通電極 C E を含むセンサ駆動電極 T x に対してコモン駆動信号を供給する。

また、共通電極駆動回路 C D は、被検出物の接触あるいは接近を検出するためのセンシングを行うセンシング駆動時に、センサ駆動電極 T x に対してセンサ駆動信号を供給する。検出電極 R x は、センサ駆動電極 T x へのセンサ駆動信号の供給に伴って、センシングに必要なセンサ信号 (つまり、センサ駆動電極 T x と検出電極 R x との間の電極間容量の変化に基づいた信号) を出力する。

【 0 0 2 8 】

図 4 E は、図 4 D に示したセンサ S S を概略的に示す斜視図である。

複数のセンサ駆動電極 T x は、それぞれ第 1 方向 X に延在するストライプ状の電極パターンを有する。検出電極 R x は、それぞれ第 2 方向 Y に延在するストライプ状の電極パターンを有し、センサ駆動電極 T x とそれぞれ交差している。検出電極 R x は、第 1 方向 X 及び第 2 方向 Y と交差する第 3 方向 Z において、センサ駆動電極 T x と対向している。センサ駆動電極 T x と検出電極 R x とが対向する部分は、図 4 A に示した容量素子 C P に相当し、その交差部分に静電容量を生じさせている。

このような構成のセンサ S S では、センシング駆動時において、共通電極駆動回路 C D がセンサ駆動電極 T x を時分割的に順次走査するように駆動することにより、センサ駆動電極 T x の 1 検出ブロックが図中に矢印で示したスキャン方向に順次選択される。選択されたセンサ駆動電極 T x の検出ブロックには、共通電極駆動回路 C D によってセンサ駆動信号 T x s が供給される。そして、検出電極 R x から検出信号 R x s が出力されることにより、1 検出ブロックのセンシングが行われる。ここで、センサ駆動電極 T x の検出ブロックは、1 本または複数本のセンサ駆動電極 T x の電極パターンを含み、複数の検出ブロックは、それぞれセンサ駆動電極 T x の延出方向に沿った方向に延び、かつ、スキャン方向に配列される。

図示したセンサ S S において、互いに交差した検出電極 R x 及びセンサ駆動電極 T x は、静電容量型タッチセンサをマトリックス状に構成している。よって、センサ S S のタッチ検出面全体にわたって走査することにより、外部からの被検出物 (導体) の接触または接近が生じた位置の検出が可能となっている。

【 0 0 2 9 】

図 4 F は、センサ S S の他の構成例を示す平面図である。図 4 F に示した構成例は、図 4 D に示した構成例と比較して、センサ駆動電極 T x が第 1 方向 X に間隔を置いて並び、第 2 方向 Y に延出する一方で、検出電極 R x が第 2 方向 Y に間隔を置いて並び、第 1 方向 X に延出している点で相違している。このような構成例においても、センサ駆動電極 T x 及び接続配線 W R は第 1 基板 S U B 1 に備えられ、検出電極 R x 及びリード線 L は第 2 基板 S U B 2 に備えられている。他の要素については図 4 D に示した構成例と同一であり、同一の参照符号を付して説明を省略する。

【 0 0 3 0 】

なお、リード線 L 及び接続配線 W R のレイアウトは、図示した例に限らない。例えば、複数のリード線 L のうち、奇数番目の検出電極 R x と接続されたリード線 L が一方の非表示領域 N D A (例えば、表示領域 D A よりも右側の非表示領域 N D A) に位置し、偶数番目の検出電極 R x と接続されたリード線 L が他方の非表示領域 N D A (例えば、表示領域 D A よりも左側の非表示領域 N D A) に位置していても良い。また、表示領域 D A の上側半分に位置する検出電極 R x と接続されたリード線 L が一方の非表示領域 N D A に位置し、表示領域 D A の下側半分に位置する検出電極 R x と接続されたリード線 L が他方の非表示領域 N D A に位置していても良い。

【 0 0 3 1 】

図 5 A は、センサ駆動電極 T x がセンサ駆動信号 T x s により駆動されるときタイミングチャートを示している。1 フレーム期間 F は、表示期間 D W T (信号線 S からの画素信号 S i g X の書き込み期間も含む) とセンシングを行う検出期間 T D T (この期間は、非表示期間 T D T と称しても良い) とが異なる期間に設定されている。より具体的には、1 フレーム期間 F は、複数の表示期間 D W T を有し、表示期間 D W T と表示期間 D W T の間に、検出期間 T D T が設定されている。検出期間 T D T では、センサ駆動電極 T X の検出ブロック T x 1、T x 2、T x 3、... がセンサ駆動信号 T x s 1、T x s 2、T x s 3、... により駆動される。なお、1 検出ブロックは、上記の通り、1 本または複数本のセンサ駆動電極 T x の電極パターンを含む単位である。

センサ駆動電極 T X の検出ブロック T x 1、T x 2、T x 3、... がセンサ駆動信号 T x s 1、T x s 2、T x s 3、... により駆動されたとき、タッチ検出面に被検出物が近接していた場合、被検出物の位置に対応する検出電極 R x からレベルの低い検出信号 R x s が出力される。表示期間 D W T 及びタッチ検出期間 T D T は、1 フレーム期間 F 内の複数個所に分散している。つまり、表示期間 D W T 及びタッチ検出期間 T D T は、1 フレーム期間 F 内で時分割されている。

【 0 0 3 2 】

図 5 B は、主な回路ブロックを示す図である。

ホスト装置 H O S から出力された画素データ及び同期信号は、インターフェース回路 7 0 1 にて受け取られる。インターフェース回路 7 0 1 で受け取られた画素データは、データ処理回路 7 0 2 に入力されて表示パネル P N L による表示に適合するようにデータの補間処理及び又は合成処理などが施される。タイミング生成回路 7 1 2 は、垂直同期信号及び又は水平同期信号を受け取る。タイミング生成回路 7 1 2 は、位相制御回路を含み、内部発振器 7 1 1 のクロック (内部クロック) の位相と外部の同期信号の位相との関係を所定の関係に制御して維持する。そして、タイミング生成回路 7 1 2 は、内部クロックに基づいて、内部の水平同期パルス及び内部垂直同期パルスを生成する。

内部水平同期パルス、内部垂直同期パルス、及び駆動用の各種タイミングパルスは、L C D 駆動回路 7 1 3、タッチパネル駆動回路 7 1 5 に入力される。また、タイミング生成回路 7 1 2 は、インターフェース回路 7 0 1、データ処理回路 7 0 2、ビデオメモリ 7 0 3、表示用ラインデータラッチ回路 7 0 4、ソース増幅器 7 0 5 のそれぞれに対してタイミングパルスを生成して供給している。これにより、駆動 I C チップ 1 内部の各ブロックが統一されて制御される。したがって、タイミング生成回路 7 1 2 は、駆動 I C チップ 1 内の制御部と称することもできる。

データ処理回路 7 0 2 から出力された画素データは、表示用ラインデータラッチ回路 7 0 4 にラッチされる。表示用ラインデータラッチ回路 7 0 4 にラッチされた画素データは、ソース増幅器 7 0 5 でアナログ変換され、画素信号となり、次にガンマ補正されて、表示パネルに供給される。これらの画素信号は、信号線 S 1 ~ S 1 0 8 0 を介して導通状態の画素に書き込まれる。

L C D 駆動回路 7 1 3 は、タイミング生成回路 7 1 2 からのタイミング信号に基づいて、ソース選択回路 (図示せず)、ゲート回路 (図示せず) を制御し、画素信号を書き込むラインを指定することができる。タッチパネル駆動回路 7 1 5 は、図 5 A で示した駆動信

10

20

30

40

50

号 $T \times s$ を、割り当てられた時間に、センサ駆動電極 $T \times$ の検出ブロックに供給する。これにより、検出信号 $R \times s$ が検出電極 $R \times$ から出力される。ここでのタッチパネル駆動回路 715 は、上記の共通電極駆動回路 CD に含まれるものである。

検出信号 $R \times s$ は、タッチパネルコントローラなどとして機能する検出回路 RC に入力される。検出回路 RC は、駆動 IC チップ 1 に内蔵されても良いし、駆動 IC チップ 1 とは異なる他の IC チップに内蔵されていても良い。この点については、後の構成例において詳述する。検出回路 RC は、センサ駆動信号 $T \times s$ の駆動タイミングと検出信号 $R \times s$ の検出タイミングとの時間的関連性に基づき、被検出物が接触あるいは接近した位置を検出する。被検出物の位置の検出結果（タッチ位置検出結果）は、ホスト装置 HOS に入力される。ホスト装置 HOS は、被検出物の位置を判定した後、判定結果に基づき、次に設定されているプログラミング動作を実行する。

10

検出回路 RC は、タッチ検出周波数の切り替え信号（条件信号と称してもよい）をタイミング生成回路 712 に与えることができる。検出回路 RC は、例えば、通常動作時において、所定レベルのタッチ検出信号 $R \times s$ が得られない場合は、例えば、タッチ検出周波数を 120 Hz とする切り替え信号をタイミング生成回路 712 に与える。ここでこのタッチ検出周波数は、1 フレーム（60 Hz）の期間に表示面（タッチ操作面）を走査する周波数である。そして、何らかのノイズ（タッチ検出信号 $R \times s$ ）が検出されたとき、検出回路 RC は、タッチ検出周波数の切り替え信号をタイミング生成回路 712 に与える。この切り替え信号にตอบสนองして、タイミング生成回路 712 は、タッチパネル駆動回路 715 を制御し、タッチ検出周波数を 60 Hz に設定する。これにより、タッチ検出時間を長く設定することができ、タッチ検出感度を上げることができる。一定時間、タッチ検出信号が入力しない場合、検出回路 RC は、タイミング生成回路 712 を通じて、タッチ検出周波数を 120 Hz とすることができる。このように本装置は、タッチ検出周波数が条件に応じて切り替わることがある。

20

【0033】

図 6 A は、第 1 基板 SUB 1 及び第 2 基板 SUB 2 に接続されたフレキシブル基板 3 の一構成例を示す平面図である。なお、本実施形態で適用可能なフレキシブル基板とは、少なくとも屈曲させる部分が曲がる材料を使用したフレキシブル部として構成されていれば良い。例えば、その全体がフレキシブル部として構成されたフレキシブル基板であっても良いし、ガラスエポキシなどの硬い材料からなるリジッド部及びポリイミドなどの曲がる材料からなるフレキシブル部を備えたリジッドフレキシブル基板であっても良い。

30

フレキシブル基板 3 は、第 1 接続部 3 A、第 2 接続部 3 B、及び、第 3 接続部 3 C を備えている。第 1 接続部 3 A は、端子群 TGA と重なる位置に配置され、第 1 基板 SUB 1 に接続されている。第 2 接続部 3 B は、端子群 TGB と重なる位置に配置され、第 2 基板 SUB 2 に接続されている。第 3 接続部 3 C は、外部の回路基板 7 に接続されている。ここでの外部回路基板 7 は、例えば、図 5 B に示したホスト装置 HOS に相当し、画素データや同期信号を駆動 IC チップ 1 に出力したり、検出回路 RC から被検出物の位置の検出結果が入力されたりするものである。

このようなフレキシブル基板 3 は、第 1 接続部 3 A と第 2 接続部 3 B との間において、平面視で駆動 IC チップ 1 と重複していない。

40

図示した例では、フレキシブル基板 3 は、IC チップ 5、及び、接続配線 W10 を備えている。IC チップ 5 は、フレキシブル基板 3 に実装されている。接続配線 W10 は、第 2 接続部 3 B と IC チップ 5 とを電気的に接続している。IC チップ 5 は、検出回路 RC を内蔵している。検出回路 RC は、図 4 などに示した検出電極 $R \times$ と接続配線 W10などを介して電気的に接続されている。検出回路 RC は、検出電極 $R \times$ から出力されたセンサ信号を読み取り、被検出物の接触あるいは接近の有無や、被検出物の位置座標などを検出するものである。

【0034】

図 6 B は、図 6 A に示したフレキシブル基板 3 の第 1 接続部 3 A 及び第 2 接続部 3 B を示す断面図である。

50

【 0 0 3 5 】

フレキシブル基板 3 は、第 1 接続部 3 A 及び第 2 接続部 3 B に亘って延出した共通のベース層 3 0 を備えている。また、フレキシブル基板 3 は、導電層 3 1、カバー層 3 2 などを備えている。導電層 3 1 は、ベース層 3 0 の表示パネル P N L と対向する側、あるいは、第 1 基板 S U B 1 と対向する側に位置している。導電層 3 1 は、第 1 接続部 3 A に位置する端子 T A 3 1、第 2 接続部 3 B に位置する端子 T B 3 1 などを含んでいる。カバー層 3 2 は、導電層 3 1 を覆っている。なお、カバー層 3 2 は、第 1 接続部 3 A 及び第 2 接続部 3 B においては、それぞれ導電層 3 1 を露出する開口部 O P A 及び O P B を有している。

【 0 0 3 6 】

第 1 接続部 3 A において、フレキシブル基板 3 の端子 T A 3 1 は、第 1 基板 S U B 1 の端子群 T G A における端子 T A 1 と、導電性接着層 4 A を介して電氣的に接続されている。第 2 接続部 3 B において、フレキシブル基板 3 の端子 T B 3 1 は、第 2 基板 S U B 2 の端子群 T G B における端子 T B 2 と、導電性接着層 4 B を介して電氣的に接続されている。導電性接着層 4 A 及び 4 B は、例えば、接着剤中に導電粒子を分散させた異方性導電膜である。

【 0 0 3 7 】

本実施形態によれば、フレキシブル基板 3 は、表示用の電極を備えた第 1 基板 S U B 1 に接続される第 1 接続部 3 A、及び、センサ S S を構成する電極を備えた第 2 基板 S U B 2 に接続される第 2 接続部 3 B を備えており、これらの第 1 接続部 3 A 及び第 2 接続部 3 B に亘って延出した共通のベース層 3 0 を備えている。つまり、第 1 基板 S U B 1 及び第 2 基板 S U B 2 は、単一のフレキシブル基板 3 と電氣的に接続されている。したがって、第 1 基板 S U B 1 及び第 2 基板 S U B 2 の各々が別々のフレキシブル基板と接続される場合と比較して、フレキシブル基板の個数を低減することができ、構造を簡素化することが可能となるとともに、コストを削減することが可能となる。

また、第 1 基板 S U B 1 及び第 2 基板 S U B 2 と接続されるフレキシブル基板 3 を単一化したことにより、複数のフレキシブル基板を互いに電氣的に接続するためのコネクタが不要となり、表示装置の小型化、及び、薄型化が可能となる。

また、フレキシブル基板 3 が接続された表示装置 D S P を電子機器にセットした際に、電子機器内部の構造物とフレキシブル基板 3 との接触を抑制することができ、構造物を所望の位置に設置することが可能となる。

【 0 0 3 8 】

次に、他の構成例について説明する。

【 0 0 3 9 】

図 7 は、第 1 基板 S U B 1 及び第 2 基板 S U B 2 と接続されたフレキシブル基板 3 の他の構成例を示す平面図である。

【 0 0 4 0 】

図示した構成例は、図 6 A に示した構成例と比較して、I C チップ 5 を省略し、検出回路 R C が駆動 I C チップ 1 に内蔵された点で相違している。このような構成例においては、フレキシブル基板 3 は、第 1 接続部 3 A と第 2 接続部 3 B とを電氣的に接続するための接続配線 W 2 0 を備えている。接続配線 W 2 0 の各々の一端側は、第 1 接続部 3 A において、第 1 基板 S U B 1 の端子群 T G A と電氣的に接続されている。接続配線 W 2 0 の各々の他端側は、第 2 接続部 3 B において、第 2 基板 S U B 2 の端子群 T G B と電氣的に接続されている。第 1 基板 S U B 1 は、端子群 T G A と駆動 I C チップ 1 とを電氣的に接続するための接続配線 W 2 1 を備えている。駆動 I C チップ 1 の検出回路 R C は、図 4 などに示した検出電極 R x と接続配線 W 2 0 及び W 2 1 などを通じて電氣的に接続されている。

【 0 0 4 1 】

このようなフレキシブル基板 3 も、図 6 A に示した構成例と同様に、第 1 接続部 3 A と第 2 接続部 3 B との間において、平面視で駆動 I C チップ 1 と重複していない。

このような構成例においても、上記の構成例と同様の効果が得られる。加えて、I C チ

10

20

30

40

50

ップ5を省略し、検出回路RCが駆動ICチップ1に内蔵されたことにより、フレキシブル基板3の小型化及び薄型化が可能となる。

【0042】

図8は、第1基板SUB1及び第2基板SUB2と接続されたフレキシブル基板3の他の構成例を示す平面図である。

【0043】

図示した構成例は、図6Aに示した構成例と比較して、フレキシブル基板3が第1接続部3Aと第2接続部3Bとの間において平面視で駆動ICチップ1と重複する点で相違している。なお、フレキシブル基板3の接続配線W10は、駆動ICチップ1の上に延出しているが、図6Bに示したようなカバー層32によって覆われており、電気的絶縁性が確保されている。

10

【0044】

このような構成例においても、上記の構成例と同様の効果が得られる。加えて、上記の構成例と比較して、フレキシブル基板3が駆動ICチップ1と重複する領域を迂回する必要がないため、フレキシブル基板3の小型化が可能となる。また、図示した構成例においては、フレキシブル基板3の駆動ICチップ1と対向する面に放熱部材を設置し、この放熱部材を駆動ICチップ1と接触させても良い。これにより、駆動ICチップ1の発熱による温度上昇を抑制することが可能となる。

【0045】

図9は、図6A及び図7に示した構成例におけるフレキシブル基板3と駆動ICチップ1との位置関係を示す断面図である。図示したように、フレキシブル基板3は、第1接続部3Aと第2接続部3Bとの間において、駆動ICチップ1と重複することなく配置されている。第1接続部3Aは、第1基板SUB1において駆動ICチップ1が実装された面と同一面上に接続されている。第2接続部3Bは、第2基板SUB2において検出電極Rxが配置された面と同一面上に接続されている。

20

【0046】

図10は、図8に示した構成例におけるフレキシブル基板3と駆動ICチップ1との位置関係を示す断面図である。図示したように、フレキシブル基板3は、第1接続部3Aと第2接続部3Bとの間において、駆動ICチップ1と重複している。図示した例では、フレキシブル基板3は、駆動ICチップ1から離間しているが、フレキシブル基板3と駆動ICチップ1との間に、上記した放熱部材などの絶縁体が介在していても良い。また、フレキシブル基板3として、複数の導電層を含む多層構造のものが適用可能である。このようなフレキシブル基板3は、例えば、絶縁層と導電層とが交互に積層されており、接続用の配線として使われていない導電層を駆動ICチップ1と対向する側に露出させ、この導電層を駆動ICチップ1に接触させることにより放熱部材として利用することができる。

30

【0047】

図11は、第1基板SUB1及び第2基板SUB2と接続されたフレキシブル基板3の他の構成例を示す平面図である。図6Bを参照して説明したように、カバー層32は、第1接続部3Aにおいて開口部OPAを有している。この開口部OPAは、平面視した際、端子群TGAと重なる位置に形成されている。図示した構成例では、開口部OPAは、第1接続部3Aにおいて、フレキシブル基板3の一方端3Dから他方端3Eまで連続的に延出している。また、開口部OPAは、第2接続部3Bから延出した接続配線W10と交差している。

40

【0048】

図12は、図11に示したフレキシブル基板3の第1接続部3Aを第1基板側から見た拡大平面図である。図示したように、第1接続部3Aは、一方端3D側に端子TA31を備え、他方端3E側に接続配線W10を備えている。これらの端子TA31及び接続配線W10は、ベース層30の第1基板と対向する側に位置する導電層31の一部である。カバー層32は、一方端3Dから他方端3Eに亘って導電層31を露出する開口部OPAを有している。つまり、端子TA31及び接続配線W10は、開口部OPAから露出してい

50

る。

【0049】

このようなフレキシブル基板3は、例えば、以下の工程を経て製造される。すなわち、ベース層30の上に、スパッタなどの手法を用いて金属材料を成膜し、その後、成膜された金属材料をパターニングすることで導電層31を形成する。その後、導電層31の上に、開口部OPAなどを有したカバー層32を接着する。一例では、フレキシブル基板3の総厚は45 μm ~150 μm であり、カバー層32の厚さは20 μm ~30 μm であり、導電層31の厚さは1 μm ~10 μm 程度である。

【0050】

図13は、図11に示したフレキシブル基板3の第1接続部3Aにおける一方端3Dから他方端3Eまでの断面図である。図示したように、第1接続部3Aは、導電性接着層4Aを介して、第1基板SUB1に接続されている。導電性接着層4Aは、接着剤40と、接着剤40に分散された導電粒子41と、を有している。第1基板SUB1の端子群TGAにおける端子TA1は、それぞれ第1接続部3Aの端子TA31と向かい合っている。導電粒子41は、端子TA1及び端子TA31の双方と接触し、両者を電氣的に接続している。但し、図示した断面では、フレキシブル基板3の第1接続部3Aにおいて、端子TA1のみならず、接続配線W10も露出している。このため、第1基板SUB1における端子群TGAや周辺配線は、接続配線W10と向かい合う位置には設けられていない。接続配線W10は、導電性接着層4Aを介して第1基板SUB1と接着されているが、第1基板SUB1において端子や配線などの導電層が設けられていない領域と向かい合っている。この点について、以下に説明する。

【0051】

図14は、図11に示した開口部OPAと対向する第1基板SUB1の拡大平面図である。図示したように、第1基板SUB1は、周辺配線として、第1基板SUB1の最外周に位置する最外周配線WAや、最外周配線WAよりも内側に位置する外周配線WBを備えている。このような各種周辺配線としては、コモン電位や接地電位などの固定電位の配線や、電源線、検査パッドPDに接続された検査用配線などが含まれる。フレキシブル基板3の開口部OPAは、図中に点線で示している。図13に示したように、端子TA1は開口部OPAから露出した端子TA31と重なり、また、端子TA1と並んだ領域は開口部OPAから露出した接続配線W10と重なる。このため、図示した例では、第1基板SUB1は、端子TA1と並んだ領域のうち、平面視で接続配線W10と対向する領域においては、いずれの周辺配線も備えていない。

【0052】

このため、第1基板SUB1にフレキシブル基板3の第1接続部3Aが接続された際に、図13に示したように、接続配線W10は、周辺配線を備えていない領域と向かい合う。

【0053】

このように、図11乃至図14を参照して説明した構成例によれば、フレキシブル基板3は、第1接続部3Aにおける一方端3Dから他方端3Eに亘って延出した開口部OPAを有しているため、第1基板SUB1にフレキシブル基板3の第1接続部3Aを圧着する際に、第1接続部3Aの全体を均一に加圧することができ、導電粒子41を介して端子TA1と端子TA31とを確実に接続することができる。

【0054】

また、フレキシブル基板3の第1接続部3Aにおいて、開口部OPAから端子TA31のみならず接続配線W10も露出するが、接続配線W10と周辺配線などの他の導電層とのショートを抑制することができる。

【0055】

図15は、図11に示した開口部OPAと対向する第1基板SUB1の他の構成例を示す図である。

【0056】

10

20

30

40

50

図中の(A)は、第1基板SUB1の拡大平面図である。図示したように、第1基板SUB1は、端子TA1と並んだ領域のうち、平面視で開口部OPAから露出した接続配線W10と対向する領域においては、周辺配線として、最外周配線WAや外周配線WBを備えている。

【0057】

図中の(B)は、(A)に示したA-B線で切断した第1基板SUB1の断面図である。第1基板SUB1において、第1絶縁基板10の上に位置する最外周配線WAや外周配線WBは、絶縁膜によって覆われている。図示した例では、最外周配線WA及び外周配線WBは、第1絶縁膜11の上に位置し、第2絶縁膜12によって覆われており、さらに、第2絶縁膜12の上に第3絶縁膜13が位置している。なお、最外周配線WA及び外周配線WBは、少なくとも1層の絶縁膜によって覆われていれば良い。

10

【0058】

このような構成例によれば、フレキシブル基板3の第1接続部3Aが第1基板SUB1に接続された際に、開口部OPAから端子TA31のみならず接続配線W10も露出するが、接続配線W10と、最外周配線WA及び外周配線WBとの間に絶縁膜が介在しているため、接続配線W10と最外周配線WA及び外周配線WBとのショートを抑制することができる。

【0059】

図16は、第1基板SUB1及び第2基板SUB2と接続されたフレキシブル基板3の他の構成例を示す平面図である。図示した構成例は、図11に示した構成例と比較して、第1接続部3Aにおける開口部OPAが端子群TGAと重なる位置のみに形成された点で相違している。言い換えると、開口部OPAの延出方向において、少なくとも接続配線W10と重なる部分にカバー層32が配置される。この開口部OPAは、第2接続部3Bから延出した接続配線W10とは交差していない。

20

【0060】

図17は、図16に示したフレキシブル基板3の第1接続部3Aを第1基板側から見た拡大平面図である。図示したように、第1接続部3Aは、導電層31の一部として、端子TA31及び接続配線W10を備えている。カバー層32は、接続配線W10を覆う一方で、端子TA31を露出する開口部OPAを有している。

【0061】

図18は、図16に示したフレキシブル基板3の第1接続部3Aの断面図である。図示したように、第1接続部3Aは、導電性接着層4Aを介して、第1基板SUB1に接続されている。第1基板SUB1の端子群TGAにおける端子TA1は、それぞれ第1接続部3Aの端子TA31と向かい、それぞれ導電粒子41を介して電氣的に接続されている。接続配線W10を覆うカバー層32は、導電性接着層4Aを介して第1基板SUB1と接着されている。

30

【0062】

このように、図16乃至図18に示した構成例によれば、接続配線W10と向かい合う第1基板SUB1の領域に、たとえ端子や配線などの導電層が設けられていたとしても、カバー層32が介在するため、接続配線W10と第1基板SUB1の導電層とのショートを抑制することができる。

40

【0063】

図19は、フレキシブル基板3の他の構成例における第1接続部3Aの断面図である。図示した構成例は、図18に示した構成例と比較して、フレキシブル基板3がベース層30の端子TA31が設けられた面とは反対側に補助カバー層33を備えた点で相違している。補助カバー層33は、カバー層32の開口部OPAと重複する位置に設けられている。また、この補助カバー層33の厚さT33は、カバー層32の厚さT32と同等である。

【0064】

このような構成例によれば、フレキシブル基板3は、接続配線W10を覆うカバー層3

50

2を有する一方で、カバー層32の開口部OPAと重複する位置に補助カバー層33を備えているため、接続配線W10と第1基板SUB1の導電層とのショートを抑制することができるのに加えて、第1基板SUB1に第1接続部3Aを圧着する際に、カバー層32による段差の影響が緩和され、第1接続部3Aの全体を均一に加圧することができる。また、カバー層32の厚さT32と、補助カバー層33の厚さT33とが同等であるため、第1接続部3Aの全体をより均一に加圧することができる。これにより、導電粒子41を介して端子TA1と端子TA31とを確実に接続することができる。

【0065】

図20は、フレキシブル基板3の他の構成例における第1接続部3Aの断面図である。図示した構成例は、図18に示した構成例と比較して、導電性接着層4Aが開口部OPAのみに位置している点で相違している。言い換えると、導電性接着層4Aは、カバー層32とは重複していない。開口部OPAにおいては、端子群TGAの端子TA1と第1接続部3Aの端子TA31とが導電粒子41を介して電氣的に接続されている。なお、カバー層32は、導電性接着層4Aを介することなく第1基板SUB1に接触していても良いし、第1基板SUB1から離間していても良い。

10

【0066】

このような構成例によれば、第1基板SUB1に第1接続部3Aを圧着する際に、カバー層32による段差の影響を受けることなく、導電粒子41を介して端子TA1と端子TA31とを確実に接続することができる。

【0067】

なお、上記した各構成例におけるセンサSSは、一対の電極間の静電容量（上記の例ではセンサ駆動電極Txと検出電極Rxとの間の静電容量）の変化に基づいて被検出物を検出する相互容量方式に限らず、検出電極Rxの静電容量の変化に基づいて被検出物を検出する自己容量方式であっても良い。

20

【0068】

図21Aは、他のセンサ装置100を示す平面図である。

センサ装置100は、支持基板101の上に、第1電極E1、第2電極E2、リード線L、及び、端子TCを備えている。第1電極E1及び第2電極E2は、それぞれ第1方向X及び第2方向Yに並んでいる。第1電極E1の各々は、島状に形成されている。第1方向Xに並んだ第1電極E1は、ブリッジ部DBで互いに電氣的に接続されている。第2方向Yに並んだ第1電極E1は、互いに電氣的に独立している。第2方向Yに並んだ第2電極E2は、ブリッジ部DBの下層において、互いに電氣的に接続されている。第1方向Xに並んだ第2電極E2は、互いに電氣的に独立している。リード線Lの各々の一端側は、第1方向Xに並んだ第1電極E1、及び、第2方向Yに並んだ第2電極E2とそれぞれ電氣的に接続されている。リード線Lの各々の他端側は、端子群TGCにおける端子TCの各々と電氣的に接続されている。端子群TGCの端子TCは、上記したフレキシブル基板3の第2接続部3Bと接続される。

30

なお、センサ装置100は、相互容量方式であっても良いし、自己容量方式であっても良い。センサ装置100が相互容量方式である場合には、例えば、第1電極E1は検出電極Rxに相当し、第2電極E2はセンサ駆動電極Txに相当する。また、センサ装置100が自己容量方式である場合には、第1電極E1及び第2電極E2の両方が検出電極Rxに相当する。

40

【0069】

図21Bは、図21Aに示したセンサ装置100の断面図である。

第1電極E1及び第2電極E2は、支持基板101の同一面上に位置し、絶縁膜102によって覆われている。ブリッジ部DBは、絶縁膜102の上に位置し、絶縁膜102を貫通するコンタクトホールを介して、第2電極E2を挟んで隣り合う第1電極E1にそれぞれコンタクトしている。ブリッジ部DBは、絶縁膜103によって覆われている。

【0070】

図22は、さらに他のセンサ装置100を示す平面図である。図示したセンサ装置100

50

0は、図21Aに示したセンサ装置100と比較して、ブリッジ部を必要とすることなく、単層で構成することができる点で相違している。センサ装置100は、第1方向Xに並んだ電極群EGa、EGb、EGc、EGd...を備えている。各電極群EGは、同様に構成されており、それぞれ第1電極E1、第2電極E2、及び、リード線Lを備えている。ここでは、電極群EGaに着目して、その構成について説明する。

第1電極E1は、第2方向Yに間隔をおいて並んだ複数のセンサ要素Ea1、Ea2、Ea3...を含んでいる。図示した例では、センサ要素Ea1、Ea2、Ea3...のそれぞれは、「F」字状に形成され、第1方向Xに延出した2本の櫛歯を有しているが、各センサ要素の形状は図示した例に限らない。第2電極E2は、センサ要素Ea1、Ea2、Ea3...に対して間隔をおいて配置されている。図示した例では、第2電極E2は、櫛形に形成され、第1電極E1に向かって第1方向Xに延出した複数の櫛歯を有している。このような第2電極E2の櫛歯は、センサ要素Ea1、Ea2、Ea3...のそれぞれの櫛歯と交互に配置されている。第1電極E1と第2電極E2との間隔はほぼ一定である。

リード線La1、La2、La3...は、第1電極E1を挟んで第2電極E2とは反対側に配置され、それぞれセンサ要素Ea1、Ea2、Ea3...と電氣的に接続されている。より具体的には、リード線La1は、センサ要素Ea1の端部に繋がり、センサ要素Ea2及びリード線La2とほぼ一定の間隔をおいて並んでいる。リード線La2は、センサ要素Ea2の端部に繋がり、センサ要素Ea3とリード線La1との間、及び、リード線La1とリード線La3との間に位置している。

図示した例では、センサ装置100、さらに、電極群EGa、EGb、EGc、EGd...のそれぞれの周囲に配置された第3電極E3、及び、第3電極E3と各電極群のセンサ要素及びリード線の少なくとも一部との間に配置された第4電極E4を備えている。第3電極E3は、隣り合う電極群を各々電氣的にシールドするシールド電極として機能する。第4電極E4は、第3電極E3と第1電極E1のセンサ要素及びリード線Lとのカップリングを抑制するダミー電極として機能する。

なお、センサ装置100は、相互容量方式であっても良いし、自己容量方式であっても良い。センサ装置100が相互容量方式である場合には、例えば、第1電極E1は検出電極Rxに相当し、第2電極E2はセンサ駆動電極Txに相当する。また、センサ装置100が自己容量方式である場合には、第1電極E1及び第2電極E2の両方が検出電極Rxに相当する。

このように、本実施形態で適用可能なセンサ装置は、電極が特定の方向に延在し、特定の方向に配列されるものに限らず、図22に示したようにセンサ要素がマトリクス状に配置されたものであっても良い。以下に、図21Aや図22を参照して説明したセンサ装置100を備えた表示装置DSPの適用例について、具体的に説明する。

【0071】

図23は、センサ装置100を備えた表示装置DSPの適用例を示す断面図である。図示した適用例では、上記したセンサ装置100の支持基板101は、表示パネルPNLの第2基板SUB2に相当する。すなわち、第1電極E1、第2電極（図示を省略）、絶縁膜102及び103などは、第2基板SUB2の上側に位置している。第2光学素子OD2は、絶縁膜103の上に位置している。このような適用例において、フレキシブル基板3は、第1基板SUB1及び第2基板SUB2にそれぞれ接続されている。ここでは詳述しないが、フレキシブル基板3は、第2基板SUB2において、図21に示したような端子群TGCの端子TCと電氣的に接続されている。

【0072】

図24は、センサ装置100を備えた表示装置DSPの他の適用例を示す断面図である。図示した適用例では、センサ装置100は、表示パネルPNLとは別個に設けられている。支持基板101は、表示パネルPNLよりも上側に位置している。第1電極E1、第2電極（図示を省略）、絶縁膜102及び103などは、支持基板101の上側、つまり、表示パネルPNLと向かい合う側とは反対側に位置している。このような適用例において、フレキシブル基板3は、第1基板SUB1及び支持基板101にそれぞれ接続されて

いる。

なお、図示した適用例では、第1電極E1などが支持基板101の表示パネルPNLと向かい合う側に位置していても良い。

【0073】

図25Aは、センサ装置100を備えた表示装置DSPの他の適用例を示す断面図である。図示した適用例では、センサ装置100は、表示パネルPNLとは別個に設けられ、表示パネルPNLよりも上側に位置している。第1電極E1及び絶縁膜102などは、支持基板101の上側に位置している。一方で、第2電極E2は、表示パネルPNLの第2基板SUB2の上側に位置している。このような適用例において、フレキシブル基板3は、第1基板SUB1、第2基板SUB2、及び、支持基板101にそれぞれ接続されている。

10

なお、図示した適用例では、第1電極E1などが支持基板101の表示パネルPNLと向かい合う側に位置していても良い。

【0074】

図25Bは、図25Aに示した表示装置DSPの平面図である。なお、図中では、フレキシブル基板3と、第2基板SUB2及びセンサ装置100との接続位置を明確にするために、第2接続部3Bと対向する位置のセンサ装置100を一部破断している。フレキシブル基板3は、上記の通り、第1接続部3A、第2接続部3B、第3接続部3Cの他に、第4接続部3Fを備えている。図示した例では、第4接続部3Fは、平面視で駆動ICチップ1を挟んで第2接続部3Bとは反対側に位置している。第2接続部3Bは、端子群TGBと重なる位置に配置され、第2基板SUB2に接続されている。端子群TGBの各端子は、図25Aに示した第2電極E2と電氣的に接続されている。第4接続部3Fは、端子群TGDと重なる位置に配置され、支持基板101に接続されている。端子群TGDの各端子は、図25Aに示した第1電極E1と電氣的に接続されている。フレキシブル基板3は、第1基板SUB1の端子群TGAに接続され、接続配線W21を介して駆動ICチップ1に内蔵された検出回路RCと接続されている。これにより、第1電極E1及び第2電極E2は、検出回路RCと電氣的に接続される。なお、図示した例では、検出回路RCが駆動ICチップ1に内蔵されているが、図8などに示したように検出回路RCがフレキシブル基板3上の他のICチップ5に内蔵されている場合には、フレキシブル基板3の配線を介して第1電極E1及び第2電極E2が検出回路RCと電氣的に接続される。

20

30

【0075】

これらのいずれの適用例においても、単一のフレキシブル基板3が複数の基板にそれぞれ接続され、各基板の電極や配線との間で信号を送送するための伝送路を形成している。このため、上記した各構成例と同様の効果が得られる。なお、フレキシブル基板3と各基板との接続構造については、いずれの上記したいずれの構成例も適用可能である。

【0076】

図26は、第1基板SUB1及び第2基板SUB2と接続されたフレキシブル基板3の他の構成例を示す平面図である。図示した構成例は、上記した各構成例と比較して、駆動ICチップ1がフレキシブル基板3の上に実装された点で相違している。図示した例では、検出回路RCは、駆動ICチップ1に内蔵されているが、フレキシブル基板3上の他のICチップに内蔵されていても良い。フレキシブル基板3において、第1接続部3Aは、端子群TGAと重なる位置に配置され、第1基板SUB1に接続されている。端子群TGAの各端子は、詳述しないが、走査線、信号線、センサ駆動電極（あるいは第1電極）などと電氣的に接続されている。第2接続部3Bは、端子群TGBと重なる位置に配置され、第2基板SUB2に接続されている。端子群TGBの各端子は、詳述しないが、検出電極（あるいは第2電極）などと電氣的に接続されている。このような構成例においても、単一のフレキシブル基板3が複数の基板にそれぞれ接続され、各基板の電極や配線との間で信号を送送するための伝送路を形成している。このため、上記した各構成例と同様の効果が得られる。

40

【0077】

50

以上説明したように、本実施形態によれば、構造を簡素化することが可能なセンサ付き表示装置を提供することができる。

上記の例では、フレキシブル基板 3 は、第 1 基板 SUB 1 及び第 2 基板 SUB 2 にそれぞれ接続され、主として表示用の電極、及び、センサ SS を構成する検出電極との間で信号を伝送するための伝送路を有しているが、これに限定されるものではない。本実施形態のフレキシブル基板 3 は、異なる基板にそれぞれ接続され、各々の基板に備えられた電極あるいは配線との間で信号を伝送するように構成されていれば良い。

【 0 0 7 8 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

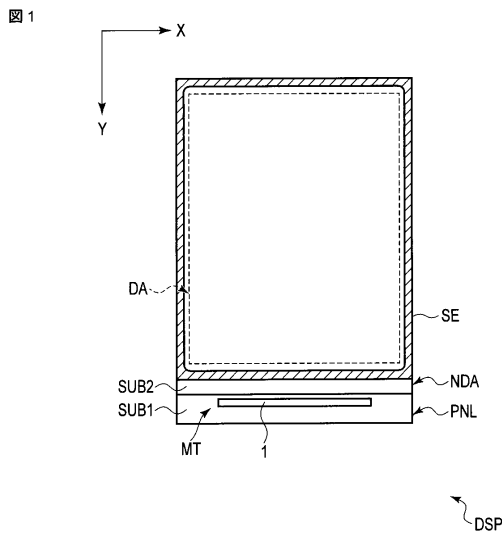
【符号の説明】

【 0 0 7 9 】

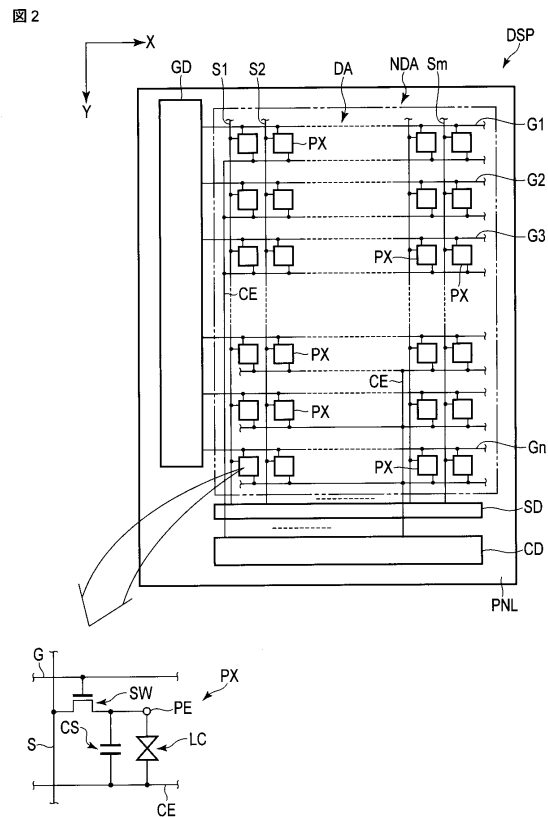
- D S P ... 表示装置 P N L ... 表示パネル S S ... センサ
- S U B 1 ... 第 1 基板 S U B 2 ... 第 2 基板
- 1 ... 駆動 I C チップ
- 3 ... フレキシブル基板 3 A ... 第 1 接続部 3 B ... 第 2 接続部
- 3 0 ... ベース層 3 1 ... 導電層 3 2 ... カバー層 3 3 ... 補助カバー層
- O P A ... 開口部

20

【 図 1 】

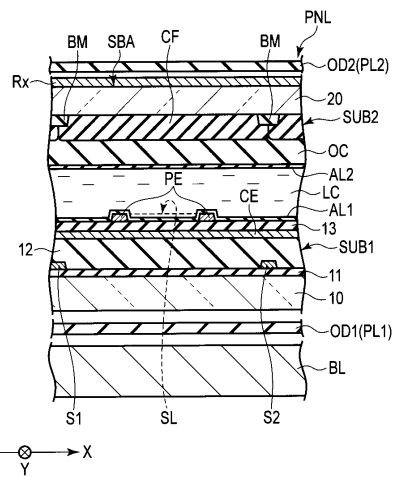


【 図 2 】



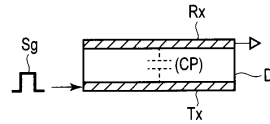
【図3】

図3



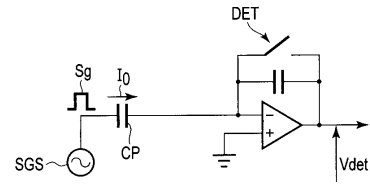
【図4A】

図4A



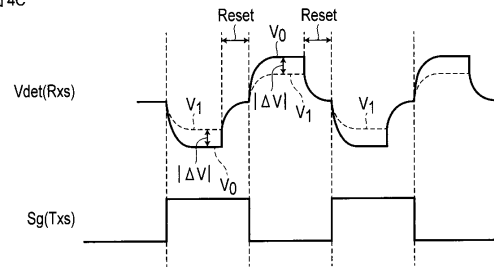
【図4B】

図4B



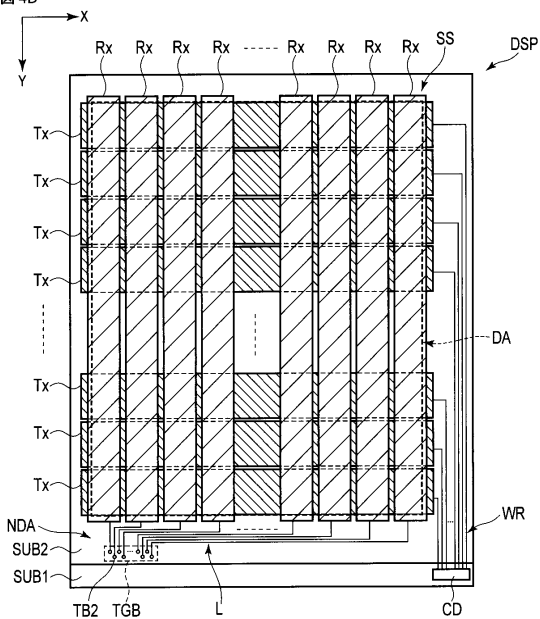
【図4C】

図4C



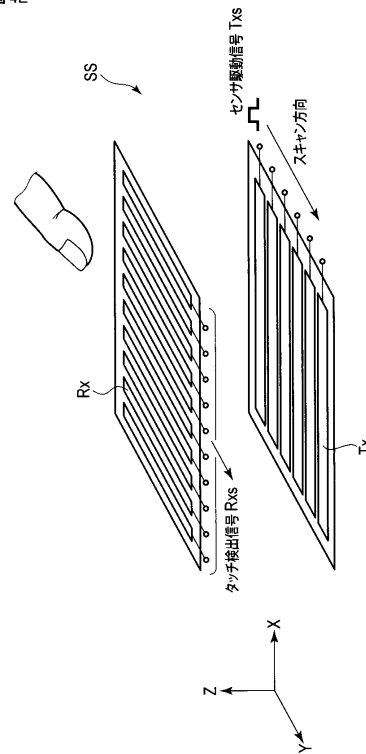
【図4D】

図4D

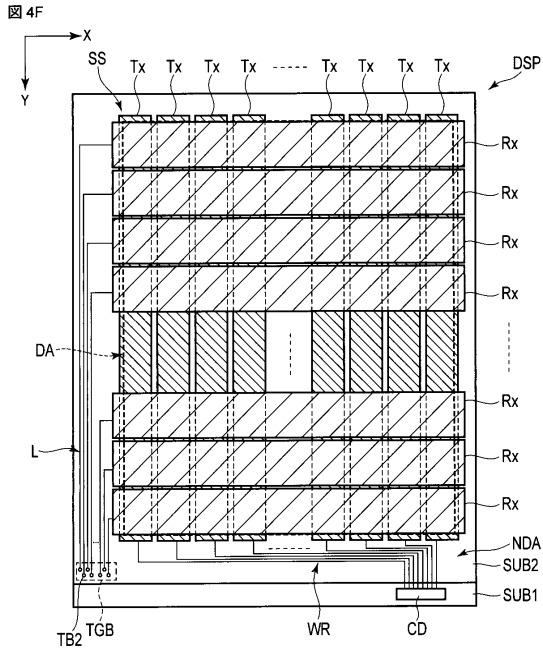


【図4E】

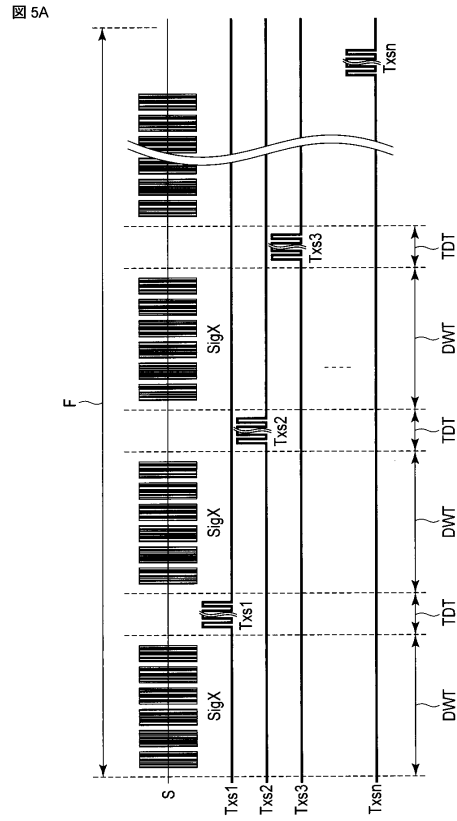
図4E



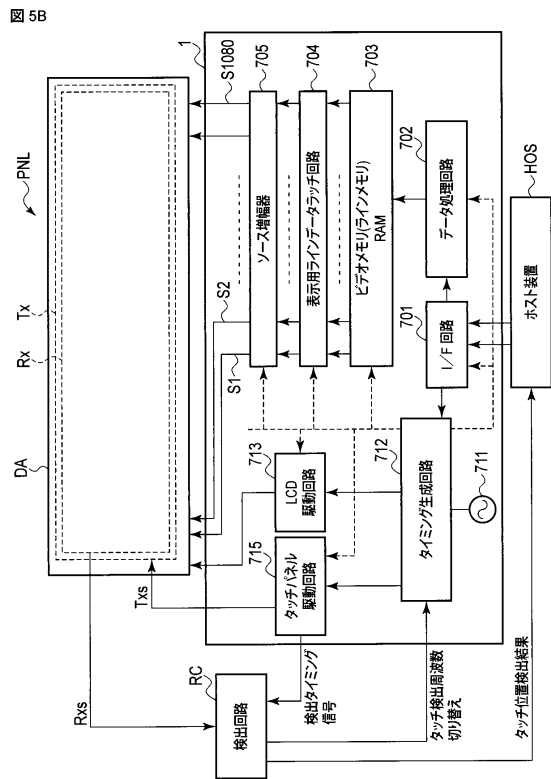
【 図 4 F 】



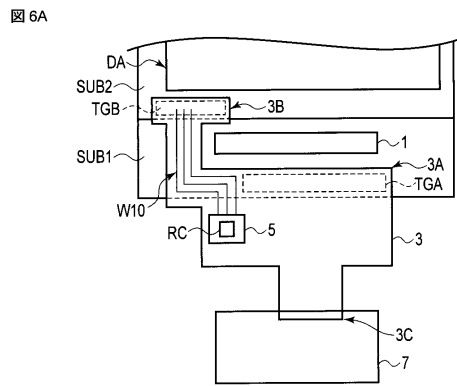
【 図 5 A 】



【 図 5 B 】

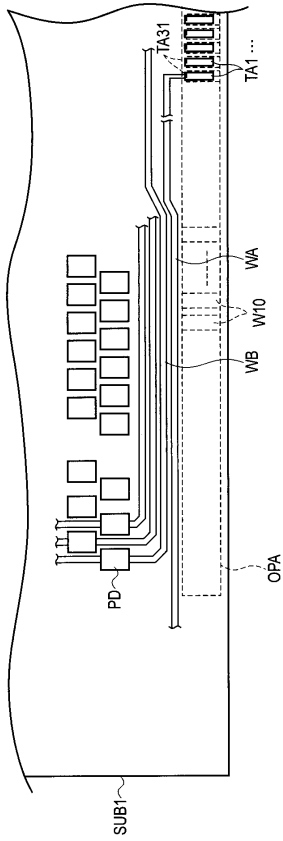


【 図 6 A 】



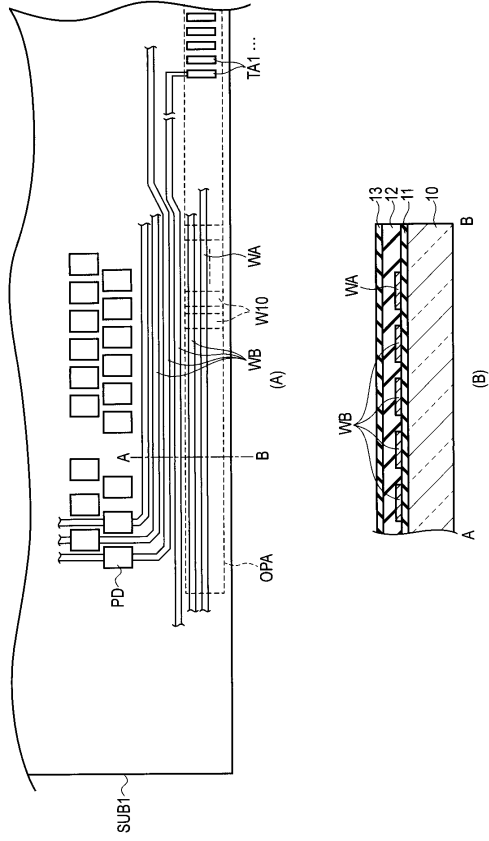
【 14 】

图 14



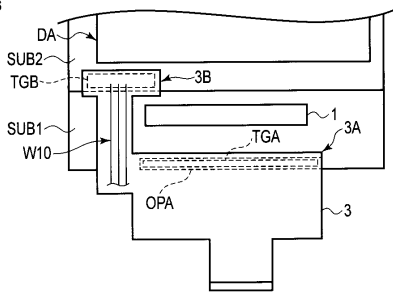
【 15 】

图 15



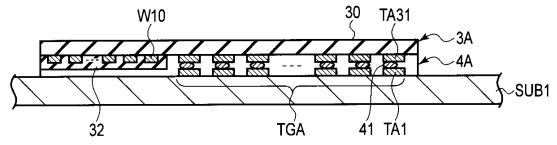
【 16 】

图 16



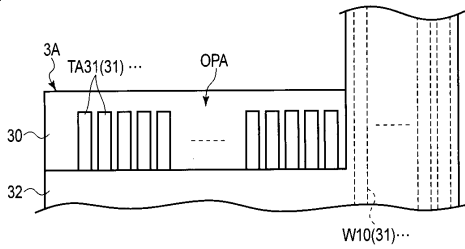
【 18 】

图 18



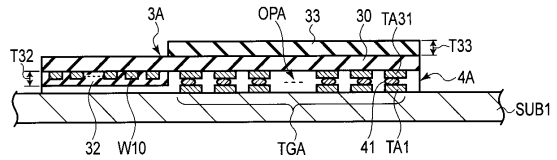
【 17 】

图 17



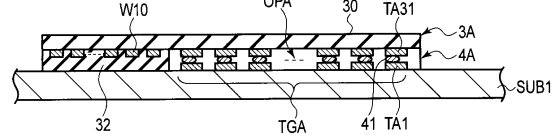
【 19 】

图 19

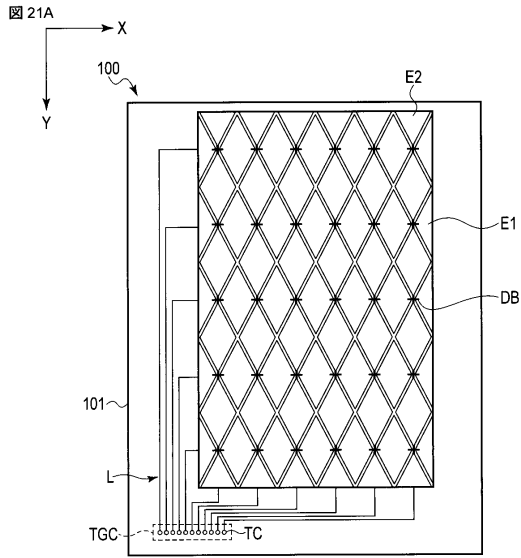


【 20 】

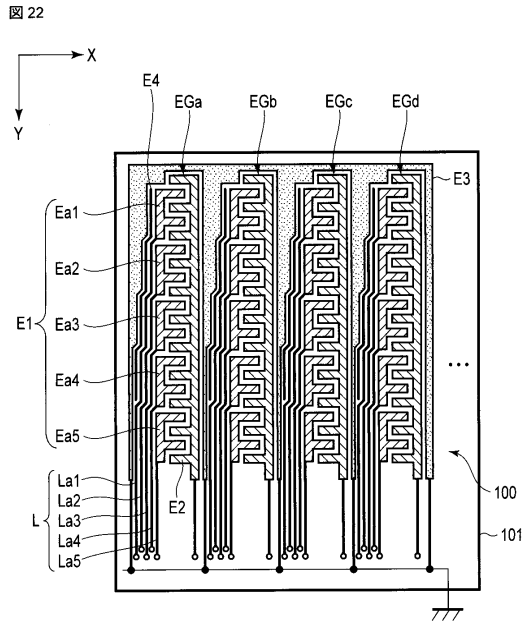
图 20



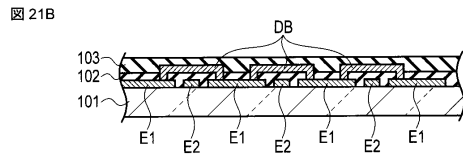
【 2 1 A 】



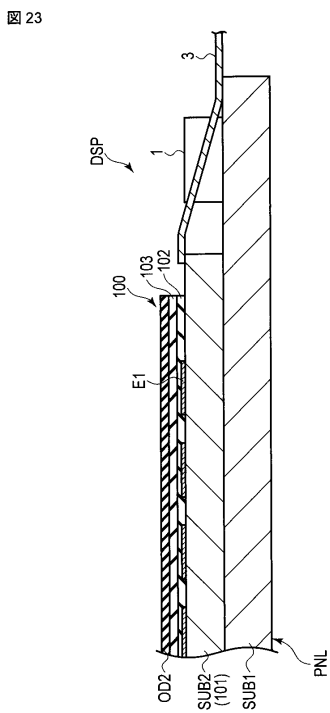
【 2 2 】



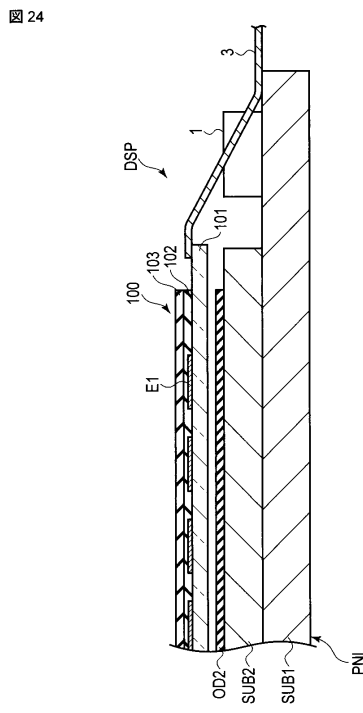
【 2 1 B 】



【 2 3 】

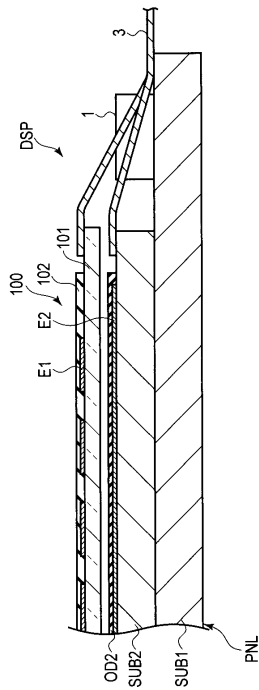


【 2 4 】



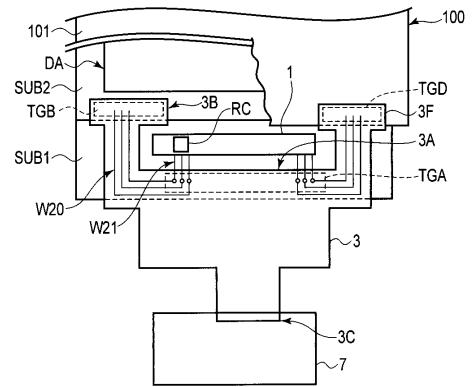
【 25 A 】

25A



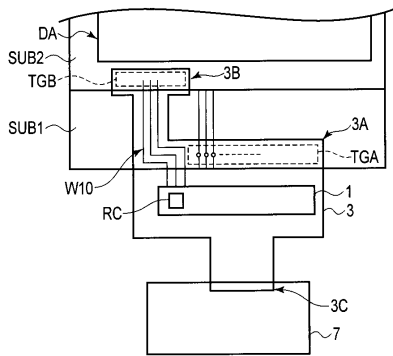
【 25 B 】

25B



【 26 】

26



フロントページの続き

審査官 酒井 優一

(56)参考文献 米国特許出願公開第2009/0194342 (US, A1)

特開2015-007945 (JP, A)

特開2015-072663 (JP, A)

特開2014-192337 (JP, A)

特開2015-191981 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/041

G06F 3/044

G02F 1/1333