



(12) 发明专利

(10) 授权公告号 CN 101409236 B

(45) 授权公告日 2012. 07. 11

(21) 申请号 200810145697. 6

US 6849154 B2, 2005. 02. 01, 全文.

(22) 申请日 2008. 08. 11

US 2005176188 A1, 2005. 08. 11, 全文.

(30) 优先权数据

审查员 彭丽娟

2007-213059 2007. 08. 17 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 古野诚

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 侯颖嫒

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 21/205(2006. 01)

(56) 对比文件

US 6089191 A, 2000. 07. 18, 全文.

JP 2001525601 A, 2001. 12. 11, 全文.

EP 1215710 A2, 2002. 06. 19, 全文.

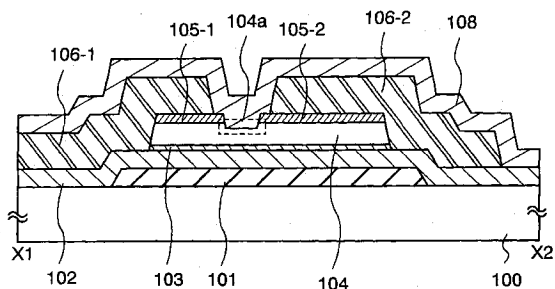
权利要求书 2 页 说明书 17 页 附图 15 页

(54) 发明名称

半导体器件的制造方法

(57) 摘要

本发明的目的在于提高具有包括微晶半导体的沟道形成区域的薄膜晶体管的电特性。该薄膜晶体管包括栅电极、形成在栅电极上的栅极绝缘膜、形成在栅极绝缘膜上的微晶半导体层、形成在栅极绝缘膜上的具有非晶半导体的微晶半导体层、以及形成在半导体层上的源区域及漏区域。在微晶半导体层中,在导通状态下形成沟道,并包含起到受主的作用的杂质元素。通过等离子体激发化学气相生长法,形成构成第一半导体层的微晶半导体层。当形成微晶半导体层时,由频率不同的两种以上的高频电力使工艺气体激发。



1. 一种半导体器件的制造方法,包括如下步骤:  
在衬底上形成栅电极;  
在所述栅电极上形成栅极绝缘层;  
在所述栅极绝缘层上形成第一半导体层,该第一半导体层包括含有受主杂质元素的微晶半导体;  
在所述第一半导体层上形成第二半导体层,该第二半导体层包括非晶半导体;以及  
在所述第二半导体层上形成 n 型或 p 型半导体层,  
其特征在于,  
通过使用至少包括含有所述受主杂质元素的掺杂剂气体的工艺气体的等离子体激发化学气相生长法,形成所述第一半导体层,并且  
将频率不同的两种以上的高频电力提供到所述工艺气体来产生等离子体。
2. 如权利要求 1 所述的半导体器件的制造方法,包括如下步骤:  
使用掩模,对所述第一半导体层、所述第二半导体层、以及所述 n 型或 p 型半导体层进行蚀刻;以及  
通过对所述 n 型或 p 型半导体层的一部分进行蚀刻,形成源区域及漏区域。
3. 如权利要求 1 所述的半导体器件的制造方法,包括如下步骤:  
在形成所述 n 型或 p 型半导体层之前,在所述第二半导体层上形成岛状绝缘层;  
在形成所述 n 型或 p 型半导体层之前,使用掩模,对所述第一半导体层和所述第二半导体层进行蚀刻;以及  
在形成所述 n 型或 p 型半导体层之后,通过对所述 n 型或 p 型半导体层的一部分进行蚀刻,形成源区域及漏区域。
4. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,  
通过使用工艺气体的等离子体激发化学气相生长法,形成所述第二半导体层,并且  
将频率不同的两种以上的高频电力提供到所述用来形成非晶半导体层的工艺气体来生成等离子体。
5. 根据权利要求 2 所述的半导体器件的制造方法,其特征在于,  
通过使用工艺气体的等离子体激发化学气相生长法,形成所述第二半导体层,并且  
将频率不同的两种以上的高频电力提供到所述用来形成非晶半导体层的工艺气体来生成等离子体。
6. 根据权利要求 3 所述的半导体器件的制造方法,其特征在于,  
通过使用工艺气体的等离子体激发化学气相生长法,形成所述第二半导体层,并且  
将频率不同的两种以上的高频电力提供到所述用来形成非晶半导体层的工艺气体来生成等离子体。
7. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,  
通过使用工艺气体的等离子体化学气相生长法,形成所述栅极绝缘层,并且  
将频率不同的两种以上的高频电力提供到所述用来形成栅极绝缘层的工艺气体来生成等离子体。
8. 根据权利要求 2 所述的半导体器件的制造方法,其特征在于,  
通过使用工艺气体的等离子体化学气相生长法,形成所述栅极绝缘层,并且

将频率不同的两种以上的高频电力提供到所述用来形成栅极绝缘层的工艺气体来生成等离子体。

9. 根据权利要求 3 所述的半导体器件的制造方法,其特征在于,通过使用工艺气体的等离子体化学气相生长法,形成所述栅极绝缘层,并且将频率不同的两种以上的高频电力提供到所述用来形成栅极绝缘层的工艺气体来生成等离子体。

10. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,所述受主杂质元素是硼,并且所述掺杂剂气体是选自三甲基硼、 $B_2H_6$ 、 $BF_3$ 、 $BCl_3$ 、以及  $BBr_3$  中的气体。

11. 根据权利要求 2 所述的半导体器件的制造方法,其特征在于,所述受主杂质元素是硼,并且所述掺杂剂气体是选自三甲基硼、 $B_2H_6$ 、 $BF_3$ 、 $BCl_3$ 、以及  $BBr_3$  中的气体。

12. 根据权利要求 3 所述的半导体器件的制造方法,其特征在于,所述受主杂质元素是硼,并且所述掺杂剂气体是选自三甲基硼、 $B_2H_6$ 、 $BF_3$ 、 $BCl_3$ 、以及  $BBr_3$  中的气体。

13. 根据权利要求 1 所述的半导体器件的制造方法,其特征在于,还包括如下步骤:对所述 n 型或 p 型半导体层的一部分和所述第二半导体层的一部分进行蚀刻,以使所述第二半导体层露出。

14. 根据权利要求 2 所述的半导体器件的制造方法,其特征在于,当对所述 n 型或 p 型半导体层的一部分进行蚀刻时,所述第二半导体层的一部分被蚀刻。

## 半导体器件的制造方法

### 技术领域

[0001] 本发明涉及具有薄膜晶体管的半导体器件的制造方法。

### 背景技术

[0002] 目前,众所周知使用形成在具有绝缘表面的衬底上的半导体薄膜(厚度为几 nm 至几百 nm 左右)制造薄膜晶体管(以下,称为“TFT”)的技术。TFT 的结构实质上分为两种。一种是在沟道形成区域上形成有栅电极的顶栅型,而另一种是在沟道形成区域下形成有栅电极的底栅型。TFT 广泛地应用于电子器件如集成电路及有源矩阵型液晶显示装置。在有源矩阵型液晶显示装置中,将薄膜晶体管用作像素的开关元件。作为该薄膜晶体管的半导体薄膜,使用非晶硅膜、多晶硅膜、微晶硅膜等。

[0003] 一般来说,通过等离子体激发化学气相生长法形成用于薄膜晶体管的非晶硅膜。此外,通过等离子体激发化学气相生长法(下面,写为“PECVD 法”)形成非晶硅膜并使非晶硅膜晶化,来形成多晶硅膜。作为典型的晶化方法具有如下方法,即通过光学系统将受激准分子激光束加工为线形,并且在扫描线形光束的同时使它照射到非晶硅膜。

[0004] 此外,本申请人研究开发将半非晶半导体膜用于半导体薄膜的薄膜晶体管(参照专利文献 1、专利文献 2、以及专利文献 3)。

[0005] 另外,可以通过 PECVD 法等的化学气相生长法(下面,称为“CVD 法”)、及溅射法等物理气相生长法(下面,称为“PVD 法”)形成微晶硅膜,但是如非专利文献 1 那样,可以通过使非晶硅膜晶化形成微晶硅膜。非专利文献 1 的晶化方法为如下:在形成非晶硅膜之后,在其上形成金属膜。将从二极管激光器振荡的波长为 800nm 的激光束照射到金属膜。金属膜吸收光而被加热。因来自金属膜的传导加热而非晶硅膜被加热,从而非晶硅膜的性质被改变为微晶硅膜。金属膜用来将光能转换为热能。该金属膜在制造薄膜晶体管的工序中被去除。

[0006] [专利文献 1] 日本专利特开平 242724 号公报

[0007] [专利文献 2] 日本专利特开 2005-49832 号公报

[0008] [专利文献 3] 美国专利第 5,591,987 号说明书

[0009] [非专利文献 1] Toshiaki Arai 以及其他十三名,“Micro Silicon Technology for Active Matrix OLED Display”, SOCIETY FOR INFORMATION DISPLAY 2007 INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, p. 1370-1373

[0010] 在底栅型 TFT 中,在形成栅极绝缘层之后形成用来构成沟道形成区域的半导体膜。采用 PECVD 法作为该半导体膜的形成方法,因为可以以高生产率在大面积衬底上形成该半导体膜。

[0011] 为了提高使用微晶半导体膜的底栅型 TFT 的电场效应迁移率,提高微晶半导体膜的晶性,即可。由于微晶半导体膜的载流子的路径位于与栅极绝缘层之间的界面附近,因此被要求在堆积的开始阶段中,能够通过 PECVD 法堆积晶性高的微晶半导体膜。

## 发明内容

[0012] 鉴于上述问题,本发明的目的之一在于提供具有包括微晶半导体层并提高了其电场效应迁移率的薄膜晶体管的半导体器件的制造方法。

[0013] 本发明之一是具有包括栅电极、沟道形成区域、源区域及漏区域的薄膜晶体管的半导体器件的制造方法。所制造的薄膜晶体管由栅电极、形成在栅电极上的栅极绝缘层、设置在栅极绝缘层上并含有受主杂质元素以及氧的微晶半导体构成,并且包括沟道形成区域的第一半导体层、设置在栅极绝缘层上且由非晶半导体构成的第二半导体层、包括设置在第二半导体层上的源区域或漏区域的一对第三半导体层。而且,形成第一半导体层的工序包括如下步骤:使用包含含有受主杂质元素的掺杂剂气体的工艺气体,通过等离子体激发化学气相生长法形成含有所述受主杂质元素的微晶半导体层,并对用来形成微晶半导体层的工艺气体提供频率不同的两种以上的高频电力生成等离子体。

[0014] 通过形成含有受主杂质元素的微晶半导体层,可以控制薄膜晶体管的阈值电压。受主杂质元素的添加有助于 n 型薄膜晶体管。例如,作为掺杂剂气体,可以使用选自三甲基硼、 $B_2H_6$ 、 $BF_3$ 、 $BCl_3$ 、以及  $BBr_3$  中的气体。作为受主杂质元素,将硼添加到微晶硅层中。

[0015] 当形成微晶半导体层时,通过对工艺气体提供频率不同的高频电力,可以实现等离子体的高密度化。因此,形成晶性高的微晶半导体层。就是说,根据本发明,可以提供具有电场效应迁移率高的薄膜晶体管的半导体器件的制造方法。

[0016] 附图说明

[0017] 图 1 是薄膜晶体管的剖视图;

[0018] 图 2 是薄膜晶体管的俯视图;

[0019] 图 3A 至 3D 是示出薄膜晶体管的制造方法的剖视图;

[0020] 图 4A 至 4C 是示出薄膜晶体管的制造方法的剖视图;

[0021] 图 5 是薄膜晶体管的剖视图;

[0022] 图 6 是薄膜晶体管的俯视图;

[0023] 图 7A 至 7C 是示出薄膜晶体管的制造方法的剖视图;

[0024] 图 8A 和 8C 是示出薄膜晶体管的制造方法的剖视图;

[0025] 图 9 是示出有源矩阵型显示装置的结构框图;

[0026] 图 10 是具有液晶元件的像素的电路图;

[0027] 图 11 是具有发光元件的像素的电路图;

[0028] 图 12 是有源矩阵型显示装置的模块的外观立体图;

[0029] 图 13 是具有液晶元件的像素的剖视图;

[0030] 图 14 是像素的俯视图;

[0031] 图 15 是像素的剖视图;

[0032] 图 16A 至 16C 是具备显示用模块的电子设备的的外观图;

[0033] 图 17 是示出电视装置的结构框图;

[0034] 图 18 是说明 PECVD 装置的结构俯视图;

[0035] 图 19 是说明 PECVD 装置的结构框图及剖视图。

[0036] 具体实施方式

[0037] 下面,关于本发明给予说明。但是,所属技术领域的普通技术人员可以很容易地理

解一个事实,就是本发明可以以多个不同形式来实施,其方式和详细内容可以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此,本发明不应该被解释为仅限定在本实施方式所记载的内容中。此外,在互不相同的附图中也使用相同的附图标记来表示相同的因素,而省略其材料、形状、制造方法等的重复说明。

[0038] 实施方式 1

[0039] 在本实施方式中,说明本发明的底栅型 TFT 的结构、以及其制造方法。在本实施方式中,还说明具有沟道蚀刻结构的 TFT 的结构、以及其制造方法。

[0040] 图 1 是示出 TFT 结构的一个例子的剖视图,而图 2 是其俯视图。图 1 示出沿着图 2 的 X1-X2 线的截面。

[0041] TFT 形成在衬底 100 上。从衬底一侧层叠有第一导电层 101、绝缘层 102、第一半导体层 103、第二半导体层 104、两个第三半导体层 105-1、105-2。第一导电层 101 是构成 TFT 的栅电极的导电层。绝缘层 102 构成 TFT 的栅极绝缘层。第一半导体层由含有成为受主的杂质元素的微晶半导体构成,且是包括 TFT 的沟道形成区域的半导体层。第二半导体层 104 由非晶半导体构成。一对第三半导体层 105-1、105-2 分别由 n 型或 p 型的半导体构成,且用作源区域或漏区域。

[0042] 第一半导体层 103 典型地是微晶硅层,第二半导体层 104 典型地是非晶硅层。此外,第三半导体层 105-1、105-2 是微晶硅层或非晶硅层。第一半导体层 103 由其晶性具有短程序列的微晶半导体层构成,并且其中粒径为 0.5nm 以上且 20nm 以下的微细晶粒分散并存在于非晶半导体中。作为微晶半导体的典型例子的微晶硅的拉曼光谱转移到比示出单晶硅的  $520.6\text{cm}^{-1}$  低的波数一侧。微晶硅的拉曼光谱的峰值典型地存在于  $481\text{cm}^{-1}$  以上且  $520.6\text{cm}^{-1}$  以下的范围内。优选使第一半导体层 103 至少包含 1 原子以上的氢或卤素,以便终端悬空键。再者,构成第一半导体层 103 的微晶硅也可以具有晶格应变。通过包含氦、氩、氦等的稀有元素进一步促进晶格应变,稳定性增加,从而可以获得优质的微晶半导体。

[0043] 用作源电极或漏电极的一对第二导电层 106-1、106-2 电连接到 TFT。在第三半导体层 105-1、105-2 上分别形成有第二导电层 106-1、106-2。此外,TFT 被用作钝化膜的绝缘层 108 覆盖。

[0044] 另外,第一半导体层 103 由微晶半导体构成,而第二半导体层 104 由非晶半导体构成。非晶半导体的带隙比微晶半导体的带隙大,其电阻也大。例如,微晶硅的带隙为 1.1eV 至 1.5eV 左右,而非晶硅的带隙为 1.6eV 至 1.8eV 左右。此外,非晶半导体的载流子迁移率低,即为微晶半导体的 1/5 至 1/10。通过使用微晶半导体层构成第一半导体层 103,由微晶半导体构成沟道形成区域。另外,第二半导体层 104 用作高电阻区域,获得如下效果:在截止状态下减少漏电流;以及抑制 TFT 的退化。

[0045] 接着,说明 TFT 的工作。在此假定如下情况:TFT 是第三半导体层 105-1、105-2 由 n 型半导体层构成的 n 沟道型 TFT,并且第三半导体层 105-1 是源区域,而第三半导体层 105-2 是漏区域。

[0046] 当对第一导电层 101 施加阈值电压以上的电压使 TFT 处于导通状态时,在第一半导体层 103 中形成沟道,并且载流子(此时采用电子)从第三半导体层 105-1(源区域)经过第二半导体层 104 以及第一半导体层 103,移动到第三半导体层 105-2(漏区域)。就是说,电流从第三半导体层 105-2 流过第三半导体层 105-1。

[0047] 因为第一半导体层由微晶半导体构成,所以与由非晶半导体构成沟道的 TFT 相比,图 1 及图 2 所示的 TFT 的电场效应迁移率较高,且在导通状态下流过的电流也变高。这是因为如下缘故:微晶半导体的晶性比非晶半导体的晶性高,从而微晶半导体的电阻降低。此外,晶性表示构成固体的原子排列的规律性的程度。作为评价晶性的方法,具有拉曼光谱法、X 线衍射法等。

[0048] 此外,当示意性地不添加用于价电子控制的杂质元素时,微晶半导体膜不成为本证半导体膜,而成为呈现弱 n 型导电性的半导体膜。这是因为如下缘故:由于在微晶半导体膜中存在有悬空键及缺陷,因此在半导体中产生自由电子。再者,微晶半导体膜成为弱 n 型的原因之一在于包含氧。

[0049] 在制造 TFT 的工序中,在保持密封性的反应室内,通过 CVD 法或 PVD 法将微晶半导体膜生长在衬底上,但是以完全不引入大气成分的氧的方式在衬底上生长微晶半导体膜是非常困难的。 $1 \times 10^{17}$ atoms/cm<sup>3</sup> 以上的氧混入微晶半导体膜中。当氧混入时,在微晶半导体膜的结晶中产生缺陷,因该缺陷而产生自由电子。就是说,相对于微晶半导体膜,氧起到施主杂质元素的作用。

[0050] 因此,优选对用作薄膜晶体管的沟道形成区域的第一半导体层 103 添加成为受主的杂质元素,来实际上使它成为本证半导体膜。通过将作为受主的杂质元素添加到第一半导体层 103 中,可以控制 TFT 的阈值电压。其结果,当在相同的衬底上形成 n 沟道型 TFT 及 p 沟道型 TFT 时,可以将两种 TFT 都形成成为增强型晶体管。此外,为了将 n 沟道型 TFT 形成成为增强型晶体管,将第一半导体层 103 的导电类型为本证的或弱 p 型,即可。

[0051] 在采用由周期表中第四族元素构成的微晶半导体膜的情况下,成为受主的杂质元素的典型为硼。为了将第一半导体层 103 为本证半导体或呈现弱 p 型导电性的半导体,优选将第一半导体层 103 的受主杂质元素的浓度设定为  $1 \times 10^{14}$ atoms/cm<sup>3</sup> 至  $6 \times 10^{16}$ atoms/cm<sup>3</sup>。此外,氧不但用作施主杂质元素,而且引起半导体膜的氧化和 TFT 的电场效应迁移率的降低,从而第一半导体层 103 的氧浓度优选为  $5 \times 10^{18}$ atoms/cm<sup>3</sup> 以下,更优选为  $5 \times 10^{17}$ atoms/cm<sup>3</sup> 以下。

[0052] 通过将第一导电层 101 的电位设定为比阈值电压值低,TFT 处于截止状态。在截止状态下,理想地是在源区域和漏区域之间不流过电流。在截止状态下的源区域和漏区域之间流过的电流被称为泄漏电流。在如图 1 及图 2 所示那样的具有层叠有第一半导体层 103 和第二半导体层 104 的半导体膜的 TFT 中,在截止状态下因第一导电层 101 所产生的电场的的作用而其半导体膜上面部成为产生泄漏电流的载流子的路径。于是,通过使用由非晶半导体构成的第二半导体层 104 形成 TFT 半导体膜中的泄漏电流容易流过的部分,可以减少由微晶半导体构成的具有沟道形成区域的 TFT 的泄漏电流。

[0053] 就是说,在图 1 及图 2 所示的 TFT 的形成有沟道形成区域的半导体膜中,通过使用微晶半导体层形成栅电极一侧(栅极绝缘层一侧),并使用非晶半导体层形成与源区域及漏区域接触的一侧,来可以增大在导通状态下流过的电流,并且缩小在截止状态下流过的电流。

[0054] 第二半导体层 104 用作缓冲层,它用来防止形成有沟道的第一半导体层 103 的氧化。通过防止第一半导体层 103 的氧化,可以防止 TFT 的电场效应迁移率的降低。因此,可以将包括沟道形成区域的第一半导体层 103 形成得薄。第一半导体层 103 的厚度只要比

5nm 厚即可,优选为 50nm 以下,更优选为 20nm 以下。

[0055] 此外,由于通过在第一半导体层 103 和一对第三半导体层 105-1、105-2(源区域及漏区域)之间形成由非晶半导体构成的第二半导体层 104,可以提高 TFT 的绝缘耐压性,因此抑制 TFT 的退化。从而,可以提高 TFT 的可靠性。

[0056] 另外,通过在第一半导体层 103 和一对第三半导体层 105-1、105-2(源区域及漏区域)之间形成由非晶半导体构成的第二半导体层 104,可以减少寄生电容。

[0057] 在第二半导体层 104 中形成有凹部 104a,该凹部 104a 与第三半导体层 105-1、105-2 重叠的部分的厚度比第一半导体层 103 厚,该厚度可以为 100nm 以上且 500nm 以下。其厚度优选为 200nm 以上且 300nm 以下。在对栅电极施加高电压(例如为 15V 左右)来使 TFT 工作的情况下,也可以通过将第二半导体层 104 形成得厚,即 100nm 以上且 500nm 以下,来抑制 TFT 的退化。

[0058] 此外,通过形成由非晶半导体构成的第二半导体层 104 来提高 TFT 的电特性和可靠性,可以抑制半导体膜的氧化所导致的薄膜晶体管的电特性的降低、薄膜晶体管的寄生电容的增大、以及在施加高电压之际发生的薄膜晶体管的退化,并且可以实现成为沟道形成区域的第一半导体层 103 的薄膜化。

[0059] 接着,参照图 3A 至 3D 以及图 4A 至 4C 说明图 1 及图 2 的薄膜晶体管的制造方法。

[0060] 首先,准备衬底 100。作为衬底 100,除了可以使用通过熔化方法或浮法(float method)制造的无碱玻璃衬底如钡硼硅酸盐玻璃、硼硅酸铝玻璃、或铝硅酸盐玻璃等、及陶瓷衬底之外,还可以使用具有可承受本制造工序的处理温度的耐热性的塑料衬底等。此外,也可以应用在不锈钢合金等的金属衬底表面上提供有绝缘膜的衬底。

[0061] 接着,在衬底 100 上形成第一导电层 101(参照图 3A)。首先,形成由选自钛、钼、铬、钽、钨、铝等的金属或包含上述金属的合金中的导电材料构成的单层结构或叠层结构的导电膜。当形成该导电膜时,可以采用溅射法或真空蒸镀法。然后,通过在该导电膜上通过光刻技术或喷墨法形成掩模,并使用该掩模蚀刻该导电膜,来形成具有预定的形状的第一导电层 101。

[0062] 此外,可以在不进行蚀刻处理的状态下形成第一导电层 101。通过喷墨法将银、金、铜等的导电纳米膏剂喷出为预定的形状,然后进行焙烧,从而也可以形成具有预定的形状的第一导电层 101。另外,还可以在衬底 100 和第一导电层 101 之间设置金属的氮化物膜作为保护层,以便提高第一导电层 101 的密接性并防止金属元素的扩散。可以使用钛、钼、铬、钽、钨、或铝的氮化物膜形成保护层。

[0063] 在第一导电层 101 上形成半导体膜及布线。为了防止该半导体膜及布线的破裂,优选将第一导电层 101 的端部加工为锥形。在图 3A 至 3D 中,将第一导电层 101 的端部加工为锥形。

[0064] 接着,在第一导电层 101 上按顺序层叠绝缘层 102、构成第一半导体层 103 的微晶半导体层 123、非晶半导体层 124、以及 n 型或 p 型半导体层 125(参照图 3B)。微晶半导体层 123 的厚度只要比 5nm 厚,为 50nm 以下,优选为 20nm 以下。非晶半导体层 124 以 100nm 以上且 500nm 以下的厚度形成,优选以 200nm 以上且 300nm 以下的厚度形成。

[0065] 优选地是,连续形成绝缘层 102、微晶半导体层 123、非晶半导体层 124、n 型或 p 型的半导体层 125。就是说,形成绝缘层 102,然后在衬底 100 不接触大气的状态下连续形成



半导体层 123 至 125。通过这样形成,可以防止各个层的界面被氧、氮等的大气成分元素、以及悬浮在大气中的污染杂质元素污染,因此可以减少各个 TFT 之间的电特性的不均匀。

[0066] 可以使用氧化硅膜、氮化硅膜、氧氮化硅膜、或氮氧化硅膜形成绝缘层 102。通过 CVD 法或溅射法分别形成这种绝缘膜。在通过 CVD 法形成这种绝缘膜的情况下,优选采用 PECVD 法,尤其优选使用频率为 1GHz 以上的微波使工艺气体激发生成等离子体。由于使用微波激发的等离子体气相生长的氧氮化硅膜、及氮氧化硅膜的绝缘耐压高,因此可以提高 TFT 的可靠性。

[0067] 此外,氧氮化硅具有如下组成:氧的含量比氮的含量多,作为其浓度范围,包含 55 原子至 65 原子的氧,包含 1 原子至 20 原子的氮,包含 25 原子至 35 原子的 Si,包含 0.1 原子至 10 原子的氢。此外,氮氧化硅具有如下组成:氮的含量比氧的含量多,作为其浓度范围,包含 15 原子至 30 原子的氧,包含 20 原子至 35 原子的氮,包含 25 原子至 35 原子的 Si,包含 15 原子至 25 原子的氢。

[0068] 绝缘层 102 可以采用单层结构或叠层结构。例如,在绝缘层 102 采用两层结构的情况下,使用氧化硅膜或氧氮化硅膜形成其下层,使用氮化硅膜或氮氧化硅膜形成其上层。在采用三层结构的情况下,可以使用氮化硅膜或氮氧化硅膜形成衬底 100 一侧的层,使用氧化硅膜或氧氮化硅膜形成中间的层,使用氮化硅膜或氮氧化硅膜形成微晶半导体层 123 一侧的层。

[0069] 微晶半导体层 123 是如下半导体层:晶性具有短程序列,粒径为 0.5nm 以上且 20nm 以下的微细晶粒存在于非单晶半导体中。

[0070] 微晶半导体层通过 PECVD 法形成。在工艺气体中,除了硅源气体之外,还可以混合氢。此外,在工艺气体中可以混合氦、氩、氪、氙等的稀有气体。通过调节工艺气体中的氦、氩、氪、氙等的稀有气体的浓度,可以对微晶半导体层 123 添加这种稀有气体元素。

[0071] 此外,通过将由卤素元素构成的物质的气体 ( $F_2$ 、 $Cl_2$ 、 $Br_2$ 、 $I_2$ 、HF、HCl、HBr、HI 等) 混合在工艺气体中,或者使用在其组成中包含卤素的硅源气体 ( $SiH_2Cl_2$ 、 $SiHCl_3$ 、 $SiCl_4$ 、 $SiF_4$  等),可以对微晶半导体层 123 添加卤素。例如,在使用  $SiF_4$  的情况下,优选使用  $SiF_4$  和  $SiH_4$  的混合气体作为硅源气体。

[0072] 另外,通过对微晶半导体层 123 添加受主杂质元素,使它成为本证半导体层或弱 n 型的半导体层。微晶半导体层 123 中的受主杂质元素的浓度例如优选为  $1 \times 10^{14}$  atoms/cm<sup>3</sup> 至  $6 \times 10^{16}$  atoms/cm<sup>3</sup>。在通过 CVD 法形成微晶半导体层 123 的情况下,在工艺气体中混合含有受主杂质元素的掺杂剂气体。可以通过进行掺杂剂气体的分压调节微晶半导体层 123 中的受主杂质元素的浓度。可以将掺杂剂气体提供到反应室之际的流量以及稀释率调节掺杂剂气体的分压。例如,在气氛的压力为 150Pa $\pm$ 20Pa 左右的情况下,掺杂剂气体的分压优选为  $1 \times 10^{-8}$  Pa 以上且  $1 \times 10^{-5}$  Pa 以下。

[0073] 受主杂质元素典型为硼。作为含有受主杂质元素的掺杂剂气体,可以使用选自  $B_2H_6$ 、 $BF_3$ 、 $BCl_3$ 、 $BBr_3$ 、三甲基硼 ( $B(CH_3)_3$ ) 等中的气体。 $B_2H_6$  容易吸附,难以通过等离子体清洗从反应室内去除。三甲基硼(下面,写为“TMB”)具有如下优点,即与  $B_2H_6$  相比,较容易通过等离子体清洗从反应室内去除。此外,还有如下优点,即 TMB 比  $B_2H_6$  难以分解,因此保存期间长。

[0074] 在形成微晶硅膜作为微晶半导体层 123 的情况下,工艺气体至少包含硅源气体、

掺杂剂气体以及氢。可以混合氦等的稀有气体代替氢。为了形成微晶硅膜,相对于硅源气体的分压,氢的分压比(氢/硅源气体)优选为 50,并可以设定为 50 以上 2000 以下。由于通过增加分压比来降低硅膜的生长速度,因此容易产生晶核,且发生膜的微晶化。衬底的加热温度可以设定为 100°C 以上且 300°C 以下,而气氛的压力可以设定为 100Pa 以上且 300Pa 以下。

[0075] 此外,微晶半导体层 123 的氧浓度优选为  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 以下,更优选为  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 以下。采用如下方法减少氧:减少吸附到衬底 100 的氧;减少形成微晶半导体层 123 的反应室内泄漏的空气量;以及通过提高微晶半导体层 123 的成膜速度,缩短成膜时间等。

[0076] 为形成微晶半导体层 123 而将频率不同的高频电力提供到工艺气体中来使工艺气体激发。通过对 PECVD 装置的电极提供频率不同的两种以上的高频电力,可以将频率不同的高频电力提供到工艺气体中。由此,使工艺气体激发生成等离子体形成微晶半导体层 123。此外,当频率不同时,波长也不同。

[0077] 施加到电极的高频电力至少有两种。一种是不呈现表面驻波作用的频率带的电力。在很多情况下,其波长为 10m 以上。另一种是其波长比上述高频电力的波长短的高频电力。通过对 PECVD 装置的电极重叠地施加这些两种高频电力,可以实现等离子体的高密度化。此外,由于等离子体表面驻波作用被抑制,因此可以实现等离子体的均匀化。

[0078] 图 19 示出被施加多种高频电力的 PECVD 装置的一个结构例子。反应室 500 由铝或不锈钢等的具有刚性的材料形成,且构成为能够进行内部的真空排气。反应室 500 具备有第一电极 501 和第二电极 502。

[0079] 高频电力供应单元 503 联结到第一电极 501,对第二电极 502 提供接地电位,构成为能够转装在衬底。第一电极 501 被绝缘材料 516 与反应室 500 绝缘分离,构成为不使高频电力泄漏。此外,在图 19 中,第一电极 501 和第二电极 502 的结构示出电容耦合型(平行平板型)的结构例子,但是只要能够施加互不相同的两种以上高频电力来在反应室 500 内生成等离子体,就可以应用其他结构如电感耦合型等。

[0080] 高频电力供应单元 503 包括第一高频电源 504、第二高频电源 505、以及与上述高频电源对应的第一匹配器 506 和第二匹配器 507。从第一高频电源 504 和第二高频电源 505 输出的高频电力一起提供到第一电极 501。第一匹配器 506 或第二匹配器 507 的输出一侧也可以设置带通滤波器,以便防止一方的高频电力的流入。

[0081] 第一电极 501 也联结到气体供应单元 508。气体供应单元 508 由填充有 SiH<sub>4</sub> 等的各种气体的汽缸 510、压力调节阀 511、停止阀 512、质量流量控制器 513 等构成。TMB、PH<sub>3</sub> 等的掺杂剂气体在被 H<sub>2</sub> 及 He 等的气体稀释的状态下被填充在汽缸 510 中。

[0082] 在反应室 500 内,第一电极 501 的与衬底相对的面被加工为簇射板状,在其面上提供有许多细孔。对第一电极 501 提供的反应气体经过内部的空心结构,然后从该细孔提供到反应室 500 内。

[0083] 在第二电极 502 中,设置有衬底加热器 514、以及控制衬底加热器 514 的温度的加热控制器 515。在第二电极 502 中设置衬底加热器 514 的情况下,采用热传导加热方式,并且由护套加热器等构成。第二电极 502 采用能够调节高度的可动方式,以便适当地改变第一电极 501 和第二电极 502 的间隔。

[0084] 连接到反应室 500 的排气单元 509 包括如下功能：在进行真空排气的情况或流过反应气体的情况下，控制反应室 500 保持预定的压力。

[0085] 作为排气单元 509 的结构，包括蝶阀 517、导气阀 (conductance valve) 518、涡轮分子泵 519、干泵 520 等。在并列地配置蝶阀 517、导气阀 518 的情况下，通过关闭蝶阀 517 而使导气阀 518 工作，可以控制反应气体的排气速度来将反应室 500 的压力保持为预定的范围。此外，通过开启传导率高的蝶阀 517，可以实现高真空排气。

[0086] 在进行真空度低于  $10^{-5}$ Pa 的压力的超高真空排气的情况下，优选同时使用低温泵 521。为了将微晶半导体层 123 的氧浓度设定为  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 以下，在形成微晶半导体层 123 之前将反应室 500 排气成超高真空状态是有效的。此外，为了将反应室 500 的最终真空度为超高真空，对反应室 500 的内壁进行镜面加工，并设置焙烧用加热器以减少源于内壁的气体释放。

[0087] 在很多情况下，应用波长为 10m 以上的高频作为第一高频电源 504 所提供的高频电力。从第一高频电源 504 提供 HF 带的 3MHz 至 30MHz，典型为 13.56MHz 的频率的高频电力。

[0088] 对于第二高频电源 505 所提供的高频电力，其频率属于 VHF 带，并且在很多情况下其波长为低于 10m。具体而言，从第二高频电源 505 提供 30MHz 至 300MHz 的高频电力。

[0089] 就是说，第一高频电源 504 所提供的高频具有第一电极 501 的一边长度的三倍以上的波长。作为第二高频电源 505 所提供的高频的波长，比第一高频电源 504 所提供的高频的波长短的波长。通过将不产生表面驻波的高频电力提供到第一电极 501 生成等离子体，并提供属于 VHF 带的高频电力实现等离子体的高密度化，来可以形成晶性高的微晶半导体层 123。此外，可以在其长边超过 2000mm 的大面积衬底上以均匀的厚度形成膜性质良好的薄膜。

[0090] 通过将频率不同的第一高频电力及第二高频电力重叠施加到第一电极 501，进行工艺气体的激发。第二高频电力的频率为 3MHz 至 30MHz，典型地为 13.56MHz。第一高频电力的频率属于大于 30MHz 至 300MHz 左右的 VHF 带。通过使用不呈现表面驻波的频带的第一高频电力使工艺气体激发生成等离子体，并将属于 VHF 带的第二高频电力提供到工艺气体，来实现等离子体的高密度化。再者，由于抑制表面驻波的影响，在其长边超过 2000mm 的大面积衬底上也可以形成厚度均匀且性质良好的薄膜。

[0091] 可以在工艺气体中混合氦。氦具有在所有气体中最高的离子化能，即 24.5eV，并且其亚稳状态位于比该离子化能少少许低的能级，即大约 20eV，从而在放电持续期间中，离子化只需要其差分的大约 4eV。因此，氦的放电开始电压在所有气体中最低。因为氦具有这些特征，通过将氦混合在工艺气体中，可以稳定地维持等离子体。这带来均匀的等离子体的形成，从而即使堆积有微晶硅膜的衬底面积增大也发挥等离子体密度的均匀化的效果。

[0092] 优选在形成微晶半导体层 123 的之前，对成为其被形成面的绝缘层 102 的表面进行等离子体处理。作为该等离子体处理，优选进行稀有气体等离子体处理及氢等离子体处理中之一方或双方。

[0093] 对于稀有气体等离子体处理，优选使用氩、氦、氙等的质量数大的稀有气体元素。这是因为利用溅射效果去除附着到绝缘层 102 表面的氧、水分、有机物、金属元素等的缘故。氢等离子体处理在如下情况下很有效：利用氢自由基去除附着到绝缘层 102 表面的所

述杂质；利用对绝缘层 102 的蚀刻作用清洗微晶半导体层 123 的被形成面。此外，通过同时使用稀有气体等离子体处理和氢等离子体处理的双方，被期待促进微晶核的生成的作用。另外，为促进微晶核的生成，而在形成微晶硅膜的开始阶段中，在对反应室 500 提供硅源气体的同时还维持提供氩等的稀有气体如氩等是有效的。

[0094] 可以通过 PECVD 法等的 CVD 法、溅射法等的 PVD 法形成非晶半导体层 124。当通过 CVD 法形成非晶硅膜时，作为硅源气体可以使用选自  $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$  等中的一种或多种气体。例如，当使用  $\text{SiF}_4$  时，优选使用  $\text{SiF}_4$  和  $\text{SiH}_4$  的混合气体作为硅源气体。此外，作为用于 CVD 法的工艺气体，除了使用硅源气体之外，还可以混合氢、氮、氩、氟、以及氦而使用。此外，通过将由卤素元素构成的物质的气体 ( $\text{F}_2$ 、 $\text{Cl}_2$ 、 $\text{Br}_2$ 、 $\text{I}_2$ 、 $\text{HF}$ 、 $\text{HCl}$ 、 $\text{HBr}$ 、 $\text{HI}$  等) 混合到工艺气体中，或者使用包含卤素的硅源气体 ( $\text{SiH}_2\text{Cl}_2$ 、 $\text{SiHCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{SiF}_4$  等)，来可以将卤素添加到非晶硅膜中。

[0095] 此外，通过将单晶硅用作靶并使用稀有气体对靶进行溅射，来可以利用溅射法形成非晶半导体膜。另外，当形成膜时，通过将氮、氩、或  $\text{N}_2\text{O}$  包含在气氛中，可以形成包含氮的非晶硅膜。而且，通过将以卤素为其组成的气体 ( $\text{F}_2$ 、 $\text{Cl}_2$ 、 $\text{Br}_2$ 、 $\text{I}_2$ 、 $\text{HF}$ 、 $\text{HCl}$ 、 $\text{HBr}$ 、 $\text{HI}$  等) 包含在气氛中，可以形成包含氟、氯、溴、或碘的非晶半导体膜。

[0096] 还可以在形成非晶半导体层 124 之后，通过对非晶半导体层 124 的表面进行使用氢等离子体、氮等离子体、或卤素等离子体的处理，使非晶半导体层 124 表面氢化、氮化、或卤素化。或者，对非晶半导体层 124 的表面进行使用稀有气体等离子体如氩等离子体、氦等离子体、氩等离子体、氮等离子体等的处理。

[0097] 添加有赋予一导电类型的杂质的半导体层 125，是构成源区域及漏区域的半导体层。它由微晶半导体或非晶半导体构成。半导体层 125 可以与微晶半导体层 123、非晶半导体层 124 同样地形成。在形成半导体层 125 时，使它包含施主杂质或受主杂质。半导体层 125 以 2nm 以上且 50nm 以下的厚度形成。

[0098] 添加用作掺杂剂杂质元素的磷来对半导体层 125 赋予 n 型导电性，以形成 n 沟道型 TFT。因此，将包含施主元素如  $\text{PH}_3$  等的掺杂剂气体混合到工艺气体中，以通过 CVD 法形成半导体层 125。另一方面，添加用作受主杂质元素的硼来对半导体层 125 赋予 p 型导电性，以形成 p 沟道型 TFT。因此，在其组成中包含受主元素如  $\text{B}_2\text{H}_6$ 、 $\text{BF}_3$ 、 $\text{BCl}_3$ 、 $\text{BBr}_3$ 、 $\text{TMB}$  等的掺杂剂气体混合到工艺气体中，以通过 CVD 法形成半导体层 125。半导体层 125 以 2nm 以上且 50nm 以下的厚度形成。通过减薄添加有赋予一导电类型的杂质的半导体膜的膜厚度，可以提高生产率。

[0099] 接着，在半导体层 125 上形成掩模 131。掩模 131 通过光刻技术或喷墨法形成。使用掩模 131 蚀刻半导体层 125、非晶半导体层 124 以及微晶半导体层 123 形成第三半导体层 105、第二半导体层 104、以及第一半导体层 103 (参照图 3C)。就是说，通过蚀刻工序，在绝缘层 102 上形成由第三半导体层 105、第二半导体层 104、以及第一半导体层 103 构成的岛状的三层结构的叠层体。

[0100] 在图 3C 的工序中，第三半导体层 105 不分割成源区域和漏区域。将第二半导体层 104 和第一半导体层 103 的整体形成为与第一导电层 101 重叠。通过采用该结构，透过衬底 100 的光被第一导电层 101 遮断，从而防止光照射到第二半导体层 104、第一半导体层 103，以可以避免产生光泄漏电流。

[0101] 接着,在当蚀刻之后留下的第三半导体层 105 以及绝缘层 102 上形成导电层 126。在该导电层 126 上形成掩模 132(参照图 3D)。掩模 132 通过光刻技术或喷墨法形成。

[0102] 导电层 126 可以采用单层结构或叠层结构,在其中的至少一层中,优选提供由铝、铝合金、或铜构成的导电膜,以实现源电极、漏电极的低电阻化。通过对铝添加微量的钛、钽、铈、钼等,以提高耐热性。此外,至于铝合金,优选使用上述元素和铝的合金来提高其耐热性。可以通过溅射法或真空蒸镀法形成构成导电层 126 的导电膜。

[0103] 在导电层 126 采用两层结构的情况下,其下层使用耐热金属膜或耐热金属的氮化物膜形成,而其上层使用由铝、铝合金、或铜构成的膜形成。此外,耐热金属是其熔点比铝高(优选为 800℃以上)的金属,例如可举出钛、钽、钼、钨等。在导电层 126 采用三层结构的情况下,其中间层使用由铝、铝合金、或铜构成的膜形成,而其上层及下层使用耐热金属膜或耐热金属的氮化物膜形成。就是说,在采用三层结构的情况下,优选采用由耐热性高的导电膜夹着铝膜等的低电阻的导电膜的结构。可以通过溅射法或真空蒸镀法形成构成导电层 126 的导电膜。

[0104] 而且,在图 3B 的工序中,还可以在半导体层 125 上形成导电层 126。接着,使用掩模 132 蚀刻导电层 126,来形成一对第二导电层 106-1、106-2(参照图 4A)。

[0105] 再者,使用掩模 132 蚀刻第三半导体层 105,来形成一对第三半导体层 105-1、105-2(参照图 4B)。由第三半导体层 105 的蚀刻剂蚀刻第二半导体层 104,形成凹部 104a。形成有凹部 104a 的区域是不重叠于第三半导体层 105-1、105-2、以及一对第二导电层 106-1、106-2 的区域。该区域是图 2 的俯视图中的第二半导体层 104 露出的区域。第三半导体层 105-1、105-2 以及第二导电层 106-1、106-2 的端部实质上一致。

[0106] 为将第二半导体层 104 用作防止第一半导体层 103 的氧化的缓冲层,而以不使第一半导体层 103 因进行上述蚀刻处理露出的方式蚀刻第二半导体层 104。

[0107] 接着,蚀刻第二导电层 106-1、106-2 的周边部分(参照图 4C)。在此,使用掩模 132 进行湿蚀刻,所以第二导电层 106-1、106-2 侧面的露出部被蚀刻。因此,将第二导电层 106-1 和第二导电层 106-2 之间的距离为比 TFT 的沟道长度长。这导致可以增大第二导电层 106-1 和第二导电层 106-2 之间的距离,从而可以防止第二导电层 106-1 和第二导电层 106-2 之间产生的短路。

[0108] 通过进行图 4C 的蚀刻处理,第二导电层 106-1、106-2 的端部与第三半导体层 105-1、105-2 的端部偏离。换言之,如图 2 所示,第三半导体层 105-1、105-2 存在于第二导电层 106-1、106-2 的外侧。通过采用这种结构,TFT 的源电极及漏电极的端部、以及源区域及漏区域的端部不发生电场集中,从而可以防止栅电极和源电极及漏电极之间产生的泄漏电流。由此,可以制造可靠性和耐压性都高的薄膜晶体管。

[0109] 然后,去除掩模 132。此外,还可以采用在不进行图 4C 的蚀刻处理的状态下第三半导体层 105-1、105-2 的端部和第二导电层 106-1、106-2 的端部实质上一致的结构。接着,形成绝缘层 108(参照图 1)。绝缘层 108 可以与绝缘层 102 同样地形成。此外,绝缘层 108 用来防止悬浮在大气中的有机物、金属、水蒸气等的污染杂质进入,优选使用致密的膜例如氮化硅膜等。通过上述步骤,图 1 及图 2 所示的沟道蚀刻结构的 TFT 完成。

[0110] 在本实施方式中,说明了在微晶半导体层 123 的形成工序中使用图 19 所示的 PECVD 装置的方法。当使用图 19 的 PECVD 装置时,除了微晶半导体层 123 之外,还可以形成

绝缘层 102、非晶半导体层 124、半导体层 125 以及绝缘层 108。

[0111] 在图 19 所示的 PECVD 装置中,可以通过改变反应气体来形成各种薄膜。当形成非晶硅膜、非晶硅锗膜、非晶碳化硅膜、微晶硅锗膜、微晶碳化硅膜等作为半导体层时也可以应用本实施方式。作为绝缘层,可以形成氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜等。就是说,为形成这种半导体层、绝缘层而采用 PECVD 法,在该 PECVD 法中将频率不同的两种高频电力提供到工艺气体中来使工艺气体激发。因此,在本实施方式中,可以通过用来形成微晶半导体层 123 的 PECVD 法,来形成非晶半导体层 124、半导体层 125、以及绝缘层 108。

[0112] 实施方式 2

[0113] 在实施方式中,说明具有与实施方式 1 不同的结构的薄膜晶体管及其制造方法。实施方式 1 示出了沟道蚀刻型薄膜晶体管,但是本实施方式说明一种薄膜晶体管,其中在沟道形成区域上具有由绝缘层构成的保护层。具有这种保护层的 TFT 的结构称为“沟道保护型”。图 5 是示出沟道保护型 TFT 的结构的一个例子的剖视图,而图 6 是其俯视图。图 5 是沿着图 6 的 Y1-Y2 线的剖视图。

[0114] 本实施方式的 TFT 与实施方式 1 不同之处为如下:不在第二半导体层 104 中形成有凹部 104a,而在第二半导体层 104 上形成有保护层 109;如图 6 所示,第二半导体层 104 不露出,而被第三半导体层 105-1、105-2、保护层 109 覆盖;以及第二导电层 106-1、106-2 的整体与第三半导体层 105-1、105-2 重叠,即在第二导电层 106-1、106-2 存在的区域中,还存在有第三半导体层 105-1、105-2。此外,本实施方式的 TFT 与实施方式 1 相同之处为如下:第二导电层 106-1、106-2 的端部与第三半导体层 105-1、105-2 的端部彼此偏离;以及第一半导体层 103 及第二半导体层 104 的整体与第一导电层 101 重叠。

[0115] 接着,参照图 7A 至 7C 以及图 8A 至 8C 说明图 5 和图 6 的 TFT 的制造方法。本实施方式的 TFT 的制造工序可以应用实施方式 1 的制造方法。

[0116] 首先,在衬底 100 上形成第一导电层 101 之后,层叠绝缘层 102、微晶半导体层 123、及非晶半导体层 124。然后在非晶半导体层 124 上形成保护层 109(参照图 7A)。通过将绝缘层 102 同样地形成的绝缘层、或非感光有机材料层蚀刻为岛状,可以形成保护层 109。

[0117] 接着,在保护层 109 及非晶半导体层 124 上形成与图 3C 同样的掩模(未图示),使用该掩模与图 3C 同样地进行蚀刻处理,以形成第一半导体层 103、第二半导体层 104(参照图 7B)。然后,去除掩模。

[0118] 接着,在绝缘层 102、第二半导体层 104、保护层 109 上按顺序层叠形成半导体层 125 及导电层 126(参照图 7C)。

[0119] 接着,在导电层 126 上形成掩模 133。使用掩模 133 与图 4A 同样地蚀刻导电层 126,以形成一对第二导电层 106-1、106-2(参照图 8A)。

[0120] 再者,使用掩模 133 与图 4B 同样地蚀刻半导体层 125,以形成一对第三半导体层 105-1、105-2(参照图 8B)。在该蚀刻工序中,保护层 109 用来蚀刻停止层,因此不在第二半导体层 104 中形成凹部。因为层叠形成导电层 126 和半导体层 125,并共同使用掩模 133 蚀刻导电层 126 及半导体层 125,所以在第三半导体层 105-1、105-2 存在的区域中,还存在有第二导电层 106-1、106-2。此外,第三半导体层 105-1、105-2 的端部和第二导电层 106-1、106-2 的端部实质上一致。

[0121] 接着,与图 4C 同样地蚀刻第二导电层 106-1、106-2 的周边部分(参照图 8C)。在该工序中,第二导电层 106-1、106-2 的端部和第三半导体层 105-1、105-2 的端部彼此偏离。换言之,如图 6 所示,第三半导体层 105-1、105-2 的端部存在于第二导电层 106-1、106-2 的外侧。通过采用这种结构,TFT 的源电极及漏电极的端部、以及源区域及漏区域的端部不发生电场集中,从而可以防止栅电极和源电极及漏电极之间产生的泄漏电流。由此,可以制造可靠性和绝缘耐压性都高的薄膜晶体管。

[0122] 然后,去除掩模 133。此外,在不进行图 8C 的蚀刻处理的状态下也可以实现第三半导体层 105-1、105-2 的端部和第二导电层 106-1、106-2 的端部实质上是一致的结构。接着,形成绝缘层 108(参照图 5)。通过上述步骤,图 5 及图 6 所示的沟道保护型的 TFT 完成。

[0123] 实施方式 3

[0124] 在本实施方式中,作为具有晶体管的半导体器件的一个例子,说明有源矩阵型显示装置。在有源矩阵型显示装置的像素部中,每个像素具有晶体管。

[0125] 首先,参照附图说明本发明的有源矩阵型显示装置的结构。图 9 是示出有源矩阵型显示装置的结构例子的框图。有源矩阵型显示装置包括像素部 10、源极线驱动电路 11、扫描线驱动电路 12、连接到源极线驱动电路 11 的多个源极线 13、以及连接到扫描线驱动电路 12 的多个扫描线 14。

[0126] 多个源极线 13 在列方向上排列,并且多个扫描线 14 与源极线 13 交叉并在行方向上排列。在像素部 10 中,多个像素 15 对应于源极线 13 及扫描线 14 所构成的行列地排列为行列状。像素 15 连接到扫描线 14 及源极线 13。像素部 15 包括开关元件以及显示元件。开关元件根据输入到扫描线 14 的信号控制像素是否被选择。根据从源极线 13 输入的视频信号控制显示元件的灰度级。

[0127] 参照图 10 和图 11 说明像素 15 的结构例子。图 10 示出将本发明应用于有源矩阵型液晶显示装置时的像素 15 的结构例子。图 10 是像素的电路图。像素 15 包括用作开关元件的开关晶体管 21、以及用作显示元件的液晶元件 22。开关晶体管 21 的栅极连接到扫描线 14,并且源极及漏极的一方连接到源极线 13,而另一方连接到液晶元件 22。开关晶体管 21 应用实施方式 1 或实施方式 2 的 TFT。

[0128] 液晶元件 22 包括像素电极、对置电极及液晶,并且它被由像素电极和对置电极构成的电场控制液晶分子的取向。液晶被封入在有源矩阵型液晶显示装置的两个衬底之间。辅助电容器 23 是用来保持液晶元件 22 的像素电极的电位的电容器,它连接到液晶元件 22 的像素电极。

[0129] 图 11 示出将本发明应用于有源矩阵型电致发光(EL)显示装置时的像素 15 的结构例子。图 11 是像素的电路图。像素 15 包括用作开关元件的开关晶体管 31、以及用作显示元件的发光元件 32。再者,像素 15 还包括栅极连接到开关晶体管 31 的驱动晶体管 33。发光元件 32 具有包括一对电极和被该一对电极夹住的发光材料的发光层。开关晶体管 31 以及驱动晶体管 33 应用实施方式 1 或实施方式 2 的 TFT。

[0130] 利用电致发光的发光元件按其发光材料是有机化合物还是无机化合物而区别。通常,前者称为有机 EL 元件,后者称为无机 EL 元件。发光元件 32 可以采用有机 EL 元件或无机 EL 元件。

[0131] 对一对电极之间施加电压,以使有机 EL 元件发光。由此,电子和空穴分别从一对

电极注入到包含发光有机化合物的发光层中,而在一对电极之间流过电流。而且,因这些载流子(电子和空穴)在发光层中复合而发光有机化合物处于激发状态,并且当该激发态返回基态时发光。将具有这种发光机构的发光元件称为电流激发型发光元件。

[0132] 无机 EL 元件根据其元件结构,被分为分散型无机 EL 元件和薄膜型无机 EL 元件。分散型无机 EL 元件具有将发光材料的粒子分散在粘结剂中的发光层,其发光机构为利用施主能级和受主能级的施主-受主复合型发光。薄膜型无机 EL 元件具有发光层被两个电介质层夹住,且它还被两个电极夹住的叠层结构,其发光机构为利用金属离子的内壳层电子跃迁的定域型发光。

[0133] 图 12 示出有源矩阵型显示装置模块的外观立体图。模块包括两个衬底 61 和 62。在衬底 61 上形成有由使用微晶半导体膜的薄膜晶体管构成的像素部 63 和扫描线驱动电路 64。源极线驱动电路由 IC 芯片 65 形成,并安装到衬底 61 上。在衬底 61 上形成外部连接端子,并且 FPC66 连接到该外部连接端子。通过 FPC66 将电源电位、各种信号等提供到像素部 63、由 IC 芯片 65 构成的源极线驱动电路、及扫描线驱动电路 64。

[0134] 此外,扫描线驱动电路 64 也可以使用 IC 芯片 65 形成。另外,在使用 IC 芯片 65 形成源极线驱动电路或扫描线驱动电路 64 的情况下,也可以与衬底 61、62 不同的衬底上安装 IC 芯片 65,并由 FPC 等连接该衬底的外部连接端子和衬底 61 的外部连接端子。

[0135] 接着,说明有源矩阵型液晶显示装置的模块的更详细的结构。图 13 是示出像素的截面结构的一个例子的剖视图。在此,说明其驱动方式为 TN 方式的液晶显示装置的像素部的截面结构。一对衬底 200、201 分别对应于图 12 的衬底 61、62。在衬底 200 上形成 TFT202 以及辅助电容器 203。TFT202、辅助电容器 203 分别对应于图 10 中的开关晶体管 21、辅助电容器 23。

[0136] 此外,图 14 是衬底 200 一侧的像素的俯视图,并且图 13 示出沿着图 14 的 Z1-Z2 线的截面结构。在本实施方式中,TFT202 的结构与实施方式 1 的 TFT 的结构相同,但是 TFT202 还可以采用与实施方式 2 的 TFT 相同的结构。在像素中,形成扫描线 210、源极线 211、辅助电容线 212。作为扫描线 210 的一部分,形成有 TFT202 的第一导电层(栅电极)。在形成扫描线 210 的同时形成辅助电容线 212。作为源极线 211 的一部分,形成有 TFT202 的第二导电层的一方(源电极或漏电极)。此外,与源极线 211 成为一对的第二导电层(源电极或漏电极)是电极 213。

[0137] 扫描线 210 及辅助电容线 212 上的绝缘层 214 用作 TFT202 的栅绝缘层。在辅助电容线 212 上,通过绝缘层 214 形成电极 215。在辅助电容线 212 及电极 215 彼此重叠的部分中,将绝缘层 214 用作电介质来形成以辅助电容线 212 及电极 215 为一对电极的辅助电容器 203。电极 215 是在形成 TFT202 的第二导电层的同时形成的电极。就是说,同时制造源极线 211、电极 213 以及电极 215。

[0138] 绝缘层 216 用作钝化层,并且与实施方式 1、2 的绝缘层 108 同样地形成。在电极 213 上的绝缘层 216 中形成接触孔,像素电极 217 通过该接触孔电连接到电极 213。即,TFT202 和像素电极 217 电连接。再者,在电极 215 上的绝缘层 216 中也形成接触孔。像素电极 217 通过该接触孔电连接到电极 215,辅助电容器 203 电连接到像素电极 217。

[0139] 通过使用包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(下面,写为 ITO)、氧化铟锌、添加有氧化硅的氧化铟锡



等的导电材料形成像素电极 217,使它具有透光性。

[0140] 此外,可以使用包含导电高分子(也称为导电聚合物)的导电层形成像素电极 217。作为导电高分子,可以使用所谓的  $\pi$  共轭类导电高分子。例如,可举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的两种以上的共聚物等。优选地是,在包含用于像素电极 217 的导电高分子的导电层中,其薄层电阻为  $10000 \Omega / \square$  以下,并且当波长为 550nm 时的透光率为 70% 以上。另外,包含在导电组成物中的导电高分子的电阻率优选为  $0.1 \Omega \cdot \text{cm}$  以下。

[0141] 在衬底 200 和衬底 201 之间形成有液晶层 220。在衬底 200 和衬底 201 的表面上分别形成用作使包括在液晶层 220 的液晶分子取向的取向膜 221、222。在衬底 200 和衬底 201 的周围形成有由树脂材料构成的密封材料,以将液晶层密封在衬底 200 和衬底 201 之间。此外,珠状隔离物被散布在液晶层 220 中,以保持衬底 200 和衬底 201 之间的间距。此外,也可以通过制造 TFT202 的步骤,在衬底 200 上形成柱状隔离物来代替珠状隔离物。可以使用感光树脂形成柱状隔离物。

[0142] 再者,在衬底 201 上形成遮光膜 223、着色膜 224、对置电极 225 等。层叠有像素电极 217、液晶层 220、对置电极 225 的部分用作液晶元件。遮光膜 223 覆盖液晶分子的取向容易错乱的区域,例如形成 TFT202 及辅助电容器 203 的区域。着色膜 224 是用作彩色滤光片的膜。在着色膜 224 和对置电极 225 之间形成平坦化膜 226,以使因形成遮光膜 223 而产生的凹凸平坦化。由此,可以防止液晶的取向错乱。

[0143] 此外,在此,以 TN 方式的液晶显示装置为例子来说明像素部结构,但是液晶显示装置的驱动方法不局限于 TN 方式。作为 TN 方式以外的典型驱动方式,典型地举出 VA(垂直取向)方式、水平电场方式。VA 方式是指如下方式:在不对液晶分子施加电压的情况下,液晶分子朝向相对于衬底垂直的方向。水平电场方式是指如下方式:通过主要施加相对于衬底水平的方向的电场改变液晶分子的方向,来进行灰度级表达的方式。

[0144] 接着,说明有源矩阵型 EL 显示装置模块的更详细结构。图 15 是说明像素部的截面结构的一个例子的剖视图。此外,在此以如下情况为例子来说明像素部的结构:发光元件是有机 EL 元件,且将通过实施方式 1 的方法制造的 TFT 用作形成于像素的晶体管。在图 15 中,一对衬底 300、301 分别对应于图 12 的衬底 61、62。在衬底 300 上形成有 TFT302 及发光元件 303。TFT302、发光元件 303 分别对应于图 10 的驱动晶体管 33、发光元件 32。

[0145] 经过参照图 3A 至 3D 以及图 4A 至 4C 说明的工序,在衬底 300 上形成 TFT302 以及用作保护膜的绝缘层 108(参照图 15)。接着,在绝缘层 108 上形成平坦化膜 311。优选使用有机树脂如丙烯、聚酰亚胺、聚酰胺等、或硅氧烷形成平坦化膜 311。

[0146] 接着,在平坦化膜 311 与第二导电层 106-2(源电极或漏电极)重叠的部分中形成接触孔。在平坦化膜 311 上形成像素电极 312。像素电极 312 连接到 TFT302 的第二导电层 106-2。在 TFT302 是 n 型的情况下,像素电极 312 成为阴极。另一方面,在 TFT302 是 p 型的情况下,像素电极 312 成为阳极。因此,作为像素电极 312,使用发挥所希望的功能的导电膜。具体来说,为形成阴极可以使用功函数小的材料例如 Ca、Al、CaF、MgAg、AlLi 等,而为形成阳极可以使用包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡、氧化铟锌、添加有氧化硅的氧化铟锡等。通过使用这种导电材料,可以形成具有透光性的电极。

[0147] 接着,在平坦化膜 311 上形成隔离墙 313。隔离墙 313 具有开口部,并且像素电极 312 露出在该开口部中。此外,在该开口部周边,像素电极 312 的端部被隔离墙 313 覆盖。使用有机树脂膜、无机绝缘膜或有机聚硅氧烷形成隔离墙 313。

[0148] 接着,在衬底 300 表面上形成发光层 314。发光层 314 以在隔离墙 313 的开口部中与像素电极 312 接触的方式形成。发光层 314 可以以单层或多层来形成。

[0149] 接着,覆盖发光层 314 地形成共同电极 315。共同电极 315 可以与像素电极 312 同样地形成。在像素电极 312 是阴极的情况下,将共同电极 315 形成为阳极。通过在隔离墙 313 的开口部中层叠像素电极 312、发光层 314 以及共同电极 315,形成有发光元件 303。然后,在共同电极 315 及隔离墙 313 上形成保护膜 316,以防止氧、氢、水分、二氧化碳等进入到发光元件 303 中。保护膜 316 可以使用氮化硅膜、氮氧化硅膜、DLC 膜等形成。

[0150] 接着,由树脂层 320 将衬底 301 贴附到衬底 300 表面上。通过采用这种结构,可以不使发光元件 303 暴露在空气中。作为衬底 301,可以使用玻璃板、塑料板、或者如聚酯薄膜或丙烯薄膜等的树脂薄膜等。此外,可以使用紫外线固化树脂或热固化树脂形成树脂层 320。作为这种树脂,具有 PVC(聚氯乙烯)、丙烯、聚酰亚胺、环氧树脂、硅酮树脂、PVB(聚乙烯醇缩丁醛)、或 EVA(乙烯-醋酸乙烯酯)等。

[0151] 实施方式 4

[0152] 在本实施方式中,说明在显示部中组装有有源矩阵型显示装置模块的电子设备作为本发明的半导体器件的一个例子。作为该模块,可以应用实施方式 3 所说明的半导体器件。作为这种电子设备,可举出如下:拍摄装置如摄影机、数码相机等;头戴式显示器(护目镜型显示器);汽车导航;投影机;汽车音响;个人计算机;便携式信息终端(便携式计算机、移动电话、或电子书籍等)等。图 16A 至 16C 示出了上述电子设备的一个例子。

[0153] 作为本发明的半导体器件的一个例子,图 16A 示出电视装置的外观图。由模块形成主画面 2003,并且作为其辅助设备,具备扬声器部 2009 和操作开关等。在框体 2001 中组装有其像素部具有液晶元件或发光元件的显示用模块 2002。接收机 2005 是用来接收电视广播的装置。调制解调器 2004 是用来将电视装置连接到利用有线或无线的通信网络的装置。通过连接到通信网路,可以使用电视装置进行双方向(从观众向播送者、以及从播送者向观众)的通信。通过利用遥控操作机 2006、或组装在框体中的开关,进行电视装置的操作。

[0154] 再者,在电视装置中,除了主画面 2003 之外还可以形成由显示用模块形成的辅助画面 2008。辅助画面 2008 可以用来显示频道或音量等。例如,可以使用液晶元件的模块形成主画面 2003,而使用能够以低电量进行显示的发光元件的模块形成辅助画面 2008。或者,主画面 2003 及辅助画面 2008 都可以由使用发光元件的模块形成。

[0155] 图 17 是示出电视装置的主要结构的框图。在显示用模块 900 中,形成有像素部 921。通过 COG 方式,将源极线驱动电路 922 和扫描线驱动电路 923 安装到模块 900 中。

[0156] 作为其他外部电路的结构,在该视频信号的输入一侧具有视频信号放大电路 925、视频信号处理电路 926、控制电路 927 等。其中,视频信号放大电路 925 放大调谐器 924 所接收的信号中的视频信号,视频信号处理电路 926 将从视频信号放大电路 925 输出的信号转换成对应于红、绿和蓝各种颜色的颜色信号,控制电路 927 将该视频信号转换成驱动器 IC 输入规格。控制电路 927 将信号输出到扫描线一侧和源极线一侧。在进行数字驱动

的情况下,可以采用如下结构:在源极线一侧设置信号分割电路 928,将输入数字信号分割为  $m$  个,然后提供到源极线驱动电路 922。

[0157] 由调谐器 924 接收的信号中的音频信号被发送到音频信号放大电路 929,并经过音频信号处理电路 930 提供到扬声器 933。控制电路 931 从输入部 932 接收有关接收站(接收频率)或音量的控制信息,并将信号传送到调谐器 924 和音频信号处理电路 930。

[0158] 此外,本发明不局限于电视装置,还可以包括个人计算机的监视器、铁路的车站或飞机场等中的信息显示屏、街头上的广告显示屏等。

[0159] 作为本发明的半导体器件的一个例子,图 16B 示出移动电话机 2301 的外观图。该移动电话机 2301 包括显示部 2302、操作部 2303 等构成。将使用液晶元件或发光元件的模块用于显示部 2302。

[0160] 作为本发明的半导体器件的一个例子,图 16C 示出便携式计算机的外观图。该便携式计算机包括主体 2401、显示部 2402 等。将使用液晶元件或发光元件的模块用于显示部 2402。

[0161] 实施方式 5

[0162] 在实施方式 1、实施方式 2 中说明了在衬底 100 上层叠形成绝缘层 102、微晶半导体层 123、非晶半导体层 124、半导体层 125 的工序(参照图 3A 以及图 7A)。此外,优选在不使衬底 100 暴露在大气中的状态下,层叠形成这些层。在本实施方式中,说明用来进行这种工序的 PECVD 装置的结构及其使用方法。

[0163] 参照图 18 说明一种 PECVD 装置,该 PECVD 装置可以连续形成从绝缘层 102 添加了赋予一导电类型的杂质的第三半导体层 105。图 18 是示出 PECVD 装置的俯视截面的示意图。PECVD 装置具有如下结构,即在公共室 1120 的周边设有装载室 1110、卸装室 1115、四个反应室 1111 至 1114。在公共室 1120 和每一室之间设有闸阀 1122 至 1127,并且构成为在每一室中进行的处理互不相同干涉。衬底安装在装载室 1110、卸装室 1115 的盒子 1128、1129 中,然后由公共室 1120 的传送单元 1121 传送到各个反应室 1111 至 1114 中。该装置可以根据其种类将堆积膜分配到各个反应室,从而可以在不接触于大气的状态下连续形成多个膜。

[0164] 优选分别限制在各个反应室 1111 至 1114 中形成的膜。例如,反应室 1111 为形成绝缘层 102 专用的反应室,反应室 1112 为形成微晶半导体层 123 专用的反应室,反应室 1113 为形成非晶半导体层 124 专用的反应室,并且反应室 1114 为形成半导体层 125 专用的反应室。由此,可以同时形成绝缘层 102、微晶半导体层 123、非晶半导体层 124、及半导体层 125。其结果,可以提高量产性。此外,当在某一个反应室中进行维护或清洗时,也可以在其他反应室中进行成膜处理,从而可以缩短成膜周期(cycle time)。而且,由于可以在不被大气成分及悬浮在大气中的污染杂质元素污染的状态下形成各个叠层界面,因此可以减少薄膜晶体管的电特性的不均匀。

[0165] 另外,作为用来形成微晶半导体膜 123 的反应室 1112,应用图 19 的 PECVD 装置的反应室 500。作为其他反应室 1111、1113、1114,也可以应用图 19 所示的反应室 500。

[0166] 此外,在图 18 所示的 PECVD 装置中分别设置有装载室及卸装室,但是也可以设置将装载室及卸装室成为一个的装载/卸装室。此外,还可以在 PECVD 装置中设置备用室。通过在备用室中对衬底进行预先加热,可以在反应室中缩短直到形成膜的加热时间,从而可

以提高生产率。

[0167] 本说明书根据 2007 年 8 月 17 日在日本专利局受理的日本专利申请号 2007-213059 而制作,所述申请内容包括在本说明书中。

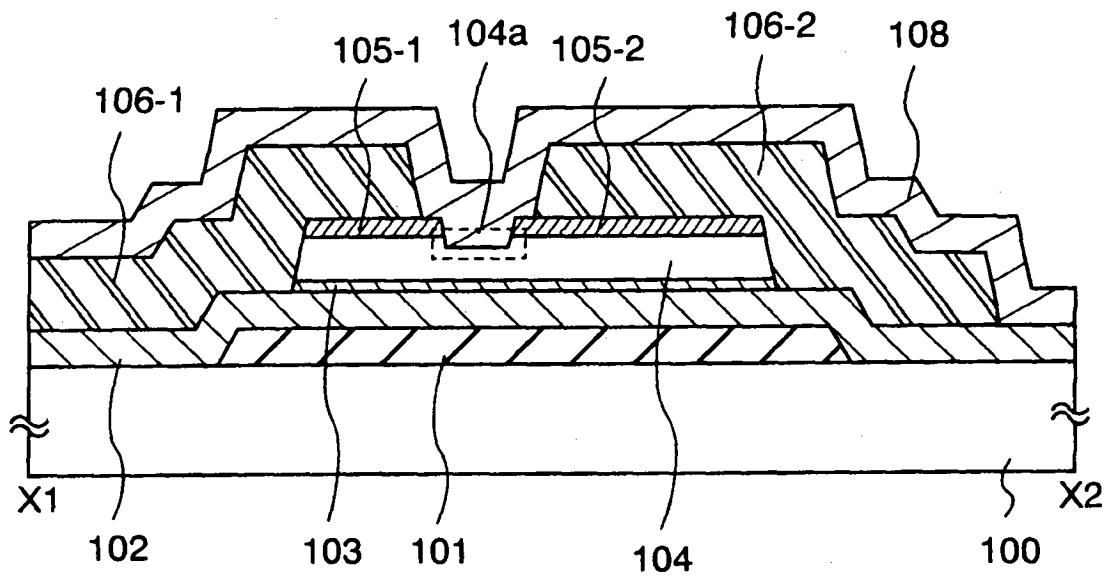


图 1

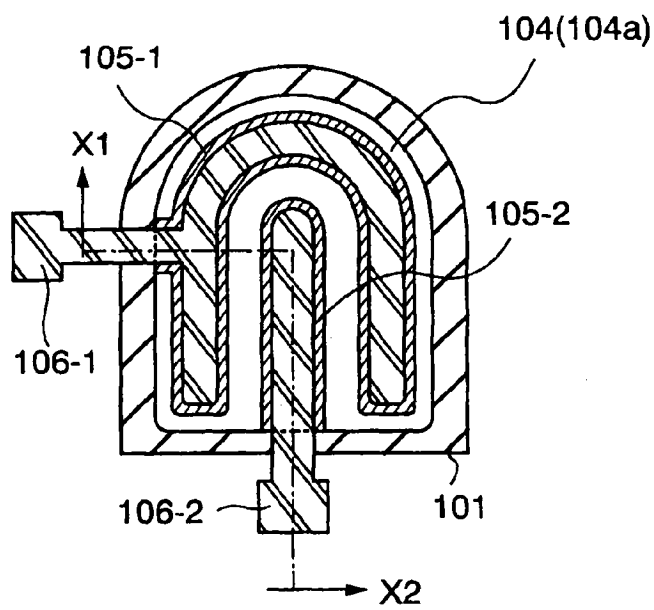


图 2

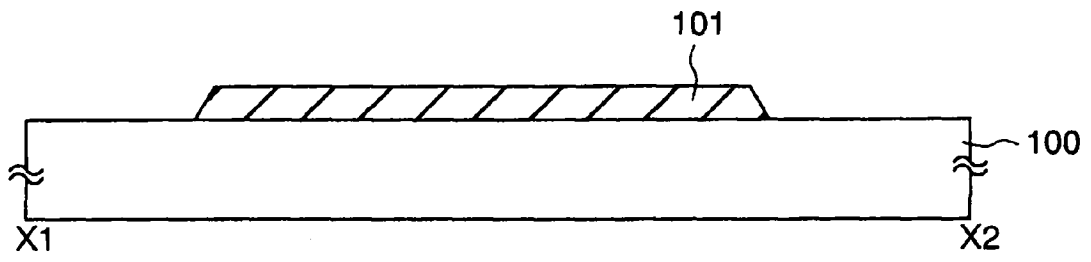


图 3A

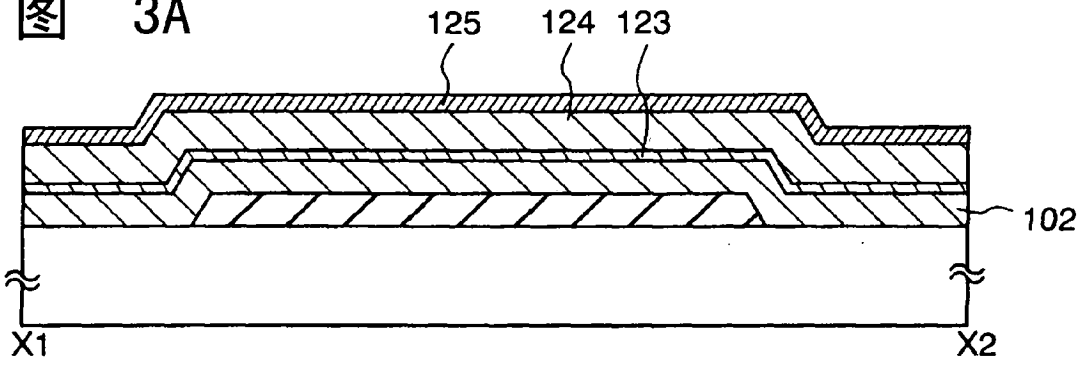


图 3B

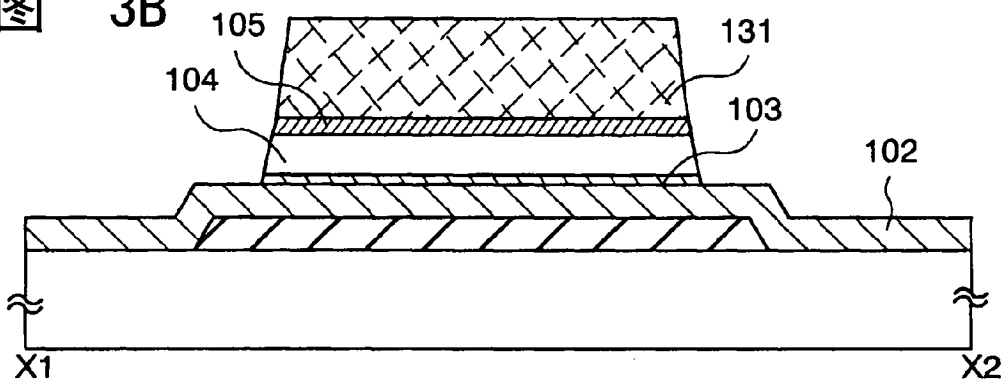


图 3C

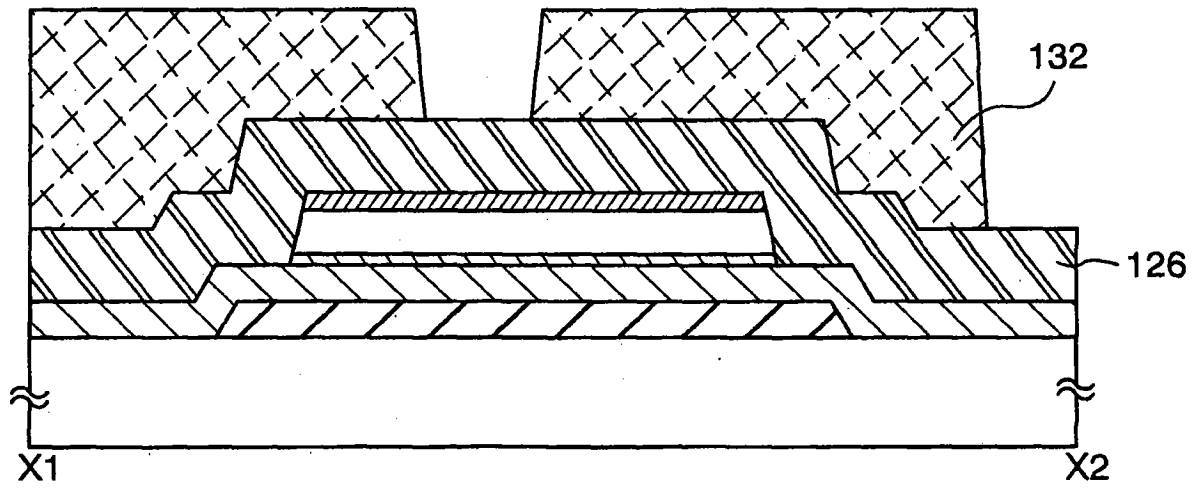


图 3D

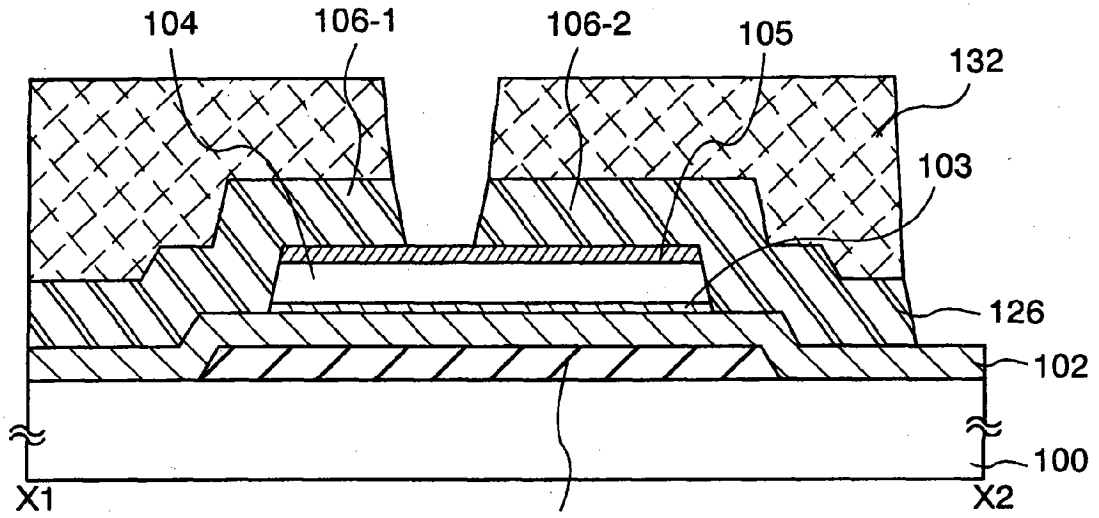


图 4A

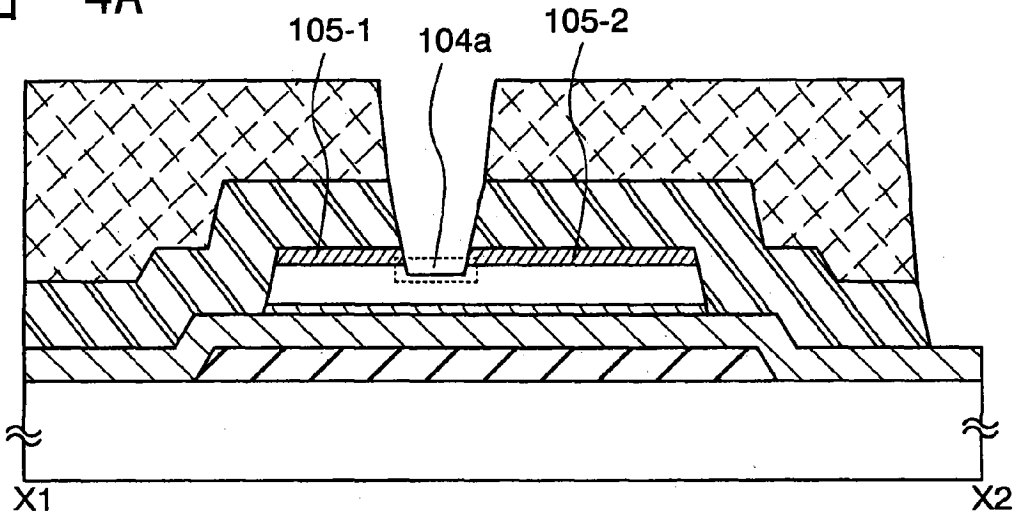


图 4B

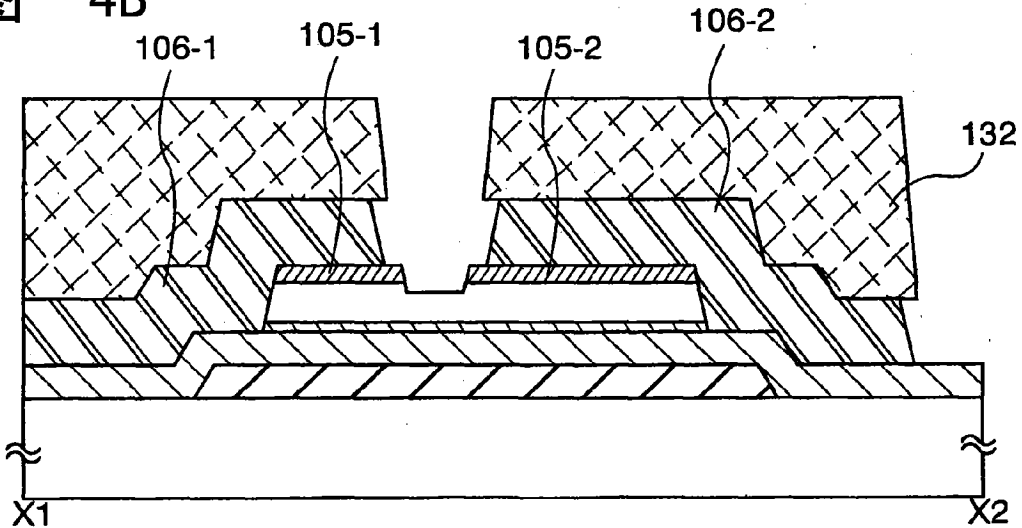


图 4C



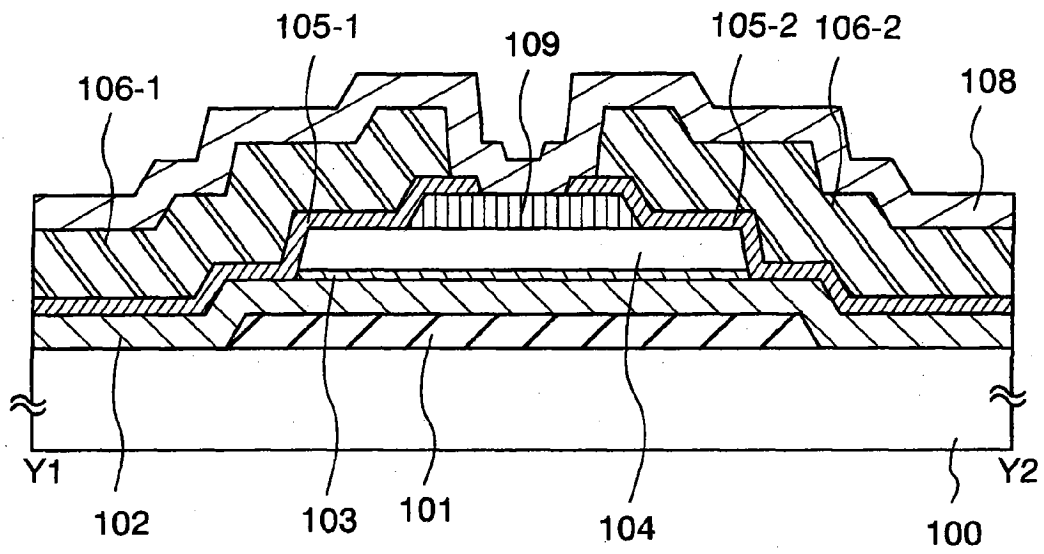


图 5

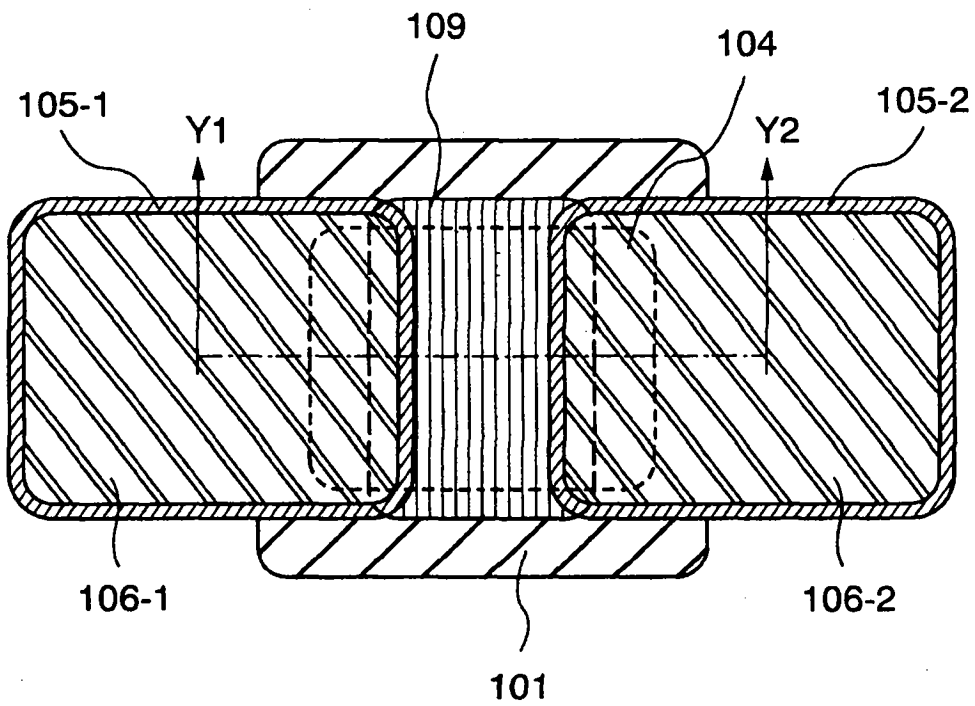


图 6

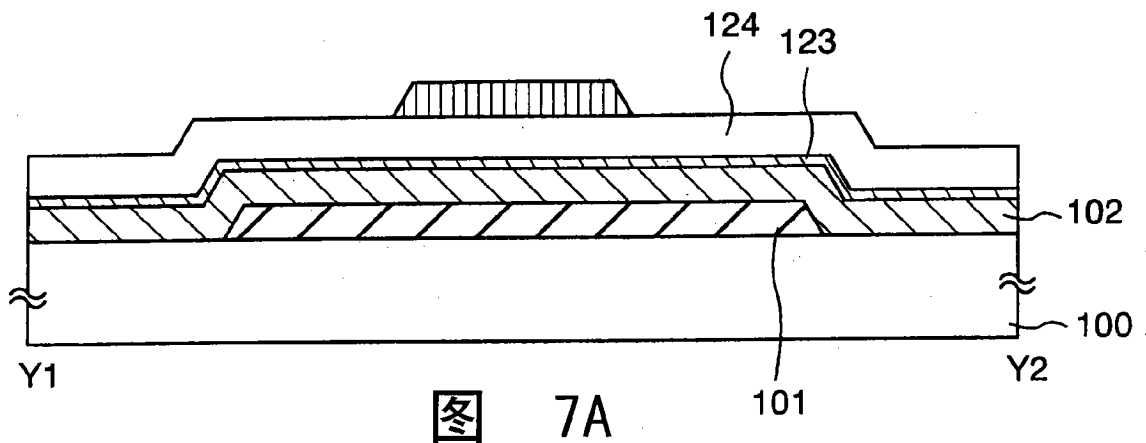


图 7A

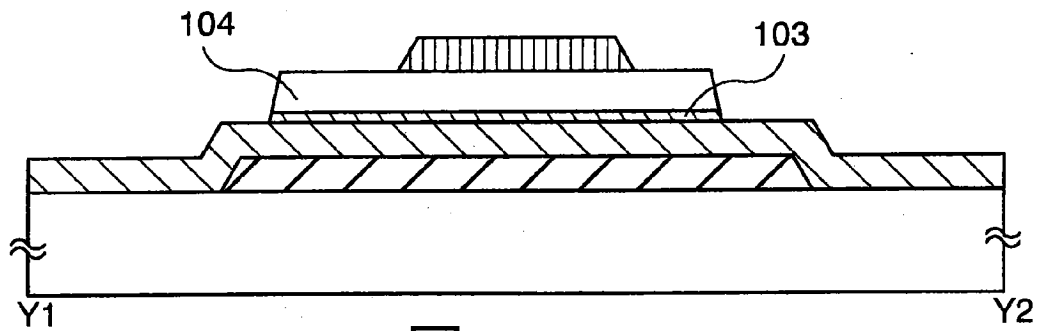


图 7B

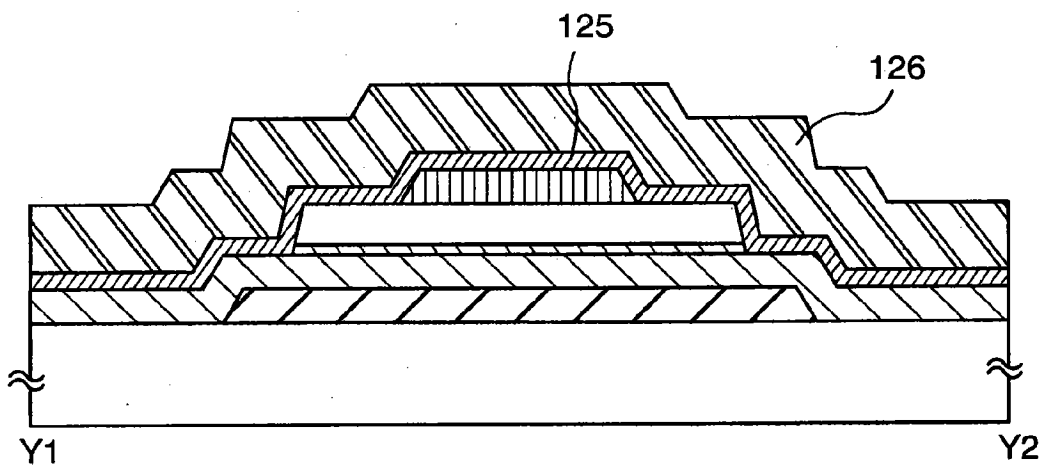


图 7C

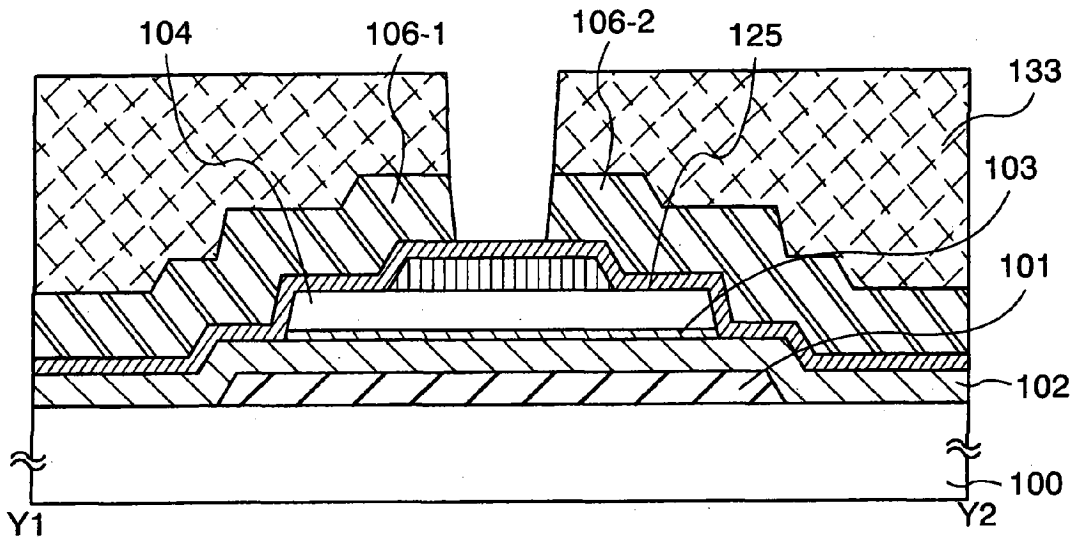


图 8A

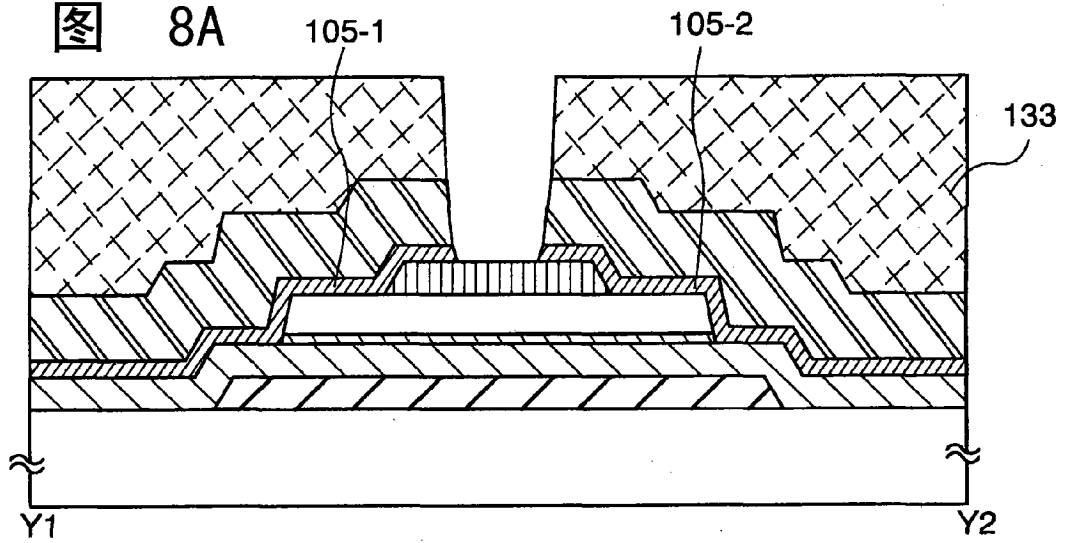


图 8B

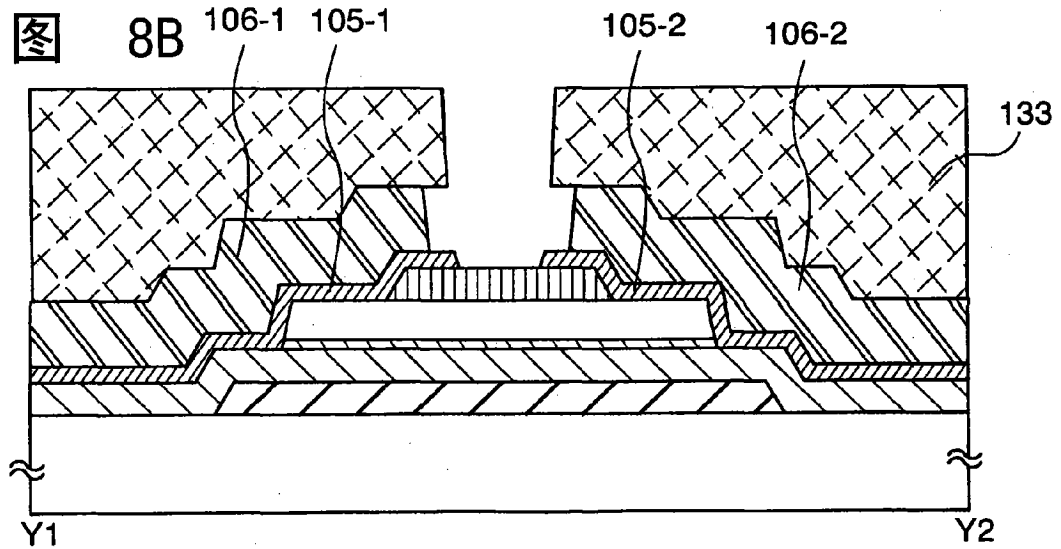


图 8C

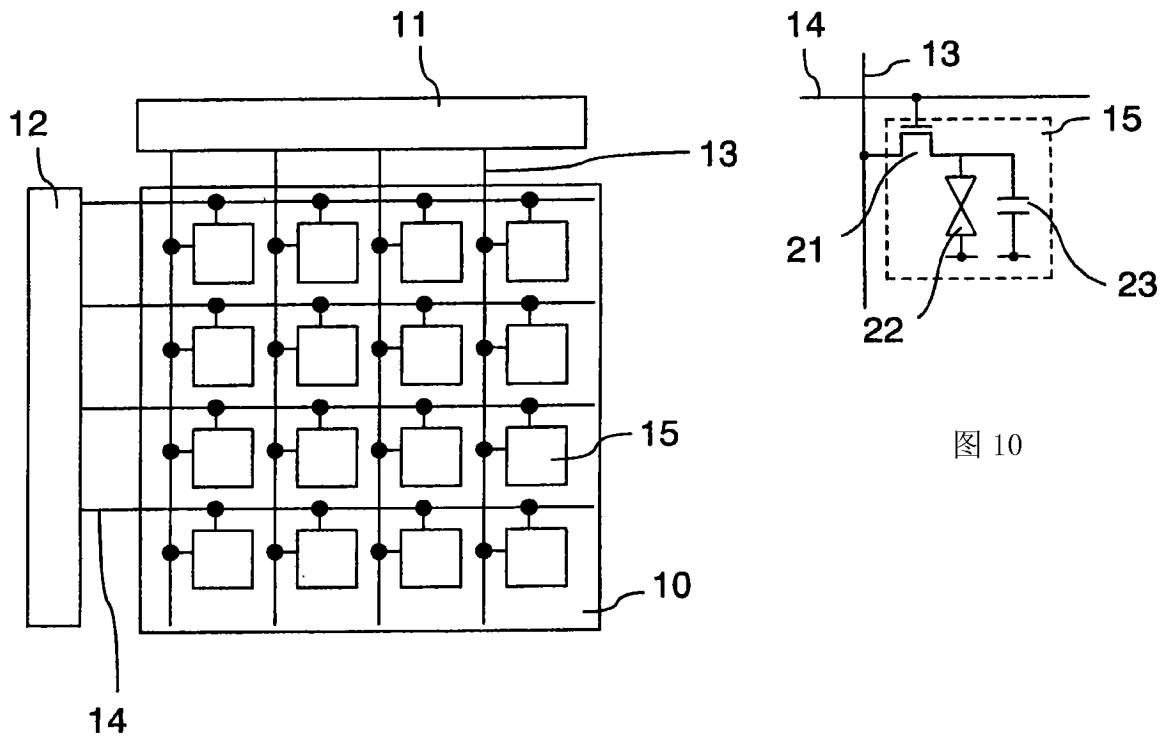


图 9

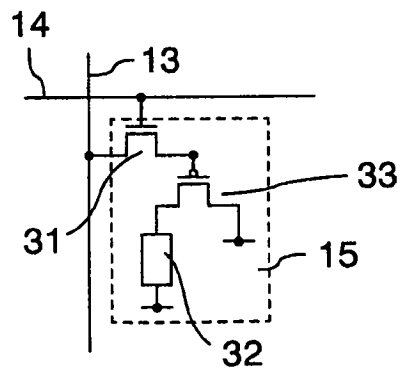


图 11

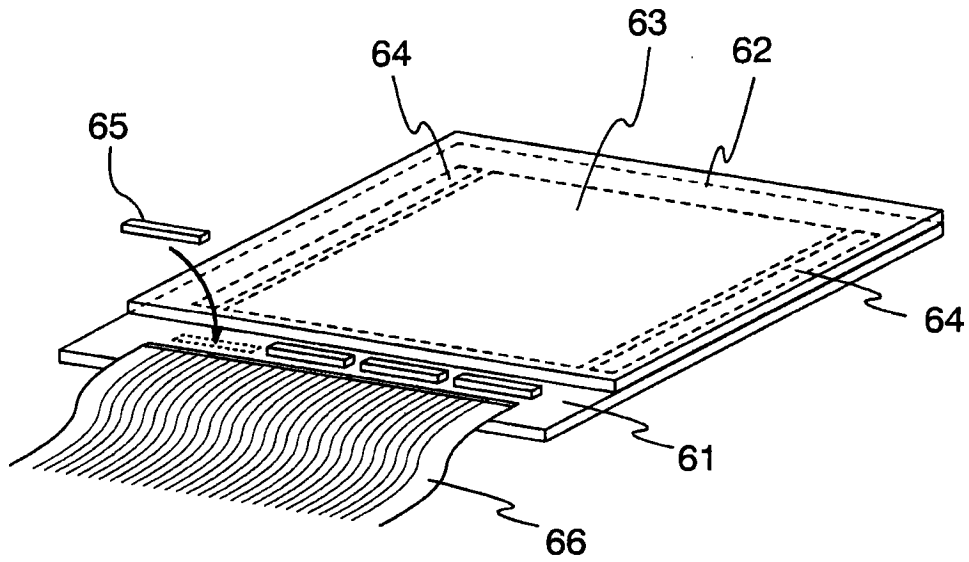


图 12

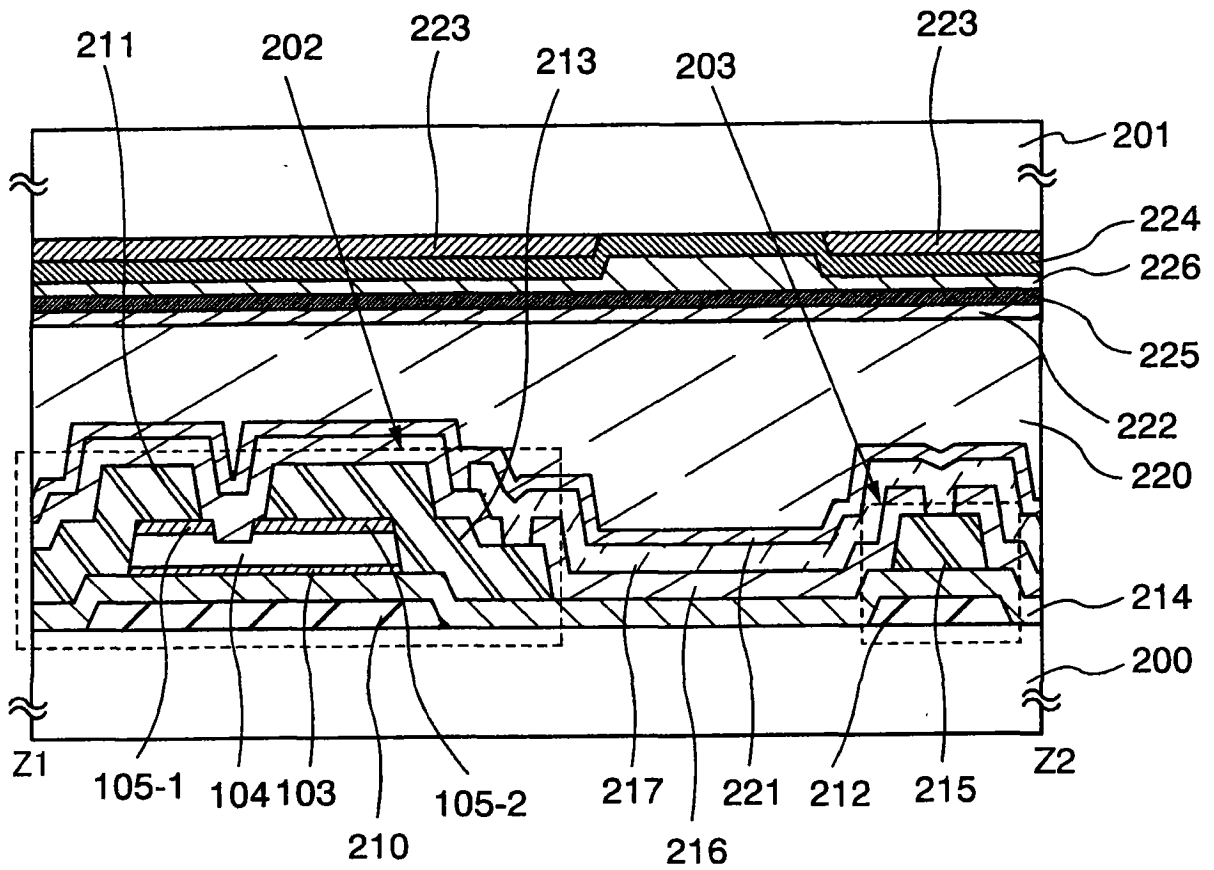


图 13

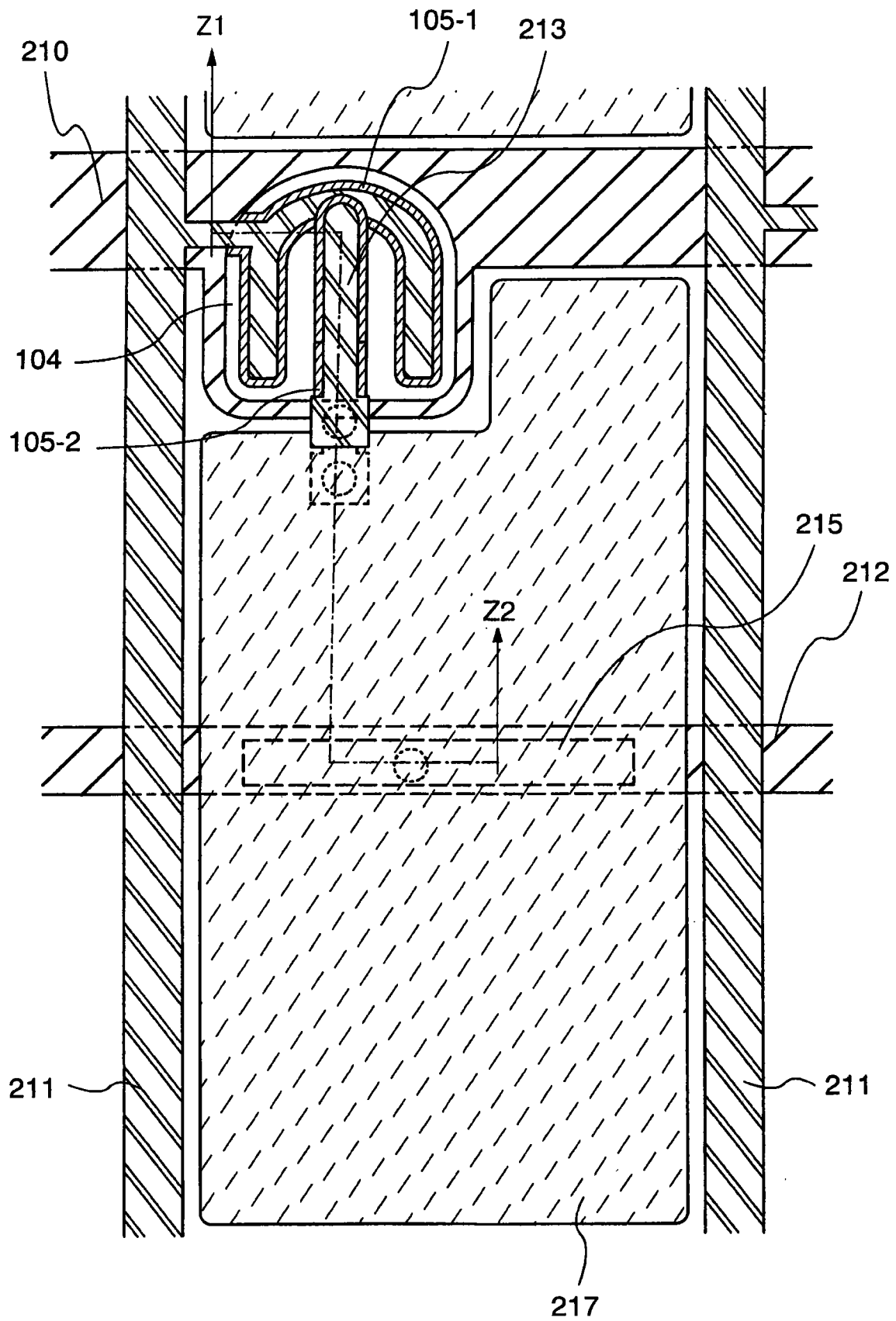


图 14

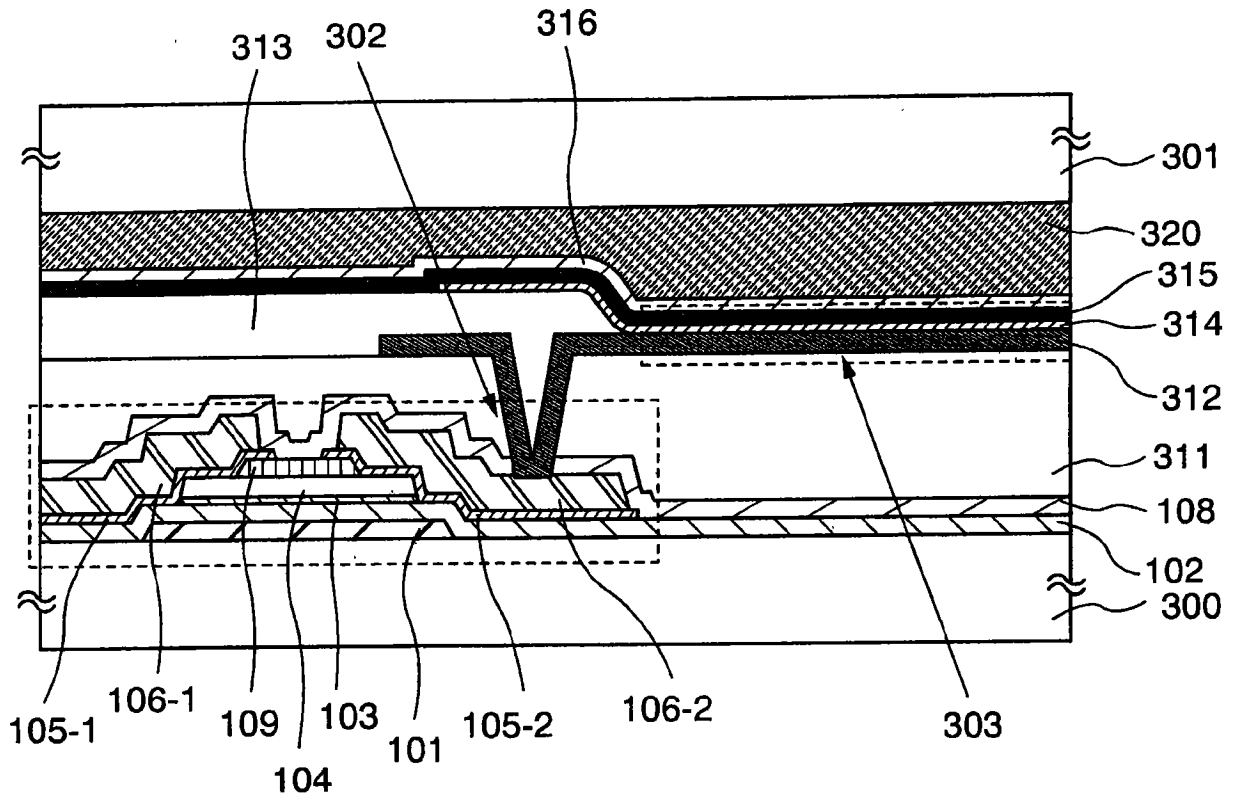


图 15

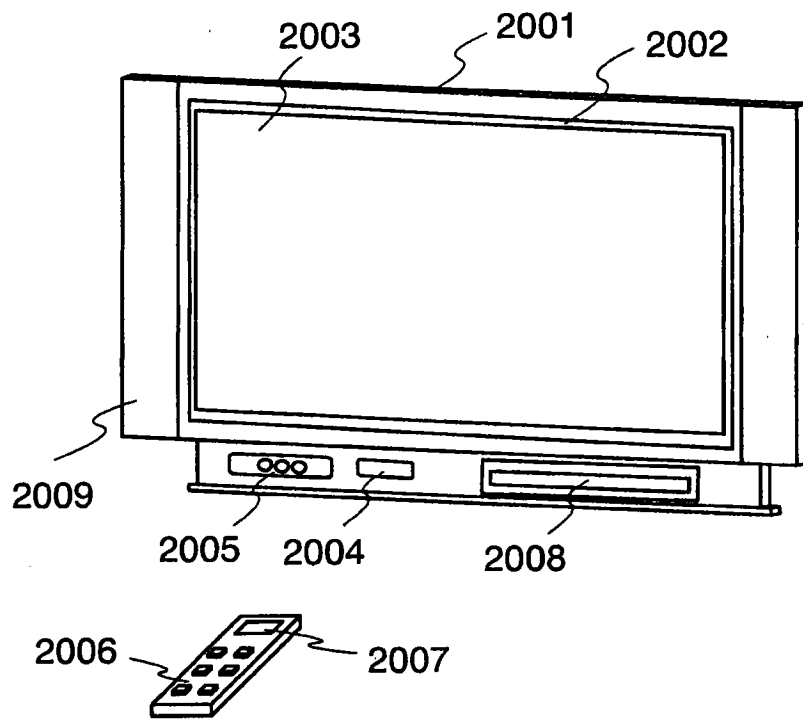


图 16A

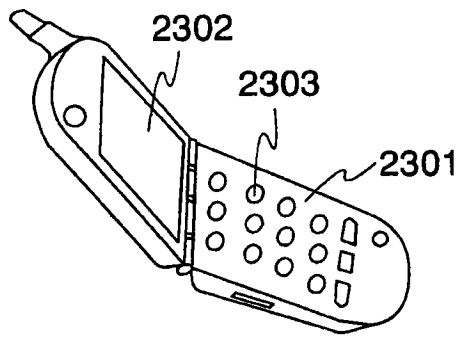


图 16B

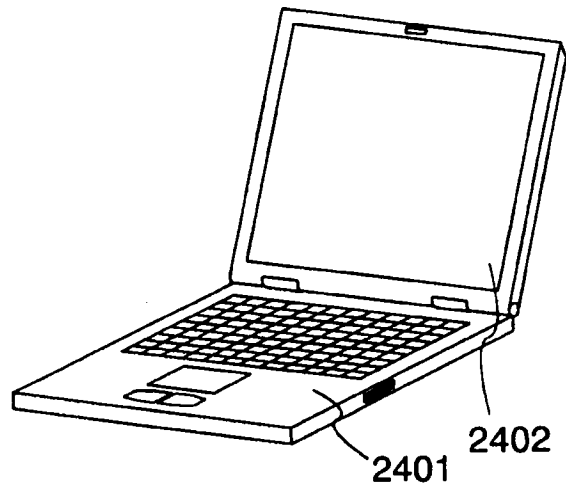


图 16C



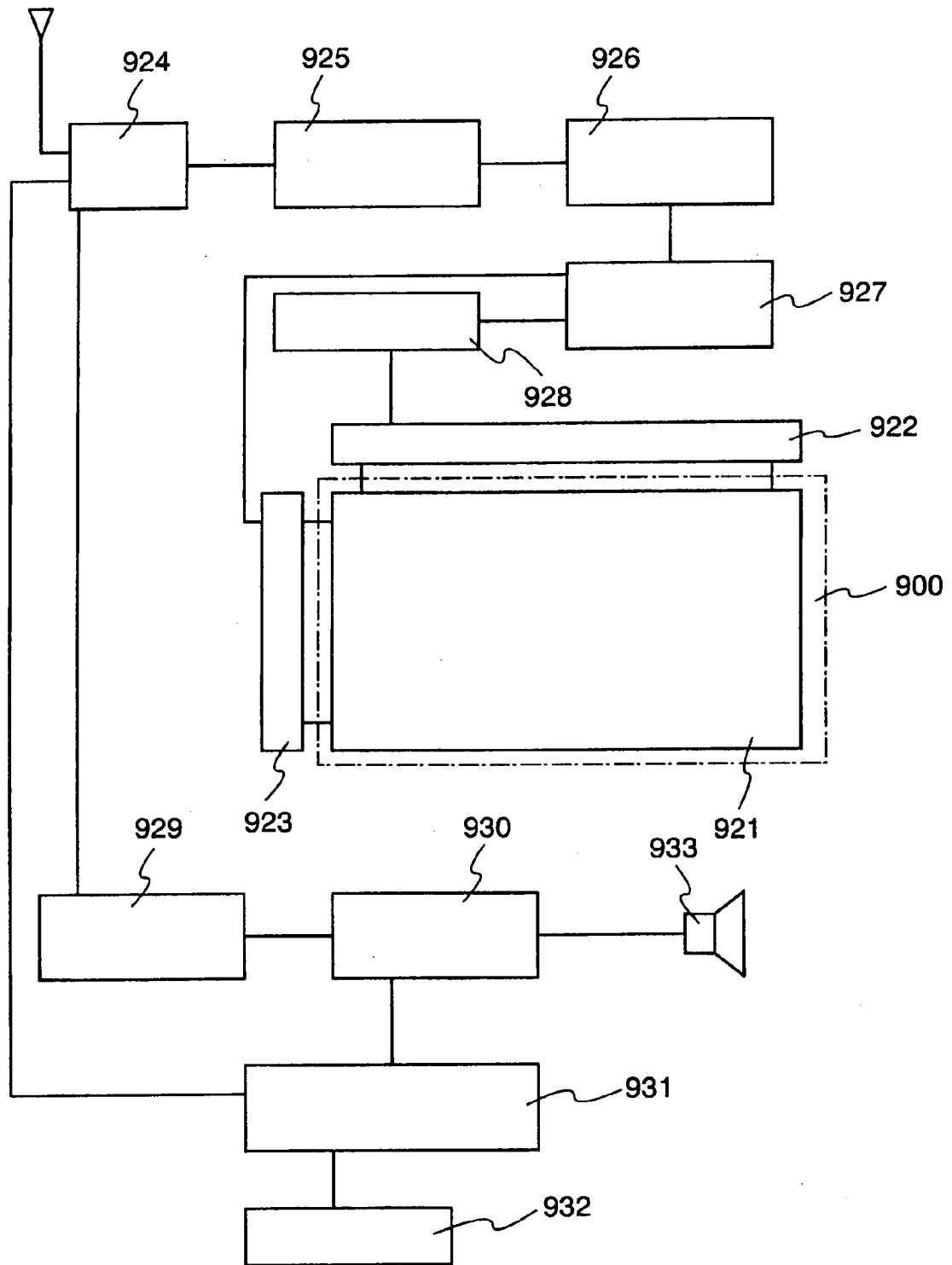


图 17

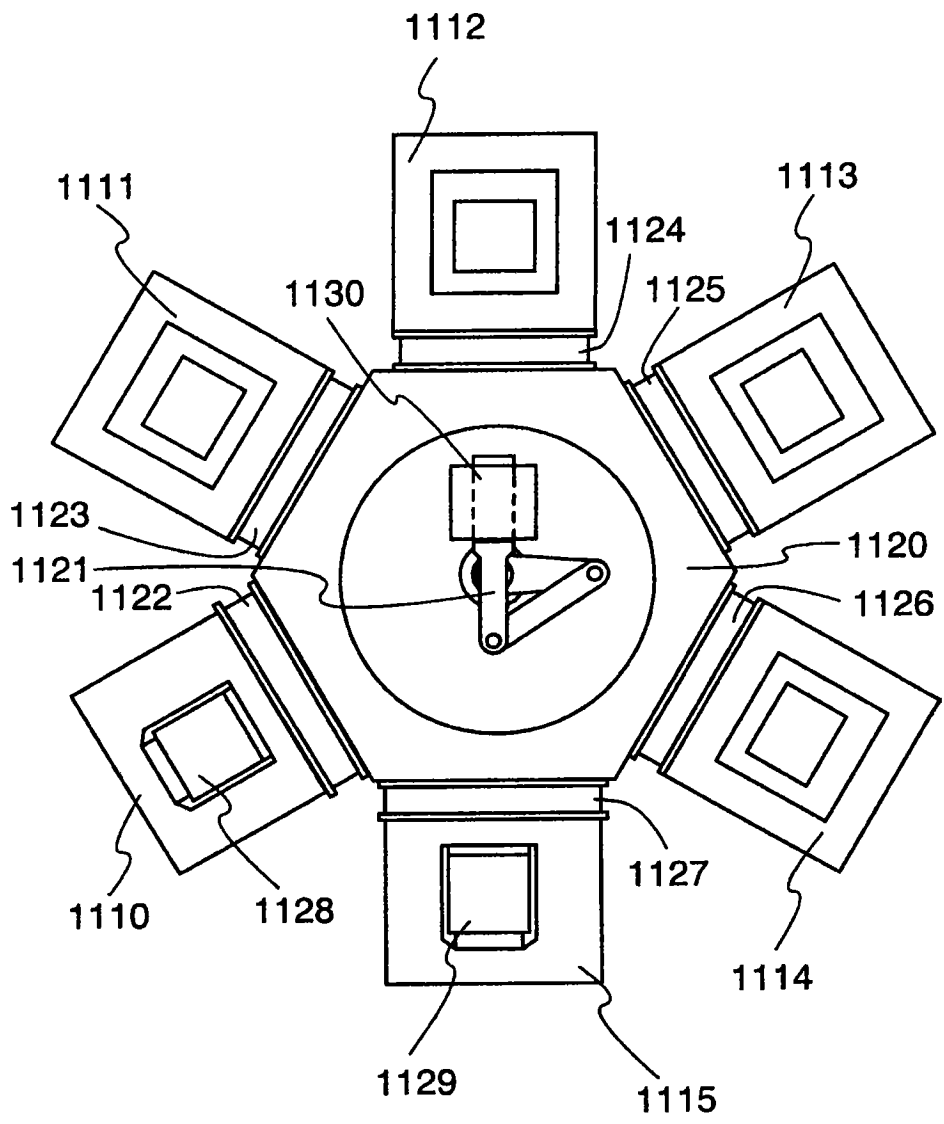


图 18

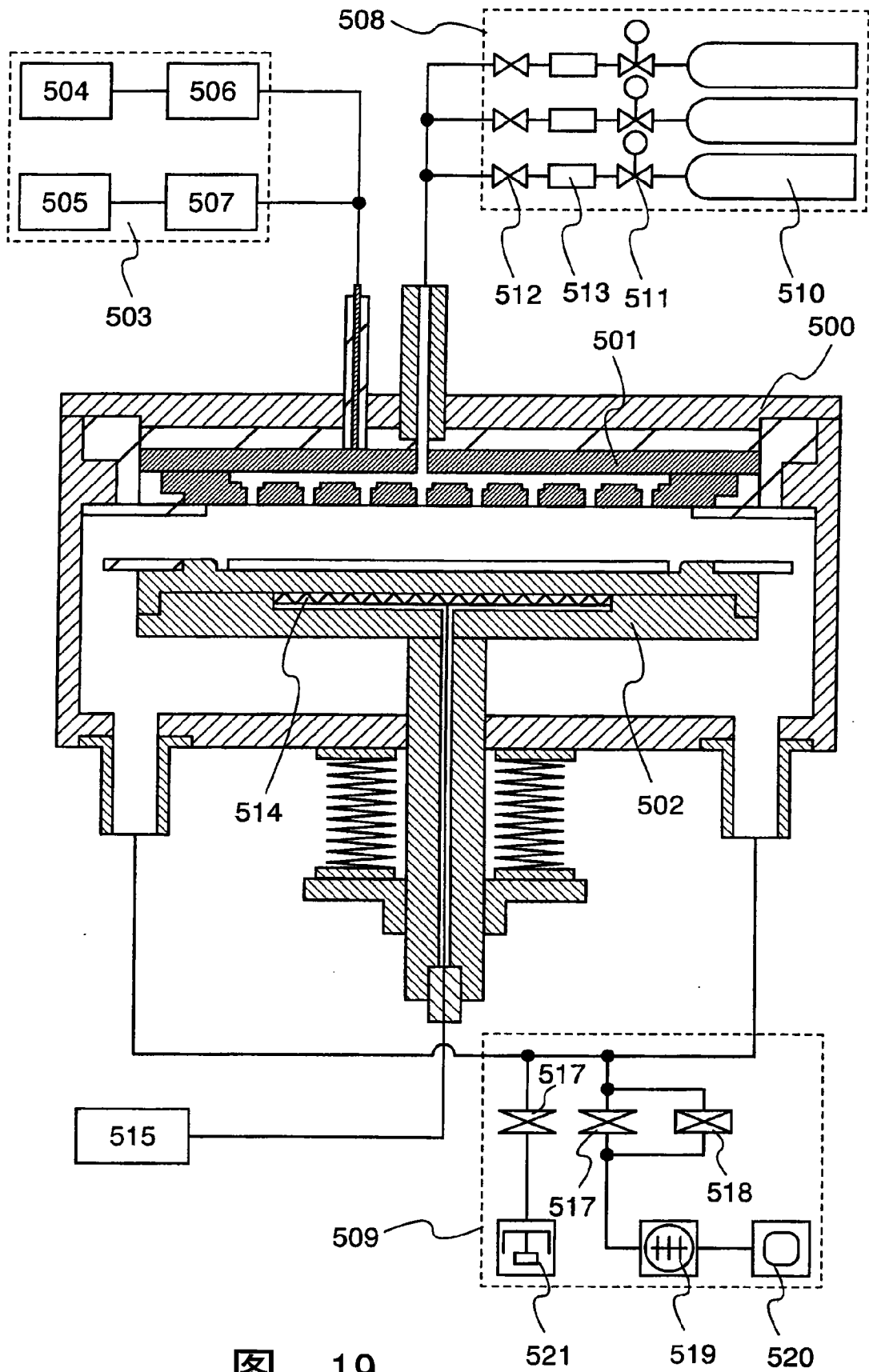


图 19