(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0019110
(43) 공개일자 2024년02월14일

(51) 국제특허분류(Int. Cl.)
G06N 10/20 (2022.01) *G06N 10/40* (2022.01)
G06N 10/70 (2022.01) *B82Y 10/00* (2017.01)
(52) CPC특허분류
G06N 10/20 (2022.01)
G06N 10/40 (2022.01)
(21) 출원번호 10-2023-7041854
(22) 출원일자(국제) 2022년05월06일
심사청구일자 없음
(85) 번역문제출일자 2023년12월04일
(86) 국제출원번호 PCT/US2022/028209
(87) 국제공개번호 WO 2022/250933
국제공개일자 2022년12월01일
(30) 우선권주장
63/186,037 2021년05월07일 미국(US)

(71) 출원인
케이비알 와일 서비시즈, 엘엘씨
미국 77002 텍사스주 휴스턴 제퍼슨 애비뉴 601
(72) 발명자
헨드릭슨, 피터, 칼
미국 77002 텍사스주 휴스턴 제퍼슨 애비뉴 601 씨/오 켈로그 브라운 앤드 루트 엘엘씨
얼윈, 제이든, 다니엘
미국 77002 텍사스주 휴스턴 제퍼슨 애비뉴 601 씨/오 켈로그 브라운 앤드 루트 엘엘씨
(74) 대리인
박영우

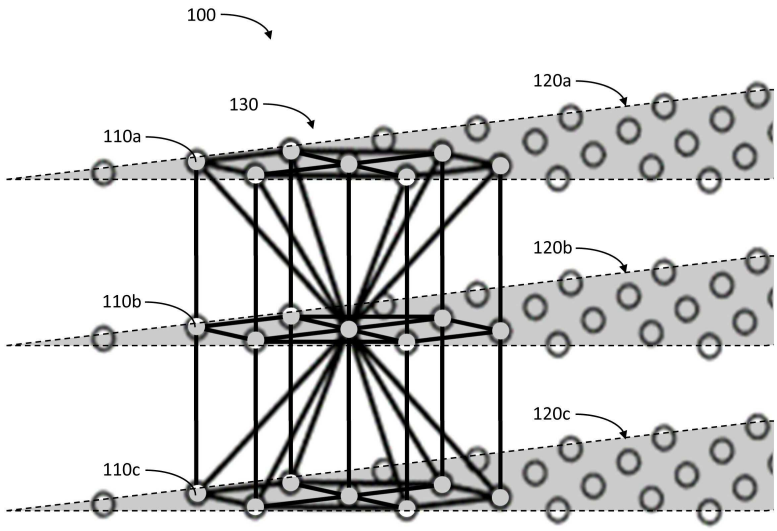
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 **퀀텀 컴퓨팅을 위한 다층 광학 격자 큐비트 어레이들을 이용한 시스템 및 방법**

(57) 요 약

양자 컴퓨팅(QC) 시스템은 제1의 실질적인 평면 영역 내에 제1의 복수의 논리 큐비트들 및 상기 제1의 실질적인 평면 영역과 실질적으로 평행한 제2의 실질적인 평면 영역 내에 제2의 복수의 논리 큐비트들을 포함한다. 상기 제1의 복수의 논리 큐비트들 중의 적어도 일부는 서로 상호 작용하도록 구성되며, 상기 제2의 복수의 논리 큐비트들 중의 적어도 일부는 서로 상호 작용하고, 상기 제1의 복수의 논리 큐비트들 중의 적어도 일부와 상호 작용하도록 구성된다. 상기 QC 시스템은 상기 제1 및 제2의 실질적인 평면 영역들과 실질적으로 평행한 추가적인 실질적인 평면 영역들 내에 추가적인 복수들의 논리 큐비트들을 포함할 수 있으며, 상기 제2의 복수의 논리 큐비트들 중의 적어도 일부는 상기 추가적인 복수들의 논리 큐비트들 중의 하나 또는 그 이상과 상호 작용하도록 구성될 수 있다.

대 표 도 - 도1



(52) CPC특허분류
G06N 10/70 (2022.08)
B82Y 10/00 (2013.01)

명 세 서

청구범위

청구항 1

양자 컴퓨팅(QC) 시스템에 있어서,

제1의 실질적인 평면 영역 내에 제1의 복수의 논리 큐비트(logical qubit)들을 포함하며, 상기 제1의 복수의 논리 큐비트들 중의 적어도 일부는 서로 상호 작용하도록 구성되고;

상기 제1의 실질적인 평면 영역과 실질적으로 평행한 제2의 실질적인 평면 영역 내에 제2의 복수의 논리 큐비트들을 포함하며, 상기 제2의 복수의 논리 큐비트들 중의 적어도 일부는 서로 상호 작용하고, 상기 제1의 복수의 논리 큐비트들 중의 적어도 일부와 상호 작용하도록 구성되는 것을 특징으로 하는 시스템.

청구항 2

제1항에 있어서, 상기 제1의 복수의 논리 큐비트들 중의 적어도 일부 및 상기 제2의 복수의 논리 큐비트들 중의 적어도 일부는 둘 이상의 논리 큐비트들이 동시에 참여하는 다중 큐비트 게이트 동작들을 겪도록 구성되는 적어도 하나의 3차원(3D) 게이트 셀 어레이를 형성하기 위해 서로 직접적으로 상호 작용하도록 구성되는 것을 특징으로 하는 시스템.

청구항 3

제1항에 있어서, 상기 제2의 실질적인 평면 영역과 실질적으로 평행한 제3의 실질적인 평면 영역 내에 제3의 복수의 논리 큐비트들을 더 포함하며, 상기 제3의 복수의 논리 큐비트들 중의 적어도 일부는 서로 상호 작용하고, 상기 제2의 복수의 논리 큐비트들 중의 적어도 일부와 상호 작용하도록 구성되는 것을 특징으로 하는 시스템.

청구항 4

제3항에 있어서, 상기 제1, 제2 및 제3의 복수의 논리 큐비트들 중의 상기 논리 큐비트들은 개별적으로 어드레싱 가능한 것을 특징으로 하는 시스템.

청구항 5

제3항에 있어서, 상기 제3의 실질적인 평면 영역과 실질적으로 평행한 적어도 하나의 추가적인 실질적인 평면 영역 내에 적어도 하나의 추가적인 복수의 논리 큐비트들을 더 포함하고, 상기 적어도 하나의 추가적인 복수의 논리 큐비트들은 서로 상호 작용하거나 및/또는 상기 제3의 복수의 논리 큐비트들 중의 적어도 일부와 상호 작용하며, 상기 적어도 하나의 추가적인 복수의 논리 큐비트들은 개별적으로 어드레싱 가능한 것을 특징으로 하는 시스템.

청구항 6

제1항에 있어서, 실질적으로 평면의 제1 광학 격자 내에 배열되는 제1 구속 영역(confinement region) 및 상기 제1 광학 격자와 실질적으로 평행한 실질적으로 평면의 제2 광학 격자 내에 배열되는 제2 구속 영역들을 구비하는 복수의 구속 영역들을 한정하는 복수의 광학 빔들을 더 포함하며, 상기 제1의 복수의 논리 큐비트들은 상기 제1 광학 격자 내에 있고, 상기 제2의 복수의 논리 큐비트들은 상기 제2 광학 격자 내에 있는 것을 특징으로 하는 시스템.

청구항 7

제1항에 있어서, 상기 복수의 구속 영역들은 상기 제2 광학 격자와 실질적으로 평행한 실질적으로 평면의 제3 광학 격자 내에 배열되는 제3 구속 영역들을 더 포함하며, 상기 제3의 복수의 논리 큐비트들은 상기 제3 광학 격자 내에 있는 것을 특징으로 하는 시스템.

청구항 8

제7항에 있어서, 상기 복수의 구속 영역들은 상기 제3 광학 격자와 실질적으로 평행한 적어도 하나의 추가적인 광학 격자 내에 배열되는 적어도 하나의 추가적인 구속 영역을 더 포함하며, 상기 적어도 하나의 추가적인 광학 격자는 적어도 하나의 추가적인 복수의 논리 큐비트들을 포함하는 것을 특징으로 하는 시스템.

청구항 9

제7항에 있어서, 상기 제1, 제2 및 제3의 복수의 논리 큐비트들 중의 상기 논리 큐비트들은 복수의 다중 큐비트 3D 게이트 셀들로서 구성되며, 상기 복수의 다중 큐비트 3D 게이트 셀들 중의 다중 큐비트 3D 게이트 셀의 각 논리 큐비트는 상기 다중 큐비트 3D 게이트 셀의 적어도 하나의 다른 논리 큐비트와 양자 역학적으로 얽히도록 구성되는 것을 특징으로 하는 시스템.

청구항 10

제7항에 있어서, 각각의 상기 제1 광학 격자, 상기 제2 광학 격자 및 상기 제3 광학 격자의 구속 영역들은 실질적으로 대칭적인 정사각형 형상의 패턴, 다이아몬드 형상의 패턴, 또는 마름모 형상의 패턴인 이차원 패턴으로 배열되는 것을 특징으로 하는 시스템.

청구항 11

제1항에 있어서, 상기 제1의 복수의 논리 큐비트들 중의 적어도 일부는 상기 제2의 복수의 논리 큐비트들 중의 적어도 일부와 완전히 얽히는 것을 특징으로 하는 시스템.

청구항 12

제1항에 있어서, 상기 제1의 복수의 논리 큐비트들 중의 적어도 일부 및/또는 상기 제2의 복수의 논리 큐비트들 중의 적어도 일부는 상기 제1의 복수의 논리 큐비트들 및 상기 제2의 복수의 논리 큐비트들 중의 최근접 이웃(nearest neighbor) 논리 큐비트들 및 다음의 최근접 이웃 논리 큐비트들과 전체적으로 얽히는 것을 특징으로 하는 시스템.

청구항 13

제12항에 있어서, 상기 제1의 복수의 논리 큐비트들 중의 적어도 일부 및/또는 상기 제2의 복수의 논리 큐비트들 중의 적어도 일부는 상기 제1의 복수의 논리 큐비트들 및 상기 제2의 복수의 논리 큐비트들 중의 다음다음의 최근접 이웃 논리 큐비트들과 완전히 얽히는 것을 특징으로 하는 시스템.

청구항 14

제1항에 있어서, 상기 제1의 복수의 논리 큐비트들 중의 적어도 일부 및/또는 상기 제2의 복수의 논리 큐비트들 중의 적어도 일부는 자연적으로 발생하는 원자들; 중성 원자들; 대전된 원자들; 이온들; 분자들; 인공적으로 형성된 원자들; 리드베르크(Rydberg) 원자들; 다이아몬드 내의 질소 공공(NV) 센터들; 보스-아인슈타인 응축물(Bose-Einstein condensate)들; 전자들; 포톤(photon)들; 양자 입자들; 양자점(quantum dot)들; 포논(phonon)들; 트랜스몬(transmon)들; 양자 입자들로 거동하는 양자 상태로 이루어진 그룹으로부터 선택되는 적어도 하나의 물리적인 큐비트를 포함하는 것을 특징으로 하는 시스템.

청구항 15

2이상의 차원들을 포함하는 다중 큐비트 격자 어레이 내에 양자 게이트들을 형성하는 논리 큐비트들을 포함하도록 구성되는 복수의 구속 영역들을 포함하는 양자 컴퓨팅(QC) 시스템에 있어서, 상기 양자 게이트들은 1- 및 2-큐비트 게이트들의 연결들에 의지하지 않고 셋 또는 그 이상의 논리 큐비트들을 자연적으로 수반하는 양자 논리 연산들을 수행하도록 구성되는 것을 특징으로 하는 시스템.

청구항 16

제15항에 있어서, 상기 양자 논리 연산들 중의 적어도 일부는 하나 또는 그 이상의 타겟 큐비트들에 자연적으로 작용하는 둘 또는 그 이상의 컨트롤 큐비트들을 활용하는 것을 특징으로 하는 시스템.

청구항 17

제16항에 있어서, 상기 양자 논리 연산들은 단일-제어의 다중 NOT 게이트; 팬아웃(Fanout) 게이트; 다중-제어

NOT 게이트; 토폴리 게이트(Toffoli gate); 슈퍼 토폴리 게이트; 다중-제어 위상 게이트로 이루어진 그룹으로부터 선택되는 것을 특징으로 하는 시스템.

청구항 18

제15항에 있어서, 다중 큐비트 논리 연산들을 수행하도록 구성되는 전기적 및 광학적 요소들을 더 포함하는 것을 특징으로 하는 시스템.

청구항 19

제15항에 있어서, 전기적 트레이스(trace)들, 광학 빔 구성들, 검출기들, 그리고 상기 큐비트 격자 어레이 내의 개개의 큐비트들의 낮은 노이즈 어드레싱 및 판독을 가능하게 하도록 구성되는 미광 관리(stray light management) 요소들을 더 포함하는 것을 특징으로 하는 시스템.

청구항 20

제15항에 있어서, 상기 다중 큐비트 격자 어레이는 다중의 실질적으로 평행한 평면 큐비트 격자 어레이들을 포함하는 것을 특징으로 하는 시스템.

청구항 21

제20항에 있어서, 상기 다중의 실질적으로 평행한 평면 큐비트 격자 어레이들은 적어도 제1 평면 큐비트 격자 어레이 및 제2 평면 큐비트 격자 어레이를 포함하며, 상기 제1 평면 큐비트 격자 어레이 중의 큐비트들은 상기 제1 평면 큐비트 격자 어레이에 실질적으로 평행한 방향을 따라 상기 제2 평면 큐비트 격자 어레이 중의 큐비트들로부터 오프셋(offset)되는 것을 특징으로 하는 시스템.

청구항 22

제21항에 있어서, 상기 제1 평면 큐비트 격자 어레이 중의 큐비트들과 정렬되거나, 상기 제2 어레이의 큐비트들과 정렬되거나, 상기 제1 및 제2 평면 큐비트 격자 어레이들 사이의 오프셋과 실질적으로 동일한 크기로 상기 제2 평면 큐비트 격자 어레이에 실질적으로 평행한 방향을 따라 오프셋을 가지는 큐비트들을 구비하는 적어도 하나의 추가적인 평면 큐비트 격자 어레이를 더 포함하는 것을 특징으로 하는 시스템.

청구항 23

제21항에 있어서, 상기 제1 및 제2 평면 큐비트 격자 어레이들 사이의 오프셋은 다중 큐비트 게이트 동작들에 자연적으로 영향을 미치기 위해 각각의 상기 논리 큐비트들이 광학적으로 개별적으로 어드레싱되고, 각각의 상기 논리 큐비트들의 상태들이 개별적으로 검출되는 복수의 관찰 각도들을 가능하게 하는 것을 특징으로 하는 시스템.

청구항 24

제21항에 있어서, 상기 제1 및 제2 평면 큐비트 격자 어레이들 사이의 오프셋은 정사각형 및 정육면체 격자 구성들 내에 정해진 상호 작용 거리에서와 정해진 체적 내에서 보다 많은 큐비트들을 동시 얽힘(entanglement)을 가능하게 하는 것을 특징으로 하는 시스템.

발명의 설명

기 술 분 야

[0001] 본 출원은 대체로 양자 컴퓨팅(QC)에 관한 것이며, 보다 상세하게는 하나 이상의 차원의 격자 어레이 구조들을 채용하는 양자 컴퓨터 아키텍처들에 관한 것이다.

배 경 기 술

[0002] 확장 가능한 양자 컴퓨팅을 지향하는 기술 이력들은 다양해지고 있다. 다양한 장점의 모형들에서 입증된 성능은 각 접근 방식에 의해 채용되는 물리적 퀀텀 비트(quantum bit)("큐비트(qubit)"로도 호칭됨)의 유형에 따라 폭넓게 변화되고 있다. 포획된 원자 이온들 또는 초전도 큐비트들에 기초하는 접근 방식들이 20여년에 걸쳐 해당 기술 분야를 지속적으로 이끌어왔다. 포획 리드베르크(Rydberg) 원자 접근 방식들의 최근의 진전은 해당 기술

분야에서 이들의 성공 가능성과 중요성을 증가시키고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 하나 이상의 차원의 격자 어레이 구조들을 채용하는 양자 컴퓨터 아키텍처들을 제공한다.

과제의 해결 수단

[0004] 여기에 개시되는 특정한 구현 예들은 둘 이상의 논리 큐비트들(예를 들어, 각 논리 큐비트는 하나 또는 그 이상의 물리적 큐비트들을 포함함)이 동시에 얽힐 수 있는 양자 게이트들을 구현하고 상호 연결하기 위해 하나 이상의 차원의 격자 어레이 구조를 채용하는 양자 컴퓨터 아키텍처를 제공한다. 여기에 개시되는 특정한 구현 예들은 재구성의 정도를 유리하게 제공할 수 있는 필드 프로그램 가능 게이트 어레이(FPGA)들과 유사하게 양자 처리 칩들을 위한 양자 마이크로프로세서 구성 및 게이트 어레이 설계 플랫폼들을 제공한다. 여기에 개시되는 특정한 구현 예들은 특정된 적용에 대해 최적화될 수 있고, 고객맞춤 설계 유연성을 유리하게 제공할 수 있는 응용 주문형 집적 회로(ASIC)들과 유사한 양자 처리 칩들 또는 보드들(예를 들어, 전기적 및/또는 광학적 회로들; 집적 광학 격자들)을 위한 양자 마이크로프로세서 구성 및 게이트 어레이 설계 플랫폼들을 제공한다.

[0005] 여기에 개시되는 특정한 구현 예들은 서로 실질적으로 평행한 복수의 실질적인 평면 영역들(예를 들어, 평면들; 층들) 내에 실질적으로 배열되는 복수의 큐비트들을 포함하는 양자 컴퓨팅(QC) 시스템을 제공하며, 상기 실질적인 평면 영역들 중의 적어도 일부는 둘 또는 그 이상의 큐비트들을 포함하고, 각 실질적인 평면 영역의 하나 또는 그 이상의 큐비트들은 적어도 하나의 인접하는 실질적인 평면 영역의 하나 또는 그 이상의 큐비트들과 상호 작용하도록 구성된다. 예를 들면, 상기 QC 시스템은 복수의 2D 격자 층들(예를 들어, 원자; 광자)을 포함할 수 있으며, 상기 격자 층들은 실질적으로 평행하고, 상기 QC 시스템은 다중 격자 층들에 걸치는 영역 내에 위치하는 복수의 다중 큐비트 게이트들로서 배열되는 상기 복수의 큐비트들을 구비하는 다중 큐비트 게이트 어레이를 포함할 수 있다. 상기 다중 큐비트 게이트 어레이는 질소 공공(nitrogen-vacancy) 또는 NV 센터들(예를 들어, 다이아몬드 또는 다른 결정 내에 제작되는), 포획 보스-아인슈타인 응축물(Bose-Einstein condensate)(BEC)들의 어레이들, 그리고 다른 것들과 같은 다층의 격자 층들 내에 구속되는 천연(예를 들어, 대전되지 않은) 원자들, 리드베르크(Rydberg) 원자들 및/또는 다른 큐비트들을 포함하거나 및/또는 선택적으로 처리하도록 구성되는 격자들을 포함할 수 있다. 이러한 특정한 예들에서, 이들 실질적으로 평행한 격자 층들은 복수의 실질적인 평면 영역들(예를 들어, 평면들; 레벨들) 내에 실질적으로 배열될 수 있으며, 적어도 하나의 실질적인 평면 영역의 상기 큐비트들의 적어도 일부는 적어도 하나의 다른(예를 들어, 인접하는) 실질적인 평면 영역의 큐비트들 중의 적어도 일부와 상호 작용하도록(예를 들어, 양자 역학적으로 얽히도록) 구성된다.

[0006] 여기에 개시되는 특정한 구현 예들은 3차원(3D) 격자 구조들의 어레이들로서 배열되는(예를 들어, 게이트들을 형성하도록) 다중의 전체적으로 연결된 큐비트들을 구비하는 격자 구성들을 포함하며, 동시의 다중 큐비트 게이트 동작들은 기하학적 레이아웃들로 배열되는 큐비트들에 의해 가능하게 된다. 여기에 개시되는 특정한 구현 예들은 최적으로 효율적인 양자 컴퓨터를 제작하기 위해 공통적인 세트의 중요한 도전 과제들을 처리한다. 이들 과제들 중에서 주요한 것은 다수의 큐비트 양자 게이트 동작들까지 자연적으로 또는 단일 게이트 동작에서 기하학적으로 영향을 미치기 위해 어떻게 구현 가능한 최대 숫자의 최근접 이웃(nearest neighbor), 다음의 최근접 이웃, 다음다음의 최근접 이웃 등의 큐비트들이 동시에 얽힐 수 있는 큐비트들의 기하학적 구조들을 제작할 것인가이다(예를 들어, 각기 여기에 전체적으로 참조로 포함되는 2021년 5월 7일에 출원된 미국 공개 임시 특허 출원 제63/186,037호; 2020년 11월 5일에 출원된 미국 공개 특허 출원 제17/090,747호; 2019년 11월 8일에 출원된 미국 공개 임시 특허 출원 제62/933,148호 참조).

[0007] 특정한 구현 예들에서, 양자 컴퓨팅(QC) 시스템은 제1의 실질적인 평면 영역 내에 제1의 복수의 논리 큐비트들 및 상기 제1의 실질적인 평면 영역과 실질적으로 평행한 제2의 실질적인 평면 영역 내에 제2의 복수의 논리 큐비트들을 포함한다. 상기 제1의 복수의 논리 큐비트들 중의 적어도 일부는 서로 상호 작용하도록 구성되며, 상기 제2의 복수의 논리 큐비트들 중의 적어도 일부는 서로 상호 작용하도록 구성되고, 상기 제1의 복수의 논리 큐비트들 중의 적어도 일부와 상호 작용하도록 구성된다. 특정한 구현 예들에서, 상기 QC 시스템은 상기 제1 및 제2 실질적인 평면 영역들과 실질적으로 평행한 추가적인 실질적인 평면 영역들 내에 추가적인 복수들의 논리 큐비트들을 포함하며, 상기 제2의 복수의 논리 큐비트들 중의 적어도 일부는 상기 추가적인 복수들의 논리 큐비트들 중의 하나 또는 그 이상과 상호 작용하도록 구성된다.

[0008] 특정한 구현 예들에서, 양자 컴퓨팅(QC) 시스템은 2차원 이상을 가지는 다중 큐비트 격자 어레이 내에 양자 게이트들을 형성하는 논리 큐비트들을 포함하도록 구성되는 복수의 구속 영역(confinement region)들을 포함한다. 상기 양자 게이트들은 1- 및 2-큐비트 게이트들의 연결들에 의존하지 않고 셋 또는 그 이상의 논리 큐비트들을 자연적으로 수반하는 양자 논리 연산들을 수행하도록 구성된다.

도면의 간단한 설명

[0009] 본 명세서의 일부로서 포함되고 일부를 구성하는 첨부된 도면들은 여기에 설명되는 하나 또는 그 이상의 구현 예들을 예시하며, 발명의 상세한 설명과 함께 이들 구현 예들을 설시한다.

도 1은 여기에 설명되는 특정한 구현 예들에 따라 실질적인 평면 영역들을 포함하는 예시적인 양자 컴퓨팅(QC) 시스템의 사시도를 개략적으로 예시한다.

도 2a는 여기에 설명되는 특정한 구현 예들에 따라 서로 실질적으로 평행한 셋의 실질적인 평면 영역들 내에 36의 논리 큐비트들을 포함하는 예시적인 시스템의 사시도를 개략적으로 예시한다.

도 2b는 여기에 설명되는 특정한 구현 예들에 따라 서로 실질적으로 평행한 셋의 실질적인 평면 영역들 내에 60의 논리 큐비트들을 포함하는 다른 예시적인 시스템의 사시도를 개략적으로 예시한다.

도 3a는 여기에 설명되는 특정한 구현 예들에 따라 서로 실질적으로 평행한 셋의 실질적인 평면 영역들(예를 들어, 도 2a 및 도 2b의 예시적인 시스템들과 호환될 수 있는) 내에 배열되는 복수의 논리 큐비트들의 사시도를 개략적으로 예시한다.

도 3b 및 도 3c는 각기 여기에 설명되는 특정한 구현 예들에 따라 서로 실질적으로 평행한 다섯의 실질적인 평면 영역들 내에 배열되는 복수의 논리 큐비트들의 사시도를 개략적으로 예시한다.

도 4a 및 도 4b는 각기 여기에 설명되는 특정한 구현 예들에 따라 대응되는 복수의 논리 큐비트들을 각기 포함하는 셋의 평면 영역들을 구비하는 예시적인 시스템의 일부의 상면도(예를 들어, z-축을 따름) 및 사시도를 개략적으로 예시한다.

도 5a 및 도 5b는 각기 여기에 설명되는 특정한 구현 예들에 따라 대응되는 복수의 논리 큐비트들을 각기 포함하는 셋의 평면 영역들을 구비하는 예시적인 다른 시스템의 일부의 상면도(예를 들어, z-축을 따름) 및 사시도를 개략적으로 예시한다.

도 5c는 여기에 설명되는 특정한 구현 예들에 따른 도 5b의 경우와 유사한 사시도를 개략적으로 예시한다.

도 6a 및 도 6b는 각기 여기에 설명되는 특정한 구현 예들에 따라 대응되는 복수의 큐비트들을 각기 포함하는 셋의 평면 영역들을 구비하는 또 다른 예시적인 시스템의 일부의 상면도(예를 들어, z-축을 따름) 및 사시도를 개략적으로 예시한다.

도 6c는 여기에 설명되는 특정한 구현 예들에 따른 도 6b의 경우와 유사한 사시도를 개략적으로 예시한다.

도 6d 및 도 6e는 각기 여기에 설명되는 특정한 구현 예들에 따라 대응되는 복수의 큐비트들을 각기 포함하는 셋의 평면 영역들을 구비하는 또 다른 예시적인 시스템의 일부의 상면도(예를 들어, z-축을 따름) 및 사시도를 개략적으로 예시한다.

도 6f는 여기에 설명되는 특정한 구현 예들에 따른 도 6e의 경우와 유사한 사시도를 개략적으로 예시한다.

도 7a-도 7e는 여기에 설명되는 특정한 구현 예들에 따라 다중의 2D 평면 광학 트랩 영역들 사이에 형성되고, 복수의 어드레싱 레이저 광속들을 가지는 예시적인 다중 큐비트 게이트 셀(예를 들어, 중심 내의 타겟 큐비트 및 다른 곳의 컨트롤 큐비트들을 구비하여 파이로클로르 구성으로 21의 큐비트들을 가지는 C^{20}NOT 게이트 셀 또는 $C^{20}\phi$ 게이트 셀)의 사시도를 개략적으로 도시한다.

도 8a-도 8e는 여기에 설명되는 특정한 구현 예들에 따른 트래핑 레이저 광속들의 다양한 도면들을 개략적으로 예시한다.

도 9a-도 9b는 여기에 설명되는 특정한 구현 예들에 따라 트래핑 레이저 광속들의 교차하는 어레이들에 의해 생성되는 3층의 10 x 10원자 트랩 격자의 사시도를 개략적으로 예시한다.

도 9c는 여기에 설명되는 특정한 구현 예들에 따른 도 9a-도 9b의 구조의 상면도를 개략적으로 예시한다.

도 10a는 여기에 설명되는 특정한 구현 예들에 따라 세 세트들의 어드레싱 레이저 광속들 및 트래핑 레이저 광속들의 둘의 교차하는 어레이들을 구비하는 3층의 10 x 10 원자 격자를 포함하는 부분적으로 조립된 QC 시스템의 사시도를 개략적으로 예시한다.

도 10b-도 10d는 여기에 설명되는 특정한 구현 예들에 따라 10a의 세 세트들의 어드레싱 레이저 광속들 및 트래핑 레이저 광속들의 둘의 교차하는 어레이들의 다른 방향들로부터의 다른 도면들을 도시한다.

도 10e는 여기에 설명되는 특정한 구현 예들에 따라 네 세트들의 어드레싱 레이저 광속들 및 트래핑 레이저 광속들의 둘의 교차하는 어레이들을 구비하는 3층의 10 x 10 원자 격자를 포함하는 다른 부분적으로 조립된 QC 시스템의 사시도를 개략적으로 예시한다.

도 10f-도 10h는 여기에 설명되는 특정한 다른 구현 예들에 따라 도 10e의 네 세트들의 어드레싱 레이저 광속들 및 트래핑 레이저 광속들의 둘의 교차하는 어레이들의 다른 방향들로부터의 다른 도면들을 도시한다.

도 11a는 여기에 설명되는 특정한 구현 예들에 따라 제1 광 검출기 포트(242a)를 통해 관찰되는 도 9a-도 9c 및 도 10a-도 10d의 3층의 10 x 10 3D 원자 격자의 도면들 개략적으로 예시한다.

도 11b는 여기에 설명되는 특정한 구현 예들에 따른 도 11a의 구조의 측부 단면도를 개략적으로 예시한다.

도 12는 여기에 설명되는 특정한 구현 예들에 따라 도 8e, 도 9a, 도 10a 및 도 11a에 대응되는 예시적인 조립된 QC 시스템의 예시적인 사시도를 개략적으로 도시한다.

도 13은 여기에 설명되는 특정한 구현 예들에 따라 다양한 다중 큐비트 격자 어레이들을 위해 정해진 게이트 충실도들에서 동시에 얽힐 수 있는 큐비트들의 전체 숫자를 비교하는 셋의 표들을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0010] 개요

[0011] 여기에 설명되는 특정한 구현 예들은 동시의 다중-큐비트 게이트 동작들이 기하학적 레이아웃들로 배열된 큐비트(qubit)들에 의해 가능한 3차원(3D) 격자 구조들(예를 들어, 셀들)의 어레이들로 배열되는 다중의 전체적으로 연결된 큐비트들을 구비하는 격자 구성들을 포함한다. 여기에 개시되는 특정한 구현 예들은 격자 층들의 숫자를 유리하게 증가시키며, 리드베르크 원자(Rydberg atom)들을 위해 현재의 제곱 기반 광자 격자(photonic lattice)들을 이용하는 현재 구현 가능한 한계들(예를 들어, 허용 가능한 게이트 충실도(gate fidelity)들로)에 대해서 및 잠재적으로 이온들에 대한 육각형의 다층 표면-포획(surface-trap) 기하학적 구조들 내에 구현 가능한 큐비트 밀도들에 대해서 동시에 얽힐 수 있는 큐비트들의 숫자를 증가시킨다.

[0012] 여기에 개시되는 특정한 구현 예들은 최적의 효율적인 양자 컴퓨터를 제작하는 도전 과제들을 해결한다. 하나의 이러한 과제는 최근접 이웃(nearest neighbor)하는, 다음의 최근접 이웃하는, 다음다음의 최근접 이웃하는 등의 큐비트들의 최대 숫자들이 다수의 큐비트 양자 게이트 동작들을 자연적으로(예를 들어, 단일 게이트 동작 내에서 기하학적으로) 제공하도록 동시에 얽힐 수 있는 큐비트들의 기하학적 구조들을 어떻게 구현 가능하게 공학적으로 제작할 것인가이다. 이러한 공학적 제작 도전 과제는 둘의 동등한 부분들을 포함한다. 하나의 부분은 최적의 얽힌 기하학적 구조들 내에 어떻게 상기 큐비트들을 구속하는(예를 들어, 포획하거나; 그 결정격자 부위를 제작하는)가이다. 이러한 구속(confinement)은 대체로 결정들 내의 결함 부위들의 정확한 주기 위치들, 전극들 및/또는 자기장들과 함께 몇몇 층들의 복합적인 교차점들을 제작하는 과정을 수반한다. 상기 공학적 제작 도전 과제의 다른 부분은 어떻게 가능한 한 선택적으로(예를 들어, 개별적으로) 상기 큐비트들을 처리하고(예를 들어, 조명하거나; 여기하거나; 조작하고), 판독하는(예를 들어, 검출하거나; 영상화하는)가이다. 이러한 어드레싱(addressing)은 종종 전체적인 어드레싱으로 이루어질 수 있는 가능한 한 많은 큐비트들 사이에 동시의 얽힘(entanglement)의 생성을 넘어설 수 있다. 오히려, 수많은 얽힌 큐비트들의 전체 연산 능력을 개발하는 것도 필요에 따라 각 큐비트를 처리하는 능력을 활용하는 원하는 다중 큐비트 게이트 동작의 개개의 큐비트 상태들을 조작하고 판독하는 과정들을 포함할 수 있다. 이러한 능력은 각 양자 컴퓨팅 게이트(quantum computing gate)의 고유 연산 능력이 각 게이트 동작에서 논리 큐비트(logical qubit)들로 전체적으로 참여할 수 있는 동시에 얽힌 큐비트들의 큐비트의 숫자에 기하급수적(예를 들어, 2 내지 그 능력까지에 비례하여)이기 때문에 매우 중요할 수 있다. 또한, 오버헤드(overhead)(예를 들어, 오류 보정 큐비트들; 중복 큐비트들; 부속 큐비트들)가 고려되어야 하며, 이는 양자 컴퓨팅 아키텍처들의 사이즈가 표면 코드들이 매우 많은 숫자의 큐비트들의 오류들을 보정하기 위해 활용되는 규모들까지 증가함에 따라 급격하게(예를 들어, 자릿수가 다르게) 증가된다. 이에 따라, 앞서의 게이트 셀들 내에 보다 개별적으로 동시에 어드레싱 가능한(예를 들어, 논리) 큐비트들을 얽히게 하는

전체적인 이점이 표면 코드 오류 보정을 수반하는 자릿수가 다른 부가된 오버헤드의 이용을 보다 크게 감소시키거나 방지하여 심지어 표시되는 초기의 지수적인 속도 향상을 크게 넘어설 수 있다.

[0013] 여기에 개시되는 특정한 구현 예들은 실질적으로 서로 평행하고, 3차원(3D) 셀들의 어레이들을 형성하는 다중의 2차원(2D)(예를 들어, 평면) 큐비트 어레이들(예를 들어, 층들)로서 구성될 수 있다. 상기 셀들의 어레이들은 3D 결정 구조들과 유사할 수 있거나 지칭될 수 있다. 다양한 구현 예들이 활용되는(예를 들어, 최적화되는) 양자 상호 작용들의 성질을 예시하기 위해 광학 격자 구조들 내의 포획된 중성(예를 들어, 대전되지 않은) 원자 큐비트들 또는 리드베르크 원자 큐비트들을 활용하는(예를 들어, I. Bloch의 "Quantum coherence and entanglement with ultracold atoms in optical lattices"(Nature 453, 1016(2008)) 참조) 것으로 여기에 설명되지만, 다른 구현 예들은 구조 및 기능 모두가 동등한 격자 구조들 내의 하나 또는 그 이상의 선택적인 큐비트 기술들(예를 들어, 천연 결정격자들 내에 포획된 큐비트들; 인공적으로 형성된 결정 구조들)을 이용할 수 있다(예를 들어, 단일 게이트 내에 수백 또는 수천의 1- 및 2-큐비트 양자 게이트 동작들의 연결(concatenation)들에 의해 이전에 제공되었던 경우를 제공하도록 최대 숫자의 최근접 이웃, 다음의 최근접 이웃, 다음다음의 최근접 이웃 등의 큐비트들이 동시에 얽히게 할 수 있는 파이로클로르(pyrochlore) 유사 구조들의 확장을 형성할 수 있다).

[0014] 결정들 내의 원자 공공(atomic vacancy) 중심들(예를 들어, 질소 공공(nitrogen-vacancy) 중심들, 이하에 간단하게 다이아몬드들 내의 "NV 센터들"로 지칭함)의 하나의 예시적인 선택적인 기술도 최근에 10의 큐비트들 사이까지의 완전한 연결성 및 7까지의 큐비트들을 구비하는 다중으로 얽힌 상태들의 측면들에서 진전되어 왔다(예를 들어, C. E. Bradley 등의 "A 10-qubit solid-state spin register with quantum memory up to one minute"(Phys. Rev. X 9, 031045(2019)) 참조). 원자와 같은 성질들과 함께 NV 센터들의 나타나는 이러한 성질들은 다층 광학 격자들 내에 모든 큐비트들이 개별적으로 최대 숫자의 큐비트들의 동시 얽힘 및 어드레싱을 위한 최적의 기하학적 접근들(예를 들어, 모든 큐비트들의 초기화, 이들에 대한 게이트 동작들의 수행 및 그 값의 판독) 모두를 가능하게 하는 것과 같이 이들이 여기에 설명되는 특정한 구현 예들에 직접 적용될 수 있는 큐비트 기술의 하나 이상의 예를 구현하게 한다. 또 다른 구현 예들은 다른 선택적인 큐비트 기술들, 예를 들면, 포획 보스-아인슈타인 응축물(Bose-Einstein condensate)(BEC)들; 중성 분자들; 포논(phonon)들; 포톤(photon)들; 및 다른 것들을 이용할 수 있다.

[0015] 여기에 설명되는 양자 컴퓨팅(QC) 시스템의 특정한 구현 예들은 유리하게 최적의 숫자의 큐비트들이 최근접 이웃(nearest neighbor)하는 것들, 다음의 최근접 이웃하는 것들 및 다음다음의 최근접 이웃하는 것들, 그리고 잠재적으로는 그 이상의 것들 사이에서 동시에 얽히게 하도록 다층 아키텍처(architecture)를 제공한다. 특정한 구현 예들은 확장 가능한 양자 프로세서들의 제작의 필요에 따라 전기적, 자기적 및 광학적 어드레싱, 제어, 검출 및 판독의 최적의 조합들이 가능하도록 구성되는 기하학적 구조들을 포함한다. 전체적으로 연결되는 큐비트들의 어레이들은 채용되는 큐비트의 유형 또는 이들의 레이아웃으로 인해 얽힌 게이트 동작들이 특정한 쌍들에 제한되는 설계들 보다 하드웨어 내에서 양자 알고리즘들을 실행시키기 위한 보다 효율적이 유연한 선택들을 제공한다. 이러한 개선된 효율과 유연성은 어레이 내의 큐비트들의 숫자와 함께 증가한다. 둘 이상의 큐비트들을 동시에 수반하는 게이트 동작들을 수행하기 위한 역량을 추가하는 것은 1- 및 2-큐비트 게이트들로 제한되는 설계들에 비해 효율 이득들을 상당히 촉진시키며, 수십의 게이트들이 하나의 4-큐비트 게이트로 대체될 수 있다. 여기에 개시되는 특정한 구현 예들은 1차원 및 2차원 기하학적 구성들의 문제점들(예를 들어, 연결성에 대한 제한들; 2차원들만으로 제한될 때에 점차 치밀해지는 게이트 어레이들 내의 각 큐비트를 컨트롤하기 위해 요구되는 구성 요소들의 밀집)을 유리하게 회피하도록 다중의 큐비트 어레이들(예를 들어, 다중의 직접 연결 평면 격자들)을 이용한다. 특정한 구현 예들에서, 큐비트들의 다차원 셀들은 파이로클로르들과 같은 결정들을 닮도록 형성된다. 특정한 구현 예들에서, 큐비트들의 다차원 셀들은 최근접 이웃, 다음의 최근접 이웃하는 큐비트들(예를 들어, 셀 내에; 셀들에 걸쳐; 층들에 걸쳐) 및 이들을 넘어서는 큐비트들이 선택된 게이트 동작을 위해 동시에 얽히는 것에 따라 다양한 결정 구조들로 재구성될 수 있고, 형성될 수 있다. 게이트 당 참여하는 많은 큐비트들을 이용하는 것도 회로 깊이, 오류 보정 및 간섭 완화에 대한 요구 사항들을 감소시킬 수 있다. 재구성될 수 있는 구성 셀들은 양자 FPGA(QFPGA) 및 ASIC(QASIC) 레이아웃(예를 들어, 칩들)을 가능하게 할 수 있다.

[0016] 여기에 개시되는 QC 시스템의 특정한 구현 예들은 기하학적 레이아웃들로 배열되는 큐비트들에 의해 가능한 동시의 다중 큐비트 게이트 동작들을 가지는 3차원(3D) 격자 구조들(예를 들어, 셀들)의 어레이들로 배열되는 다중의 완전 연결 큐비트들을 구비하는 다층의 구성들을 포함한다. 예를 들면, 층들 내의 다중의 평면 큐비트 어레이들(예를 들어, 로우들 및 칼럼들; 격자)은 서로 실질적으로 평행할 수 있고, 결정 구조들과 유사할 수 있거나, 이들로 지칭될 수 있는 3D 셀들의 어레이들을 형성할 수 있다. 특정한 구현 예들에서, 다른 종들이나 데이

터 비트들 혹은 상당한 시간 지연들에 대해 원위치에서 큐비트들을 처리하는 것의 손실이 많은 전환들을 수반하는 비효율적인 광자 또는 다른 상호 연결들(예를 들어, 양자 원거리 이동(quantum teleportation))을 요구하지 않고 다중의 실질적인 평면 어레이 영역들(예를 들어, 층들; 레벨들; 평면들)에 걸쳐 최근접 이웃하는 큐비트들, 다음의 최근접 이웃하는 큐비트들 등의 사이에 최적의 응집 연결성(예를 들어, 얽힘)을 직접적으로 가능할 수 있도록 상기 큐비트들이 다중 큐비트 격자 구속 구역(containment zone)들(예를 들어, 평행한 중성 원자-트랩 어레이들; NV 센터들) 내에 국한될(예를 들어, 포획되거나; 매달리거나; 구속될) 수 있다. 이러한 특정 구현 예들은 1- 및 2-큐비트 게이트들로 제한되는 설계들에 비하여 효율 이득들을 상당히 가속화시킬 수 있는 동시에 둘 이상의 큐비트들을 수반하는 게이트 동작들을 수행하는 역량을 제공하는 기하학적으로 대칭적인 셀 구조들을 활용한다. 특정한 다른 구현 예들은 3D 구조들이 다중의 2D 층들 사이에 형성될 수 있도록 서로 실질적으로 평행한 다중의 2차원(2D) 큐비트 격자 어레이들(예를 들어, 평면 격자들; 그리드들; 로우들 및 칼럼들)로 구성될 수 있다.

[0017] 다양한 구현 예들이 중성 원자(예를 들어, 대전되지 않은 원자, 리드베르크 원자) 큐비트 접근 방식들의 물리학에 따라 여기에 설명되지만, 다른 큐비트 접근 방식들(예를 들어, NV 센터들; 초전도 큐비트들; 여기에 언급되는 다른 것들)도 일반성의 손상 없이 여기에 설명되는 특정한 구현 예들에 따라 이용될 수 있다.

[0018] 여기에 설명되는 QC 시스템의 특정한 구현 예들은 복수의 다중 큐비트 3차원(3D) 게이트 셀들을 포함하고, 전체적으로 연결될 수 있는 적어도 셋의 큐비트들을 포함하는 각 셀은 동시에 3차원들에 걸치며, 복수의 다중 큐비트 셀들은 상기 다중 큐비트 게이트들 중의 둘 또는 그 이상의 게이트 동작들을 위해 구성된다. 이러한 특정 구현 예들의 QC 시스템은 다층의 어레이 층들, 레벨들 또는 평면들에 걸쳐 최근접 이웃하는 큐비트들, 다음의 최근접 이웃하는 큐비트들 등의 사이에 직접적인 최적의 응집 연결성 또는 얽힘을 가능하게 하는 평행한 중성 원자 포획 어레이들과 같은 광자 큐비트들 또는 다른 비효율적인 상호 연결들(예를 들어, 상당한 손실들 및/또는 시간 지연들을 가져오는 상호 연결들)로 및 이들로부터의 전환을 요구하지 않고 다중의 실질적으로 평행한 큐비트 구속 격자(containment lattice)들을 포함할 수 있다. 상기 다중 큐비트 셀들은 다중의 1- 및 2-큐비트 게이트들의 연결에 의존하지 않고 하나의 게이트 동작에서 다중 큐비트 게이트들이 자연적으로 영향을 받을 수 있게 하는 기하학적 대칭성을 이용하도록 구성될 수 있다. 셀 내의 다중 큐비트들 사이의 등변 커플링(equilateral coupling) 거리들의 대칭성에 영향을 미치는 것은 둘 이상의 얽힌 큐비트들이 동시에 그렇지 않으면 단지 1- 및 2-큐비트 게이트들을 포함하는 보다 많은 큐비트 게이트 동작들을 요구할 수 있었던 게이트 동작들을 수행하게 할 수 있다.

[0019] 여기에 개시되는 다른 특정한 구현 예들은 서로 실질적으로 평행한 복수의 2D 어레이 층들(예를 들어, 2D 격자들; 평면들; 그리드들), 둘 또는 그 이상의 큐비트들 및 적어도 하나의 이웃하는 2D 어레이 층의 하나 또는 그 이상의 큐비트들과 상호 작용하도록 구성되는 각 어레이 층의 하나 또는 그 이상의 큐비트들을 포함하는 상기 2D 어레이 층들의 적어도 일부 내에 실질적으로 배열되는 복수의 큐비트들을 포함하는 QC 시스템을 제공한다. 상기 QC 시스템은 실질적으로 서로 평행한 복수의 원자 트랩 층들(예를 들어, 2D 광학 격자 트랩들)을 포함할 수 있으며, 상기 QC 시스템은 상기 트랩 층들 사이 및/또는 내부의 영역들 내에 위치하는 복수의 다중 큐비트 게이트들로서 배열되는 상기 복수의 큐비트들을 포함하는 다중 큐비트 3D 게이트 어레이들을 더 구비할 수 있다. 예를 들면, 상기 다중 큐비트 게이트 어레이의 큐비트들은 중성 원자들(예를 들어, 대전되지 않은 원자들, 리드베르크 상태들), NV 센터들, 또는 다른 큐비트 종들을 포함하는 원자 큐비트들을 구비하도록 구성되는 2D 트랩 어레이들을 포함한다. 리드베르크 원자들, NV 센터들 및 다른 원자 큐비트 종들의 예들에서, 큐비트들은 격자들 내에 구속되며(예를 들어, 전위 우물(potential well)들 내에; 원자 공공 중심들 내에 포획되며), 이는 광학 빔(예를 들어, 레이저) 격자들에 의해 생성될 수 있고, 복수의 실질적으로 평행한 트랩 어레이 층들(예를 들어, 격자들; 레벨들; 평면들) 내에 실질적으로 배열될 수 있으며, 적어도 하나의 다른(예를 들어, 이웃하는) 실질적으로 평행한 트랩 어레이 층의 상기 큐비트들의 적어도 일부와 직접적으로 상호 작용하도록(예를 들어, 양자 역학적으로 얽히도록) 구성되는 적어도 하나의 2D 트랩 어레이 층의 상기 큐비트들의 적어도 일부를 구비한다.

[0020] 여기에 설명되는 QC 시스템의 각각의 구현 예들에서, 셀마다의 다중 큐비트들의 대칭적이나 등변 커플링 기하학적 구조들은 단일의 게이트 동작에서 보다 복잡한 양자 게이트들이 수행되게 할 수 있으며, 회로 깊이, 오류 보정 및 간섭 완화에 대한 요구 사항들을 추가적으로 감소시킬 수 있다. 호환 가능한 구성 셀들은 양자 FPGA(QFPGA) 및 ASIC(QASIC) 레이아웃(예를 들어, 칩들)을 가능하게 할 수 있으며, 고도로 재구성 가능할 수 있다.

[0021] 여기에 설명되는 QC 시스템의 특정한 구현 예들은 1차원(1D) 레이아웃 또는 2차원(2D) 레이아웃들을 이용하여

제공되는 경우보다 보다 많은 큐비트들 및/또는 큐비트 게이트들이 연산들을 위해 이용되게 할 수 있는 큐비트들의 3차원(3D) 레이아웃 및/또는 큐비트 게이트들을 유리하게 제공한다(예를 들어, J.I. Cirac 및 P. Zoller의 "A scalable quantum computer with ions in an array of microtraps"(Nature, Vol. 404, p. 579(2000)); J. Chiaverini 등의 "Quant. Inf. Comp."(Vol. 5, 419(2005)) 참조). 예를 들면, 여기에 설명되는 특정한 구현 예들은 각 큐비트의 어드레싱, 조작, 컨트롤, 판독 및 전위 측파대(potential sideband) 냉각을 위한 전기적 연결들 및 광 경로들이 가능하도록 충분한 간격을 제공하고, 시정 접근 각도들을 제공하면서, 각기 다중 원자 큐비트들(예를 들어, 셋 또는 그 이상의 동시에 얽힌 중성 원자들, 대전된 원자들, NV 센터 큐비트들 등)을 포함하는 큐비트 게이트들의 3D 레이아웃을 제공한다.

[0022] 큐비트들의 특정한 배치나 세트가 임의의 큐비트가 상기 세트 내의 임의의 다른 큐비트와 직접적으로 양자 역학적으로 얽히도록 할 수 있을 때, 상기 큐비트들은 "전체적으로 연결되는" 것으로 설명될 수 있다. 예를 들면, 1차원(1D)의 선형 원자 트랩 내에 전체적으로 연결되는 이온들(예를 들어, 대전된 원자들)을 포함하는 적은 숫자의 큐비트들일지라도 단지 쌍으로 연결되는 동일한 숫자의 큐비트들 보다 큰 잠재적인 처리 능력을 측정으로 입증할 수 있다(예를 들어, N.M. Linke 등의 "Experimental comparison of two quantum computing architectures"(PNAS, Vol. 114, No. 13(2017)) 참조).

[0023] 양자 컴퓨팅(QC) 설계들은 양자 컴퓨터가 단순하게는 얼마나 많은 큐비트들이 동일한 방식으로 함께 연결되는가에 기초하지 않는 이의 종래의 컴퓨터 상대자보다 얼마나 빠르게 보다 우수한 결과를 산출하는가에 대부분 영향을 미치는 파라미터들을 나타내는 것을 과거 20년에 걸쳐 입증하였다. 이러한 시스템들의 입증된 성능은 큐비트 충실도들(예를 들어, 얼마나 정밀하게 상기 시스템이 게이트 동작들을 수행할 수 있는 지), 어떻게 상기 큐비트들이 상호 연결되는지, 그리고 어려운 문제들에 대한 해결 방안들을 계산하기 위해 상기 큐비트들이 함께 동작하는 데 얼마나 많은 오버헤드(overhead)가 사용되는 지로 설명되어 왔다.

[0024] 1-큐비트 게이트들은 단지 큐비트 자체를 "0"으로부터 "1"까지 또는 "0" 및 "1"의 특정한 양자 중첩까지 플립핑(flipping)하는 과정을 수반한다. 2-큐비트 게이트들은 상기 큐비트들 중의 하나에 대해 이루어진 것이 다른 하나에 영향을 미치도록 양자 얽힘으로 결합되는 중첩을 이용하여 둘의 큐비트들을 연결시킨다. 이러한 2-큐비트 게이트에서, 타겟 큐비트(target qubit)는 상태 "0" 또는 상태 "1"에서 개시될 수 있으며, "0" 및 "1"의 임의의 중첩(예를 들어, "0" 및 "1" 사이의 중간)으로 될 수 있다. 예를 들면, 양자-제어 NOT(CNOT) 게이트의 기능은 상기 컨트롤 큐비트(control qubit)가 상태 "1"에 있을 경우에 상기 타겟 큐비트를 플립시키고, 그렇지 않으면 작동하지 않는 것이다. 1- 또는 2- 큐비트 게이트들은 많은 다른 양자 게이트 기반의 아키텍처들 내에 직접적으로 구현될 수 있다. 보다 복잡한 게이트 동작들을 위해, 둘 이상의 큐비트들이 즉시 얽힐 수 있는 구현 예들은 동작 및 이들에 포함되는 알고리즘들에 영향을 효과적이 되도록 큐비트들 전체 숫자 및 수행되는 단계들의 전체적인 숫자에 상당한 영향을 미칠 수 있다(예를 들어, C. Figgatt 등의 "Parallel entangling operations on a universal ion-trap quantum computer"(Nature, Vol. 571(2019)); Y. Lu 등의 "Global entangling gates on arbitrary qubits"(Nature, Vol. 571(2019)) 참조). 전위에 이용되는 큐비트들의 숫자 및 단계들의 측정 가능한 감소들은, 일부 예들에서, 성공적인 결과들을 구현하기 위해 오버헤드의 급격한 감소를 가져올 수 있다. 하나의 예는 일부 시간에서도 광범위한 오류 보정이 없이 보다 적은 부속물들로 그렇지 않으면 처리하기 어려운 문제점들에 대한 해결 방안들을 제공할 수 있었던 원형의 시연이 될 수 있었다.

[0025] 여기에 개시되는 특정한 구현 예들은 다중의 전체적으로 연결되는 높은 충실도의 큐비트들을 이용한다. 이러한 특정한 구현 예들의 이점들(예를 들어, 얼마나 훨씬 효율적인 특정한 양자 게이트 동작이 1- 및 2-큐비트 게이트들의 결합들을 이용하는 것과 대향될 수 있는지)은 넷의 전체적으로 연결되는 높은 충실도의 큐비트들을 포함하는 예시적인 양자 삼중 제어(triply-controlled) NOT(C^3NOT) 게이트를 고려하여 예시될 수 있다. 상기 C^3NOT 게이트는 슈퍼 토폴리 게이트(super Toffoli gate)로도 지칭된다. 이러한 예시적인 C^3NOT 게이트에서, 셋의 컨트롤 큐비트들 모두가 네 번째 타겟 큐비트를 "1"로부터 "0"까지 플립시키기 위해 특정된 상태(예를 들어, "1, 1, 1")에 있어야 한다. 하나 또는 그 이상의 단일 큐비트 게이트 동작들과 결합될 때, 이러한 다중 큐비트 양자 게이트들은 양자 컴퓨팅을 위한 범용 세트를 완성하는 데 이용될 수 있다. 다중 제어 NOT 게이트들은 확장된 일련의 1- 및 2-큐비트 게이트 동작들을 포함하는 것으로 대체로 기준 소스들로 설명된다(예를 들어, M.A. Nielsen 및 I.L. Chuang의 "Quantum Computing and Quantum Information"(1st ed.)(Cambridge Univ. Press, 2000) 참조). 이들 1- 및 2-큐비트 게이트 시리즈들에 대한 확장은 이용되는 큐비트들의 유형에 따라서 및 얼마나 많은 큐비트들이 전체적으로 연결될 수 있고 서로 얽힐 수 있는 지에 따라서 물리적인 구현들을 보다 크게 증가시킨다. 그러나, 넷의 전체적으로 연결되고 동시에 다중으로 얽힌 이온들을 이용하여 구현되는 C^3NOT 게이트

는 적절한 물리적 레이아웃으로 1- 및 2-큐비트 게이트들로만 구현되는 C^3NOT 게이트 내에 이용되는 양자 게이트 동작들의 적은 부분을 구비하도록 구성될 수 있다. 보다 단순한 C^2NOT 토폴리 게이트를 구현하기 위한 방법들은 최초에 포획된 이온들을 이용하는 것으로 설명되었고(예를 들어, J.I. Cirac 및 P. Zoller "Quantum Computations with Cold Trapped Ions"(Phys. Rev. Lett. Vol. 74(20)(1995)) 참조), 이후에 입증되었다(예를 들어, T. Monz 등의 "Realization of the Quantum Toffoli gate with Trapped Ions"(Phys. Rev. Lett. Vol. 102, 040501(2009)) 참조). 상기 3-큐비트 C^2NOT 구현은 게이트 오차들로 인해 이들이 훨씬 높은 개별적인 충실도들을 가지는 경우에도 상기 1- 및 2-큐비트 게이트들의 연결에 비하여 순(net) 충실도의 향상을 생성하면서, 기여하는 게이트들의 숫자 및 전체 게이트 동작을 완료하기 위해 요구되는 시간의 상당한 감소를 이미 나타내었다. 이러한 3-큐비트 게이트는 기하학적 대칭에 대한 강한 요구 없이 선형 트랩 내에 구현될 수 있었다. 이에 비하여, 여기에 설명되는 특정한 구현 예들은 여기에 설명되는 설계들의 전체적인 3D 대칭성들을 활용하여 C^nNOT 게이트들을 제공한다. 이러한 방식에서, 앞서 언급한 개선된 효율의 예는 이들을 구현하기 위해 요구되는 양자 게이트들의 동반되는 감소를 통해 각 C^nNOT 게이트 내의 컨트롤들의 숫자에 따라 크게 증가될 수 있다. 상 회전을 포함하여 다른 다중 제어 게이트 동작들은 둘 이상의 동시에 얽히는 큐비트들을 수반하는 물리적 구성을 이용하여 효율에서 유사한 개선 사항들을 나타낼 수 있다. 앞서의 이들 개선 사항들은 오류 보정을 크게 감소시킬 수 있다.

[0026] 가장 고품질의 큐비트들이 주목할 만한 오차율들을 나타내는 경우, 이는 큐비트마다는 작을 수 있지만 알고리즘을 실행시키는 데 이용되는 게이트들의 숫자로 증가될 수 있다. 합계 오차율이 신뢰성 있는 결과를 야기하는 합당한 기회로 훨씬 작은 세트의 양자 동작들을 수행하도록 오류 보정이 요구되는 임계값에 도달할 때, 상기 아키텍처의 효율은 상기 오류 보정에 대해 이용된 오버헤드의 양에 비례하여 즉시 저하된다.

[0027] 논리 연산들을 수행하기 위해 의도되는 수백의 상대적으로 고품질의 큐비트들을 가지는 소규모 양자 컴퓨터에 대해, 상기 오류 보정 큐비트들의 오버헤드에 더하여 부속물들은 비례하는 효율의 감소와 함께 한 자릿수의 큐비트들의 숫자 또는 대략적으로 열의 인자의 증가를 나타낼 수 있다. 보다 큰 규모의 시스템들을 위해, 상기 오버헤드는 다중으로 자릿수가 다른 정도까지 더 증가할 수 있다. 그러나 여기에 설명되는 특정한 구현 예들에서, 전체적으로 연결되는 고품질의 큐비트들의 합계 효율들로부터 이점이 있고, 다중 큐비트 게이트 동작들을 채용하는(예를 들어, 다차원의 기하학적 구조를 활용하여 자연적으로 수행되는) 양자 컴퓨터는 상당히 적은 단계들 및 상당히 적은 전체 숫자의 큐비트들을 이용할 수 있다. 여기에 사용되는 바와 같이, "네이티브(native)" 게이트 동작들이라는 표현은 기하학적 레이아웃에 의하여 둘 이상의 큐비트들이 동시에 참여할 수 있는 것을 나타낸다. 여기에 설명되는 특정한 네이티브 다중 큐비트 게이트 구현 예들은 광범위한 오류 보정 오버헤드를 이용하지 않고 알고리즘들을 유리하게 수용할 수 있다. 또한, 기본적 양자 컴퓨팅 알고리즘들 또는 하위 루틴들을 수행하고, 종래의 컴퓨팅 시스템들과 비교하여 증가된 속도로 실제적인 유용성을 나태내기 위해 감소된 오버헤드로 인해 전체적인 설계 효율의 상당한 개선들이 다중으로 자릿수가 다르게 적은 양자 자원들을 이용하여 구현될 수 있다.

[0028] 현재까지 원자 큐비트들을 이용하는 대부분의 QC 시스템들은 전기적이나 광자적으로 상호 연결될 수 있는 1차원(예를 들어, 선형) 트랩들을 채용하였다(예를 들어, 미국 특허 제9,858,531호; Debnath 등의 "Demonstration of a small programmable quantum computer with atomic qubits"(Nature, Vol. 536, p.63(2016)) 참조). 대부분의 이러한 1D 트랩들은 큐비트들의 선형 체인이 공통 전위 우물(potential well) 또는 트래핑 구역(trapping zone) 내에 전체적으로 연결되게 할 수 있다. 전체적인 연결성의 정도는 상기 선형 체인의 대향하는 종점들에서나 부근에서 큐비트들 사이의 커플링 강도가 신뢰성 있는 다중 큐비트 게이트 동작들을 이용하기에 너무 약하기 이전에 얼마나 많은 큐비트들이 함께 이어질 수 있는가에 의해 제한되므로, 제한된 길이들의 다중의 선형 트랩들 사이에 상호 연결들을 생성하는 것이 바람직할 수 있다. 광학적 상호 연결들은, 예를 들면, 원자 큐비트로부터 광자까지 큐비트 상태를 전환시키고, 이후에 상기 양자 상태가 또 다른 원자로 전환되는 또 다른 선형 트랩으로 상기 광자를 전송하여 채용될 수 있다. 이와 같은 프로세스를 위해 이용되는 한 가지 유형의 프로토콜은 "원거리 이동(quantum teleportation)"으로 지칭된다. 이러한 상호 연결들은 전환들(예를 들어, 원자 큐비트로부터 광자로 및 제2의 원자로)에서 시간 지연들 및 잠재적인 비효율성들을 가져온다. 여기에 개시되는 특정한 구현 예들은 광학적 상호 연결들을 구비하는 선형 또는 2D 요소들을 이용하여 효율성을 구현할 수 있는 큐비트-대-큐비트 상호 작용들을 동시에 보다 직접적으로 최적화시키기 위해 선택적인 구성을 유리하게 제공한다. 보다 큰 숫자의 큐비트들까지 규모를 증가시킬 때, 이러한 특정한 구현 예들은 이들의 연관된 불이익들(예를 들어, 시간 지연들; 이온-광자 전환 손실들)과 함께 노드들 사이의 광학적 상호 연결들의 숫자를 유리하게 감소시키거

나 피할 수 있다.

[0029] 직사각형의 2차원(2D) 그리드 구성들은 일부 포획 이온 접근 방식 및 초전도 큐비트(SCQ) 계획들에 대해 이전에 적용되어 왔다. 이러한 2D 그리드 접근 방식들에서, 상기 큐비트들 사이의 상호 작용들은 대체로 포획 이온 그리드 레인(lane)들 내에서 일어나고(예를 들어, 교차점들을 통해 레인들 내로 및 외부로 큐비트들을 왕복시켜), 통상적으로 이용 가능한 레벨들까지 알고리즘을 실행시키는 데 성공할 가능성을 상승시키기 위해 장애 허용 능력(fault tolerance)을 추가하도록 상당한 중복에 의존하는 1- 및 2-큐비트 동작들에 제한되어 왔다. 예를 들면, 일부 접근 방식들은 큐비트들의 총체의 전체적인 어드레싱을 이용하고, 이는 많은 큐비트들 사이에서 단일의 1- 또는 2-큐비트 동작에 중복적으로 영향을 미치기 위해 그리드 내의 정렬된 교차점들 내로 및 외부로 왕복되며, 이후에 오차들을 감소시키도록 평균화된다. 이와 같은 접근 방식에서 상기 오버헤드는 충분한 충실도로 단일 논리 연산에 영향을 미치기 위한 중복 큐비트들의 숫자들의 측면에서 상기 양자 컴퓨터에 의해 수행되어야 하는 상기 논리 연산들의 규모와 함께 빠르게 증가한다. 이에 비하여, 여기에 설명되는 특정한 구현 예들에서, 둘 이상의 큐비트들 사이의 얽힘은 동시에 수반되고, 다중 큐비트 게이트 동작들에 직접적으로나 자연적으로 영향을 미치도록 2 또는 그 이상의 차원들로 배열되는 상기 큐비트들을 가짐에 의해 가능하게 된다.

[0030] 제시되었거나 및/또는 채용되었던 다른 2D 격자 접근 방식들은 중성 원자들을 이용하여 리드베르크-차단(Rydberg-blockade) 방법들을 초기에 적용하는 과정을 포함한다(예를 들어, M. Saffman 등의 "Quantum information with Rydberg atoms"(Rev. Mod. Phys. 82, 2313(2010)); K. Maller 등의 "Rydberg-blockade controlled-not gate and entanglement in a two-dimensional array of neutral-atom qubits"(Phys. Rev. A 92, 022336(2015)) 참조). 초기의 리드베르크-차단 방법들의 충실도는 컴퓨팅을 위한 양자 게이트(quantum gate)들을 형성하는 데 경쟁적이지 못하였지만, 이들 리드베르크 차단 방법들은 리드베르크 원자들을 얽히게 하는 개선된 방법들에 의해 진전되었다(예를 들어, D. Petrosyan 등의 "High-fidelity Rydberg quantum gate via a two-atom dark state"(Phys. Rev. A 96, 042306(2017)); M. Khazali 및 K. Molmer의 "Fast Multiqubit Gates by Adiabatic Evolution in Interacting Excited-State Manifolds of Rydberg Atoms and Superconducting Circuits"(Phys. Rev. X 10, 021054(2020)) 참조).

[0031] 서술적 표현들과 가시적 레이아웃들이 유사하게 나타날 수 있는 다른 접근 방식들과 여기에 설명되는 특정한 구현 예들을 구별하기 위해, 규칙적인 기하학적 격자 트랩들과 같은 2D의 주기적 결정 구조들의 전체적인 레이아웃이 아직까지는 다중 큐비트들 사이의 게이트 동작들을 구현하지 못하는 본체 상호 작용들의 물리학의 연구를 위해 유용한 방식들로 형성되었던 점에 유의하도록 한다. 예를 들면, 삼각형의 이온 트랩들(예를 들어, 페닝 트랩(Penning trap)들)이 특정 유형들의 양자 시뮬레이터(quantum simulator)들을 위해 이용될 수 있는 확장된 2D 결정 또는 삼각형의 격자를 형성하도록 이온들이 내부로 위치할 수 있는 주기적 전기전위 우물들의 표면으로 형성될 수 있다. 이들 트랩들은 모델화되는 상기 양자 시스템의 경우들을 모방하는 에너지 토폴로지(energy topology)들을 형성하는 데 이용될 수 있다. 유사하게, 사면체의 육각형인 키타에프(Kitaev) 모델들(예를 들어, A. Kitaev의 "Anyons in an exactly solved model and beyond"(Ann. Phys. Vol. 321, 2(2006)); R. Schmied 등의 "Quantum simulation of the hexagonal Kitaev model with trapped ions"(New J. Phys. 13 115011(2011)) 참조); 혼성 격자들; 카고메(kagome) 광학 격자들(예를 들어, R. Samajdar의 "Proc. Natl. Acad. Sci. U.S.A."(118, e2015785118(2021)) 참조); 그리고 다른 규칙적인 격자 구조들이 닮을 수 있지만, 여기에 설명되는 특정한 구현 예들과는 설계 복잡성과 목적에서 기본적으로 다르다. 예를 들면, 이러한 결정격자 구조들이 양자 시스템들의 시뮬레이션들을 위해 설계되었지만, 이러한 구조들은 대체로 게이트 동작들을 수행하도록 의도되지는 않는다. 특히, 여기에 설명되는 특정한 구현 예들에 따라 이온들의 2D 육각형의 격자(예를 들어, 상기 키타에프 모델을 따르는) 또는 중성 원자들(예를 들어, 광학 카고메 격자 내의)을 가지는 양자 시뮬레이터는 대체로 양자 게이트 동작들을 수행할 수 있는 "풀-업(full-up)" 양자 컴퓨터의 이러한 구조들의 복잡성과 숫자보다 보다 적은 레이저들로 훨씬 간단한 큐비트 컨트롤, 어드레싱 및 판독 계획들 (예를 들어, 어드레싱 레이저들 대신에 전체적인 어드레싱), 보다 간단한 검출 계획들, 보다 적은 전극 구조들 등을 이용할 수 있다.

[0032] 여기에 개시되는 특정한 구현 예들은 2D 포획 원자 격자들로부터 규모가 확대되는 게이트 모델 QC 구조들을 설계할 때에 빠르게 증가하고, 쉽지 않거나 실현 불가능한 것으로 나타날 수 있는 하드웨어 도전 과제들에 대한 해결 방안들을 유리하게 가능하게 할 수 있다. 예를 들면, 여기에 설명되는 특정한 구현 예들은 어드레싱, 조작, 판독 및 전위 측파대 트래핑 및/또는 각 큐비트의 냉각을 위해 광학 요소들(예를 들어, 레이저들; 광학 포트들; 섬유들; 검출기들)을 상기 QC 구조 내에 통합시키며 시정 전급 각도들을 제공한다.

[0033] 여기에 설명되는 특정한 구현 예들은 최적의 숫자의 이웃하는 큐비트들 사이의 동시 얽힘을 가능하게 하여 직접적인 "기입"이 가능하며, 복합 양자 알고리즘들을 실행시키는 확장 가능한 하드웨어 구성들을 유리하게 제공한

다. 특정한 구현 예들에서, 필드 프로그램 가능 게이트 어레이(FPGA)와 같은 종래의 펌웨어와 유사한 다차원의 양자 게이트 구현이 다중-큐비트 게이트들의 형태로 직접적으로 기입될 수 있고, 유연하게 재프로그램될 수 있다.

[0034] 여기에 설명되는 특정한 구현 예들은 유리하게는 다차원의 기하학적 구조를 활용하여 다중 제어 양자 게이트 동작들이 자연적으로 실행되게 할 수 있다. 특정한 구현 예들에서, 상기 양자 게이트 동작들은 가장 작은 숫자의 단계들로 양자 펌웨어 플랫폼 상에서 실행된다(예를 들어, 다중 제어 NOT 동작에 영향을 미치기 위한 1- 및 2-큐비트 게이트 동작들의 연결들에 대한 재분류 없이).

[0035] 여기에 설명되는 특정한 구현 예들은 유리하게는 범용의 양자 컴퓨팅이 가능하도록 회로 모델 아키텍처 내의 각 큐비트의 전체 제어 및 판독을 위해 양자 펌웨어 플랫폼을 전기적 및 광학적 접근들을 통합시킬 필요에 따라 확장시킬 수 있는 구현 가능한 공학적 제작 구성을 제공한다.

[0036] 여기에 설명되는 특정한 구현 예들은 유리하게는 최적의 숫자의 큐비트들이 최근접 이웃하는 것들, 다음의 최근접 이웃하는 것들, 다음다음의 최근접 이웃하는 것들 및 이들을 넘어서 동시에 얽히게 할 수 있도록 구성되는 다층 양자 컴퓨팅 구조를 제공한다. 이러한 특정한 구현 예들은 확장 가능한 양자 프로세서들에서 큐비트들의 어드레싱, 제어 및 판독들을 위한 전기적 채널들 및 광학적 접근들을 포함한다. 예를 들면, 전체적으로 연결되는 큐비트들의 어레이들은 유리하게는 얽힌 게이트 동작들이 특정한 쌍들에 제한되는(예를 들어, 채용되는 큐비트의 유형 또는 이들의 레이아웃으로 인해) 다른 설계들 보다는 하드웨어 내에서 양자 알고리즘들을 실행하기 위한 보다 효율적이고, 유연한 선택들을 제공한다. 이러한 개선된 효율과 유연성은 어레이 내의 큐비트들의 숫자와 함께 빠르게 증가될 수 있다.

[0037] 여기에 설명되는 특정한 구현 예들은 유리하게는 동시에 둘 이상의 큐비트들을 수반하는 게이트 동작들을 수행할 수 있으며, 이에 따라 1- 및 2-큐비트 게이트들에 제한되는 이전의 설계들에 비해 효율의 상당한 개선 사항들을 제공한다(예를 들어, 수십의 이러한 게이트들을 하나의 4-큐비트 게이트로 대체하여). 여기에 설명되는 특정한 구현 예들은 유리하게는 1차원 및 2차원 큐비트 기하학적 구조들(예를 들어, 선형으로 포획된 이온들; 2D 그리드들, 2D 다이아몬드 격자들 내의 NV 센터들 내에 포획된 이온들; 다른 1D 및 2D 큐비트 격자들) 내에서 발견되는 연결 한계들을 극복한다. 예를 들면, 상기 큐비트 어레이들 사이의 직접 연결(예를 들어, 얽힘)로 다중의 큐비트 어레이들(예를 들어, 다중의 평면 및/또는 선형 큐비트 어레이들) 내에 큐비트들을 배열하는 것은 상당한 시간 지연의 문제점 및 이온 큐비트들로부터 광자 큐비트들로 전환시키는 과정의 비효율성들을 해결할 수 있으며, 다시 1D 체인 또는 2D 그리드 내의 수십의 원자들까지 계속적으로 확장될 수 있다.

[0038] 여기에 설명되는 특정한 구현 예들은 유리하게는 복잡한 3D 결정 구조들(예를 들어, 파이로클로르들)을 닮는 다차원의 얽힌 기하학적 구조들을 제공한다. 또한, 특정한 구현 예들로 설계되는 특정하고 방해받지 않는 시정들은 유리하게는 각 원자 큐비트들뿐만 아니라 상기 큐비트들의 총체들을 개별적으로 고유하게 어드레싱하기 위한 다중의 각도들로부터의 광학적 접근들을 제공한다. 특정한 구현 예들은 유리하게는 검출기들에 의한 개개의 원자 큐비트 상태들의 판독을 위해 다중의 광학적 접근 방식들을 제공한다.

[0039] 여기에 설명되는 특정한 구현 예들은 다중 큐비트 격자 어레이들을 형성하기 위해 중성 원자 큐비트들(예를 들어, 외곽 전자가 고도로 여기된 상태로 상승되는 대전되지 않은 리드베르크 원자들)을 유리하게 활용하며, 이는 선택적인 큐비트 유형들에 대한 이러한 시스템과 방법들의 적용 가능성을 입증하고, 처리 잠재력을 더 예시하는 데 기여한다. 리드베르크 원자들을 얽히도록 하는 최근의 개선된 기술은 이들이 양자 컴퓨팅이 보다 더 수행할 수 있게 만든다(예를 들어, M. Khazali 및 K. Molmer(2020); D. Petrosyan 등(2017) 참조). 개선된 기술들의 결과로서, 리드베르크 원자들도 여기에 설명되는 시스템과 방법들을 위한 다른 예시적인 큐비트로서 가능하도록 잘 적합하게 된다. 리드베르크 큐비트 격자들을 형성하기 위한 기술들은 포획 이온 격자 어레이들의 많은 동일한 이점들 및 일부 특별한 이점들로 이온 큐비트들을 포획하도록 전기전위를 이용하는 과정과 유사하게 개개의 중성 원자 큐비트들을 포획하기 위해 응집 광속(light beam)들(예를 들어, 레이저들)을 교차시키는 과정 및 교차하는 광학 빔(optical beam)들(예를 들어, 적색 측파대들에 의해 형성되는 전위 우물들 내에) 내에, 상기 광속들(예를 들어 사이의 공간들(예를 들어, 셀들) 내에, 청색 측파대들에 의해 형성되는 전위 우물들 내에) 에너지 전위 우물들을 형성하도록 상기 광학 측파대들로 전자기장 상호 작용들을 생성하는 과정을 포함할 수 있다. 예를 들면, 비록 리드베르크 큐비트들이 아직까지는 가장 높은 큐비트 게이트 충실도들 및 포획된 이온들과 연관된 가장 긴 수명들을 가지는 것을 입증하고 있지만, 리드베르크 원자들은 주요한 예들로서 이온 큐비트들을 이용하는 미국 특허 출원 공개 제2021/0142204(A1)호에 기재되어 있는 경우들과 동등하거나 및/또는 연결되는 결정성 기하학적 구조들(예를 들어, 파이로클로르 구조들)을 생성하기 위해 육각형의 격자 층들로 구성될 수 있

다. 상기 리드베르크 원자들을 포획하기 위해 활용되는 상기 광자 격자 구조들은 여기에 설명되는 특정한 구현 예들에 따라 매우 가까운 큐비트 간격 및 추가적인 어레이 층들을 가능하게 할 수 있다.

[0040] 여기에 설명되는 특정한 구현 예들은 리드베르크 원자들에 대한 현재의 제곱 기반 광자 격자들을 이용하여 격자 층들의 숫자를 증가시키고, 현재 구현 가능한 한계들에 대해 동시에 얽힐 수 있는 큐비트들의 숫자를 증가시키는(예를 들어, w허용 가능한 게이트 충실도들로) 잠재성으로 및 이온들을 위한 여기에 설명되는 육각형의 다층 표면-포획 기하학적 구조들 내의 구현 가능한 큐비트 밀도들에 대해 잠재적으로 미국 공개 특허 제2021/0142204(A1)호에 기재된 경우들(예를 들어, 주로 대전된 원자 큐비트 예들을 이용함)과 동등한 기하학적 구조들 내의 다층 격자 구조들의 큐비트 어레이들 내의 리드베르크 원자들을 유리하게 활용한다. 소규모의 선형 및/또는 정사각형의 어레이들 내의 트래핑 중성 리드베르크 원자들의 최근의 실험들로부터의 데이터는 20 자릿수의 큐비트들이 확장 가능한 고장 허용 한계 양자 컴퓨팅을 위해 충분한 다중 큐비트 게이트 충실도들로 2D 정사각형 격자 내에 동시에 얽힐 수 있는 것을 나타낸다(예를 들어, M. Khazali 및 K. Molmer(2020) 참조).

[0041] 다중의 방향들로 최대 숫자의 셀들에 걸쳐 큐비트들 사이에 얽히는 동작들의 숫자와 충실도를 최적화하기 위하여 응집 광자(예를 들어, 레이저) 빔들의 다축 어레이들을 광학 트랩 격자들 내로 통합시키고, 상기 3D 격자 셀 형상들과 간격을 조정함에 의해, 여기에 설명되는 특정한 구현 예들은 대전된 원자 큐비트들(예를 들어, 이온들)의 경우들과 동등하고, 일부 경우들에서 복잡성과 처리 능력을 능가시키는 다차원의 얽힌 기하학적 구조들을 유리하게 제공한다. 예를 들면, 여기에 설명되는 특정한 구현 예들은 최소화된 큐비트간 간격(예를 들어, 광자 트랩 격자 내에서 10미크론 보다 적게)을 유리하게 가능하게 하는 광자 다중 큐비트 격자 어레이들 내의 리드베르크 원자들을 활용한다. 여기에 설명되는 특정한 구현 예들은 격자 층들(예를 들어, 3, 4, 5 또는 그 이상의 층들까지)의 추가를 가능하게 하면서 12 이상의 동시에 얽히는 큐비트들의 전체적인 연결을 가능하게 하도록 이온들에 대해 여기에 설명되는 경우들과 동등한 육각형의 다층 격자 어레이들을 포함한다. 이들 예시적인 구현 예들은 보다 많은 큐비트들을 동시에 얽히게 하는 능력을 산출할 수 있다. 처리 능력이 동시에 얽힐 수 있는 실질적으로 동등한 충실도들의 큐비트들의 숫자로 기하급수적으로 증가하기 때문에, 30의 큐비트들의 차이를 위해 12의 얽힌 원자 큐비트들 내지 42의 큐비트들로 지칭될 수 있는 이러한 숫자를 증가시키는 것은 2^{30}의 컴퓨팅 능력 증가 또는 10억 폴드(fold) 이상의 이점으로 해석된다.

[0042] 예시적인 구현 예들

[0043] 여기에 설명되는 특정한 구현 예들은 3D 결정 구조들(예를 들어, 파이로클로르들)을 닮을 수 있는 큐비트들의 다차원 구성들(예를 들어, 셀들; 노드들)을 활용한다. 특정한 구현 예들은 게이트마다 많은 큐비트들을 활용하며, 회로 깊이, 오류 보정 및 간섭 완화를 유리하게 감소시킬 수 있다(예를 들어, 최소화할 수 있다). 특정한 구현 예들은 양자 FPGA(QFPGA) 및 양자 ASIC(QASIC) 칩들을 유리하게 구현할 수 있는 호환 가능한 구성 셀들을 활용한다.

[0044] 특정한 구현 예들의 물리적인 구성들이 높은 충실도의 포획 원자 큐비트들(예를 들어, 낮은 오류율들)을 이용하는 것으로 여기에 설명되지만, 다중의 다른 큐비트들과 다차원으로 동시에 얽힐 수 있는 임의의 유형의 큐비트(예를 들어, 자연적으로 발생하는; 인공적으로 형성되는)가 여기에 설명되는 특정한 구현 예들에 따라 이용될 수 있다. 여기에 설명되는 특정한 구현 예들과 호환될 수 있는 큐비트들의 예들은, 이에 한정되는 것은 아니지만: 아원자 입자들; 중성 원자들; 이온들; 중성 분자들; 대전된 분자들; 보스-아인슈타인 응축물(BEC)들; 전자들; 전자 홀들; 여기자(exciton)들; 자기 큐비트들; 질소 공공(NV) 센터들(예를 들어, 다이아몬드 내부); 포논들; 포톤들; 양자점(quantum dot)들; 리드베르크 원자들; 실리콘 내의 스핀; 그리고 가능한 초전도 큐비트들을 포함한다. 특정한 구현 예들에서, 상기 큐비트들은 특정된 구성 내의 둘 이상의 큐비트들 사이에서 게이트 동작들에 직접적으로(예를 들어, 자연적으로) 영향을 미치기에 적합하다. 예를 들면, 특정한 구현 예들의 물리적 아키텍처는 1- 및 2-큐비트 게이트들의 직렬적인 연결들에 의지하지 않고 다중-제어 NOT 또는 상(phase) 회전과 같은 복합 게이트 동작들을 직접적으로 유리하게 제공할 수 있다.

[0045] 여기에 설명되는 특정한 구현 예들에서 활용되는 포획 원자 큐비트들은 최적화되는 양자 상호 작용들의 성질을 예시한다. 포획된 원자들이 나타내는 적절한 숫자의 장점은, 이에 한정되는 것은 아니지만, (i) 이들이 정해진 종들 내에서 동일하며, 이에 따라 광범위한 보정이나 조정이 유리하게 회피될 수 있는 사실, (ii) 이들의 잠재적인 게이트 사이클 타임들에 대해 우수한 안정성 및 코히런스 시간들을 가지는 큐비트들을 형성하는 능력, 그리고 (iii) 경쟁하는 큐비트 기술들과 비교할 경우에 연속되고 입증된 높은 충실도의 게이트 동작들을 포함한다. 여기에 설명되는 특정한 구현 예들에서, 동시의 다중 큐비트 게이트 동작들은 다중의 동일한 전체적으로 연결되는 큐비트들의 3D 기하학적 레이아웃들로 배열되는 원자들에 의해 가능하게 될 수 있다. 특정한 구

현 예들에서, 전체적으로 연결되는 큐비트들의 3D 기하학적 레이아웃들은 하나 이상의 큐비트 유형을 유리하게 통합할 수 있다(예를 들어, 상기 다중의 컨트롤 큐비트들에 대해 하나의 종의 원자들 및 타겟으로서 제2의 원자 종들을 채용하거나; 이웃하는 셀들에 대해 다른 원자 종들을 채용한다).

[0046] 여기에 설명되는 특정한 구현 예들은, 이에 한정되는 것은 아니지만: 자연적으로 발생하는 원자들; 중성 원자들; 대전된 원자들; 이온들; 분자들; 인공적으로 형성된 원자들; 리드베르크 원자들; 다이아몬드 내의 질소 공공(NV) 센터들; 보스-아인슈타인 응축물(BEC)들; 전자들; 포톤들; 양자 입자들; 양자점들; 포논들; 포톤들; 양자 입자들로 거동하는 양자 상태들을 포함하여 다양한 큐비트 기술들을 활용하는 다층 큐비트 어레이들을 포함한다. 여기서의 도면들은 대전되지 않은 원자들(예를 들어, 중성 원자들; 리드베르크 상태들; 중성 리드베르크 원자들)을 포함하는 다양한 예시적인 다층 큐비트 어레이들을 도시하지만, 이들 예시적인 다층 큐비트 어레이들이 다른 큐비트 기술들과 호환될 수 있는 점도 이해될 것이다.

[0047] 도 1은 여기에 설명되는 특정한 구현 예들에 따라 실질적인 평면 영역들(120) 내에 논리 큐비트들(110)을 포함하는 예시적인 양자 컴퓨팅(QC) 시스템(100)의 사시도를 개략적으로 예시한다. 상기 시스템(100)은 제1의 실질적인 평면 영역(120a) 내에 제1의 복수의 논리 큐비트들(110a)을 포함하며, 상기 제1의 복수의 논리 큐비트들(110a) 중의 적어도 일부는 서로 상호 작용하도록 구성된다. 상기 시스템(100)은 상기 제1의 실질적인 평면 영역(120a)과 실질적으로 평행한 제2의 실질적인 평면 영역(120b) 내에 제2의 복수의 논리 큐비트들(110b)을 더 포함한다. 상기 제2의 복수의 논리 큐비트들(110b) 중의 적어도 일부는 서로 상호 작용하고, 상기 제1의 복수의 논리 큐비트들(110a) 중의 적어도 일부와 상호 작용하도록 구성된다. 도 1의 논리 큐비트들(110)은 여기에 설명되는 특정한 구현 예들에 따라 다중의 2D 평면 광학 트랩 층들에 걸쳐 다중 큐비트 게이트들을 형성한다.

[0048] 특정한 구현 예들에서, 도 1에 개략적으로 예시한 바와 같이, 상기 예시적인 시스템(100)은 상기 제2의 실질적인 평면 영역(120b)과 실질적으로 평행한 제3의 실질적인 평면 영역(120c) 내에 제3의 복수의 논리 큐비트들(110c)을 더 포함한다. 상기 제3의 복수의 논리 큐비트들(110c) 중의 적어도 일부는 서로 상호 작용하고, 상기 제2의 복수의 논리 큐비트들(110b) 중의 적어도 일부와 상호 작용하도록 구성된다. 여기에 설명되는 특정한 구현 예들과 호환될 수 있는 다른 예시적인 시스템(100)은 상기 제1, 제2 및 제3의 실질적인 평면 영역들(120a, b, c)과 실질적으로 평행한 적어도 하나의 추가적인 실질적인 평면 영역(120) 내에 적어도 하나의 추가적인 복수의 논리 큐비트들(110)을 포함할 수 있으며, 상기 적어도 하나의 추가적인 복수의 논리 큐비트들(110)은 서로 상호 작용하고, 상기 제1, 제2 및/또는 제3의 복수의 논리 큐비트들(110a, b, c) 중의 적어도 일부와 상호 작용하도록 구성된다. 이러한 특정한 구현 예들에서, 상기 시스템(100)은 서로 실질적으로 평행한 넷, 다섯, 여섯, 또는 그 이상의 실질적인 평면 영역들(120) 내에 배열되는 넷, 다섯, 여섯 또는 그 이상의 복수의 논리 큐비트들(110)을 포함할 수 있으며, 상기 다양한 평면 영역들(120)의 상기 논리 큐비트들(110)은 서로 상호 작용(예를 들어, 평면내의 상호 작용들 및 평면간의 상호 작용들)하도록 구성된다.

[0049] 특정한 구현 예들에서, 상기 복수들의 논리 큐비트들(110)(예를 들어, 상기 제1의 복수의 논리 큐비트들(110a), 상기 제2의 복수의 논리 큐비트들(110b) 및/또는 상기 제3의 복수의 논리 큐비트들(110c))은 자연적으로 발생하는 원자들; 중성 원자들; 대전된 원자들; 이온들; 분자들; 인공적으로 형성된 원자들; 리드베르크 원자들; 다이아몬드 내의 질소 공공(NV) 센터들; 보스-아인슈타인 응축물(BEC)들; 전자들; 포톤들; 양자 입자들; 양자점들; 포논들; 트랜스몬(transmon)들; 양자 입자들로 거동하는 양자 상태들로 이루어진 그룹으로부터 선택되는 적어도 하나의 물리적인 큐비트를 포함한다. 특정한 구현 예들에서, 상기 복수들의 논리 큐비트들(110)(예를 들어, 상기 제1, 제2 및/또는 제3의 복수의 논리 큐비트들(110a, b, c)) 중의 논리 큐비트들(110)은 개별적으로 어드레싱 가능할 수 있다.

[0050] 특정한 구현 예들에서, 상기 복수들의 논리 큐비트들(110) 중의 적어도 일부(예를 들어, 상기 제1의 복수의 논리 큐비트들(110a) 중의 적어도 일부, 상기 제2의 복수의 논리 큐비트들(110b) 중의 적어도 일부 및/또는 상기 제3의 복수의 논리 큐비트들(110c) 중의 적어도 일부)는 둘 이상의 논리 큐비트들(110)이 동시에 참여하는 다중 큐비트 게이트 동작들을 겪도록 구성되는 적어도 하나의 3차원(3D) 게이트 셀 어레이(예를 들어, 복수의 다중 큐비트 3D 게이트 셀들(130)을 포함)를 형성하기 위해 서로 직접적으로 상호 작용하도록 구성된다. 예를 들면, 3D 게이트 셀(130)의 각 논리 큐비트(110)는 상기 3D 게이트 셀(130)의 적어도 하나의 다른 논리 큐비트(110)와 양자 역학적으로 얽히도록 구성될 수 있다.

[0051] 특정한 구현 예들에서, 상기 제1 평면 영역(120a) 내의 각 제1 논리 큐비트(110a)는 상기 제1 평면 영역(120a) 내의 일부(예를 들어, 최근접 이웃 및 다음의 최근접 이웃) 다른 제1 논리 큐비트들(110a)과 직접적으로 상호 작용하도록 구성될 수 있다. 유사하게, 상기 제2 평면 영역(120b) 내의 각 제2 논리 큐비트(110b)는 상기 제2

평면 영역(120b) 내의 일부(예를 들어, 최근접 이웃 및 다음의 최근접 이웃) 다른 제2 논리 큐비트들(110b)과 직접적으로 상호 작용하도록 구성될 수 있으며, 상기 제3 평면 영역(120c) 내의 각 제3 논리 큐비트(110c)는 상기 제3 평면 영역(120c) 내의 일부(예를 들어, 최근접 이웃 및 다음의 최근접 이웃) 다른 제3 논리 큐비트들(110c)과 직접적으로 상호 작용하도록 구성될 수 있다. 또한, 상기 제1 평면 영역(120a) 내의 각 제1의 논리 큐비트(110a)는 상기 제2 평면 영역(120b) 내의 일부(예를 들어, 최근접 이웃 및 다음의 최근접 이웃) 제2 논리 큐비트들(110b)과 직접적으로 상호 작용하도록 구성될 수 있고, 상기 제2 평면 영역(120b) 내의 각 제2의 논리 큐비트(110b)는 상기 제3 평면 영역(120c) 내의 일부(예를 들어, 최근접 이웃 및 다음의 최근접 이웃) 제3 논리 큐비트들(110c)과 직접적으로 상호 작용하도록 구성될 수 있으며, 상기 제3 평면 영역(120c) 내의 각 제3 논리 큐비트(110c)는 상기 제2 평면 영역(120b) 내의 일부(예를 들어, 최근접 이웃 및 다음의 최근접 이웃) 제2 논리 큐비트들(110b)과 직접적으로 상호 작용하도록 구성될 수 있다. 비록 도 1에는 도시되지 않지만, 특정한 구현 예들에서, 상기 논리 큐비트들(110) 중의 적어도 일부는 동일한 평면 영역(120) 내 및/또는 인접하는 평면 영역(120) 내의 심지어 보다 먼 논리 큐비트들(110)(예를 들어, 다음다음의 최근접 논리 큐비트들(110); 다음다음다음의 최근접 논리 큐비트들(110))과 직접적으로 상호 작용할 수 있다.

[0052] 도 2a는 여기에 설명되는 특정한 구현 예들에 따라 실질적으로 평행한 셋의 실질적인 평면 영역들(120a, b, c) 내에 36의 논리 큐비트들(110)을 포함하는 예시적인 시스템(100)의 사시도를 개략적으로 예시한다. 도 2b는 여기에 설명되는 특정한 구현 예들에 따라 실질적으로 서로 평행한 셋의 실질적인 평면 영역들(120a, b, c) 내에 60의 논리 큐비트들(110)을 포함하는 다른 예시적인 시스템(100)의 사시도를 개략적으로 예시한다. 도 2a 및 도 2b의 예시적인 시스템들(100)은 각기 다중 큐비트 게이트들(예를 들어, 상기 논리 큐비트들(110)이 인접하는 실질적인 평면 영역들(120) 내의 논리 큐비트들(110) 사이에 직교하는 연결들을 가지는 다중 평면 층들 내에 걸리거나 포획되는 3D 육각형의 규칙적이거나 "파이로클로르(pyrochlore)" 격자 큐비트 어레이 구성으로)을 형성하는 2D 평면 광학 격자 층들을 구비하는 3D 격자 큐비트 어레이를 포함한다.

[0053] 특정한 구현 예들에서, 도 2a 또는 도 2b에 도시한 논리 큐비트들(110)은 예시적인 시스템(100)의 모든 논리 큐비트들(110)이지만, 다른 특정한 구현 예들에서, 도 2a 또는 도 2b에 도시한 논리 큐비트들은 단지 상기 예시적인 시스템(100)의 논리 큐비트들(110)의 서브 세트이다. 상기 논리 큐비트들(110)은 적어도 하나의 다중-큐비트 3D 게이트 셀(130)을 형성한다. 예를 들면, 인접하는 3D 게이트 셀들(130)의 각 쌍은 상기 제1 평면 영역(120a) 내의 둘의 제1 논리 큐비트들(110a), 상기 제2 평면 영역(120b) 내의 둘의 제2 논리 큐비트들(110b), 그리고 상기 제3 평면 영역(120c) 내의 둘의 제3 논리 큐비트들(110c)을 공유한다.

[0054] 도 2a의 각각의 상기 평면 영역들(120a, b, c)은 실질적으로 육각형의 2D 패턴으로 배열되는 12의 논리 큐비트들(110)을 포함하며, 도 2b의 각각의 상기 평면 영역들(120a, b, c)은 실질적으로 육각형의 2D 패턴으로 배열되는 20의 논리 큐비트들(110)을 포함한다. 도 2a 및 도 2b의 논리 큐비트들(110)은 각 평면 영역(120a, b, c) 내에 각 논리 큐비트(110) 및 그 최근접 이웃 논리 큐비트들(110) 사이의 평면내(intraplanar) 최근접 이웃(nn) 거리 d_1을 가지며, 도 2a 및 도 2b에서는, 다른 평면 영역들(120) 내의 각 논리 큐비트(110) 및 그 최근접 이웃 논리 큐비트들(110) 사이의 평면내 최근접 이웃(nn) 거리는 평면간(interplanar) 거리 d_2와 동일하다. 특정한 구현 예들에서, 각각의 상기 평면 영역들(120a, b, c)의 상기 평면내의 nn 거리 d_1은 실질적으로 서로 동일하지만, 다른 특정한 구현 예들에서, 상기 평면 영역들(120a, b, c) 중의 적어도 둘의 상기 평면내의 nn 거리 d_1은 서로 다르다. 특정한 구현 예들에서, 평면 영역들(120a, b) 사이 및 평면 영역들(120b, c) 사이의 상기 평면간의 거리 d_2는 실질적으로 서로 동일하지만, 다른 특정한 구현 예들에서, 평면 영역들(120a, b) 사이 및 평면 영역들(120b, c) 사이의 상기 평면간의 거리 d_2는 서로 다르다.

[0055] 특정한 구현 예들에서, 상기 평면내의 nn 거리 d_1 및 상기 평면간의 거리 d_2는 실질적으로 서로 동일하지만(예를 들어, 15미크론(micron) 보다 작거나; 3미크론 내지 15미크론의 범위 이내; 8미크론 내지 11미크론의 범위 이내), 다른 특정한 구현 예들에서, 상기 평면내의 nn 거리 d_1 및 상기 평면간의 거리 d_2는 서로 다르며(예를 들어, 1미크론 내지 3미크론의 범위 이내의 차이로), $d_1 > d_2$ 또는 $d_1 < d_2$이다. 예를 들면, 도 2a 및 도 2b의 시스템들(100)의 평면 영역들(120) 내의 큐비트들(110)의 2D 육각형 패턴들은 상기 평면간의 거리 d_2와 동일한 상기 평면내의 nn 거리 d_1을 가질 수 있고, 상기 평면간의 다음의 최근접 이웃(nnn) 거리는 $d_1\sqrt{2}$와 동일하며, 상기 평면내의 nnn 거리는 $d_1\sqrt{3}$과 동일하고, 상기 평면내의 다음다음의 최근접 이웃(nnnn) 거리는 $2d_1$과 동일하며, 상기 평면간의 nnnn 거리는 $2d_1$과 동일하고, 상기 평면간의 다음다음다음의 최근접 이웃(nnnnn) 거리는 $d_1\sqrt{5}$와

동일하며, 상기 평면내의 nnnnn 거리는 $d_1\sqrt{7}$과 동일하다.

[0056] 상기 평면 영역들(120) 내의 상기 큐비트들(110)의 2D 육각형의 패턴들의 다른 구성들은 상기 평면 영역들(120) 사이에 다른 측방 오프셋(offset)들을 가질 수 있다(예를 들어, 하나의 평면 영역(120) 내의 상기 큐비트들(110)이 인접하는 평면 영역(120)의 큐비트들(110)의 상부에 직접적으로 있지 않도록 상기 평면 영역들(120)에 평행한 오프셋들; 예를 들어, 도 5a-도 5c, 도 6a-도 6f 참조). 여기에 설명되는 바와 같이, 이러한 구성들은 상기 평면내의 nn 거리 d_1, 상기 평면간의 거리 d_2, 그리고 다양한 평면내의 및 평면간의 nnn, nnnn 및 nnnnn 거리들의 다른 값들을 가질 수 있다.

[0057] 특정한 구현 예들에서, 도 2a에 도시한 바와 같이, 21의 상기 논리 큐비트들(110)은 제1 다중 큐비트 3D 게이트 셀(130a)(예를 들어, C^{20}NOT 게이트 셀 또는 $C^{20}\phi$ 게이트 셀)을 형성하며, 21의 상기 논리 큐비트들(110)은 제2 다중 큐비트 3D 게이트 셀(130b)(예를 들어, C^{20}NOT 게이트 셀 또는 $C^{20}\phi$ 게이트 셀)을 형성한다. 예를 들면, 상기 평면 영역(120b) 내의 논리 큐비트(110)(도 2a에 흑색으로 도시됨)는 상기 제1 게이트 셀(130a)의 타겟 큐비트가 될 수 있고, 그 20의 컨트롤 큐비트들(도 2a에 짙은 회색으로 도시됨), 즉 그 여섯의 평면내의 최근접 이웃 논리 큐비트들(110), 그 둘의 평면간의 최근접 이웃 논리 큐비트들(110)(예를 들어, 각각의 평면 영역들(120a, c) 내의 하나) 및 그 열둘의 평면간의 다음의 최근접 이웃 논리 큐비트들(110)(예를 들어, 각각의 상기 평면 영역들(120a, c) 내에 여섯)과 동시에 양자 역학적으로 얽힐 수 있다. 유사하게, 상기 평면 영역(120b)(도 2a에 백색으로 도시됨) 내의 또 다른 논리 큐비트(110)는 상기 제2 게이트 셀(130b)의 타겟 큐비트가 될 수 있으며, 그 20의 컨트롤 큐비트들(110)(예를 들어, 이들도 상기 제1 게이트 셀(130a)의 컨트롤 큐비트들이기 때문에 도 2a에 옅은 회색으로 도시한 14 및 짙은 회색으로 도시한 여섯)과 동시에 양자 역학적으로 얽힐 수 있다. 특정한 구현 예들에서, 도 2b에 도시한 바와 같이, 21의 상기 논리 큐비트들(110)이 제3 다중 큐비트 3D 게이트 셀(130c)을 형성할 수 있고, 21의 상기 논리 큐비트들(110)이 제4 다중 큐비트 3D 게이트 셀(130d)을 형성할 수 있다.

[0058] 도 2a 및 도 2b의 각 C^{20}NOT/$C^{20}\phi$ 게이트 셀(130)은 파이로클로르 결정 구조들의 경우와 그 배열의 유사성으로 인해 "파이로클로르 셀(Pyrochlore cell)"로 지칭될 수 있다. 여기에 설명되는 바와 같이, 특정한 구현 예들에서, 보다 많은 논리 큐비트들(110)이 보다 큰 다중 큐비트 게이트 셀들(130)(예를 들어, C^{34}NOT 게이트 셀들; $C^{34}\phi$ 게이트 셀들; C^{94}NOT 게이트 셀들; $C^{94}\phi$ 게이트 셀들 등)을 형성하도록 서로 동시에 양자 역학적으로 얽힐 수 있다. 이들 보다 큰 게이트 셀들(130)은 각기 "슈퍼 파이로클로르 셀"로 지칭될 수 있다.

[0059] 도 2a 및 도 2b에 다양한 논리 큐비트들(110) 사이의 얽힘들 중의 일부가 다양한 무게들의 파선들 및 실선들로 나타나지만, 게이트 셀(130)(예를 들어, 제1 게이트 셀(130a))의 모든 논리 큐비트들(110)은 서로 직접적으로 상호 작용할 수 있고(예를 들어, 동시에 양자 역학적으로 얽힐 수 있거나; 전체적으로 얽힐 수 있거나; 완전히 얽힐 수 있고), 다른 게이트 셀(130)(예를 들어, 제2 게이트 셀(130b))의 모든 논리 큐비트들(110)은 서로 직접적으로 상호 작용할 수 있다(예를 들어, 동시에 양자 역학적으로 얽힐 수 있다). 특정한 구현 예들에서, 각 논리 큐비트(110)는 평면내의 최근접 이웃(nn) 논리 큐비트들(110), 그 평면간의 최근접 이웃(nn) 논리 큐비트들(110) 및 그 평면간의 다음의 최근접 이웃(nnn) 논리 큐비트들(110)과 직접적으로 상호 작용하도록 구성된다. 다른 특정한 구현 예들에서, 각 논리 큐비트(110)는 그 평면내의 다음의 최근접 이웃(nnn) 논리 큐비트들(110), 그 평면간의 다음다음의 최근접 이웃(nnnn) 논리 큐비트들(110), 그 평면내의 다음다음의 최근접 이웃(nnnn) 논리 큐비트들(110) 및/또는 그 평면간의 다음다음다음의 최근접 이웃(nnnnn) 논리 큐비트들(110)과 직접적으로 상호 작용하도록 더 구성된다. 다른 특정한 구현 예들에서, 각 논리 큐비트(110)는 그 평면내의 다음다음다음의 최근접 이웃(nnnnn) 큐비트들(110)과 직접적으로 상호 작용하도록 더 구성된다. 도 2a에는 흑색으로 도시된 상기 단일 논리 큐비트(110)에 대한 이들의 관련성으로 일부 예시적인 논리 큐비트들(110)이 표시된다. 추가적인 논리 큐비트들(110)과 직접적으로 상호 작용하는 상기 논리 큐비트들(110)을 가짐에 의해, 게이트 셀(130) 내부의 논리 큐비트들(110)의 숫자가 증가될 수 있으며, 이에 따라 상기 게이트 셀(130)의 연산 능력을 증가시킬 수 있다.

[0060] 특정한 구현 예들에서, 각 다중 큐비트 게이트 셀(130)은 "네이티브(native)" C^{20}NOT 게이트(예를 들어, 20-제어 NOT 게이트)로서 및/또는 "네이티브" $C^{20}\phi$ 게이트(예를 들어, 20-제어 위상 게이트)로서 동작될 수 있는 21의 얽힌 큐비트들(110)(예를 들어, 도 2a 및 도 2b에 도시한 바와 같은)로 형성된다. 이러한 네이티브

$C^{20}NOT/C^{20}\phi$ 게이트들은 단독에 의해 이용될 수 있었던 경우보다 훨씬 적은 게이트 동작들로 구현될 수 있다. 특정한 구현 예들에서, 상기 21-큐비트 게이트 셀(130)이 그 결과를 구현하기 위해 많은 성공적인 동작들의 오류들을 집합시키지 않기 때문에, 예시적인 21-큐비트 게이트 셀(130)에 의해 제공되는 네이티브 $C^{20}NOT/C^{20}\phi$ 게이트의 순 충실도는 훨씬 높은 개별적인 게이트 충실도들을 가질 수 있는 많은 2-큐비트 게이트들을 포함하는 $C^{20}NOT/C^{20}\phi$ 게이트보다 현저하게 크다. 이러한 특정한 구현 예들에서, 상기 예시적인 21-큐비트 게이트 셀(130)에 의해 제공되는 $C^{20}NOT/C^{20}\phi$ 게이트는 많은 2-큐비트 게이트들을 포함하는 $C^{20}NOT/C^{20}\phi$ 게이트의 단계들 중의 매우 작은 부분을 이용하므로, 구조 및 충실도 모두의 평가들을 이용하여 성공적인 게이트 동작의 가능성들의 비교에서 볼 수 있는 바와 같이 상기 예시적인 21-큐비트 게이트 셀(130)에 의해 제공되는 상기 $C^{20}NOT/C^{20}\phi$ 게이트는 보다 빠르고, 오류 발생이 적다(예를 들어, 이에 따라 착수에서 상당히 적은 오류 보정을 활용한다).

[0061] 특정한 구현 예들에서, 게이트 셀(130) 당 상기 논리 큐비트들(110)의 숫자는 실질적인 평면 영역들(120)의 숫자를 증가시키거나 및/또는 상기 논리 큐비트들(110)이 서로 상호 작용할 수 있는 거리를 연장시킴에 의해 증가될 수 있다. 예를 들면, 도 3a는 여기에 설명되는 특정한 구현 예들에 따라 서로 실질적으로 평행한 셋의 실질적인 평면 영역들(120) 내에 배열되는 복수의 논리 큐비트들(110)(예를 들어, 도 2a 및 도 2b의 예시적인 시스템(100)과 호환될 수 있는)의 사시도를 개략적으로 예시한다. 도 3a의 사시도는 모든 논리 큐비트들(110)이 보일 수 있는(예를 들어, 상기 논리 큐비트들(110)이 다른 논리 큐비트(110)에 의해 모호해지지 않는) 방향을 따른다. 도 3a는 상기 논리 큐비트들(110) 중의 일부 사이의 라인들을 포함하며, 라인들은 게이트 셀(130)의 논리 큐비트들(110) 사이의 직접적인 교차들 중의 일부를 나타낸다. 각 논리 큐비트(110)는 그 평면내의 최근접 이웃 논리 큐비트들(110), 그 평면간의 최근접 이웃 논리 큐비트들(110) 및 그 평면간의 다음의 최근접 이웃 논리 큐비트들(110)과 직접적으로 상호 작용하도록 구성되며, 도 3a의 게이트 셀(130)은 $C^{20}NOT$ 게이트 셀 또는 $C^{20}\phi$ 게이트 셀(예를 들어, 흑색으로 도시된 예시적인 타겟 큐비트 및 짙은 회색으로 도시된 그 컨트롤 큐비트들을 구비함)이다.

[0062] 다른 예들로서, 각각의 도 3b 및 도 3c는 여기에 설명되는 특정한 구현 예들에 따라 서로 실질적으로 평행한 다섯의 실질적인 평면 영역들(120) 내에 배열되는 복수의 논리 큐비트들(110)의 사시도를 개략적으로 예시한다. 도 3b 및 도 3c의 사시도들은 모든 논리 큐비트들(110)이 보일 수 있는(예를 들어, 상기 논리 큐비트들(110)이 다른 논리 큐비트(110)에 의해 모호해지지 않는) 방향을 따르고, 상기 논리 큐비트들(110)의 일부 사이에 라인들을 포함하며, 상기 라인들은 게이트 셀(130)의 논리 큐비트들(110) 사이의 직접적인 상호 작용들의 일부를 나타낸다. 도 3b에서, 각 논리 큐비트(110)는 그 평면내의 최근접 이웃 논리 큐비트들(110), 그 평면간의 최근접 이웃 논리 큐비트들(110) 및 그 평면간의 다음의 최근접 이웃 논리 큐비트들(110)과 직접적으로 상호 작용하도록 구성되며, 도 3b의 게이트 셀(130)은 $C^{34}NOT$ 게이트 셀 또는 $C^{34}\phi$ 게이트 셀(예를 들어, 흑색으로 도시한 예시적인 타겟 큐비트 및 짙은 회색으로 도시한 그 컨트롤 큐비트들을 구비하는)이다. 도 3c에서, 각 논리 큐비트들(110)은 그 평면내의 최근접 이웃 논리 큐비트들(110), 그 평면간의 최근접 이웃 논리 큐비트들(110), 그 평면내의 다음의 최근접 이웃 논리 큐비트들(110) 및 그 평면내의 다음다음의 최근접 이웃 논리 큐비트들(110)과 직접적으로 상호 작용하도록 구성된다. 도 3c의 게이트 셀(130)은 $C^{94}NOT$ 게이트 셀 또는 $C^{94}\phi$ 게이트 셀(예를 들어, 흑색으로 도시한 예시적인 타겟 큐비트 및 짙은 회색으로 도시한 그 컨트롤 큐비트들을 구비하는)이다. 도 3a-도 3c의 예시적인 배치들은 여기에 설명되는 특정한 구현 예들에 따라 "슈퍼 파이로클로르" 셀들(예를 들어, 3층의 규칙적인 육각형 원자 격자 내의 21-큐비트 $C^{20}NOT/C^{20}\phi$ 게이트(130); 5층의 규칙적인 육각형 원자 격자 내의 35-큐비트 $C^{34}NOT/C^{34}\phi$ 게이트(130); 5층의 규칙적인 육각형 원자 격자 내의 95-큐비트 $C^{94}NOT/C^{94}\phi$ 게이트(130))을 형성하기 위해 육각형 셀인 N-층 광학 격자들에 의해 형성되는 중성(예를 들어, 리드베르크) 원자 트랩들을 이용하여 가능한 동시 연결(예를 들어, 얽힘)의 유리하게 증가된 정도를 예시한다.

[0063] 도 4a-도 4b, 도 5a-도 5c 및 도 6a-도 6d는 여기에 설명되는 특정한 구현 예들에 따라 다중의 실질적인 평면 영역들(120)의 논리 큐비트들(110) 사이의 다른 상대적인 변위들을 구비하는 예시적인 시스템(110)의 일부들을 개략적으로 예시한다. 도 4a 및 도 4b는 여기에 설명되는 특정한 구현 예들에 따라 각기 대응되는 복수의 논리 큐비트들(110a, b, c)을 포함하는 셋의 평면 영역들(120a, b, c)을 구비하는 예시적인 시스템(100)의 일부의 상면도(예를 들어, z-축을 따름) 및 사시도를 각기 개략적으로 예시한다. 각각의 상기 평면 영역들(120) 내의 상기 논리 큐비트들(110)은 실질적으로 육각형의 2D 패턴으로 배열되며, 상기 평면 영역들(120)은 서로 실질적으

로 평행하다. 도 4a 및 도 4b의 육각형의 규칙적인 격자 어레이에서, 상기 3D 구성들은 인접하는 평면 영역들(120) 내의 큐비트들 사이에 직교하는 연결들을 포함한다. 도 4a 및 도 4b에서, 상기 논리 큐비트들(110)(실질적인 평면 영역(120)의)은 이웃하는 실질적인 평면 영역(120)의 상기 논리 큐비트들(110)로부터 상기 평면 영역(120)에 실질적으로 평행한 방향을 따라 실질적으로 배치되지는 않는다. 예를 들면, 도 4a에 도시한 바와 같이, 가장 상부의 평면 영역(120a)의 논리 큐비트들(110a)은 상기 논리 큐비트들(110b, c)이 상기 논리 큐비트들(110a)에 의해 모호해지면서 상기 논리 큐비트들(110a)이 상부로부터 보일 수 있도록(예를 들어, 상기 z-축을 따라) 다른 둘의 평면 영역들(120b, c) 내의 대응되는 논리 큐비트들(110b, c)과 정렬된다. 도 4a 및 도 4b의 이러한 예시적인 시스템(100)은 도 2a 도 2b의 경우(예를 들어, 예시적인 21-큐비트 $C^{20}NOT/C^{20}\phi$ 게이트들(130)이 실질적으로 서로 동일한 상기 평면내의 nn 거리 d_1 및 상기 평면간의 거리 d_2를 가지며, 각 논리 큐비트(110)가 그 평면내의 최근접 이웃 논리 큐비트들(110), 그 평면간의 최근접 이웃 논리 큐비트들(110) 및 그 평면간의 다음의 최근접 이웃 논리 큐비트들(110)과 직접적으로 상호 작용하도록 구성되는)에 대응된다.

[0064] 도 5a 및 도 5b는 여기에 설명되는 특정한 구현 예들에 따라 각기 대응되는 복수의 논리 큐비트들(110a, b, c)을 포함하는 셋의 평면 영역들(120a, b, c)을 구비하는 다른 예시적인 시스템(110)의 일부의 상면도(예를 들어, z-축을 따름) 및 사시도를 각기 개략적으로 예시한다. 각각의 상기 평면 영역들(120) 내의 상기 논리 큐비트들(110)은 실질적으로 육각형의 2D 패턴으로 배열되며, 상기 평면 영역들(120)은 서로 실질적으로 평행하다. 도 5a-도 5c의 선택적인 육각형 격자 어레이에서, 상기 3D 구성들은 인접하는 평면 영역들(120) 내의 큐비트들 사이에 직교하지 않는 연결들을 포함하며, 이와 같은 선택적인 구성은 상기 광학 격자를 위한 최적의 접근 각도 선택들의 공학적 교환 영역을 확장시킨다. 도 5a 및 도 5b에서, 실질적인 평면 영역(120)의 큐비트들(110)은 인접하는 실질적인 평면 영역들(120)의 논리 큐비트들(110)로부터 상기 평면 영역들(120)에 실질적으로 평행한 방향을 따라 배치(예를 들어, 오프셋)된다.

[0065] 예를 들면, 도 5a 및 도 5b에 도시된 바와 같이, 상기 논리 큐비트들(110a)은 $\delta_1 = d_1\sqrt{3}/2$의 변위 크기로 상기 y-축을 따른 방향(예를 들어, 상기 x-축 및 z-축에 직교하는; 도 5a에서 파선의 양쪽 화살표로 도시한)으로 상기 논리 큐비트들(110b)에 대해 변위되지만, 상기 논리 큐비트들(110c)은 상기 논리 큐비트들(110a)에 의해 모호해지면서 상기 평면 영역들(120a, b)의 상기 논리 큐비트들(110)(110a, b)이 상부로부터 보일 수 있도록(예를 들어, 상기 z-축을 따라) 상기 논리 큐비트들(110c)과 정렬된다. 도 5c는 도 5b의 경우와 유사한 사시도를 개략적으로 예시하며, 여기서 상기 평면간의 거리 d_2가 $d_1\sqrt{3}/2$와 실질적으로 동일하도록 상기 평면내의 nn 거리 d_1 및 상기 평면간의 최근접 이웃 큐비트들 사이의 거리는 사로 실질적으로 동일하고, 각 논리 큐비트(110)는 여기에 설명되는 특정한 구현 예들에 따라 그 평면내의 최근접 이웃 논리 큐비트들(110), 그 평면간의 최근접 이웃 논리 큐비트들(110), 그 평면내의 다음의 최근접 이웃 논리 큐비트들(110), 그 평면간의 다음의 최근접 이웃 논리 큐비트들(110), 그리고 그 평면간의 다음다음의 최근접 이웃 논리 큐비트들(110)과 직접적으로 상호 작용하도록 구성된다. 도 5c에 도시된 바와 같이, 예시적인 23-큐비트 $C^{22}NOT/C^{22}\phi$ 게이트들(130)은 타겟 큐비트(흑색) 및 22의 컨트롤 큐비트들(짙은 회색)을 가진다.

[0066] 도 6a 및 도 6b는 여기에 설명되는 특정한 구현 예들에 따라 각기 대응되는 복수의 논리 큐비트들(110a, b, c)을 포함하는 셋의 평면 영역들(120a, b, c)을 구비하는 또 다른 예시적인 시스템(110)의 일부의 상면도(예를 들어, z-축을 따름) 및 사시도를 개략적으로 예시한다. 각각의 상기 평면 영역들(120) 내의 상기 논리 큐비트들(110)은 실질적으로 육각형의 2D 패턴으로 배열되며, 상기 평면 영역들(120)은 서로 실질적으로 평행하다. 도 6a 및 도 6b에서, 실질적인 평면 영역(120)의 논리 큐비트들(110)은 인접하는 실질적인 평면 영역(120)의 논리 큐비트들(110)로부터 상기 평면 영역들(120)에 실질적으로 평행한 방향을 따라 변위된다. 예를 들면, 도 6a 및 도 6b에 도시된 바와 같이, 상기 논리 큐비트들(110a)은 $\delta_2 = d_12$의 변위 크기로 x-축을 따른 방향(예를 들어, 상기 y-축 및 z-축에 직교하는; 도 6a에서 파선의 양쪽 화살표로 도시된)으로 상기 논리 큐비트들(110b)에 대해 변위되지만, 상기 논리 큐비트들(110c)이 상기 논리 큐비트들(110a)에 의해 모호해지면서, 상기 평면 영역들(120a, b)의 상기 논리 큐비트들(110a, b)이 상부로부터 보일 수 있도록(예를 들어, 상기 z-축을 따라) 상기 논리 큐비트들(110c)과 정렬된다. 도 6c는 도 6b의 경우와 유사한 사시도를 개략적으로 예시하며, 여기서 상기 평면간의 거리 d_2가 $d_1\sqrt{3}/2$와 실질적으로 동일하도록 상기 평면내의 nn 거리 d_1 및 상기 평면간의 최근접 이웃 큐비트들 사이의 거리는 실질적으로 서로 동일하고, 각 논리 큐비트(110)는 여기에 설명되는 특정한 구현 예들에 따라 그 평면내의 최근접 이웃 논리 큐비트들(110), 그 평면간의 최근접 이웃 논리 큐비트들(110), 그 평면내의 다음의 최근접 이웃 논리 큐비트들(110), 그 평면간의 다음의 최근접 이웃 논리 큐비트들(110) 및 그 평면간의

다음다음의 최근접 이웃 논리 큐비트들(110)과 직접적으로 상호 작용한다. 도 6c에 도시된 바와 같이, 예시적인 25-큐비트 $C^{24}NOT/C^{24}\phi$ 게이트(130)는 타겟 큐비트(흑색) 및 24의 컨트롤 큐비트들(짙은 회색)을 가진다.

[0067] 도 6d 및 도 6e는 각기 여기에 설명되는 특정한 구현 예들에 따라 각기 대응되는 복수의 논리 큐비트들(110a, b, c)을 포함하는 셋의 평면 영역들(120a, b, c)을 구비하는 또 다른 예시적인 시스템(110)의 일부의 상면도(예를 들어, z-축을 따름) 및 사시도를 개략적으로 예시한다. 각각의 상기 평면 영역들(120) 내의 상기 논리 큐비트들(110)은 실질적으로 육각형의 2D 패턴으로 정렬되며, 상기 평면 영역들(120)은 서로 실질적으로 평행하다. 도 6d 및 도 6e에서, 상기 실질적인 평면 영역(120)의 논리 큐비트들(110)은 상기 인접하는 실질적인 평면 영역(120)의 논리 큐비트들(110)로부터 상기 평면 영역들(120)에 실질적으로 평행한 방향을 따라 이동된다. 예를 들면, 도 6d 및 도 6e에 도시된 바와 같이, 상기 논리 큐비트들(110a)은 d_1과 실질적으로 동일한 변위 크기 δ_3으로 상기 논리 큐비트들(110b)에 대해 이동되며, 크기 $\delta_1=d_1\sqrt{3}/2$를 가지는 이들의 축을 따른 제1 성분 및 크기 $\delta_2=d_1/2$를 가지는 상기 x-축을 따른 제2 성분을 가진다. 상기 논리 큐비트들(110a)은 상기 논리 큐비트들(110b, c)이 도 6d에서 상기 논리 큐비트들(110a)에 의해 모호해지도록 상기 논리 큐비트들(110b, c)과 정렬된다.

[0068] 도 6f는 여기에 설명되는 특정한 구현 예들에 따라 도 6e의 경우와 유사한 사시도를 개략적으로 예시하며, 여기서 상기 평면내의 nn 거리 d_1 및 상기 평면간의 최근접 이웃 큐비트들 사이의 거리는 상기 평면들 사이의 평면간의 거리(예를 들어, 분리) $d_2=d_1\sqrt{3}/2$가 되도록 서로 실질적으로 동일하고, 각 논리 큐비트(110)는 그 평면내의 최근접 이웃 논리 큐비트들(110), 그 평면간의 최근접 이웃 논리 큐비트들(110), 그 평면내의 다음의 최근접 이웃 논리 큐비트들, 그 평면간의 다음의 최근접 이웃 논리 큐비트들(110), 그리고 및 그 평면간의 다음다음의 최근접 이웃 논리 큐비트들(110)과 직접적으로 상호 작용하도록 구성된다. 도 6f에 도시된 바와 같이, 예시적인 21-큐비트 $C^{20}NOT/C^{20}\phi$ 게이트(130)는 타겟 큐비트(흑색으로 도시됨) 및 20의 컨트롤 큐비트들을 가진다. 이러한 예들 및 앞서의 모든 예들에서, 모든 논리 큐비트들(110a, b, c)이 보일 수 있고, 개별적으로 어드레싱 가능하며, 개별적으로 검출 가능한 각도들이 존재한다.

[0069] 도 5a-도 5c 및 도 6a-도 6f는 상기 평면 영역들(120)의 논리 큐비트들(110) 사이의 예시적인 방향들과 크기들을 가지는 예시적인 변위들을 개략적으로 도시한다. 다른 특정한 구현 예들은 다른 방향들로 변위들을 가지거나(예를 들어, 상기 x-축 및 y-축 모두를 따르는 크기를 가짐) 및/또는 다른 크기들(예를 들어, 1/2 셀 폭; 1/3 셀 폭)을 가진다. 다른 특정한 구현 예들은 상이한 평면간의 거리들 d_2를 가진다. 예를 들면, 평면 영역들(120) 사이의 분리는 상기 이웃하는 평면 영역들(120)에 걸쳐 최근접 논리 큐비트들(110) 사이의 수직으로부터의 각도에 따라 감소될 수 있다(예를 들어, $d_1/2$; $2\cdot d_1/3$; $3\cdot d_1/4$; $0.85\cdot d_1$과 동일한 d_2). 또한, 도 5a-도 5c 및 도 6a-도 6f는 2D의 실질적으로 육각형의 패턴들을 가지는 예시적인 시스템들(100)을 개략적으로 도시하지만, 다른 2D 패턴들도 여기에 설명되는 특정한 구현 예들과 호환될 수 있다.

[0070] 특정한 구현 예들에서, 상기 제1의 복수의 논리 큐비트들(110a)은 개별적으로 어드레싱 가능하고 실질적으로 평면의 제1 광학 격자 내에 배열되며, 상기 제2의 복수의 논리 큐비트들(110b)은 개별적으로 어드레싱 가능하고 상기 제1 광학 격자와 실질적으로 평행한 실질적인 평면의 제2 광학 격자 내에 배열되며, 상기 제3의 복수의 논리 큐비트들(110c)은 개별적으로 어드레싱 가능하고 상기 제2 광학 격자와 실질적으로 평행한 실질적인 평면의 제3 광학 격자 영역 내에 배열된다. 특정한 구현 예들에서, 상기 시스템(100)은 상기 제3의 실질적인 평면 영역(120c)과 실질적으로 평행한 적어도 하나의 추가적인 실질적인 평면 영역(120) 내에 적어도 하나의 추가적인 복수의 논리 큐비트들(110)을 포함하며, 상기 적어도 하나의 추가적인 복수의 논리 큐비트들(110)은 서로 상호 작용하거나 및/또는 상기 제3의 복수의 논리 큐비트들(110c) 중의 적어도 일부와 상호 작용하도록 구성되고, 여기서 상기 적어도 하나의 추가적인 복수의 논리 큐비트들(110)은 개별적으로 접근 가능하다. 예를 들면, 복수들의 큐비트들의 실질적으로 평행한 광학 격자들의 숫자는 제4 광학 격자, 제5 광학 격자, 제6 광학 격자, 제7 광학 격자 등을 더 포함할 수 있다. 상기 복수의 구속 영역들은 상기 제3 광학 격자와 실질적으로 평행한 적어도 하나의 추가적인 광학 격자 내에 배열되는 적어도 하나의 추가적인 구속 영역을 더 포함할 수 있으며, 상기 적어도 하나의 추가적인 광학 격자는 상기 적어도 하나의 추가적인 복수의 논리 큐비트들을 포함한다.

[0071] 예를 들면, 도 7a-도 7e는 여기에 설명되는 특정한 구현 예들에 따라 다중의 2D 평면 광학 트랩 영역들 사이에 형성되고, 복수의 어드레싱 레이저 광속들(210)을 가지는 예시적인 다중 큐비트 게이트 셀(130)(예를 들어, 중심 내의 타겟 큐비트 및 다른 곳의 컨트롤 큐비트들을 구비하는 파이로클로르 구성 내에 21의 큐비트들(110)을

가지는 C^{20}NOT 게이트 셀 또는 $C^{20}\phi$게이트 셀)의 다양한 도면들을 개략적으로 예시한다. 도 7a는 상기 다중 큐비트 게이트 셀(130)의 다층 격자 구조의 원자 큐비트들을 도시한다. 도 7a에서 상기 큐비트들(110) 사이의 라인들은 상기 큐비트들(110) 사이의 얽힘의 일부만을 나타내며, 상기 큐비트들(110) 사이의 다른 얽힘을 나타내는 라인들은 명확성을 위해 생략된다. 도 7b는 원자들을 개별적으로 조명하도록 구성되는 상기 어드레싱 레이저 광속들(210)(예를 들어, 광학 포트들(212)로부터 방출되는) 중의 일부만으로 이러한 다중 큐비트 게이트 셀(130)을 도시하며, 원자들을 포함하는 광학 전위 우물들을 생성하는 트래핑 레이저 광속들(220)의 어레이들은 명확성을 위해 생략된다. 도 7c 및 도 7d에 도시한 바와 같이, 각각의 상기 어드레싱 레이저 광속들(210)은 상기 다중 큐비트 게이트 셀(130)의 단일의 원자를 조명한다. 2D 도면들의 제한은 그 자체의 하나의 예시가 단일의 레이저 광속이 하나 이상의 원자와 교차하는 것으로 나타나게 할 수 있는 점이다. 그러나, 상기 레이저 광속들(210)은 교번되는 로우들로 배열되며, 투명한 것으로 예시된다. 그 결과, 다중의 레이저 광속들(210) 사이 또는 후방에 있는 원자는 사실상 각 원자가 많아야 하나의 어드레싱 레이저 광속에 의해 교차될 때에 하나의 원자를 다중의 레이저 광속들 내에 나타나게 만들 수 있거나, 하나의 레이저 광속이 다중의 원자들과 교차되게 나타나도록 만들 수 있는 방식으로 처리되지 않은 빔들을 "통해" 보일 수 있다. 여기에 설명되는 특정한 구현 예들은 보다 많은 큐비트들(110)이 단일의 네이티브 게이트 동작에 참가할 수 있도록 최근접의 이웃하는 것들, 다음 최근접의 이웃하는 것들, 다음다음의 최근접의 이웃하는 것들 등과 최대 숫자의 큐비트들을 동시에 얽히게 하도록 구성된다. 각 게이트 셀의 잠재적인 처리 능력이 각 게이트 동작에 동시에 참가하는 큐비트들(110)의 숫자로 기하급수적으로 증가하기 때문에, 여기에 설명되는 특정한 구현 예들의 처리 능력도 전체적으로 증가한다. 상기 게이트 구조들 및 특정한 구현 예들의 배치의 동적인 재구현성 역시 크게 향상된다.

[0072] 도 8a-도 8e는 여기에 설명되는 특정한 구현 예들에 따른 트래핑 레이저 광속들(220)의 다양한 도면들을 개략적으로 예시한다. 도 8a-도 8d의 이들 예시적인 구현 예들은 교차하는 트래핑 광학 빔들(220)(예를 들어, 광학 포트들(222)로부터 방출되는 트래핑 레이저 광속들) 내에 또는 사이에 형성되는 전위 우물들의 3D 광학 격자들(예를 들어, I. Bloch의 "Nature Physics 1"(23(2005) 참조) 내에 포획되는 중성(예를 들어, 대전되지 않은) 리드베르크 원자들을 활용한다. 여기에 설명되는 특정한 구현 예들에서, 원자들은 공동 정렬되고 교차되는 광학 빔들(예를 들어, 도 8a 및 도 8b 참조) 사이의 격자 공간들 내에 형성되는 최소의 전위 에너지(예를 들어, 영(null)) 영역들 내에 포획되지만, 특정한 다른 실시예들에서 원자들은 교차하는 광학 빔들(예를 들어, 도 8c 및 도 8d 참조) 내에 포획될 수 있다. 교차하는 트래핑 광학 빔들(220) 내의 이러한 트래핑은 S.E. Anderson 등의 "Phys. Rev. Lett. 107"(263001(2011)); 및 T.M. Graham 등의 "Phys. Rev. Lett. 123"(230501(2019))에 기재되어 있다.

[0073] 도 8a-도 8e는 최근접 이웃 큐비트들(110) 사이의 8미크론 내지 11미크론의 범위 내의(예를 들어, 12미크론 보다 작은) 격자 간격들을 채용한다. |101S>; |109S>세슘(Cs)의 리드베르크 전이들(예를 들어, 77K, 300K, 또는 일부 다른 온도까지 냉각되는)이 활용되는 예들에서, 통상적인 8미크론의 격자 셀 크기는 기준 데이터 곡선들에 기초하여 특정한 다중 제어 양자 게이트 동작들을 위한 최적의 값들의 범위 이내에 있다. 이러한 특정한 구현 예들은 여기에 설명되는 특정한 구현 예들에 따른 설계 가능성과 설계 이점들 모두를 제공할 수 있다.

[0074] 특정한 구현 예들에서, 교대되는 칼럼들 내에 배열되는 원자 큐비트들은 인접하는 평면들 사이의 시차 오프셋들(예를 들어, x 또는 y를 따른 1/2 셀 오프셋 간격, x 또는 y를 따른 1/3 셀 오프셋 간격, x 및 y를 따른 1/4 x 1/4 셀 오프셋 간격)로 교대되는 평면들 내에 있을 수 있으며, 이는 전체적으로 연결되고 얽힌 원자 큐비트들의 규칙적인 육각형 프리즘 구성들의 형성을 가능하게 할 수 있고, 특정한 도면들로부터 볼 수 있는 기울어진 육각형 프리즘 구성들을 가능하게 할 수 있다. 예를 들면, 상기 교차하는 트래핑 레이저 광속들(220)은 상기 교차하는 트래핑 레이저 광속들(220)의 3D 교차들이 직교에 가까울 수 있도록 기준 평면(예를 들어, 수평한; x-y 평면)에 대하여 상기 예시적인 양자 컴퓨팅 시스템(예를 들어, z-축, y=0을 향해 +18.5도 x-축을 따라 배열되는 트래핑 레이저 광속들(220)의 제1 어레이, y-축, z=0을 향해 +60도 x-축을 따라 배열되는 트래핑 레이저 광속들(220)의 y=0 교차하는 제2 어레이)의 높이 z(예를 들어, 수직 차원)와 함께 평면 기준의 길이 x 및 폭 y(예를 들어, 수평 차원들)로서 정의될 수 있는 좌표계에 대하여 복합 각도들을 형성할 수 있다. 상기 트래핑 레이저 광속들(220) 사이에 형성되는 전위 우물들은 특정 각도들로 관찰될 때에 평면 내에서 실질적으로 대칭이 될 수 있으며(예를 들어, 정사각형이나 다이아몬드 형상인 단면들을 가짐), 이는 실질적으로 균일한 전위 우물들(예를 들어, 안장 형상의 우물들; 안장점(saddle point)들)을 생성할 수 있다. 예를 들면, 도 8b 및 도 8d에서, 상기 트래핑 레이저 광속들(220)의 제1 및 제2 어레이들은 특정한 관점들에서 직사각형 또는 사다리꼴로 나타날 수 있다. 그러나, 도 8b 및 도 8d에 수평하게 도시된 트래핑 레이저 광속들의 제1 및 제2 어레이들의 교차점들이 특정한 접근 각도들로부터 비스듬하게 관찰될 경우에 거의 직교하게 나타나도록 도 8b 및 도 8d에서 왼

쪽 하부로부터 오른쪽 상부까지 경사지게 나타나는 트래핑 레이저 광속들(220)도 상기 3D 구조 내에서 아래로 경사질 수 있다. 특정한 구현 예들에서, 상기 원자 구속 구조는 평면들에 걸친 규칙적인 육각형의 프리즘들(예를 들어, 도 1a, 도 1b, 도 1d에 도시된 바와 같은)을 형성할 수 있고, 다른 특정한 구현 예들에서, 원자 대 원자의 기하학적 구조는 비스듬한 육각형 프리즘 구성들을 형성하도록 기울어지거나 경사지게 나타날 수 있다. 특정한 구현 예들에서, 상기 광학 빔 교차점들은 다양한 관점들과 각도들에서 직교하지 않는 것으로 나타날 수 있지만, 특정한 구현 예들의 각진 3D 격자 구조는 큐비트들의 최적의 어드레싱 및 판독(예를 들어, 검출)을 위해 이들 각도로부터 관찰될 때에 원자들 사이에 최대의 공간 분리가 가능하도록 설계된다.

[0075] 도 9a-도 9b는 여기에 설명되는 특정한 구현 예들에 따라 트래핑 레이저 광속들(220)의 교차하는 어레이들에 의해 생성되는 3층의 10 x 10 원자 트랩 격자의 사시도를 개략적으로 예시한다. 도 9c는 도 9a-도 9b의 구조의 상면도를 개략적으로 예시한다. 또한, 여기에 설명되는 특정한 구현 예들에 따른 어드레싱 레이저 광속들(210)의 셋의 얽힌 어레이들이 도시된다.

[0076] 도 10a는 여기에 설명되는 특정한 구현 예들에 따라 세 세트들의 어드레싱 레이저 광속들(210a, b, c) 및 트래핑 레이저 광속들(220a, b)의 둘의 교차하는 어레이들을 구비하는 3층의 10 x 10 원자 격자를 포함하는 부분적으로 조립된 QC 시스템(100)의 사시도를 개략적으로 도시한다. 또한, 도 10a에는 상기 어드레싱 레이저 광속들(210a, b, c)이 이들을 통해 연장되는 광학 포트들(214a, b, c), 상기 트래핑 레이저 광속들(220a, b)을 방출하는 광섬유 포트들(222a, b), 광학적 트랩 구성(상기 광학적 트랩 구성의 일부로서 전기장을 발생시키도록 구성되는 전극들(234)이 도 10a에 도시됨)의 일부로서 자기장을 발생시키도록 구성되는 자기장 소스(230), 그리고 대응되는 광 검출기 포트들(242a, b)을 통해 상기 큐비트들로부터 형광을 수신하고 검출하도록 구성되는 제1 및 제2 광 검출기들(240a, b)(예를 들어, CCD 검출기 어레이)이 도시된다. 도 10b-도 10d는 여기에 설명되는 특정한 구현 예들에 따라 도 10a의 세 세트들의 어드레싱 레이저 광속들(210a, b, c) 및 트래핑 레이저 광속들(220a, b)의 둘의 교차하는 어레이들의 다른 방향들로부터의 다른 도면들을 도시한다.

[0077] 도 10a-도 10d에는 세 세트들의 어드레싱 레이저 광속들(210a, b, c)을 가지는 예시적인 QC 시스템(100)이 개략적으로 도시되지만, 다른 특정한 구현 예들에서는 상기 QC 시스템(100)은 넷 또는 보다 많은 세트들의 어드레싱 레이저 광속들(210)을 포함할 수 있다. 예를 들면, 도 10e는 여기에 설명되는 특정한 구현 예들에 따라 네 세트들의 어드레싱 레이저 광속들(210a, b, c, d) 및 트래핑 레이저 광속들(220a, b)의 둘의 교차하는 어레이들을 구비하는 3층의 10 x 10 원자 격자를 포함하는 다른 부분적으로 조립된 QC 시스템(100)을 개략적으로 예시한다. 도 10f-도 10h는 여기에 설명되는 다른 특정한 구현 예들에 따라 도 10e의 네 세트들의 어드레싱 레이저 광속들(210a, b, c, d) 및 트래핑 레이저 광속들(220a, b)의 둘의 교차하는 어레이들의 다른 방향들로부터의 다른 도면들을 도시한다.

[0078] 여기에 설명되는 바에 있어서, 상기 x-y 평면 내에 놓이는 모든 방향들은 0도의 고도로(예를 들어, 수평한) 정의되며, x 및 y에 직교하는(예를 들어, 수직한) 방향은 z로 정의된다. 또한, 상기 y를 따른 방향은 0도의 방위각(예를 들어, z에 대한 회전)으로 정의되며, 0도 방위각, 0도 고도의 방향은 (0°, 0°)로 나타난다. 예를 들면, 여기에 설명되는 특정한 구현 예들에서, 레이저 어레이들은 도 10a-도 10c에서 교차되게 배향될 수 있고(예를 들어, (0°, 0°)에서의 트래핑 레이저 광속들(220a), (90°, +20°)에서의 트래핑 레이저 광속들(220b)), 레이저들(220a)의 로우들은 트래핑 레이저 빔들(220a, 220b)의 교차점들이 상기 x-y 평면으로부터 +20로 경사지게 평면 내에 놓이는 2D 격자를 형성하도록 +20도의 단면 기울기(예를 들어, 고도)로 배열될 수 있다. 이러한 특정한 구현 예들에서, 상기 실질적으로 직교하게 교차하는 레이저들에 의해 형성되는 트래핑 셀들은 실질적으로 정사각형의 형상이 될 수 있다((293.5°, +53.5°)에서의 어드레싱 레이저 광속들(210a), (246.5°, +53.5°)에서의 어드레싱 레이저 광속들(210b) 및 (71.5°, +58°)에서의 어드레싱 레이저 광속들(210c)). 여기에 설명되는 특정한 다른 구현 예들에서, 상기 트래핑 레이저 빔들의 교차점들은 다중 어드레싱 레이저 각도들이 상기 3D 격자 내의 각 큐비트 내에 각 큐비트에 대해 개별적으로 어드레싱 가능하게 하는 것을 유지하면서, 보다 많은 평면의 큐비트 격자 어레이들의 추가가 가능하도록 다이아몬드 형상 또는 마름모 형상인 트래핑 셀들을 형성하기 위해 다른 각도들로 유리하게 배열될 수 있다. 예를 들면, 설명되기에 간단한 다른 구현 예에서, 트래핑 레이저 빔들(220a)은 (30°, 0°)로 배열될 수 있고, 트래핑 레이저 빔들(220b)은 (0°, 60°), (120°, 60°), (240°, 60°)에서의 어드레싱 레이저들로 (90°, +20°)로 배열될 수 있다. 도 10b에 도시한 바와 같은 이러한 각도들의 특정한 결합이 시각적 명료성; 수직에 가깝게 나타나는 각도들로 나타나는 어드레싱 레이저 광속들(210)의 셋의 간결한 어레이들에 대한 측방으로 배향되는 것으로 나타나는 트래핑 레이저 광속들(220)의 둘의 간결한 어레이들(예를 들어, 클러스터들; 뱅크(bank)들)의 용이한 구별을 위해 선택되는 점에 유의한다. 여기에 설명되는 다른 특정한 구현 예들에 따라 유사하게 어드레싱을 위한 시정들에 대한 가능성들을 최적화하

고, 개개의 큐비트들을 검출하면서, 다른 예들은 3D 구조 내에 격자 레이저들의 실질적으로 직교하는 교차점들을 형성하는 복합 각도들의 선택적인 결합들을 활용할 수 있다.

[0079] 도 11a는 여기에 설명되는 특정한 구현 예들에 따라 상기 제1 광 검출기 포트(242a)를 통해 관찰되는 도 9a-도 9c 및 도 10a-도 10d의 3층의 10 x 10 3D 원자 격자의 도면을 개략적으로 예시한다. 이러한 관점으로부터, 다차원의 다중 큐비트 격자 어레이들 중의 각 원자는 하나의 전용 광학 어드레싱 빔에 의해 처리될 때에 각 원자의 상태가 개별적으로 검출될 수 있고, 구별될 수 있도록 상기 제1 광 검출기(240a)에 별도로 보일 수 있다. 도 11b는 도 11a의 구조의 측부 단면도를 개략적으로 예시한다. 도 11a에는 3층의 10 x 10 3D 원자 격자들이 도시되지만, 다른 원자 격자들도 상기 격자 구조 위 및 아래의 최적의 접근 각도들로부터 상기 격자 내의 각 원자가 별도로 개별적으로 다루어지고 보이게(예를 들어, 상기 제1 광 검출기(242a)에 의해 검출되게) 구성될 수 있다. 예를 들면, 컴퓨터 이용 설계(computed aided design: CAD) 및 분석이 다른 원자 격자들을 위한 다른 이러한 구성들을 확인하는 데 이용될 수 있다. 이러한 특정한 구현 예들은 보다 많은 큐비트들이 단일의 네이티브 게이트 동작에 참가할 수 있도록 최근접의 이웃하는 것들, 다음의 최근접의 이웃하는 것들, 다음다음의 최근접의 이웃하는 것들 등의 사이에 동시에 얽힌 최대 숫자의 큐비트들을 가능하게 한다. 또한, 도 11a는 여기에 설명되는 특정한 구현 예들에 따라 게이트 동작들에 영향을 미치는 큐비트들의 어드레싱 및 조작과 판독을 위한 전극 영역들(234), 자기장(예를 들어, B-자계) 소스(230), 검출기 어레이(240)(예를 들어, CCD 카메라 등) 및 광학 빔 포트들(242a, 214a, b, c)을 상대적인 위치를 개략적으로 예시한다.

[0080] 도 12는 여기에 설명되는 특정한 구현 예들에 따라 세 세트들의 어드레싱 레이저 광속들(210a, b, c) 및 트래핑 레이저 광속들(220a, b)의 둘의 교차하는 어레이들을 구비하는 3층의 10 x 10 원자 격자를 포함하는 도 10a의 예시적인 조립된 QC 시스템의 사시도를 개략적으로 예시한다. 또한, 도 12는 상기 제1 광 검출기 포트(242a)(예를 들어, 도 11a에 도시한 바와 같은)를 통한 도면 및 둘의 트래핑 레이저 광속들(210a, b, c)의 교차하는 어레이들의 두 도면들(예를 들어, 도 8e 및 도 9a에 도시한 바와 같은)을 개략적으로 예시한다.

[0081] 도 13은 여기에 설명되는 특정한 구현 예들에 따라 다양한 다중 큐비트 격자 층들을 위해 정해진 게이트에 따라 다양한 다중 큐비트 격자 층들을 위해 정해진 게이트 충실도들로 동시에 얽힐 수 있는 큐비트들의 전체적인 숫자를 비교하는 셋의 표들을 도시한다.

[0082] 본 발명을 제한적이지 않은 여러 구현 예들로 설명하였다. 상술한 구현 예들이 서로 배타적이지 않으며, 하나의 구현 예와 관련되어 설명되는 요소들이 원하는 설계 목적들을 구현하도록 적절한 방식으로 다른 구현 예들과 결합될 수 있거나, 재배열될 수 있거나, 제거될 수 있는 점이 이해되어야 할 것이다. 단일의 특징이나 특징들의 그룹이 각각의 구현 예들에 대해 필수적이거나 요구되는 것은 아니다.

[0083] 본 발명을 요약하기 위한 목적으로 본 발명의 특정 측면들, 이점들 및 새로운 특징들이 여기에 설명된다. 그러나 반드시 모든 이러한 이점들이 임의의 특정한 구현 예에 따라 구현되지 않을 수 있는 점이 이해되어야 할 것이다. 이에 따라, 본 발명은 하나 또는 그 이상의 이점들이 여기에 교시되거나 제시될 수 있는 바와 같은 다른 이점들이 반드시 구현되지는 않는 방식으로 구현되거나 실시될 수 있다.

[0084] 여기에 사용되는 바에 있어서, "일 구현 예", "일부 구현 예들" 또는 "구현 예"에 대한 언급은 상기 구현 예와 관련하여 설명되는 특정한 요소, 특징, 구조 또는 특성이 적어도 하나의 구현 예에 포함되는 것을 의미한다. 본 명세서에의 다양한 단락들에서 "일 구현 예에서"와 같은 표현들의 사용은 이들 모두가 반드시 동일한 구현 예를 지칭하는 것은 아니다. 다른 표현들 중에서 "할 수 있는", "할 수 있었던", "될 수 있었던", "될 수 있는", "예를 들어" 및 이들과 유사한 표현들과 같은 여기에 사용되는 조건부의 표현들은 본문에서 용법이 특히 다르게 기재되거나, 특히 다르게 설명되지 않은 한은 대체로 비록 다른 구현 예들은 포함하지 않을 수 있지만 특정한 구현 예들이 특정한 특징들, 요소들 및/또는 단계들을 포함하여 실시되도록 의도된다. 또한, 본 명세서와 첨부된 특허 청구 범위에서 사용되는 "일" 또는 "한"이나 "하나"와 같은 표현들은 본문에서 다르게 설시되지 않는 한은 "하나 또는 그 이상"이나 "적어도 하나"를 의미하는 것으로 해석되어야 할 것이다.

[0085] "대략", "약", "대체로" 및 "실질적으로"와 같은 표현들과 같이 여기에 사용되는 정도를 나타내는 표현들은 여전히 원하는 기능을 수행하거나 원하는 결과를 이루기 위해 기재된 값, 양, 또는 특성에 가까운 값, 양, 또는 특성을 나타낸다. 예를 들면, "대략", "약", "대체로" 및 "실질적으로"라는 표현들은 기재된 양의 ±10% 이내, ±5% 이내, ±2% 이내, ±1% 이내, 또는 ±0.1% 이내인 양을 지칭할 수 있다. 다른 예로서, "대체로 평행한" 및 "실질적으로 평행한"이라는 표현들은 정확한 평행으로부터 ±10도로, ±5도로, ±2도로, ±1도로, 또는 ±0.1도로 벗어나는 값, 양, 또는 특성을 지칭하며, "대체로 직교하는" 및 "실질적으로 직교하는"이라는 표현들은 정확한 수직으로부터 ±10도로, ±5도로, ±2도로, ±1도로, 또는 ±0.1도로 벗어나는 값, 양, 또는 특성을 지칭한

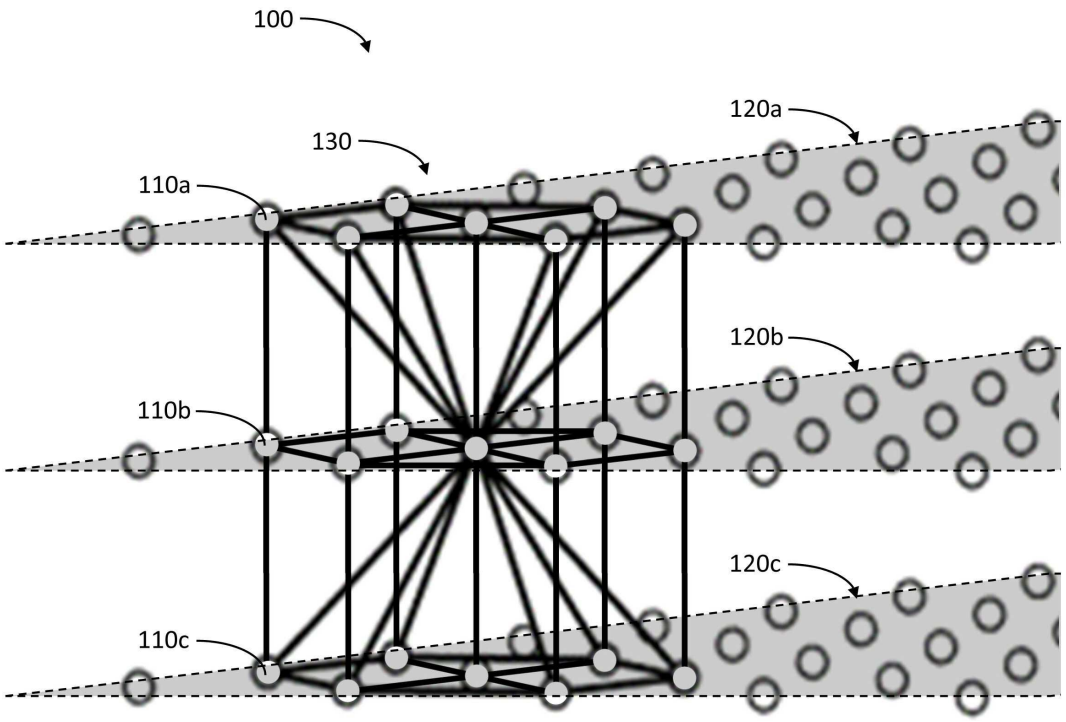
다. 또한, 여기에 개시되는 범위들은 임의의 및 모든 중첩, 하위 범위들 및 이들의 결합들을 포괄한다. "까지", "적어도", "보다 큰", "보다 작은", "사이" 및 이들과 유사한 것들과 같은 표현들은 기재되는 숫자도 포함한다. 여기에 사용되는 바에 있어서, "일", "한" 및 "하나"라는 표현들은 본문에 명확하게 다르게 기재되지 않는 한은 복수의 표현들을 포함한다. 또한, 여기의 설명에서 사용되는 바와 같이, "내에"라는 표현은 본문에 명확하게 다르게 기재되지 않는 한은 "내로" 및 "상에"를 포함한다.

[0086] 여기에 사용되는 바에 있어서, "포함하다", "포함하는", "구비하다", "구비하는", "가지다", "가지는" 또는 이들의 임의의 다른 변형들과 같은 표현들은 제한되지 않는 표현들이며, 배타적이지 않은 포함을 포괄하도록 의도된다. 예를 들면, 열거되는 요소들을 포함하는 프로세스, 방법, 항목, 또는 장치는 반드시 이들 요소들에만 한정되는 것은 아니며, 명확하게 열거되거나, 이러한 프로세스, 방법, 항목, 또는 장치에 고유한 다른 요소들도 포함할 수 있다. 또한, 본문에 특히 상반되게 기재되지 않는 한은 "또는"이라는 표현은 포괄적인 "또는" 및 배타적이지 않은 "또는"을 의미한다. 예를 들면, 조건 A 또는 B는 A가 참이고(또는 존재하고) B가 거짓인(또는 존재하지 않는), A가 거짓이고(또는 존재하지 않고) B가 참인(또는 존재하는), 혹은 A 및 B 모두가 참인(또는 존재하는) 것들 중에서 임의의 하나에 의해 충족된다. 여기에 사용되는 바에 있어서, 항목들의 열거에서 "적어도 하나의"에 대한 언급은 단일의 부재들을 포함하여 이들 항목들의 임의의 결합을 지칭한다. 예로서, "A, B, 또는 C 중의 적어도 하나"는 A, B, C, A와 B, A와 C, B와 C, 그리고 A, B 및 C를 포괄하도록 의도된다. "X, Y 및 Z 중의 적어도 하나"와 같은 결합적인 표현은 본문에 특히 다르게 기재되지 않는 한은 대체로 본문에서 항목, 표현 등이 X, Y, 또는 Z 중의 적어도 하나가 될 수 있는 점을 포괄하도록 사용되는 것으로 이해되어야 한다. 이에 따라, 이러한 결합적인 표현은 대체로 특정한 구현 예들에서 X의 적어도 하나, Y의 적어도 하나 및 Z의 적어도 하나가 각기 존재하는 점을 요구하는 것을 포함하도록 의도되지는 않는다.

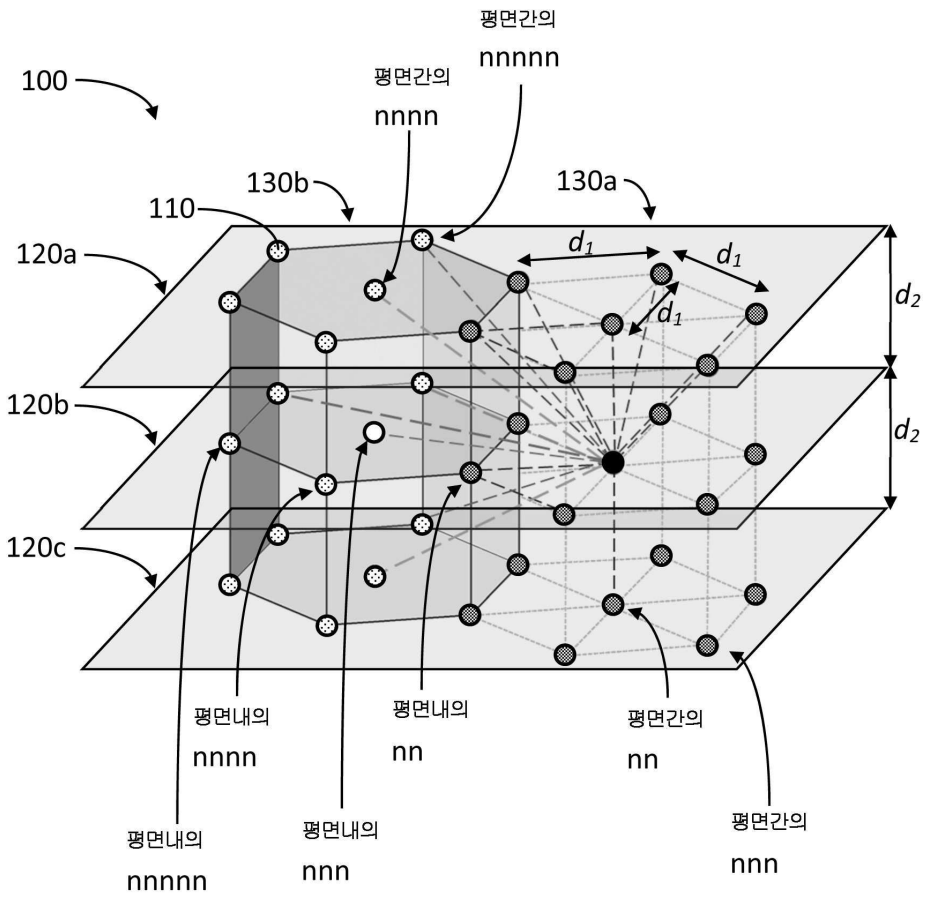
[0087] 이에 따라, 특정한 구현 예들만이 여기에 구체적으로 설시되지만, 본 발명의 사상과 범주로부터 벗어나지 않고 수많은 변경들이 상술한 구현 예들에 대해 이루어질 수 있는 점이 명확하게 이해될 것이다. 또한, 약어들은 단지 본 명세서와 특허 청구 범위의 가독성을 개선하기 위해 사용된다. 이들 약어들이 사용되는 용어들의 일반성을 축소시키도록 의도되는 것은 아니며, 여기에 설시되는 구현 예들에 관련도하여 특허 청구 범위의 범주를 제한하지 않는 것으로 이해되어야 할 것이다.

도면

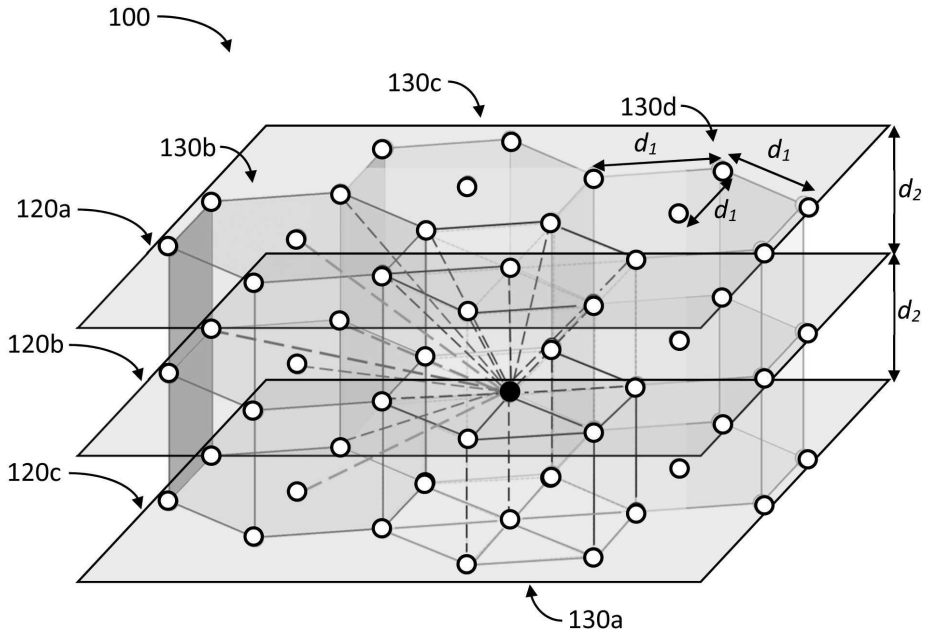
도면1



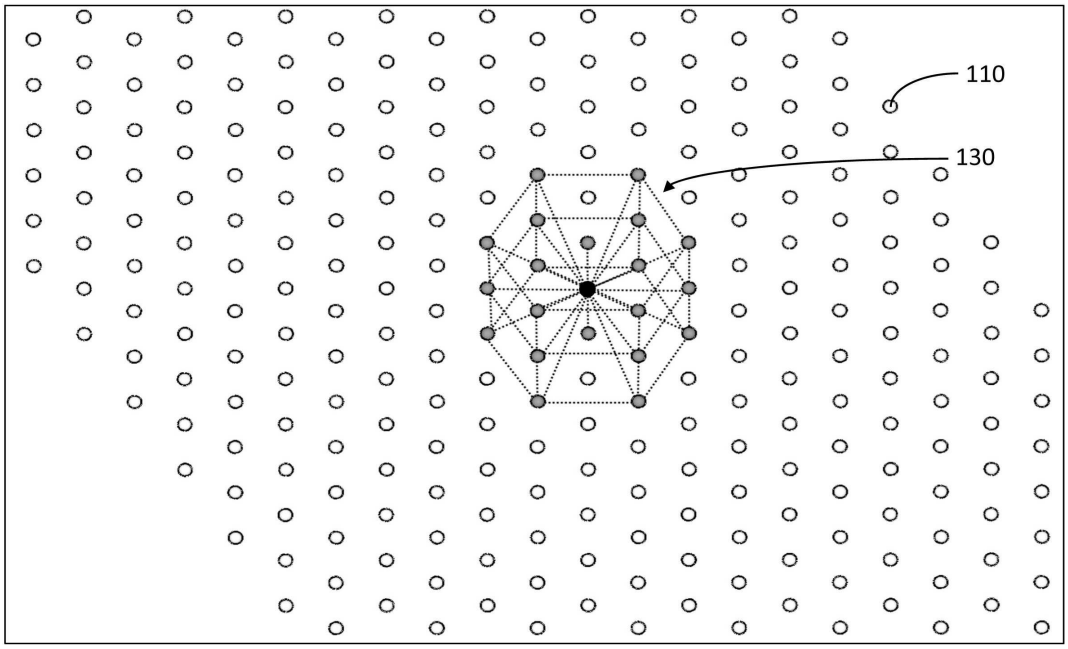
도면2a


100
110
120a
120b
120c
130a
130b
평면간의
nnnnn
평면간의
nnnn
d_1
d_1
d_1
d_2
d_2
평면내의
nnnn
평면내의
nnnnn
평면내의
nnn
평면내의
nn
평면간의
nn
평면간의
nnn

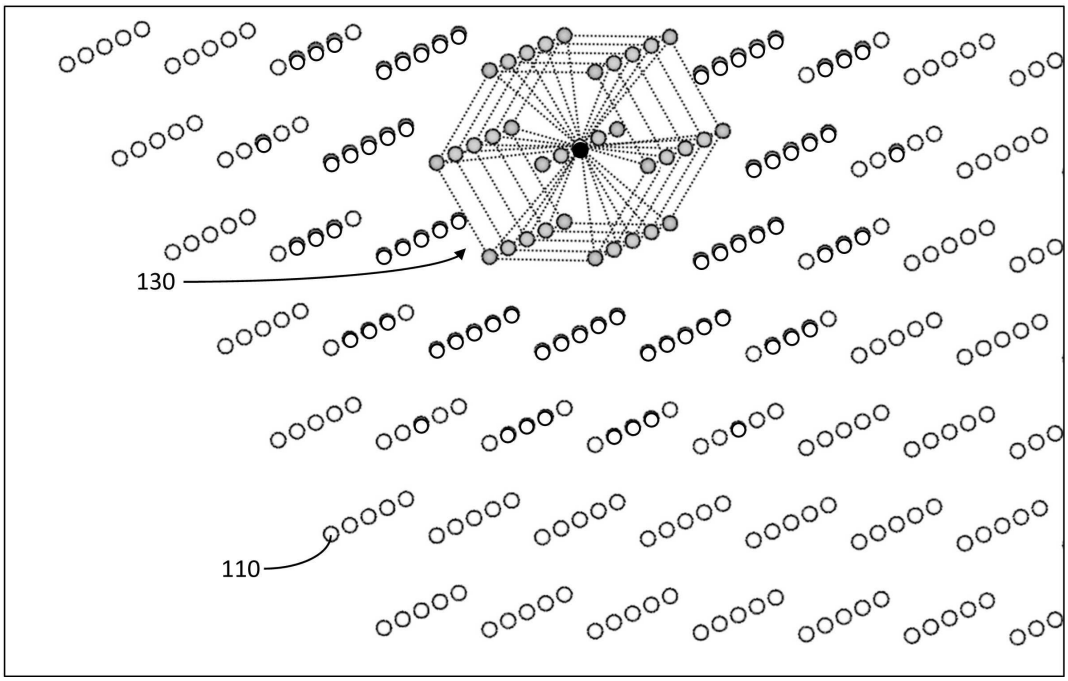
도면2b


100
120a
120b
120c
130a
130b
130c
130d
d_1
d_1
d_1
d_2
d_2

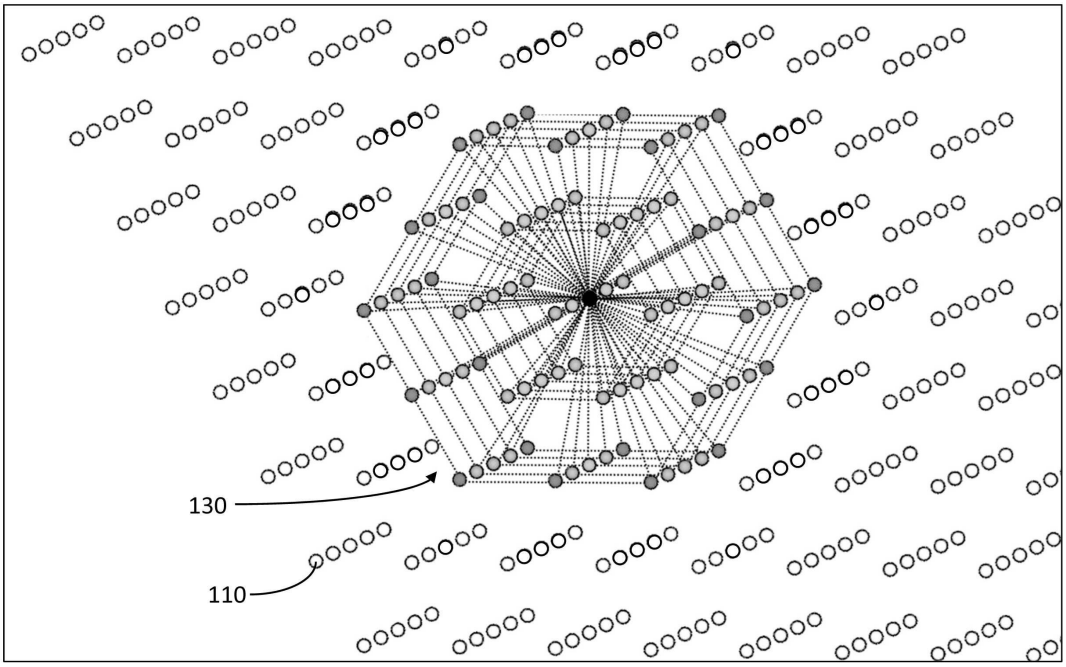
도면3a



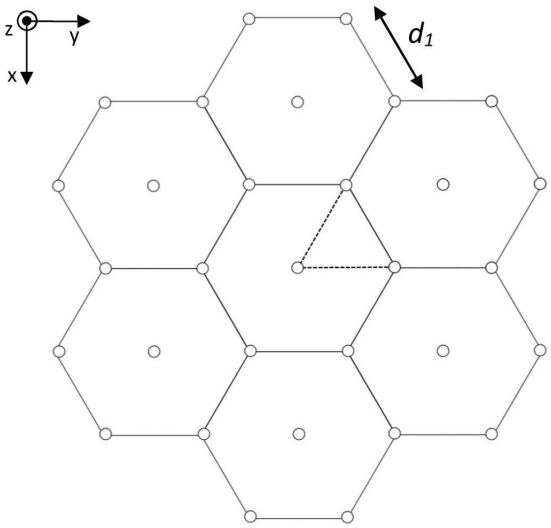
도면3b



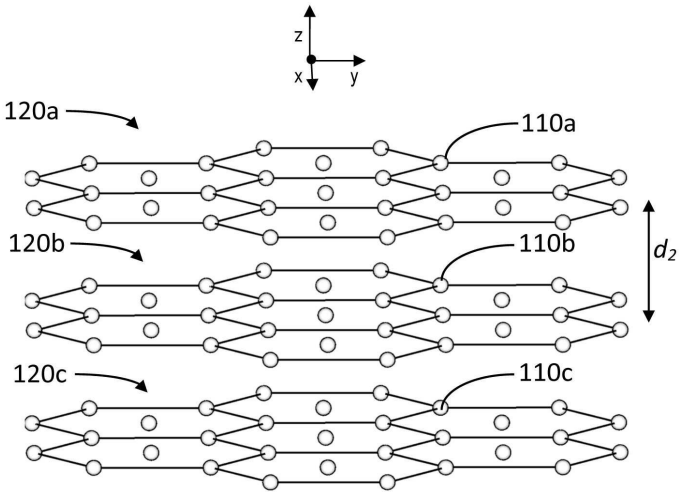
도면3c



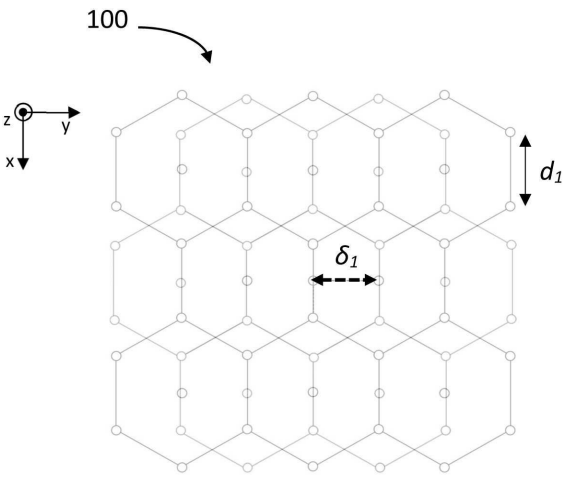
도면4a



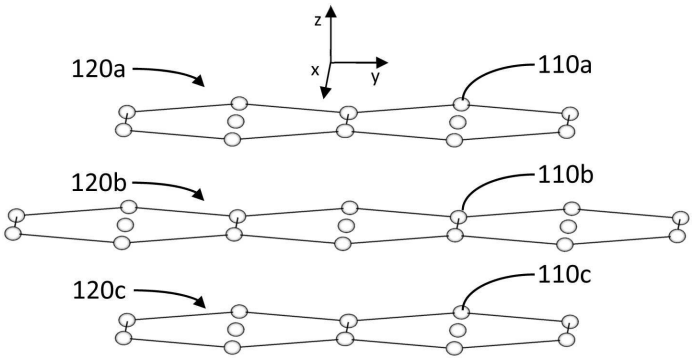
도면4b



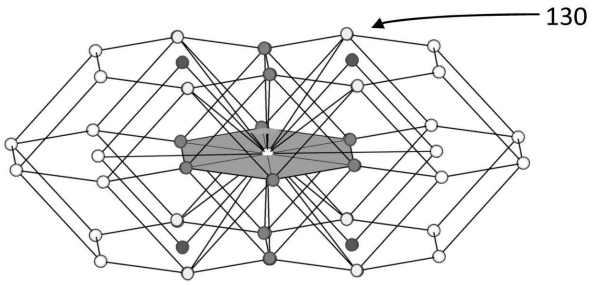
도면5a



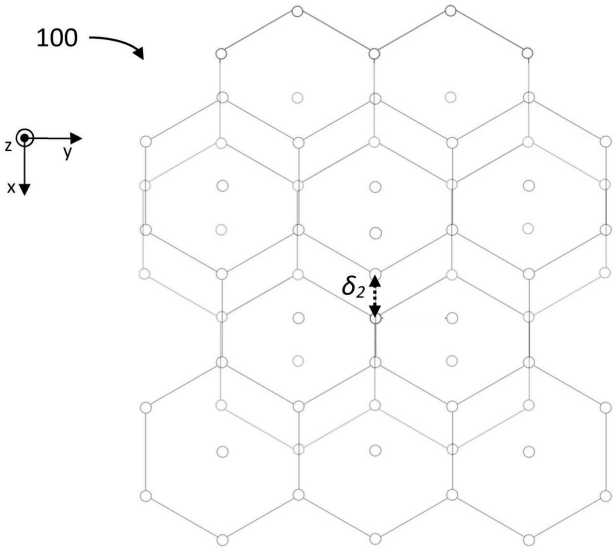
도면5b



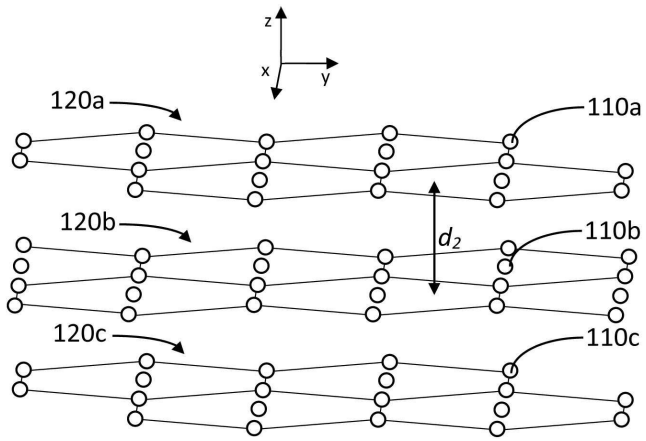
도면5c



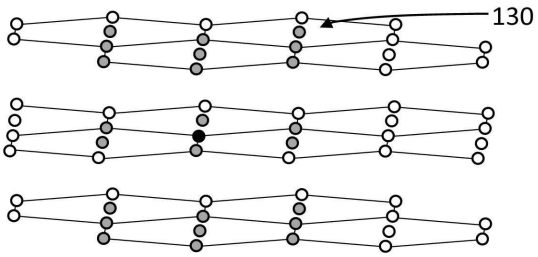
도면6a



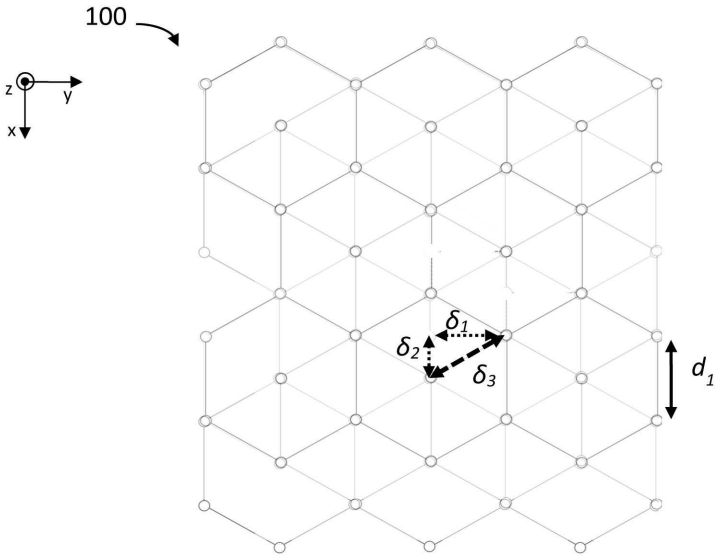
도면6b



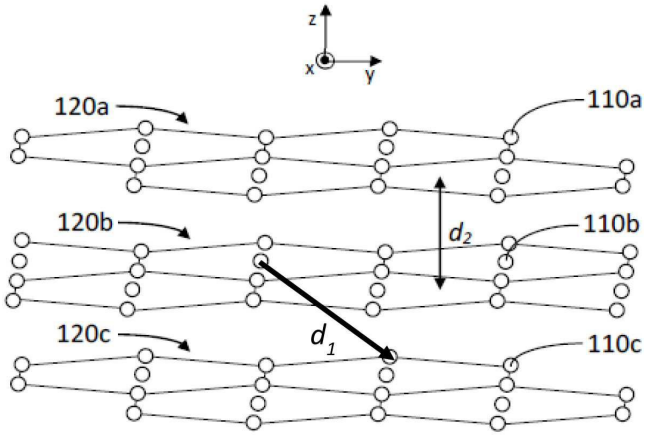
도면6c



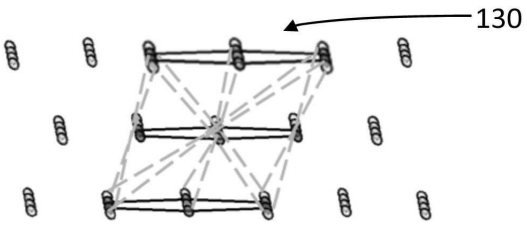
도면6d



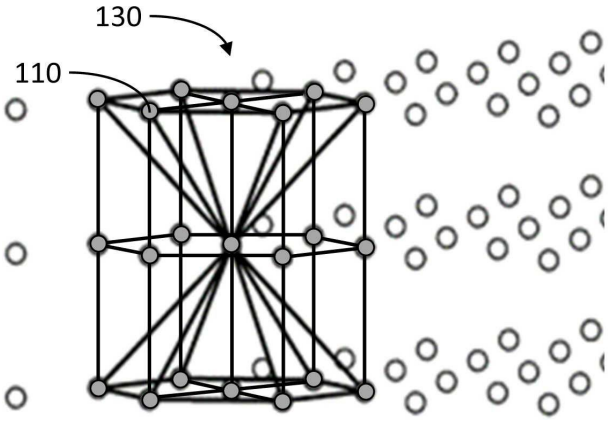
도면6e



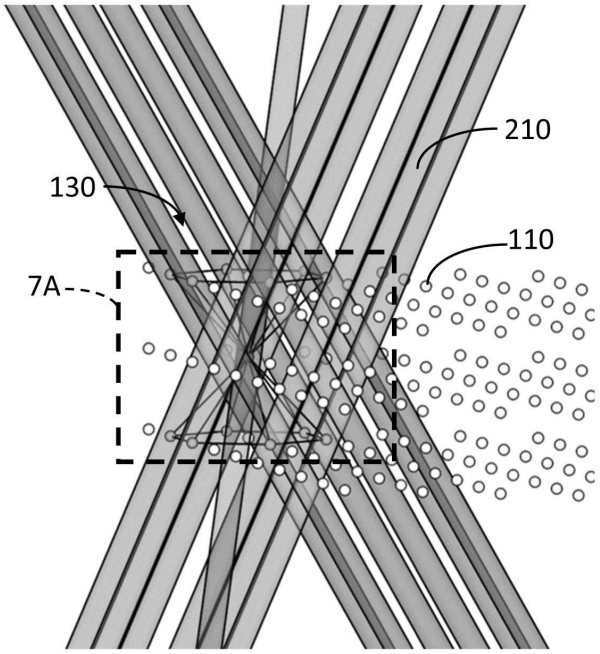
도면6f



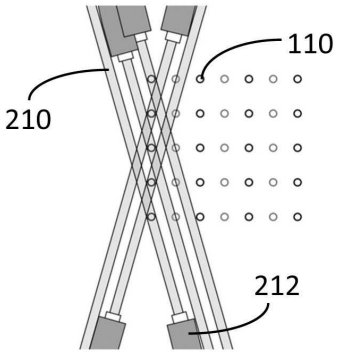
도면7a



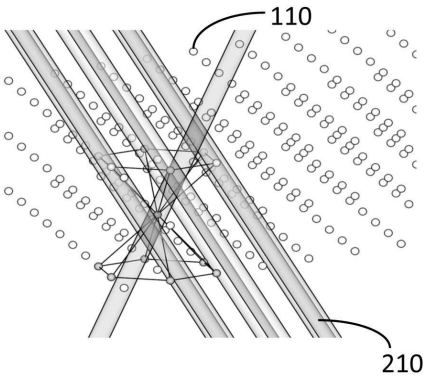
도면7b



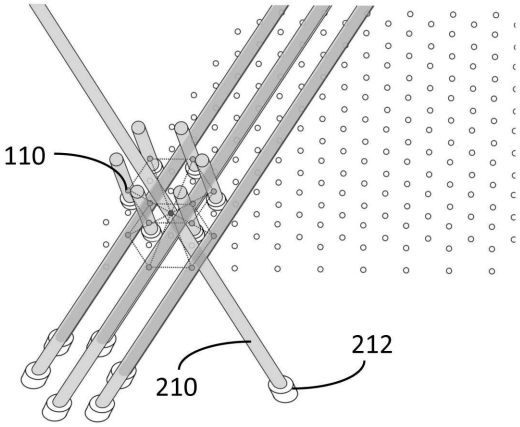
도면7c



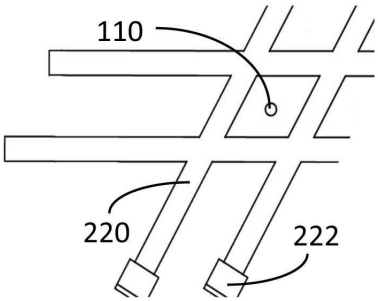
도면7d



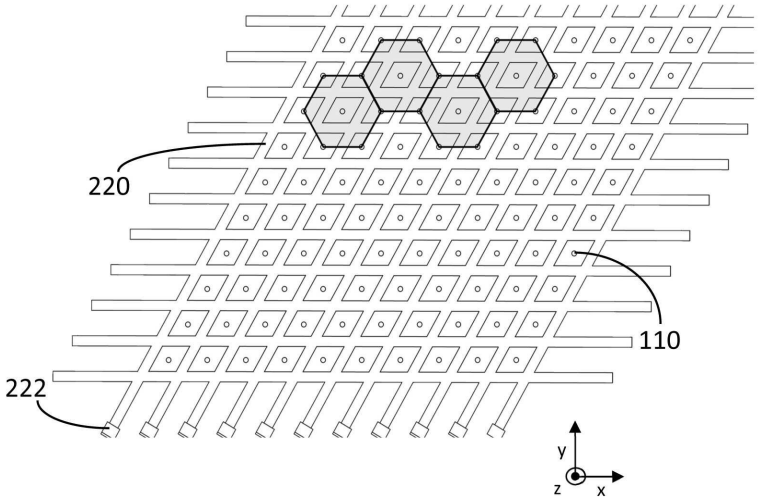
도면7e



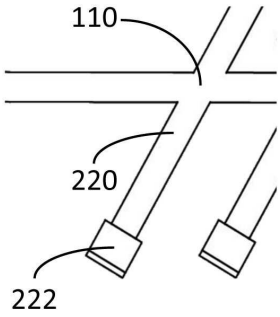
도면8a



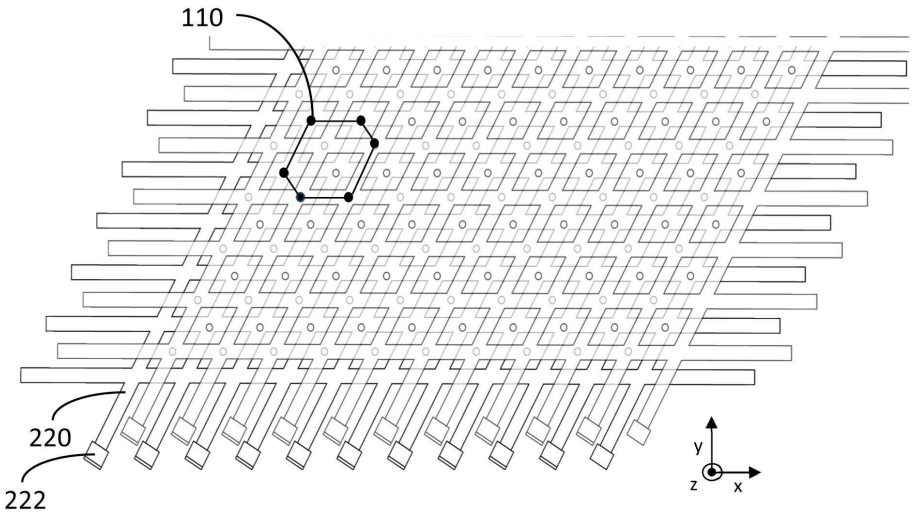
도면8b



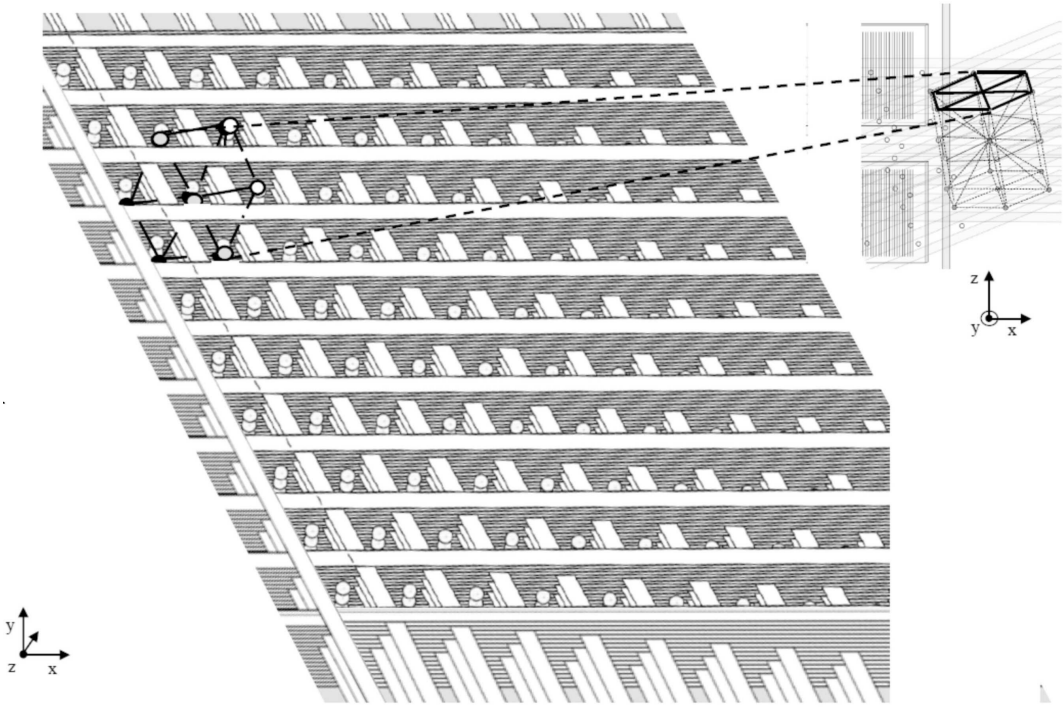
도면8c



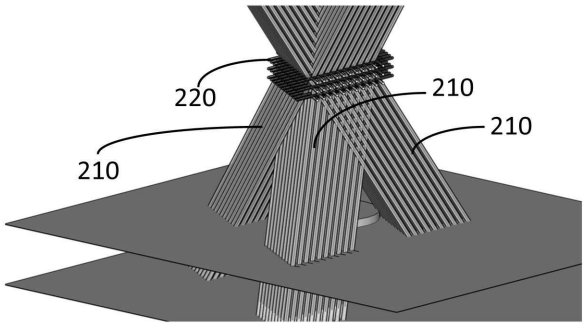
도면8d



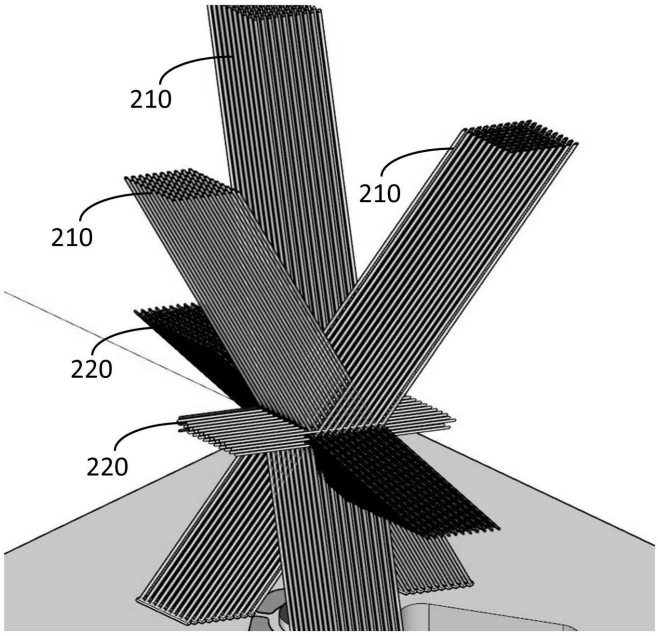
도면8e



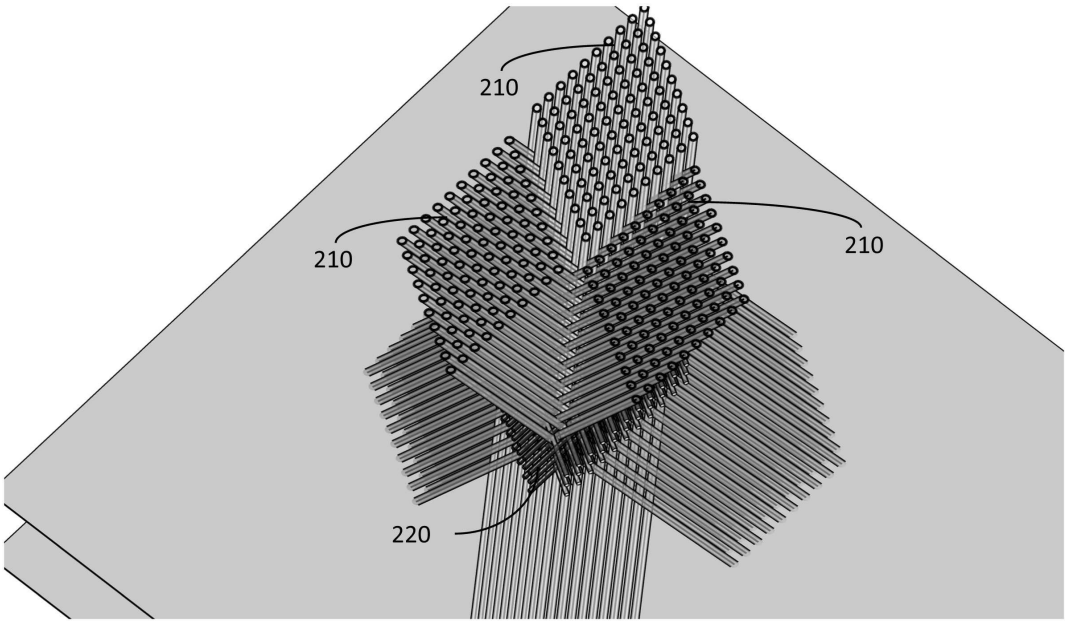
도면9a



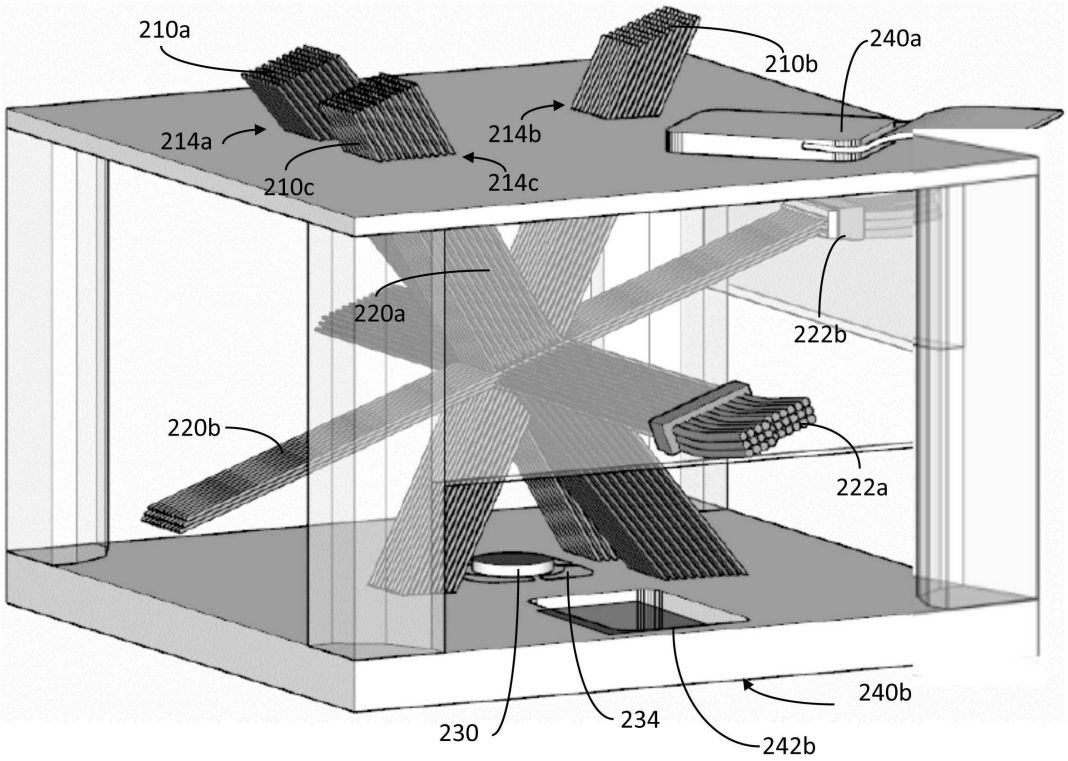
도면9b



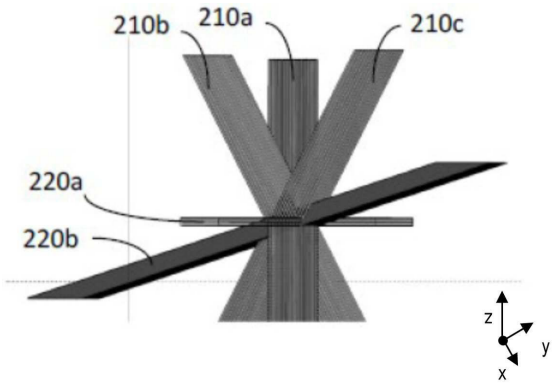
도면9c



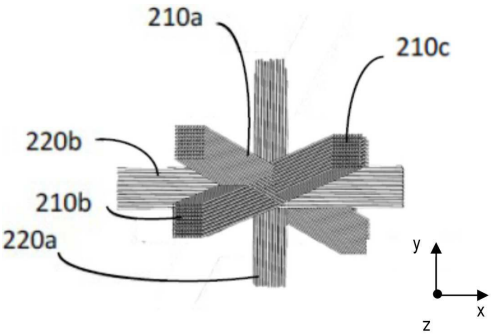
도면10a



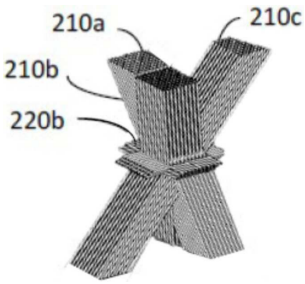
도면10b



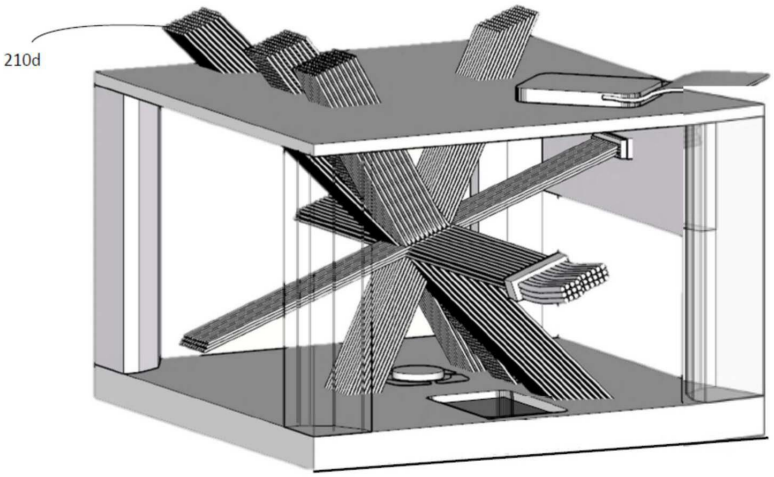
도면10c



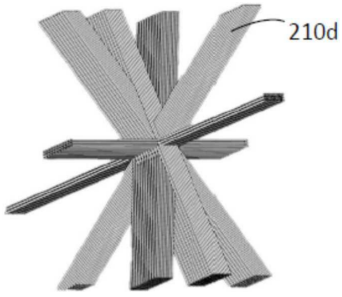
도면10d



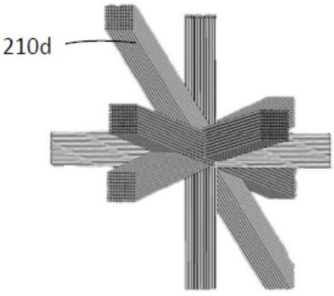
도면10e



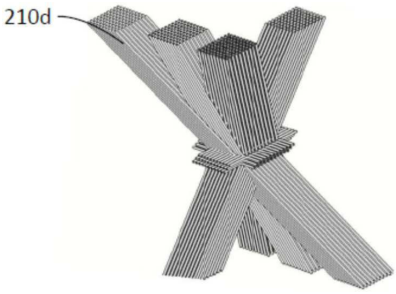
도면10f



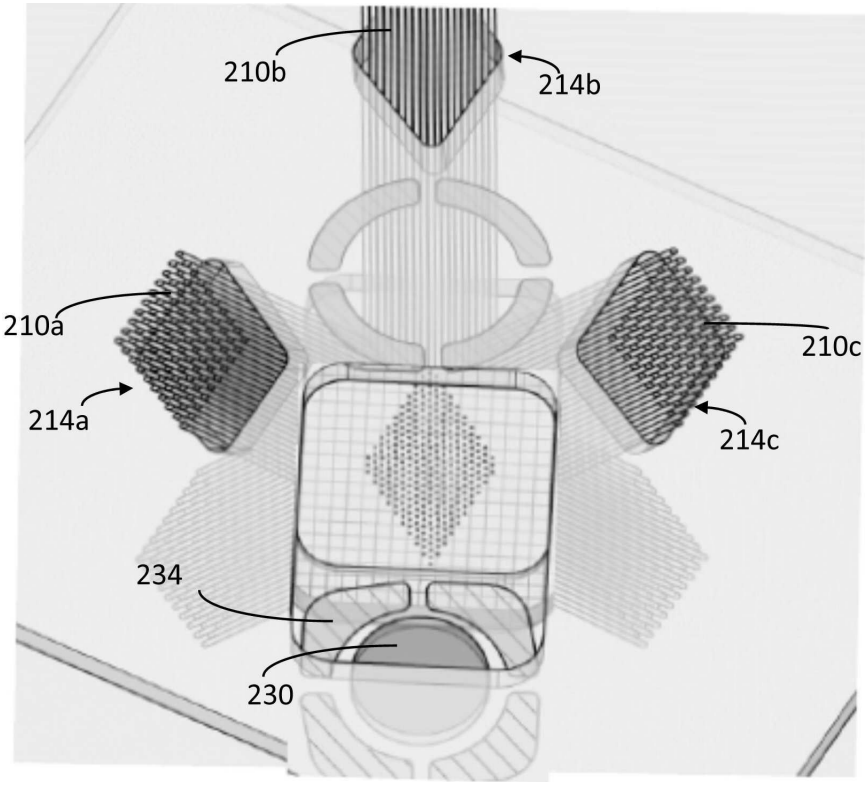
도면10g



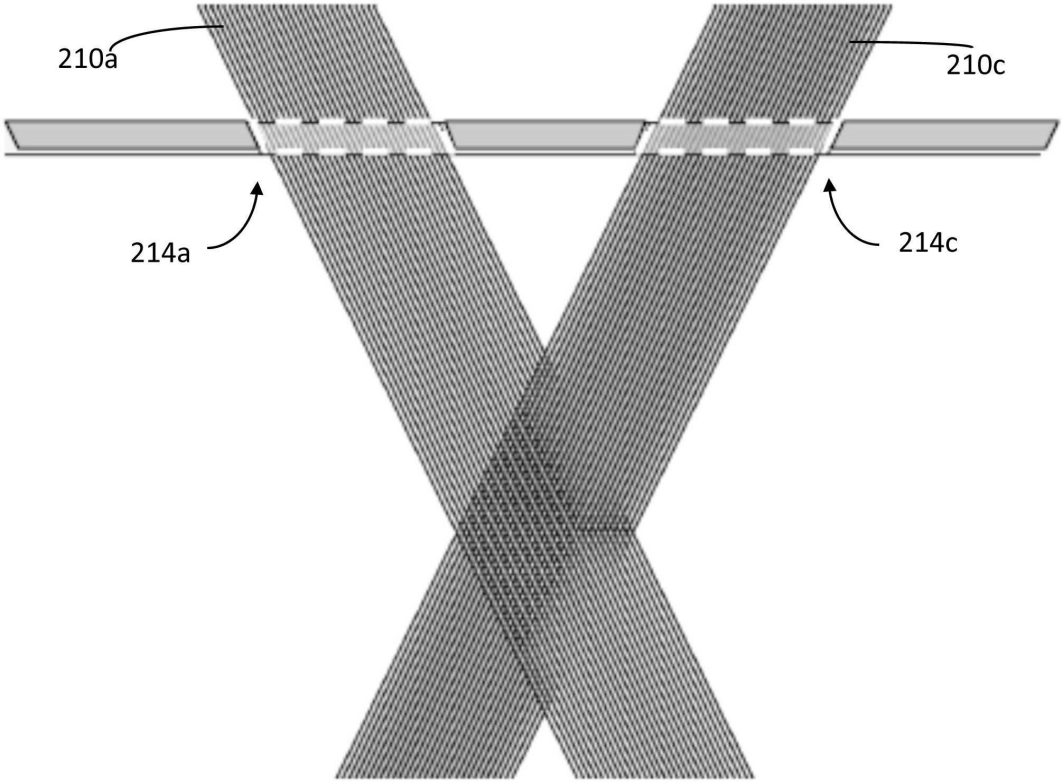
도면10h



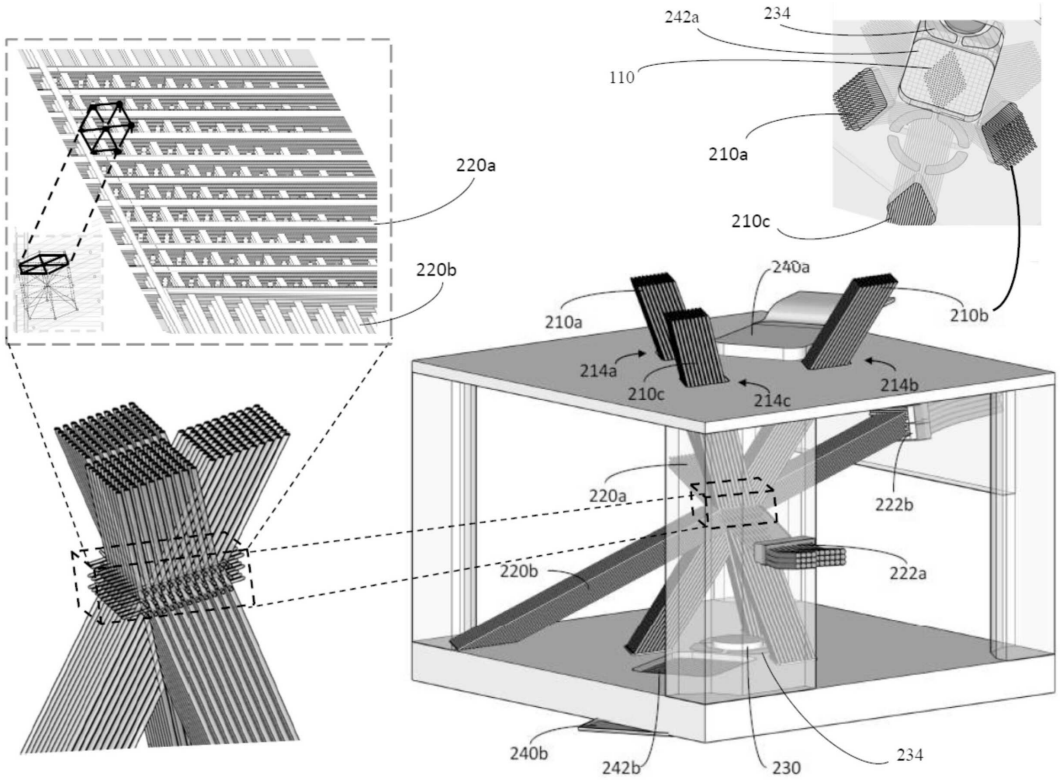
도면11a



도면11b


210a
210c
214a
214c

도면12


242a
234
110
210a
210c
220a
220b
240a
210a
210b
214a
210c
214c
214b
220a
222b
220b
222a
240b
242b
230
234

도면13

	2D 정사각형 그리드				
	거리(d)에서 큐비트들의 숫자	전체 'C' 큐비트들(n)	미크론으로의 최근접 큐비트 거리(μ)	μ으로의 다음의 최근접 최대 거리	CnNOT/팬아웃 모형으로부터의 충실도 평가
	4	4	8.0		≥0.999
	4	8	11.3		≥0.997
	4	12		16.0	≥0.992
$C^{20}NOT$	8	20		17.9	≥0.990
$C^{24}NOT$	4	24		< 22.6	≤0.988

	3D 파이로클로르 격자, 3층				
	거리(d)에서 큐비트들의 숫자	전체 'C' 큐비트들(n)	미크론으로의 최근접 큐비트 거리(μ)	μ으로의 다음의 최근접 최대 거리	CnNOT/팬아웃 모형으로부터의 충실도 평가
	6	6	8.0		≥0.999
	2	8	8.0		≥0.999
	12	20	11.3		≥0.997
	6	26	13.9		≥0.995
	6	32		16.0	≥0.992
	12	44		16.0	≥0.992
$C^{56}NOT$	12	56		17.9	≥0.990
	12	68		≤ 21.2	≤0.988
$C^{92}NOT$	24	92		≤ 22.7	≤0.988

	3D 파이로클로르 격자, 5층				
	거리(d)에서 큐비트들의 숫자	전체 'C' 큐비트들(n)	미크론으로의 최근접 큐비트 거리(μ)	μ으로의 다음의 최근접 최대 거리	CnNOT/팬아웃 모형으로부터의 충실도 평가
	6	6	8.0		≥0.999
	2	8	8.0		≥0.999
	12	20	11.3		≥0.997
	6	26	13.9		≥0.995
	6	32		16.0	≥0.992
	14	46		16.0	≥0.992
$C^{70}NOT$	24	70		17.9	≥0.990
	24	94		≤ 21.2	≤0.988
$C^{130}NOT$	36	130		≤ 22.7	≤0.988