



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I425286 B

(45)公告日：中華民國 103 (2014) 年 02 月 01 日

(21)申請案號：099139382 (22)申請日：中華民國 99 (2010) 年 11 月 16 日
(51)Int. Cl. : G02F1/136 (2006.01) G09G3/36 (2006.01)
(30)優先權：2010/02/23 美國 12/660,315
(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORPORATION (TW)
新竹市新竹科學工業園區力行二路 1 號
(72)發明人：陳勇志 CHEN, YUNGCHIH (TW)；楊欲忠 YANG, YUCHUNG (TW)；林坤岳 LIN,
KUNYUEH (TW)；劉俊欣 LIU, CHUNHSIN (TW)
(74)代理人：蔡坤財；李世章
(56)參考文獻：
US 2008/0277707A1 US 2008/0303768A1
US 2009/0268112A1
審查人員：劉文傑
申請專利範圍項數：15 項 圖式數：15 共 0 頁

(54)名稱

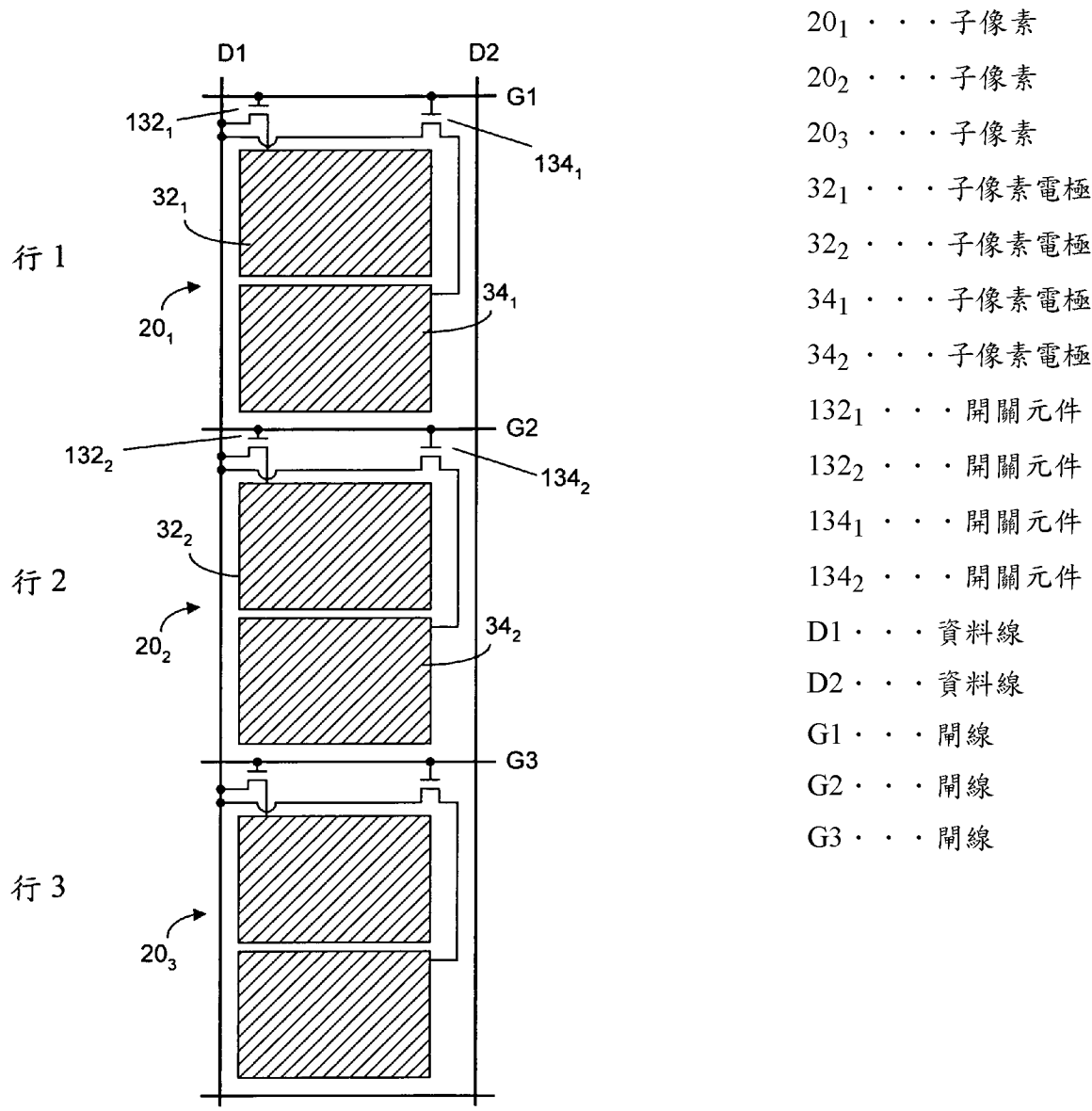
液晶顯示器視覺增強驅動電路及方法

LCD DISPLAY VISUAL ENHANCEMENT DRIVING CIRCUIT AND METHOD

(57)摘要

在一液晶顯示面板的像素包含：一第一子像素區，其具有一第一子像素電極；和一第二子像素區，其具有一第二子像素電極。每一子像素電極相關於一電容。當一閘線信號和一資料電壓被提供給像素，在第一子像素電極的電壓水平實質上等於或略高於在第二子像素電極的電壓水平，而與每一子像素電極相關的電容被充電。當閘線信號完全通過或部分通過，一電路元件使得與第二子像素電極相關的電容轉移電荷到另一電容，導致第二子像素電極之電壓水平減少。

A pixel in a liquid crystal display panel comprises a first sub-pixel area having a first sub-pixel electrode and a second sub-pixel area having a second sub-pixel electrode. Each sub-pixel electrode is associated with a capacitor. When a gate-line signal and a data voltage is provided to the pixel, the voltage level on the first sub-pixel electrode is substantially equal to or slightly higher than the voltage level on the second sub-pixel electrode and the capacitor associated with each sub-pixel electrode is charged. When the gate-line signal has entirely passed on partially passed, a circuit element causes the capacitor associated with the second sub-pixel electrode to transfer its charge to another capacitor, resulting in a reduction of the voltage level on the second sub-pixel electrode.



- 20₁ . . . 子像素
- 20₂ . . . 子像素
- 20₃ . . . 子像素
- 32₁ . . . 子像素電極
- 32₂ . . . 子像素電極
- 34₁ . . . 子像素電極
- 34₂ . . . 子像素電極
- 132₁ . . . 開關元件
- 132₂ . . . 開關元件
- 134₁ . . . 開關元件
- 134₂ . . . 開關元件
- D1 . . . 資料線
- D2 . . . 資料線
- G1 . . . 閘線
- G2 . . . 閘線
- G3 . . . 閘線

第 4 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99/139382

※申請日：99.11.16

※IPC分類：G02F 1/136 (2006.01)
G09G 3/36 (2006.01)

一、發明名稱：(中文/英文)

液晶顯示器視覺增強驅動電路及方法

LCD Display Visual Enhancement Driving Circuit and
Method

二、中文發明摘要：

在一液晶顯示面板的像素包含：一第一子像素區，其具有一第一子像素電極；和一第二子像素區，其具有一第二子像素電極。每一子像素電極相關於一電容。當一閘線信號和一資料電壓被提供給像素，在第一子像素電極的電壓水平實質上等於或略高於在第二子像素電極的電壓水平，而與每一子像素電極相關的電容被充電。當閘線信號完全通過或部分通過，一電路元件使得與第二子像素電極相關的電容轉移電荷到另一電容，導致第二子像素電極之電壓水平減少。

三、英文發明摘要：

A pixel in a liquid crystal display panel comprises a first sub-pixel area having a first sub-pixel electrode and a second sub-pixel area having a second sub-pixel electrode. Each sub-pixel electrode is associated with a capacitor. When a gate-line signal and a data voltage is provided to the pixel,

the voltage level on the first sub-pixel electrode is substantially equal to or slightly higher than the voltage level on the second sub-pixel electrode and the capacitor associated with each sub-pixel electrode is charged. When the gate-line signal has entirely passed on partially passed, a circuit element causes the capacitor associated with the second sub-pixel electrode to transfer its charge to another capacitor, resulting in a reduction of the voltage level on the second sub-pixel electrode.

四、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

- 20₁ 子像素
- 20₂ 子像素
- 20₃ 子像素
- 32₁ 子像素電極
- 32₂ 子像素電極
- 34₁ 子像素電極
- 34₂ 子像素電極
- 132₁ 開關元件
- 132₂ 開關元件
- 134₁ 開關元件
- 134₂ 開關元件
- D1 資料線
- D2 資料線
- G1 閘線
- G2 閘線
- G3 閘線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明一般相關於液晶顯示器 (LCD)，尤其是在一液晶顯示器驅動像素之方法。

【先前技術】

一典型液晶顯示器 (LCD) 面板具有由一資料驅動器和閘驅動器驅動之排列成一二維陣列之複數像素。如第 1 圖所示，在液晶面板 1 的 LCD 像素 10 係成行和成列配置在顯示區域 100。資料驅動器 200 被用來提供一信號，以指示每行像素的資料；而一閘驅動器被用來提供一閘線信號給每列像素。在一彩色液晶面板，影像一般以三種顏色呈現：紅色 (R)、綠 (G) 和藍色 (B)。像素 10 的每一者通常分為三種顏色子像素：紅色子像素 20R、綠色子像素 20G 和藍色子像素 20B，如第 2 圖所示。一資料線 221 被用來提供資料信號給一列 R 子像素，一資料線 222 被用來在相同像素列提供資料信號給 G 子像素，一資料線 223 被用來在相同像素列提供資料信號給 B 子像素。資料線 224 被用來提供資料信號給在下一像素列的 R 子像素。一閘線 231 被用來提供閘線信號給在一行的所有子像素，及一閘線 232 被用來提供閘線信號給在下一行的所有子像素。在傳輸反射型液晶面板，每個顏色的子像素可以進一步區分為透射區和反射區。

一典型液晶面板是以兩個基板來製造。如第 3 圖所

示，液晶面板上有一上基板 12 和一下基板 18，以及在基板之間的一液晶層。在上基板 12 上，提供一透明導電層 14 作為一共同電極。在每一顏色子像素 20，一導電層被設置在下基板 18 作為像素電極。液晶面板還包括一電子元件層 17，用以控制在共同電極和像素電極之間的電壓。共同電極通常連接到一共同接地或一共同電壓源 COM。

【發明內容】

根據本發明不同的實施例，在液晶顯示面板的一像素包含：一第一子像素區，其具有一第一子像素電極 (32)；和一第二子像素區，其具有一第二子像素電極 (34)。每一子像素電極相關於一電容。當一閘線信號和一資料電壓被提供給像素，在第一子像素電極的電壓水平實質上等於或略高於在第二子像素電極的電壓水平，而與每一子像素電極相關的電容被充電。當閘線信號完全通過或部分通過，一電路元件使得與第二子像素電極相關的電容轉移電荷到另一電容，導致第二子像素電極之電壓水平減少。因此，在第一子像素區的液晶分子之對準稍異於在第二子像素區的液晶分子之對準，造成在第一和第二子像素區之間的輕微亮度差異。這亮度差異可能減少液晶顯示面板的色偏。

因此，本發明的第一態樣是一液晶顯示面板，包括：

複數像素，其排列為複數行和列；

複數資料線，其每個資料線提供信號給在一列的該複數像素，及

複數閘線，其每個閘線提供閘線信號給在一行的像

素，其中每個像素包含：

一第一子像素區，其包含一第一子像素電極(32)，該第一子像素電極電性連接到一第一電容(ClcA, CstA)，該第一子像素電極經配置以通過一第一開關元件(132)從該複數資料線之一者接收該資料信號；及

一第二子像素區，其包含一第二子像素電極(34)，該第二子像素電極電性連接到一第二電容(ClcB)和一第三電容(CstB)的一第一端，該第二子像素電極經配置以通過一第二開關元件(134)從該複數資料線之該一者接收該資料信號，其中該第三電容(CstB)的一第二電容端藉由一第三開關元件(135)連接到該複數資料線之該一者，其中該第一、第二和第三開關元件之每一者包括一控制端，其經配置以接收一第一閘線信號，用以對該第一電容(ClcA, CstA)和第二電容(ClcB)進行充電，及其中該第三電容(CstB)的該第二電容端連接到一電路元件 (Cx, 138, R, 139)，以使當該第一閘線信號至少部分通過時，在該第二電容(ClcB) 上的部分電荷轉移到該第三電容(CstB)。

在本發明的一實施例中(第 8 圖)，該第一和第二電容之一端連接到一共同電壓(COM)，而該電路元件包括一第四開關元件(138)，其具有一控制端，該控制端經配置以在該第一閘線信號通過後，接收一第二閘線信號，用以使該第三電容(CstB)的該第二端連接至該共同電壓。

在本發明的另一實施例中(第 5 圖)，第一和第二電容的一端連接到一共同電壓 (COM)，及第三電容 (CstB) 的第二端也藉由一第四電容 (Cx) 連接到一共同電壓。

在本發明的另一實施例中(第 11 圖),第二電容(C_{lcB})並聯連接到一第五電容(C_{stB})。

在本發明的一不同實施例中(第 9 圖),該第一和第二電容的一端連接到一共同電壓,而該電路元件包括一電阻(R),其連接到一共同電壓。

在本發明的另一實施例中(第 10 圖),包括一 TFT 電路元件與二極體連接。

在本發明的又一實施例中(第 12b 圖),該第一和第二電容之一端連接到一共同電壓(COM),而該電路元件包括一第六電容(C_s),其通過一第四開關元件(138)連接至該共同電壓,該第四開關元件包含一控制端,其經配置以在該第一閘線信號部分通過後,接收一第二閘線信號,用以藉由該第六電容(C_s),將該第三電容(C_{stB})的該第二端連接至該共同電壓。

在本發明的另一實施例中(第 12a 圖),該第一和第二電容之一端連接到一共同電壓(COM),該第三電容(C_{stB})的該第二端藉由一第六電容(C_s)連接到該第三開關元件(136),而該電路元件包括一第四開關元件(138),其包含一控制端,該控制端經配置以在該第一閘線信號部分通過後,接收一第二閘線信號,用以將該第三電容(C_{stB})的該第二端連接至該共同電壓。

本發明的第二態樣是一種用於在一液晶顯示面板上共用充電的方法,該顯示面板包括:

複數像素,其排列為複數行和列;

複數資料線,其每個資料線提供信號給在一列的該複

數像素，及

複數閘線，其每個閘線提供閘線信號給在一行的像素，其中每個像素包含：

一第一子像素區，其包含一第一子像素電極(32)，該第一子像素電極電性連接到一第一電容(ClcA, CstA)，該第一子像素電極經配置以通過一第一開關元件(132)從該複數資料線之一者接收該資料信號；及

一第二子像素區，其包含一第二子像素電極(34)，該第二子像素電極(34)電性連接到一第二電容(ClcB)，該第二子像素電極經配置以通過一第二開關元件(134)從該複數資料線之該一者接收該資料信號。

該方法包括下列步驟：

藉由一第三開關元件，將一第三電容(CstB)的一第一端連接至該第二子像素電極(34)，和將該第三電容的一第二端連接至該資料線的該一者，其中該第一、第二和第三開關元件之每一者包含一控制端，其經配置以接收用於開關的一第一閘線信號；

藉由該第一開關元件，將該第一電容(ClcA, CstA)充電至一第一電壓水平(Va)，及藉由該第二開關元件，將該第二電容(ClcB)充電到一第二電壓水平(Vb)，以回應該第一閘線信號；及

當第一閘線信號至少部分通過時，操作地連接該第三電容的該第二端至一電路元件，以轉移在該第二電容的部分電荷至該第三電容。

在本發明的一實施例中(第 8 圖)，該第一和第二電容

之一端連接到一共同電壓(COM)，而該電路元件包括一第四開關元件(138)，其具有一控制端，該控制端經配置以在該第一開線信號通過後，接收一第二開線信號，用以使該第三電容(CstB)的該第二端連接至該共同電壓。

在本發明的另一實施例中(第5圖)，該方法還包括：

在該第三電容(CstB)的該第二端和該共同電壓(COM)之間連接一第四電容(Cx)。

在本發明的另一實施例中(第11圖)，該方法還包括：

將一第五電容(CstB)並聯連接至一第二電容(ClcB)。

在本發明的一不同實施例中(第9圖)，該第一和第二電容的一端連接到一共同電壓，而該電路元件包括一電阻(R)，其連接到一共同電壓。

在本發明的又一實施例中(第12b圖)，該第一和第二電容之一端連接到一共同電壓(COM)，而該電路元件包括一第六電容(Cs)，其通過一第四開關元件(138)連接至該共同電壓，該第四開關元件包含一控制端，其經配置以在該第一開線信號部分通過後，接收一第二開線信號，用以藉由該第六電容(Cs)，將該第三電容(CstB)的該第二端連接至該共同電壓。

在本發明的另一實施例中(第12a圖)，該第一和第二電容之一端連接到一共同電壓(COM)，該第三電容(CstB)的該第二端藉由一第六電容(Cs)連接到該第三開關元件(136)，而該電路元件包括一第四開關元件(138)，其包含一控制端，該控制端經配置以在該第一開線信號部分通過後，接收一第二開線信號，用以將該第三電容(CstB)的該

第二端連接至該共同電壓。

參照第 4 至 13 圖閱讀發明說明，將可明白本發明。

【實施方式】

在本發明各種實施例中，液晶顯示 (LCD) 面板之一像素或顏色子像素包括兩個區域，每個區域包含一區域電極與一共同電極，用於控制各自區域的液晶層之對準。為簡明起見，名詞「子像素」將被用來表示一種像素或一顏色子像素。如第 4 圖所示，子像素 20_1 包括：一第一子像素電極 32_1 ，其界定一第一子像素區；和一第二子像素電極 34_1 ，其界定一第二子像素區。子像素 20_2 包括：一第一子像素電極 32_2 ，其界定一第一子像素區；和一第二子像素電極 34_2 ，其界定一第二子像素區。子像素 20_3 和其他子像素可能有類似的第一和第二子像素電極。在一列的像素共用一資料線，而在一行的子像素共用一閘線。如第 4 圖所示，子像素 20_1 、 20_2 、 20_3 、... 共用一資料線 D1，而在下一列 (未顯示) 的子像素共用一不同資料線 D2。子像素 20_1 和在相同行上的其他子像素共用一閘線 G1；子像素 20_2 和在相同行的其他子像素共用閘線 G2；以及子像素 20_3 和在相同行的其他子像素共用一閘線 G3。

子像素 20_1 的第一子像素電極 32_1 藉由第一開關元件 132_1 連接到資料線 D1，和第二子像素電極 34_1 藉由藉由第二開關元件 134_1 連接到資料線 D1。第一和第二開關元件 132_1 和 134_1 的控制端連接到閘線 G1。子像素 20_2 的第一子像素電極 32_2 藉由第一開關元件 132_2 連接到資料線

D1，而第二子像素電極 34_2 藉由第二開關元件 134_2 連接到資料線 D1。第一和第二開關元件 132_1 和 134_1 的控制端連接到閘線 G2。

第一子像素電極 32_1 和共同電極 (COM，見第 3 圖) 形成一電容 $ClcA$ ，第二子像素電極 34_1 和共同電極形成一電容 $ClcB$ ，如第 5 圖所示。此外，第一子像素電極 32_1 連接到一儲存電容 $CstA$ ，而第二子像素電極 34_1 連接到一儲存電容 $CstB$ 。同樣地，第一子像素電極 32_2 和共同電極形成電容 $ClcA$ ，而第二子像素電極 34_2 和共同電極形成一電容 $ClcB$ 。第一子像素電極 32_2 連接到一儲存電容 $CstA$ ，而第二子像素電極 34_2 連接到一儲存電容 $CstB$ 。的電荷儲存電容 $CstB$ 也是藉由第三開關元件 136_1 連接到資料線 D1。第三開關元件 136_1 的控制端也是連接到閘線 G1。

當在 G1 上的閘線信號被提供給子像素 20_1 ，在第一子像素電極上的電壓水平 Va 、在第二子像素電極上的電壓水平 Vb 、和電壓水平 Vx 實質上相同。在第一子像素區的電容 $ClcA$ 、 $CstB$ 係按相對於 COM 的電壓水平 Va 充電。在第二子像素的電容 $ClcB$ 是根據相對於 COM 的電壓水平 Vb 充電。由於在儲存電容 $CstB$ 一端的電壓水平 Vb 和在另一端的電壓水平 Vx 大致相同，儲存電容 $CstB$ 不充電。

當閘線信號完全通過，在像素的電路元件使儲存電容 $CstB$ 的電壓增加。因此，在電容 $ClcB$ 的電荷部分轉移到儲存電容 $CstB$ ，而電壓水平 Vb 相應減少。在如第 5 圖所示之實施例中，第二電荷儲存電容 $CstB$ 分別藉由一電容 Cx 和藉由第四開關元件 138_1 (具有連接至一第二閘線 G2 的

一控制端)連接到 COM，以藉由在第二電荷儲存電容 CstB 和電容 Cx 之間的電壓水平 V_x 的改變，進行充電。

第 6 圖是一時序圖，其顯示相對於在 G1 和 G2 閘線信號之電壓水平 V_a 、電壓水平 V_b 和電壓水平 V_x 。如第 6 圖所示，當閘線信號 G2 提供給像素時，電壓水平 V_b 降低。在 V_b 的電壓減少量是由轉移到儲存電容 CstB 的電荷量決定。當閘線信號 G1 提供給子像素 20_1 ，所有的第一、第二和第三開關元件是在一導通狀態。第 7a 圖繪示這種情況下的等效電路。在子像素 20_1 之電容實質上充電完成後，電壓水平 V_a 、 V_b 和 V_x 實質上等於 V_{data} 或在 D1 的日期信號。因為在它兩電容端之間的電壓差實質上為零，在電荷儲存電容 CstB 上實質上沒有電荷。在電容 ClcB 的電荷等於 q_B ，關係為：

$$V_a = V_b = V_x = V_{data} \quad (1)$$

$$q_B = V_b * ClcB = V_{data} * ClcB \quad (2)$$

當閘線信號 G2 被提供給子像素 20_1 ，而閘線信號 G1 已通過，第一、第二和第三開關元件是處於一不導電狀態，且第四開關元件是處於一導電狀態。第 7b 圖繪示這種情況下的等效電路。雖然電壓水平 V_a 實質上未改變，電壓水平 V_b 減少。隨著電壓水平 V_x 從 V_{data} 改變到 COM，在 ClcB 中的一些電荷 q_B 轉移到 CstB。當電荷轉移完成，可得：

$$V_a = V_{data} \quad (3)$$

$$\begin{aligned}
 V_b &= q_B / (C_{lcB} + C_{stB}) \\
 &= V_{data} * C_{lcB} / (C_{lcB} + C_{stB}) \\
 &< V_{data} \\
 &< V_a
 \end{aligned} \tag{4}$$

因此，在第一子像素區的子像素電極的電壓水平高於在第二子像素區的子像素電極的電壓水平。因此，第二子像素區的亮度一般低於第一子像素區的亮度。

第 8 圖繪示本發明另一實施例，其中省略電容 C_x 。如第 8 圖所示之實施例，電壓水平 V_a 和 V_b 實質上相同，如第 6 圖所示。相較於第 6 圖所示者，電壓水平 V_x 可能上升得更快。

第 9 圖繪示本發明又一實施例，其係第 8 圖所示實施例之一變化。相反於使用電路元件 138₁ 來控制從 C_{lcB} 轉移到 C_{stB} 的電荷，使用電阻 R 。在第 9 圖所示之實施例中，當閘線信號 $G1$ 是開啟，可得：

$$V_a = V_b = V_{data} > V_x = V_{com} + V_r \tag{5}$$

而有電流通過電阻 R 。當閘線信號 $G1$ 通過，通過 R 的電流減少或 $V_r = 0$ 。最後，無論閘線信號 $G2$ 如何，在點 x 的電壓水平等於 COM 。可得：

$$\begin{aligned}
 V_b &= q_B / (C_{lcB} + C_{stB}) \\
 &= [V_{data} * C_{lcB} + (V_{data} - V_x) * C_{stB}] / (C_{lcB} + C_{stB})
 \end{aligned}$$

$$= V_{data} - [V_x * C_{stB} / (C_{lcB} + C_{stB})] \quad (6)$$

第 10 圖顯示本發明又一實施例，它是第 5 圖所示實施例之一變化。相反於使用電路元件 138₁ 來控制從 ClcB 轉移到 CstB 的電荷，使用一電路元件 139₁。在第 10 圖所示之實施例中，當閘線信號 G1 是開啟，可得：

$$V_a = V_b = V_{data} > V_x \quad (7)$$

且有電流通過電路元件 139₁。當閘線信號 G1 通過，通過電路元件 139₁ 的電流減少。最後，無論閘線信號 G2 如何，在點 x 的電壓水平等於 COM。可得：

$$\begin{aligned} V_b &= qB / (C_{lcB} + C_{stB}) \\ &= [V_{data} * C_{lcB} + (V_{data} - V_x) * C_{stB}] / (C_{lcB} + C_{stB}) \\ &= V_{data} - [V_x * C_{ctB} / (C_{lcB} + C_{stB})] \end{aligned} \quad (8)$$

因此，在如第 9 和 10 圖所示的實施例中，當閘線信號 G1 已通過，而 V_a 仍實質上等於 V_{data}，由於電阻 R（第 9 圖）或具有二極體連接 139（第 10 圖）的 TFT 會導致相關於第二子像素電極之電容轉移它的電荷到另一電容，導致第二子像素電極的電壓水平減少，V_b 小於 V_{data}。因此，在第一子像素區的液晶分子之對準稍異於在第二子像素區的液晶分子之對準，造成在第一和第二子像素區之間的輕微亮度差異。這亮度差異可能減少液晶顯示面板的色偏。

應當指出的是，在第 10 圖所示之實施例中，電容 C_x 是可選擇的。

第 11 圖繪示第 5 和 8 圖所示實施例的一變化。如第 11 圖所示，第一子像素區具有一第一子像素電極，其連接到一第一儲存電容 C_{stA} ，而第二子像素區具有一第二子像素電極，其連接到一第二個儲存電容 C_{stB} 。此外，第二子像素電極藉由一電容 C_x 連接到電路元件 138_1 。當閘線信號 $G1$ 是開啟，可得：

$$V_a = V_b = V_x = V_{data}, \quad (9)$$

而電容 C_{lcB} 和 C_{stB} 上的電荷是：

$$q_B = V_b * (C_{lcB} + C_{stB}) = V_{data} * (C_{lcB} + C_{stB}) \quad (10)$$

當閘線信號 $G2$ 被提供給子像素 20_1 而閘線信號 $G1$ 已經通過，可得：

$$V_a = V_{data} \quad (11)$$

$$\begin{aligned} V_b &= q_B / (C_{lcB} + C_{stB} + C_x) \\ &= V_{data} * (C_{lcB} + C_{stB}) / (C_{lcB} + C_{stB} + C_x) \\ &< V_{data} \\ &< V_a \end{aligned} \quad (12)$$

應當指出的是，在第 5、8-11 圖所示之實施例中，閘

線信號 $G1$ 和 $G2$ 可以不重疊，如第 6 圖所示。在一顯示面板中，執行對像素的預充電，閘線信號 G_{m+1} 部份發生在閘線 G_m 已通過之前，以對在第 $(m+1)$ 行的像素進行預充電。這需要相鄰閘線之閘線信號被部分重疊，如第 13 圖所示。如第 9 和 10 圖所示之實施例可用於當閘線信號有一重疊期間時。但在實施例中，在下一閘線的信號用來控制電荷轉移的地方，如第 5、8、11 圖所示，當閘線信號有一重疊期間時，一電容 C_x 是用來使點 x 與開關元件 136_1 分隔。

第 12 圖繪示一不同實施例，其可用於預充電的目的。如第 12 圖所示，開關元件 136_1 藉由一電容 C_x 連接到電路元件 138_1 。顯示各種不同電壓水平之時序圖係繪示於第 13 圖。

總之，在一液晶顯示面板，根據本發明不同實施例，每一像素具有：一第一子像素區，其包含一第一像素電極，該第一像素電極電性連接到一第一電容 ($ClcA$, $CstA$)，該第一子像素電極 (為 V_A)，其經配置以從一資料線藉由一第一開關元件 (132) 接收資料信號 ($G1$)；和一第二子像素區，其包括一第二子像素電極 (為 V_b)，該第二子像素電極電性連接到一第二個電容和一第三電容的一端。在第 5、8、9、10、12A 及 12B 圖所示之實施例中，第二電容是 $ClcB$ ，而第三電容是 $CstB$ 。在第 11 圖所示之實施例中，第二電容包括 $ClcB$ 和 $CstB$ ，而第三電容是 C_x 。第二子像素電極經配置以藉由第二開關元件 (134) 從相同資料線接收資料信號，其中第三電容之一第二端藉由第三開關元件

(136) 連接到相同資料線，其中該第一、第二和第三開關元件之每一者包含一控制端（閘端），其經配置以接收對第一和第二電容充電之閘線信號（G1），及其中該第三電容之該第二端連接到一電路元件（138，R，139），以使當閘線信號至少部分通過時，該電路元件上使第二電容的電荷轉移到第三電容。電路元件可能有一第四開關元件（138），其經配置以在第一閘線信號通過後，接收一第二閘線信號（G2），用以將第三電容之第二端連接至共同電壓。

在一不同態樣，本發明提供一種方法來在操作液晶顯示面板之相同期間，在第一子像素電極和第二子像素電極之間達成電壓差。該方法包括下列步驟：藉由一第三開關元件，將一第三電容的一第一端連接至該第二子像素電極，和將該第三電容的一第二端連接至該資料線的該一者，其中該第一、第二和第三開關元件之每一者包含一控制端，其經配置以接收用於開關的一第一閘線信號；藉由該第一開關元件，將該第一電容充電至一第一電壓水平，及藉由該第二開關元件，將該第二電容充電到一第二電壓水平，以回應該第一閘線信號；及當第一閘線信號至少部分通過時，操作地連接該第三電容的該第二端至一電路元件，以轉移在該第二電容的部分電荷至該第三電容，從而減少該第二電壓水平。

雖然已就本發明描述其中一或多實施例，熟知該項技藝者可理解上述和其他各種在形式和細節上的變化、簡化和變異，而不會偏離本發明範圍。

【圖式簡單說明】

第 1 圖顯示一典型液晶面板。

第 2 圖繪示在一典型 LCD 面板之一像素的三顏色子像素。

第 3 圖繪示在一典型液晶面板的一像素或顏色子像素的一截面圖。

第 4 圖繪示根據本發明實施例在一液晶面板的一像素或顏色子像素之子像素電極。

第 5 圖繪示根據本發明一實施例，像素或顏色子像素的一等效電路。

第 6 圖是一時序圖，其顯示如第 5 圖所示之像素的各種信號和電壓。

第 7a 圖繪示當閘線信號開啟時，第 5 圖的像素或顏色子像素之等效電路。

第 7b 圖繪示當下一閘線信號開啟時，第 5 圖的像素或顏色子像素之等效電路。

第 8 圖繪示根據本發明另一實施例，像素或顏色子像素的一等效電路。

第 9 圖繪示根據本發明又一實施例，像素或顏色子像素的一等效電路。

第 10 圖繪示根據本發明又一實施例，像素或顏色子像素的一等效電路。

第 11 圖繪示根據本發明一不同實施例，像素或顏色子像素的一等效電路。

第 12a 和 12b 圖繪示根據本發明另一不同實施例，像

素或顏色子像素的一等效電路。

第 13 圖是一時序圖，其顯示如第 12a 和 12b 圖所示之像素的各種信號和電壓。

【主要元件符號說明】

- 1 液晶面板
- 10 像素
- 12 上基板
- 14 透明導電層
- 17 電子元件層
- 18 下基板
- 20₁ 子像素
- 20₂ 子像素
- 20₃ 子像素
- 20B 顏色子像素
- 20G 顏色子像素
- 20R 顏色子像素
- 32₁ 子像素電極
- 32₂ 子像素電極
- 34₁ 子像素電極
- 34₂ 子像素電極
- 100 顯示區域
- 132₁ 開關元件

132₂ 開關元件

134₁ 開關元件

134₂ 開關元件

136₁ 開關元件

136₂ 開關元件

138₁ 開關元件

138₂ 開關元件

200 資料驅動器

221 資料線

222 資料線

223 資料線

224 資料線

231 閘線

232 閘線

300 閘驅動器

D1 資料線

D2 資料線

G1 閘線

G2 閘線

G3 閘線

COM 共同電壓

ClcA 電容

ClcB 電容

CstA 電容

CstB 電容

Va 電壓水平

Vb 電壓水平

Vdata 電壓水平

Vx 電壓水平

七、申請專利範圍：

1. 一種液晶顯示面板，包括：

複數像素，其排列為複數的行和列；

複數資料線，其每個資料線提供信號給一系列的該複數像素，及

複數閘線，其每個閘線提供閘線信號給一行的該複數像素，其中每個該像素包含：

一第一子像素區，其包含一第一子像素電極，該第一子像素電極電性連接到一第一電容，該第一子像素電極經配置以通過一第一開關元件從該複數資料線之一者接收該資料信號；及

一第二子像素區，其包含一第二子像素電極，該第二子像素電極電性連接到一第二電容和一第三電容的一第一端，該第二子像素電極經配置以通過一第二開關元件從該複數資料線之該一者接收該資料信號，其中該第三電容的一第二端藉由一第三開關元件連接到該複數資料線之該一者，其中該第一、第二和第三開關元件之每一者包括一控制端，其經配置以接收一第一閘線信號，用以對該第一電容和第二電容進行充電，及其中該第三電容的該第二端連接到一電路元件，以使當該第一閘線信號至少部分通過時，該電路元件造成在該第二電容上的部分電荷轉移到該第三電容。

2. 如申請專利範圍第 1 項所述之液晶顯示面板，其中該第一和第二電容之一端連接到一共同電壓，而該電路元

件包括一第四開關元件，其具有一控制端，該控制端經配置以在該第一開線信號通過後，接收一第二開線信號，用以使該第三電容的該第二端連接至該共同電壓。

3. 如申請專利範圍第 2 項所述之液晶顯示面板，其中，該第三電容的該第二端亦藉由一第四電容連接到該共同電壓。

4. 如申請專利範圍第 1 項所述之液晶顯示面板，其中該第二電容並聯連接到一第四電容。

5. 如申請專利範圍第 1 項所述之液晶顯示面板，其中該第一和第二電容的一端連接到一共同電壓，而該電路元件包括一電阻，其連接到一共同電壓。

6. 如申請專利範圍第 1 項所述之液晶顯示面板，其中該第一和第二電容的一端連接到一共同電壓，而該電路元件包括一電晶體，其具有一二極管連接，該電路元件的一端連接到該共同電壓。

7. 如申請專利範圍第 1 項所述之液晶顯示面板，其中該第一和第二電容之一端連接到一共同電壓，而該電路元件包括一第四電容，其通過一第四開關元件連接至該共同電壓，該第四開關元件包含一控制端，其經配置以在該第一開線信號部分通過後，接收一第二開線信號，用以藉由

該第四電容，將該第三電容的該第二端連接至該共同電壓。

8. 如申請專利範圍第 1 項所述之液晶顯示面板，其中該第一和第二電容之一端連接到一共同電壓，該第三電容的該第二端藉由一第四電容連接到該第三開關元件，而該電路元件包括一第四開關元件，其包含一控制端，該控制端經配置以在該第一閘線信號部分通過後，接收一第二閘線信號，用以將該第三電容的該第二端連接至該共同電壓。

9. 一種在一液晶顯示面板共用充電的方法，該液晶顯示面板包括：

複數像素，其排列為複數行和列；

複數資料線，其每個資料線提供信號給在一列的該複數像素，及

複數閘線，其每個閘線提供閘線信號給在一行的像素，其中每個該像素包含：

一第一子像素區，其包含一第一子像素電極，該第一子像素電極電性連接到一第一電容，該第一子像素電極經配置以通過一第一開關元件從該複數資料線之一者接收該資料信號；及

一第二子像素區，其包含一第二子像素電極，該第二子像素電極電性連接到一第二電容，該第二子像素電極經配置以通過一第二開關元件從該複數資料線之該一者接收該資料信號，該方法包括下列步驟：

藉由一第三開關元件，將一第三電容的一第一端連接至

該第二子像素電極，和將該第三電容的一第二端連接至該資料線的該一者，其中該第一、第二和第三開關元件之每一者包含一控制端，其經配置以接收用於開關的一第一閘線信號；

藉由該第一開關元件，將該第一電容充電至一第一電壓水平，及藉由該第二開關元件，將該第二電容充電到一第二電壓水平，以回應該第一閘線信號；及

當第一閘線信號至少部分通過時，操作地連接該第三電容的該第二端至一電路元件，以轉移在該第二電容的部分電荷至該第三電容，從而減少該第二電壓水平。

10. 如申請專利範圍第 9 項所述之方法，其中該第一和第二電容之一端連接到一共同電壓，而該電路元件包括一第四開關元件，其具有一控制端，該控制端經配置以在該第一閘線信號通過後，接收一第二閘線信號，用以使該第三電容的該第二端連接至該共同電壓。

11. 如申請專利範圍第 10 項所述之方法，更包括：
在該第三電容的該第二端和該共同電壓之間連接一第四電容。

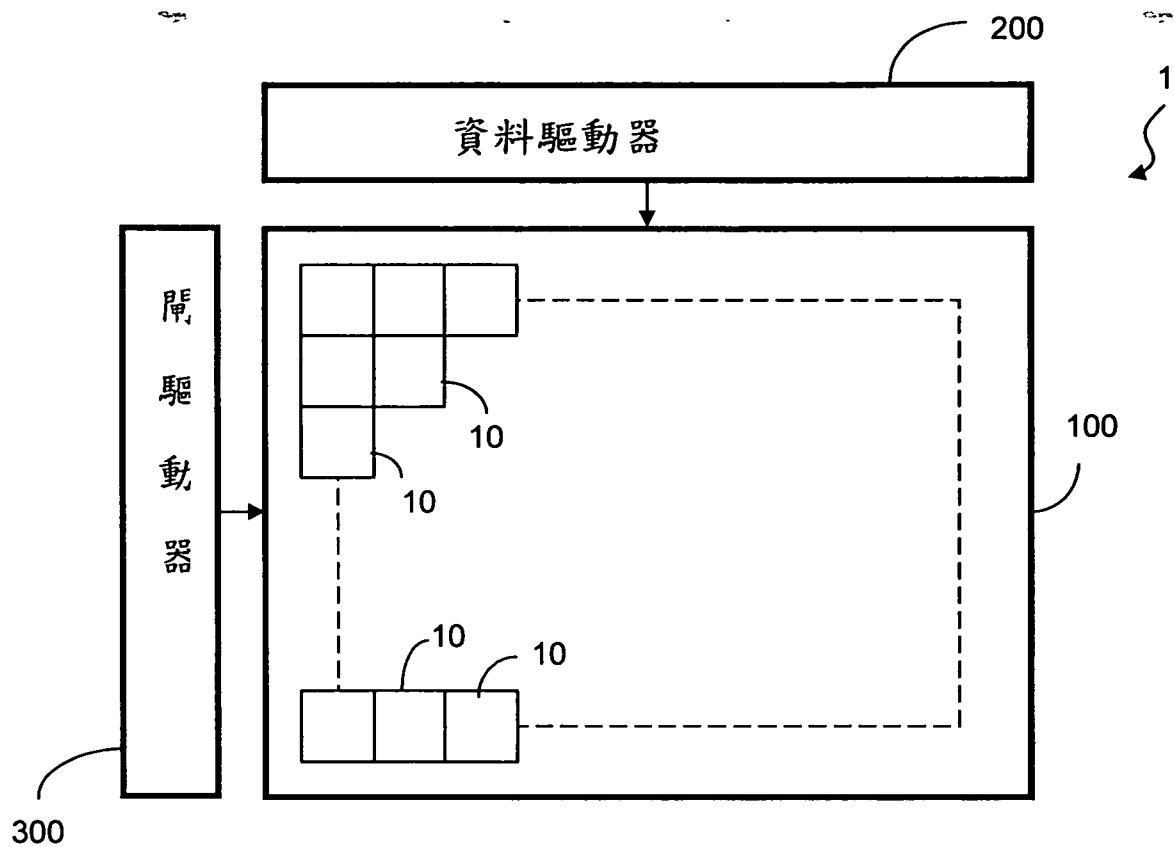
12. 如申請專利範圍第 9 項所述之方法，更包括：
使一第四電容與該第二電容並聯連接。

13. 如申請專利範圍第 9 項所述之方法，其中該第一和

第二電容的一端連接到一共同電壓，而該電路元件包括一電阻，其連接到一共同電壓。

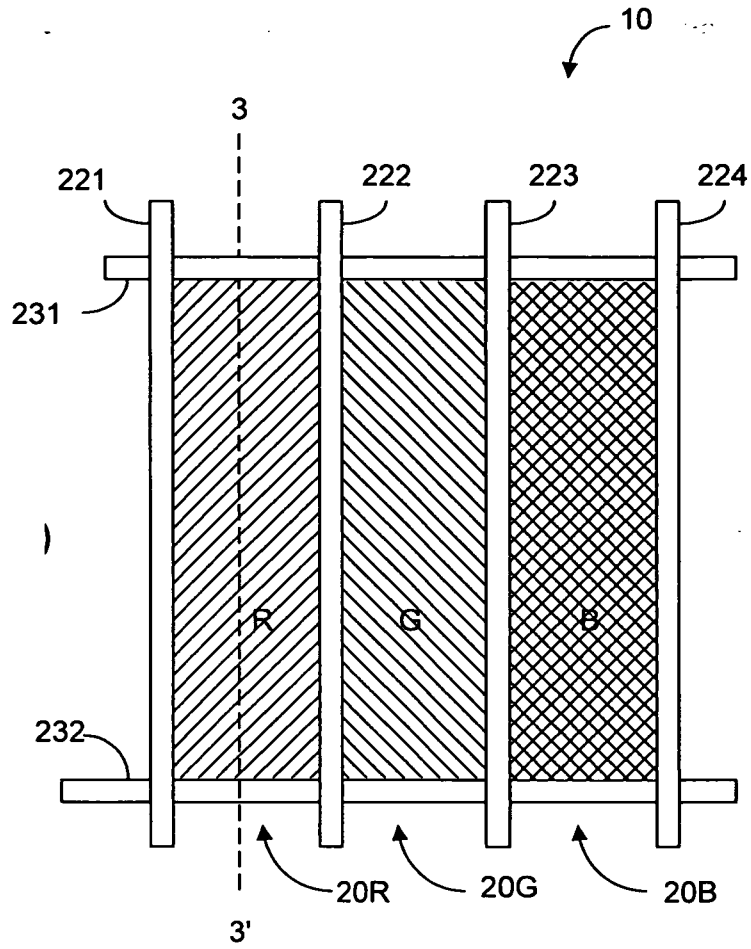
14. 如申請專利範圍第 9 項所述之方法，其中該第一和第二電容之一端連接到一共同電壓，而該電路元件包括一第四電容，其通過一第四開關元件連接至該共同電壓，該第四開關元件包含一控制端，其經配置以在該第一閘線信號部分通過後，接收一第二閘線信號，用以藉由該第四電容，將該第三電容的該第二端連接至該共同電壓。

15. 如申請專利範圍第 9 項所述之方法，其中該第一和第二電容之一端連接到一共同電壓，該第三電容的該第二端藉由一第四電容連接到該第三開關元件，而該電路元件包括一第四開關元件，其包含一控制端，該控制端經配置以在該第一閘線信號部分通過後，接收一第二閘線信號，用以將該第三電容的該第二端連接至該共同電壓。

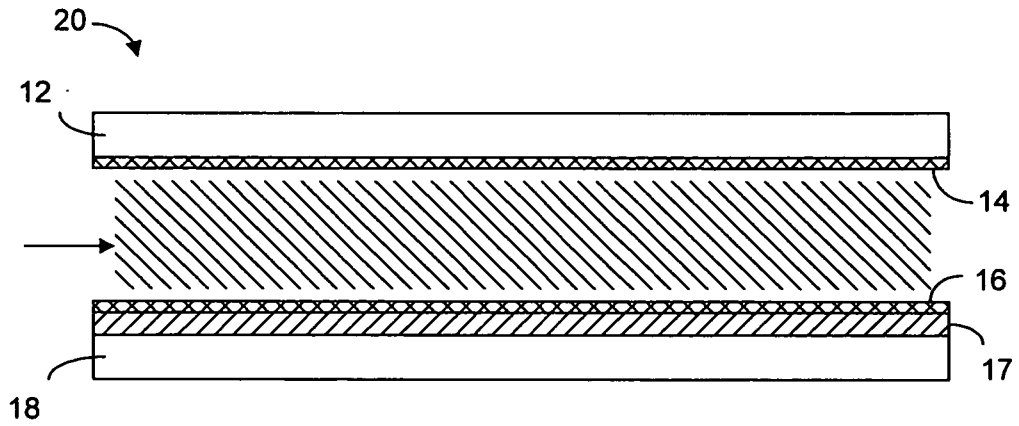


第 1 圖(習知技藝)

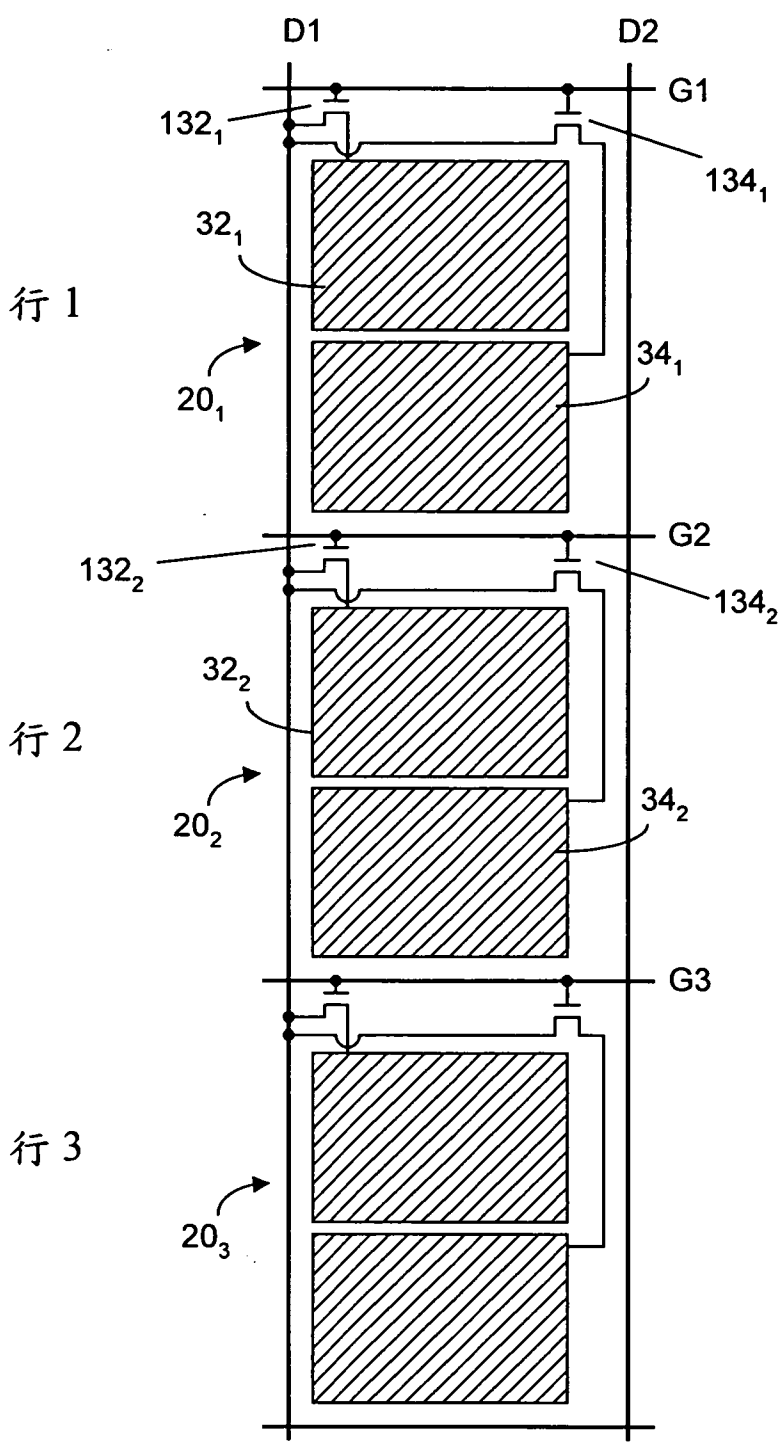
第 2 圖
(習知技藝)



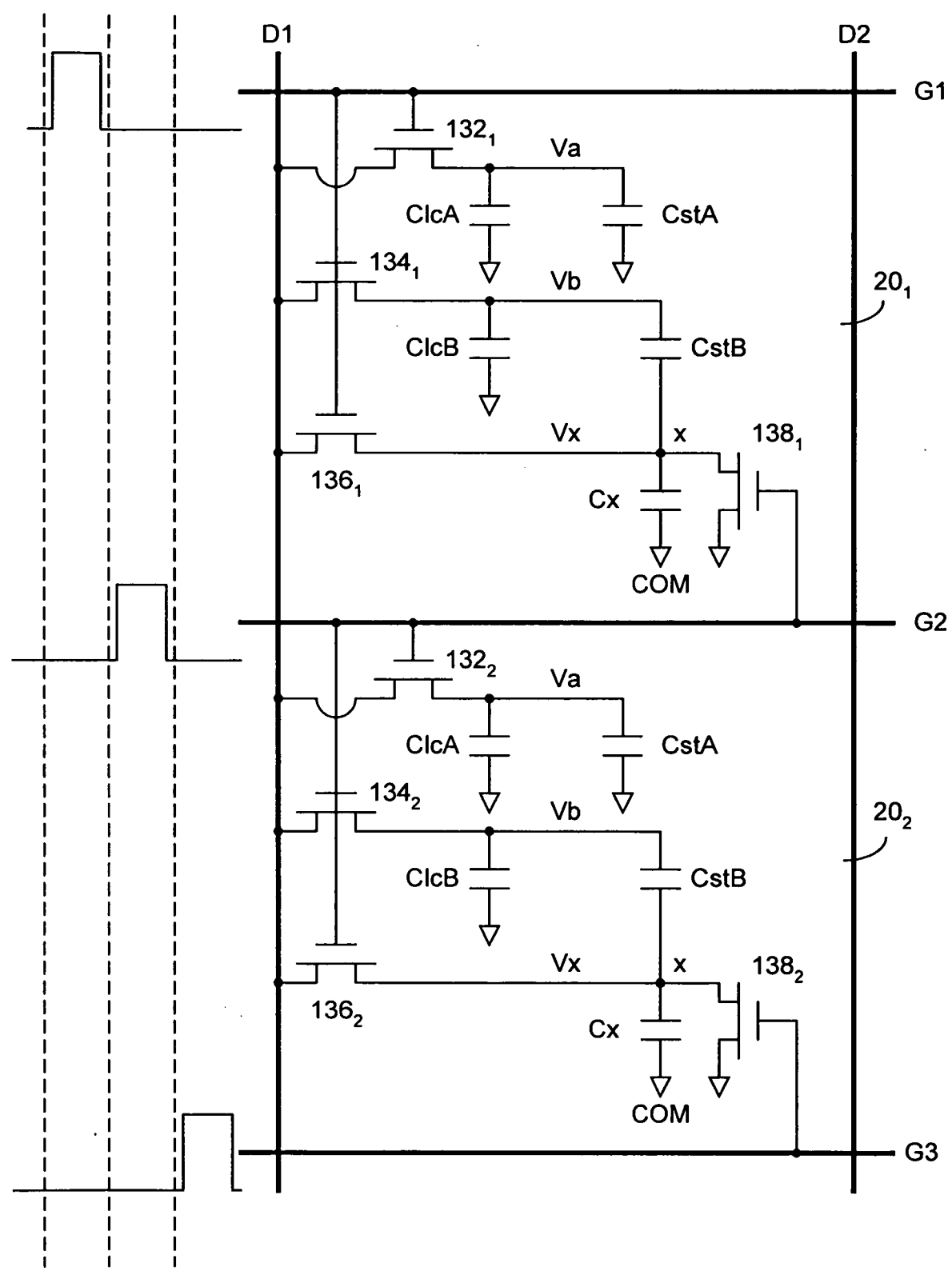
LC 層



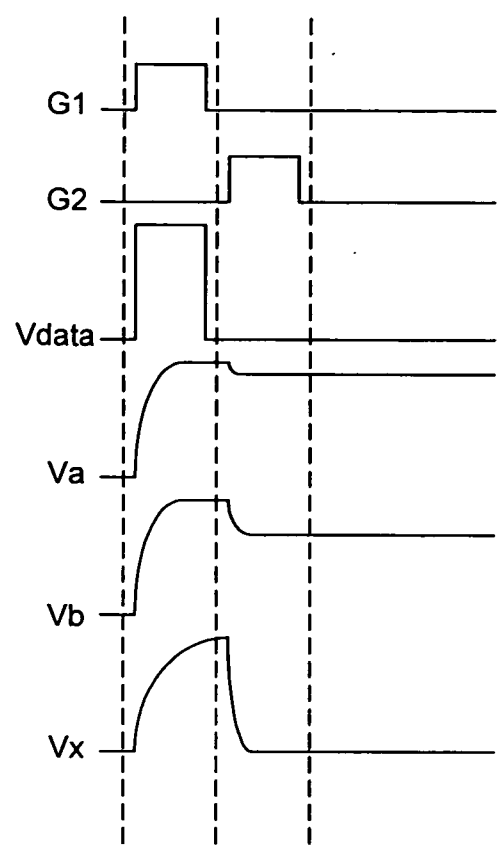
第 3 圖(習知技藝)



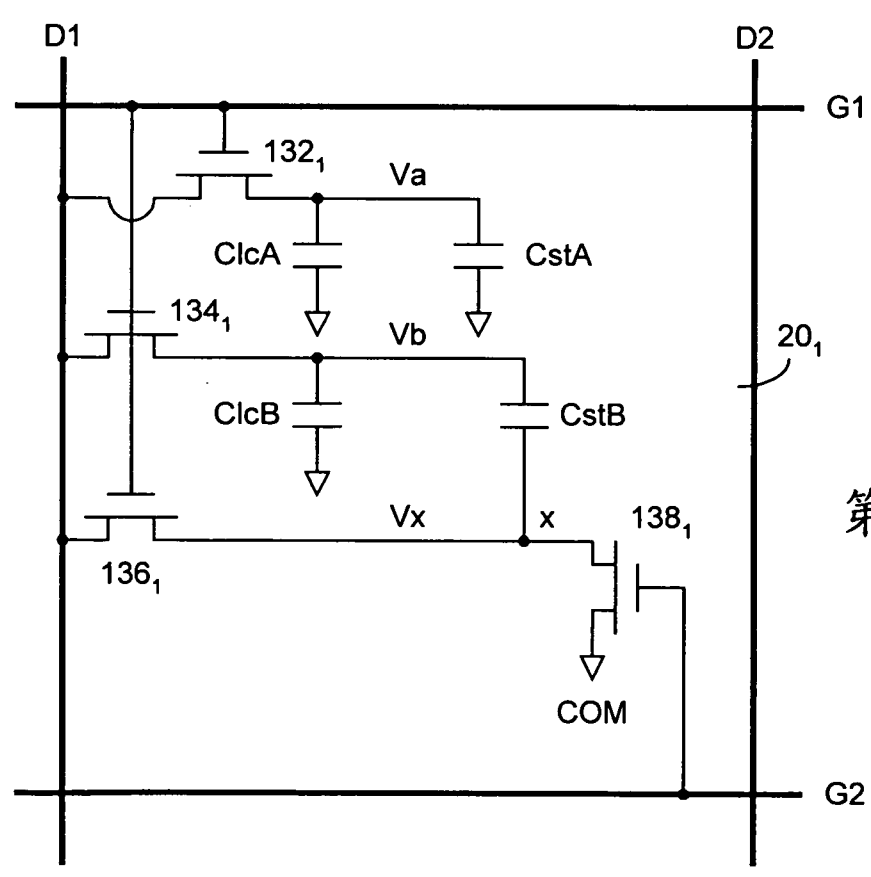
第 4 圖



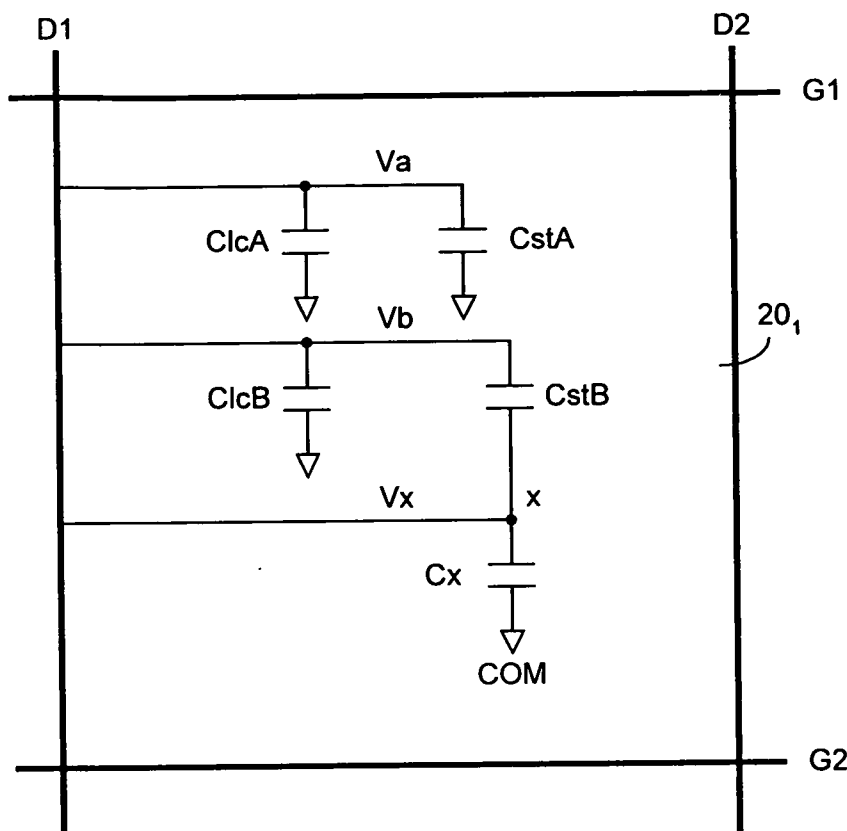
第 5 圖



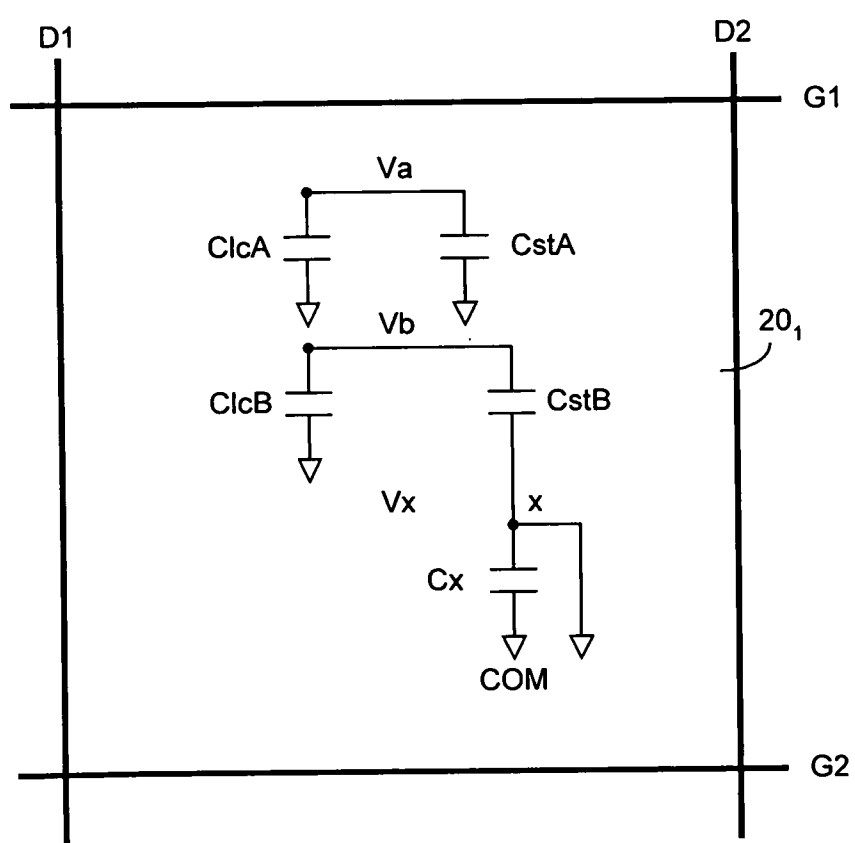
第 6 圖



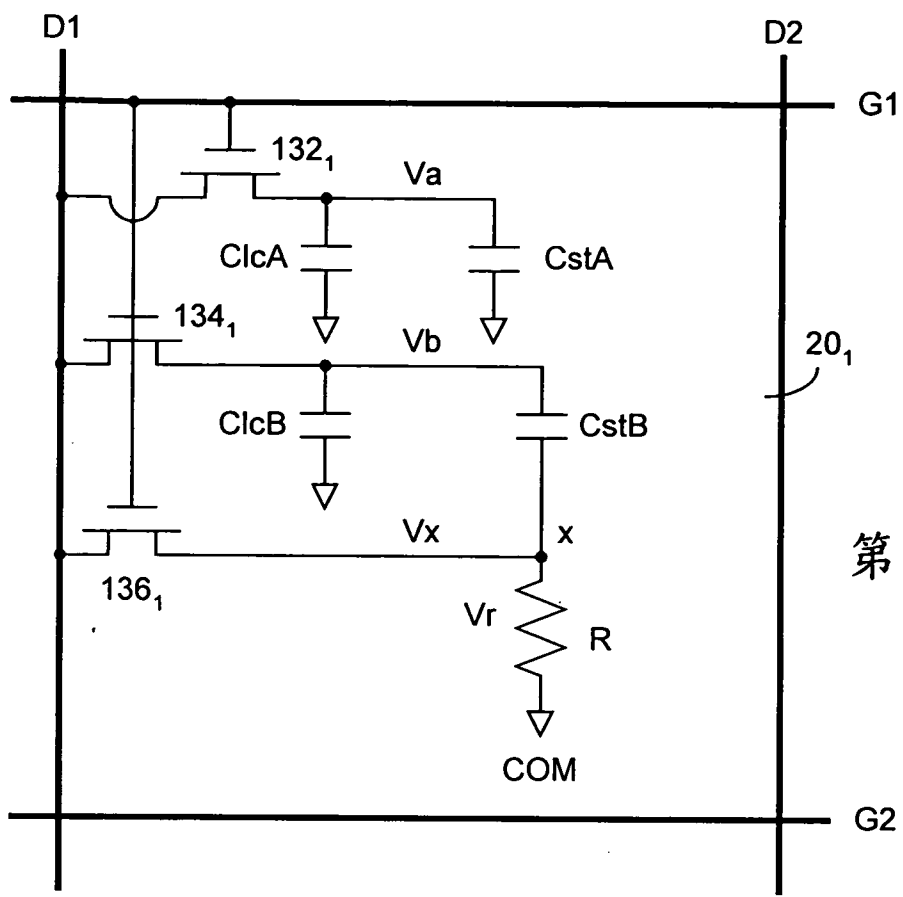
第 8 圖



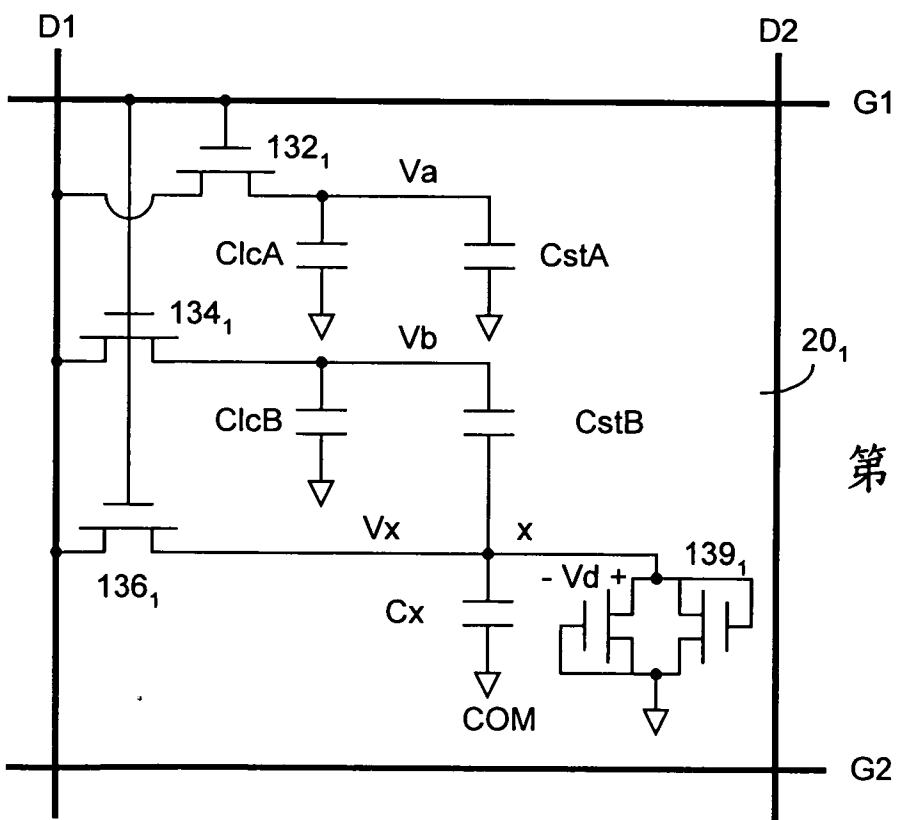
第 7a 圖



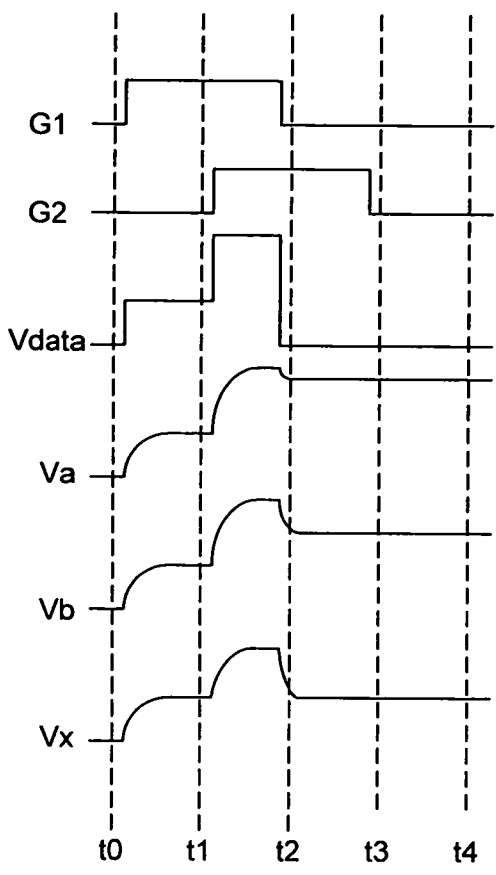
第 7b 圖



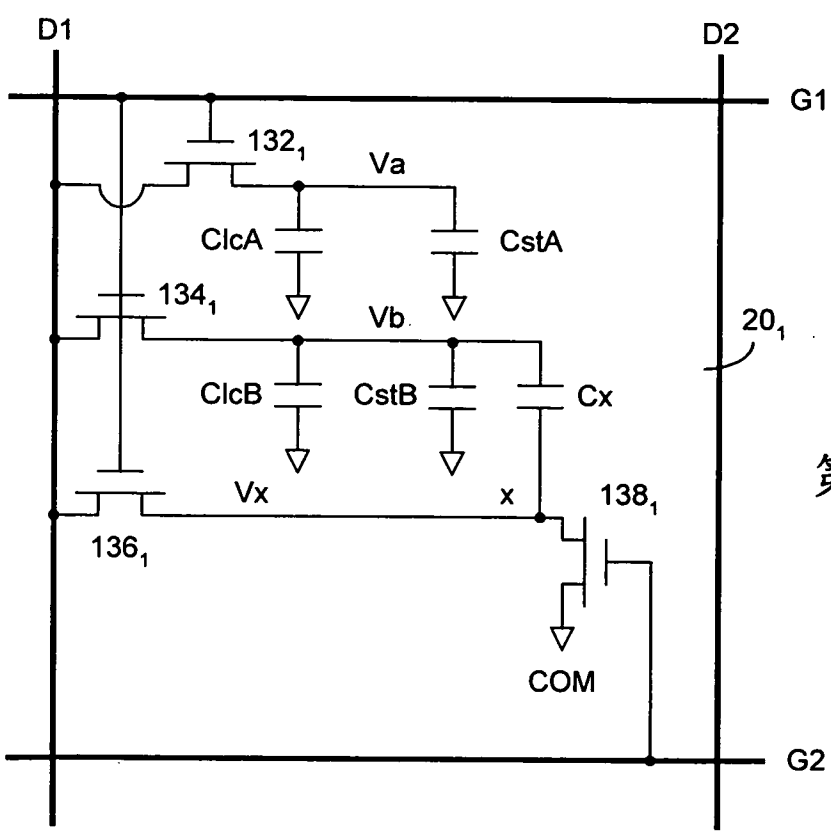
第 9 圖



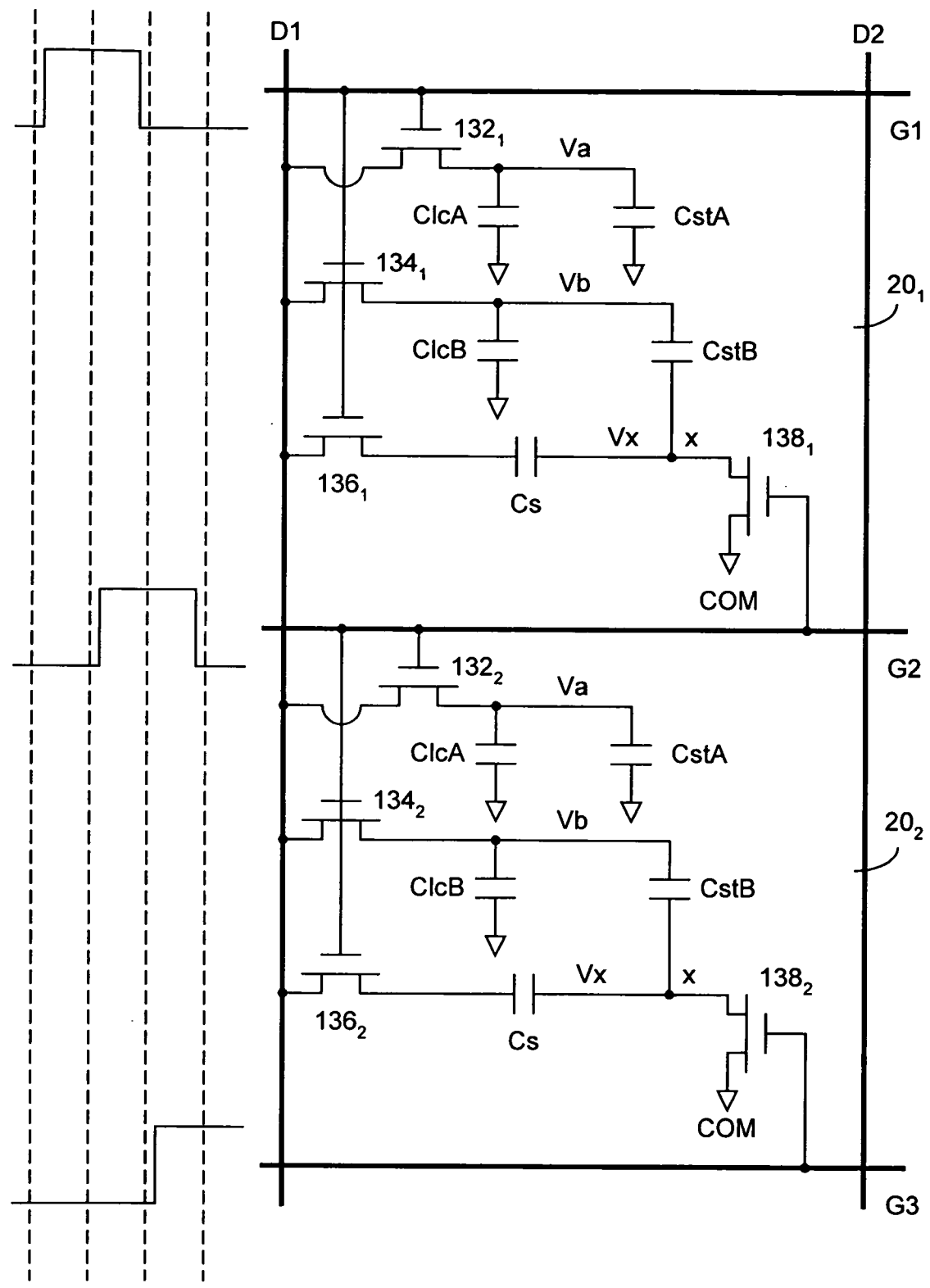
第 10 圖



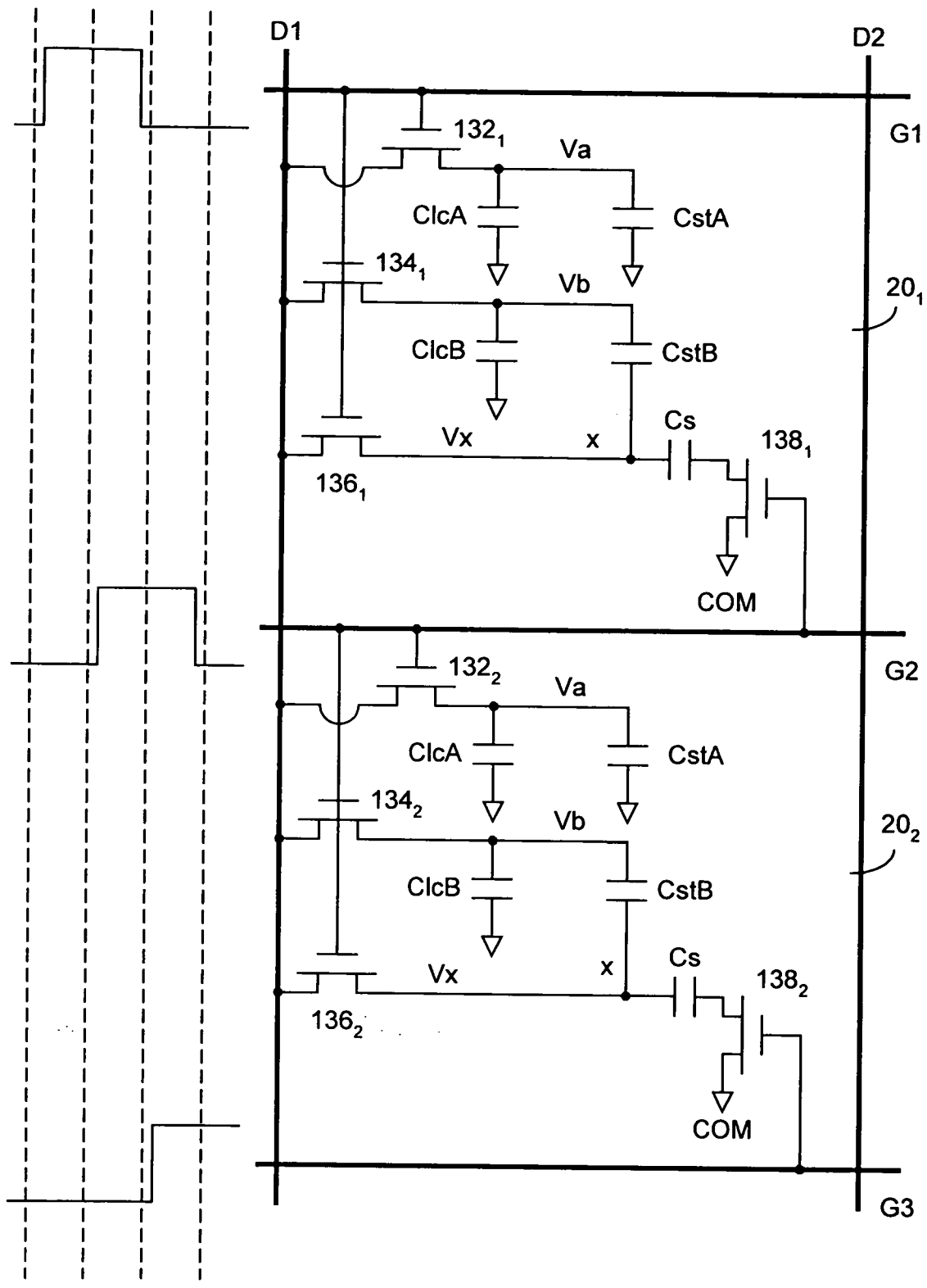
第 13 圖



第 11 圖



第 12a 圖



第 12b 圖