

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6008377号  
(P6008377)

(45) 発行日 平成28年10月19日 (2016. 10. 19)

(24) 登録日 平成28年9月23日 (2016. 9. 23)

(51) Int. Cl.	F I				
HO 1 L 29/06 (2006. 01)	HO 1 L	29/78	6 5 2 P		
HO 1 L 29/78 (2006. 01)	HO 1 L	29/78	6 5 2 K		
HO 1 L 21/28 (2006. 01)	HO 1 L	29/78	6 5 2 M		
HO 1 L 29/41 (2006. 01)	HO 1 L	29/78	6 5 2 N		
	HO 1 L	29/78	6 5 3 A		
請求項の数 3 (全 24 頁) 最終頁に続く					

(21) 出願番号 特願2010-46452 (P2010-46452)  
 (22) 出願日 平成22年3月3日 (2010. 3. 3)  
 (65) 公開番号 特開2011-181809 (P2011-181809A)  
 (43) 公開日 平成23年9月15日 (2011. 9. 15)  
 審査請求日 平成24年8月21日 (2012. 8. 21)  
 審判番号 不服2015-12289 (P2015-12289/J1)  
 審判請求日 平成27年6月30日 (2015. 6. 30)

(73) 特許権者 302062931  
 ルネサスエレクトロニクス株式会社  
 東京都江東区豊洲三丁目2番24号  
 (74) 代理人 100089071  
 弁理士 玉村 静世  
 (72) 発明者 松浦 仁  
 東京都千代田区大手町二丁目6番2号 株  
 式会社ルネサステクノロジ内  
 (72) 発明者 中沢 芳人  
 東京都千代田区大手町二丁目6番2号 株  
 式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 Pチャンネル型パワーMOSFET

(57) 【特許請求の範囲】

【請求項1】

以下を含むPチャンネル型パワーMOSFET:

- (a) 第1及び第2の主面を有するシリコン半導体基板;
- (b) 前記第1の主面に設けられ、下端がドリフト領域内にある多数の線状トレンチ;
- (c) 前記多数の線状トレンチの隣接する線状トレンチ間のそれぞれに、相互に線状トレンチにより分離されるように設けられたソース領域、

ここで、各線状トレンチは、以下を有する:

- (b1) N型ポリシリコン線状フィールドプレート電極;
- (b2) 前記N型ポリシリコン線状フィールドプレート電極に沿って、その上方に設けられたN型ポリシリコン線状ゲート電極、

更に、ここで、前記N型ポリシリコン線状フィールドプレート電極と前記N型ポリシリコン線状ゲート電極は、前記各線状トレンチの外部において相互接続されており、

前記シリコン半導体基板は、前記第2の主面側にP型シリコン単結晶基板領域を有し、  
 前記シリコン半導体基板は、前記第1の主面側に前記P型シリコン単結晶基板領域よりも濃度の低いP型シリコンエピタキシャル領域を有する。

【請求項2】

請求項1に記載のPチャンネル型パワーMOSFETにおいて、前記シリコン半導体基板の前記第2の主面上には、メタルドレイン電極が設けられている。

【請求項3】

10

20

請求項 2 に記載の P チャンネル型パワー MOS F E T において、前記 N 型ポリシリコン線状フィールドプレート電極と前記 N 型ポリシリコン線状ゲート電極は、前記各線状トレンチの外部において、メタル配線を介して相互接続されている。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、半導体装置（または半導体集積回路装置）における MOS F E T デバイス技術に適用して有効な技術に関する。

【背景技術】

【 0 0 0 2 】

日本特開 2 0 0 6 - 2 0 2 9 3 1 号公報（特許文献 1）または、これに対応する米国特許公開 2 0 0 6 - 1 5 7 7 7 9 号公報（特許文献 2）には、通常のトレンチゲート（T r e n c h G a t e）電極の下方にフィールドプレート（F i e l d P l a t e）電極を有する N チャンネル型 MOS F E T が開示されている。

【先行技術文献】

【特許文献】

【 0 0 0 3 】

【特許文献 1】特開 2 0 0 6 - 2 0 2 9 3 1 号公報

【特許文献 2】米国特許公開 2 0 0 6 - 1 5 7 7 7 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

通常、パワー MOS F E T の開発は、オン抵抗で優れる N チャンネルパワー MOS F E T（N - C h a n n e l P o w e r M O S F E T）を優先して開発し、P チャンネルパワー MOS F E T（P - C h a n n e l P o w e r M O S F E T）の設計開発は、対応する N チャンネルパワー MOS F E T をベースとして、そのデバイスにおいて、PN 反転処理を施した構成に基づいて行われる場合が多い。従って、本願の発明者らは、通常のトレンチゲート（T r e n c h G a t e）電極の下方にフィールドプレート（F i e l d P l a t e）電極を有する（トレンチ内ダブルゲート型）P チャンネルパワー MOS F E T において、同手法に従い、トレンチ内に P + ポリシリコンゲート（P o l y s i l i c o n G a t e）電極（真性ゲート電極）と P + フィールドプレート電極（フィールドプレートゲート電極）を有する P チャンネルパワー MOS F E T を製作して、種々の特性を測定したところ、ベースとなった N チャンネルパワー MOS F E T と比較して、種々の問題があることが明らかとなった。すなわち、N チャンネルデバイス（N - C h a n n e l D e v i c e）では問題になるレベルではなかった、ゲートバイアスストレス試験（G a t e B i a s S t r e s s T e s t）において、たとえば N B T I（N e g a t i v e B i a s T e m p e r a t u r e I n s t a b i l i t y）等の信頼性不良が発生する。これは、高温状態で、基板に対してゲートに負のバイアスを印加し続けると、その高温/高バイアスストレスによって界面準位や酸化膜トラップを生成し、P チャンネルパワー MOS F E T の閾値電圧（V t h）やオン抵抗の絶対値がストレス印加時間と共に次第に大きくなってゆく経時劣化現象である。

【 0 0 0 5 】

本願発明は、これらの課題を解決するためになされたものである。

【 0 0 0 6 】

本発明の目的は、信頼性の高い半導体装置を提供することにある。

【 0 0 0 7 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 0 8 】

10

20

30

40

50

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】

すなわち、本願の一つの発明は、N型ポリシリコン線状フィールドプレート電極およびN型ポリシリコン線状ゲート電極を各トレンチ部に有するPチャンネル型パワーMOSFETである。

【発明の効果】

【0010】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0011】

すなわち、N型ポリシリコン線状フィールドプレート電極およびN型ポリシリコン線状ゲート電極を各トレンチ部に有するPチャンネル型パワーMOSFETとすることにより、V<sub>th</sub>の経時劣化を改善することができる。

【図面の簡単な説明】

【0012】

【図1】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャンネルパワーMOSFETのチップ上面図である。

【図2】図1のセル領域切り出し部R1の拡大上面図である。

【図3】図2のX-X'断面に対応するデバイス断面図(第1の実施の形態)である。

【図4】図1のY'-Y断面に対応するデバイス断面図(第1の実施の形態)である。

【図5】図1のY''-Y断面に対応するデバイス断面図(第1の実施の形態)である。

【図6】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャンネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(トレンチ加工用ハードマスク膜パターンニング工程)である。

【図7】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャンネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(トレンチ加工工程)である。

【図8】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャンネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(フィールドプレート周辺絶縁膜成膜工程)である。

【図9】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャンネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(フィールドプレート電極用ポリシリコン膜成膜工程)である。

【図10】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャンネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(フィールドプレート加工工程)である。

【図11】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャンネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(フィールドプレート周辺絶縁膜エッチバック工程)である。

【図12】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャンネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(ゲート絶縁膜成膜工程)である。

【図13】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャンネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(ゲート電極用ポリシリコン膜成膜工程)である。

【図14】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャンネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(ゲート電極パターンニング工程)である。

【図15】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型Pチャンネルパワ

10

20

30

40

50

ーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(Nチャネル領域形成工程)である。

【図16】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(P+ソース領域形成工程)である。

【図17】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(層間絶縁膜成膜工程)である。

【図18】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(コンタクトホール形成工程)である。

【図19】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(コンタクトホール延長およびN+ボディコンタクト領域形成工程)である。

【図20】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(バリアメタル膜成膜工程)である。

【図21】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(アルミニウム系ソースメタル電極膜成膜工程)である。

【図22】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(ポリイミド系ファイナルパッシベーション膜成膜工程)である。

【図23】本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(ゲートパッド開口およびソースパッド開口形成工程)である。

【図24】図2のX-X'断面に対応するデバイス断面図(第2の実施の形態)である。

【図25】図1のY'-Y断面に対応するデバイス断面図(第2の実施の形態)である。

【図26】図1のY''-Y断面に対応するデバイス断面図(第2の実施の形態)である。

【図27】比較例(トレンチゲート電極およびフィールドプレート電極がP型)のデバイスのNBT閾値変動特性のデータプロット図である。

【図28】第1の実施の形態(トレンチゲート電極およびフィールドプレート電極がN型)のデバイスのNBT閾値変動特性のデータプロット図である。

【図29】第2の実施の形態(トレンチゲート電極がP型で、フィールドプレート電極がN型)のデバイスのNBT閾値変動特性のデータプロット図である。

【図30】図1のY''-Y断面に対応する第1の実施の形態の変形例(ソース接続型構造)のデバイス断面図(第2の実施の形態の変形例)である。

【発明を実施するための形態】

【0013】

〔実施の形態の概要〕

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。

【0014】

1. 以下を含むPチャネルパワーMOSFET:

(a) 第1及び第2の主面を有するシリコン系半導体基板;

(b) 前記第1の主面に設けられた多数の線状トレンチ、

ここで、各線状トレンチは、以下を有する:

(b1) N型ポリシリコン線状フィールドプレート電極;

(b2) 前記N型ポリシリコン線状フィールドプレート電極に沿って、その上方に設けられたN型ポリシリコン線状ゲート電極。

## 【 0 0 1 5 】

2 . 前記 1 項の P チャンネルパワー M O S F E T において、前記シリコン系半導体基板は、前記第 2 の主面側に P 型シリコン単結晶基板領域を有する。

## 【 0 0 1 6 】

3 . 前記 2 項の P チャンネルパワー M O S F E T において、前記シリコン系半導体基板は、前記第 1 の主面側に前記 P 型シリコン単結晶基板領域よりも濃度の低い P 型シリコンエピタキシャル領域を有する。

## 【 0 0 1 7 】

4 . 前記 1 から 3 項のいずれか一つの P チャンネルパワー M O S F E T において、前記シリコン系半導体基板の前記第 2 の主面上には、メタルドレイン電極が設けられている。

10

## 【 0 0 1 8 】

5 . 前記 1 から 4 項のいずれか一つの P チャンネルパワー M O S F E T において、前記 N 型ポリシリコン線状フィールドプレート電極と前記 N 型ポリシリコン線状ゲート電極は、相互に、電氣的に接続されている。

## 【 0 0 1 9 】

6 . 前記 1 から 5 項のいずれか一つの P チャンネルパワー M O S F E T において、前記 N 型ポリシリコン線状フィールドプレート電極と前記 N 型ポリシリコン線状ゲート電極は、前記各線状トレンチの外部において相互接続されている。

## 【 0 0 2 0 】

7 . 前記 1 から 6 項のいずれか一つの P チャンネルパワー M O S F E T において、前記 N 型ポリシリコン線状フィールドプレート電極と前記 N 型ポリシリコン線状ゲート電極は、前記各線状トレンチの外部において、メタル配線を介して相互接続されている。

20

## 【 0 0 2 1 】

8 . 前記 1 から 7 項のいずれか一つの P チャンネルパワー M O S F E T において、前記 P チャンネルパワー M O S F E T は、モータドライブ用である。

## 【 0 0 2 2 】

9 . 前記 1 から 8 項のいずれか一つの P チャンネルパワー M O S F E T において、前記 P チャンネルパワー M O S F E T は、低閾値電圧デバイスである。

## 【 0 0 2 3 】

1 0 . 以下を含む P チャンネルパワー M O S F E T :  
 ( a ) 第 1 及び第 2 の主面を有するシリコン系半導体基板 ;  
 ( b ) 前記第 1 の主面に設けられた多数の線状トレンチ、  
 ここで、各線状トレンチは、以下を有する :  
 ( b 1 ) N 型ポリシリコン線状フィールドプレート電極 ;  
 ( b 2 ) 前記 N 型ポリシリコン線状フィールドプレート電極に沿って、その上方に設けられた P 型ポリシリコン線状ゲート電極。

30

## 【 0 0 2 4 】

1 1 . 前記 1 0 項の P チャンネルパワー M O S F E T において、前記シリコン系半導体基板は、前記第 2 の主面側に P 型シリコン単結晶基板領域を有する。

## 【 0 0 2 5 】

1 2 . 前記 1 1 項の P チャンネルパワー M O S F E T において、前記シリコン系半導体基板は、前記第 1 の主面側に前記 P 型シリコン単結晶基板領域よりも濃度の低い P 型シリコンエピタキシャル領域を有する。

40

## 【 0 0 2 6 】

1 3 . 前記 1 0 から 1 2 項のいずれか一つの P チャンネルパワー M O S F E T において、前記シリコン系半導体基板の前記第 2 の主面上には、メタルドレイン電極が設けられている。

## 【 0 0 2 7 】

1 4 . 前記 1 0 から 1 3 項のいずれか一つの P チャンネルパワー M O S F E T において、前記 N 型ポリシリコン線状フィールドプレート電極と前記 P 型ポリシリコン線状ゲート電

50

極は、相互に、電氣的に接続されている。

【 0 0 2 8 】

15. 前記10から14項のいずれか一つのPチャンネルパワーMOSFETにおいて、前記N型ポリシリコン線状フィールドプレート電極と前記P型ポリシリコン線状ゲート電極は、前記各線状トレンチの外部において相互接続されている。

【 0 0 2 9 】

16. 前記10から15項のいずれか一つのPチャンネルパワーMOSFETにおいて、前記N型ポリシリコン線状フィールドプレート電極と前記P型ポリシリコン線状ゲート電極は、前記各線状トレンチの外部において、メタル配線を介して相互接続されている。

【 0 0 3 0 】

17. 前記10から16項のいずれか一つのPチャンネルパワーMOSFETにおいて、前記PチャンネルパワーMOSFETは、モータドライブ用である。

【 0 0 3 1 】

18. 前記10から17項のいずれか一つのPチャンネルパワーMOSFETにおいて、前記PチャンネルパワーMOSFETは、低閾値電圧デバイスである。

【 0 0 3 2 】

〔本願における記載形式、基本的用語、用法の説明〕

1. 本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクションに分けて記載する場合もあるが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しを省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

【 0 0 3 3 】

更に、本願において、「トランジスタ」、「半導体装置」または「半導体集積回路装置」というときは、主に、各種トランジスタ（能動素子）単体、および、それらを中心に、抵抗、コンデンサ等を半導体チップ等（たとえば単結晶シリコン基板）上に集積したものをいう。ここで、各種トランジスタの代表的なものとしては、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）に代表されるMISFET（Metal Insulator Semiconductor Field Effect Transistor）を例示することができる。なお、本願においては、「MOSFET」というときは、ゲート絶縁膜が酸化膜であるもののみでなく、それ以外の絶縁膜をゲート絶縁膜として使用するものを含むものとする。

【 0 0 3 4 】

2. 同様に実施の態様等の記載において、材料、組成等について、「AからなるX」といっても、特にそうでない旨明示した場合および文脈から明らかに、そうでない場合を除き、A以外の要素を主要な構成要素のひとつとするものを排除するものではない。たとえば、成分についていえば、「Aを主要な成分として含むX」等の意味である。たとえば、「シリコン部材」といっても、純粋なシリコンに限定されるものではなく、SiGe合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。同様に、「酸化シリコン膜」、「酸化シリコン系絶縁膜」等と言っても、比較的純粋な非ドーパ酸化シリコン(Undoped Silicon Dioxide)だけでなく、FSG(Fluorosilicate Glass)、TEOSベース酸化シリコン(TEOS-based silicon oxide)、SiOC(Silicon Oxycarbide)またはカーボンドーパ酸化シリコン(Carbon-doped Silicon oxide)またはOSG(Organosilicate glass)、PSG(Phosphorus Silicate Glass)、BPSG(Borophosphosilicate Glass)等の熱酸化膜、CVD酸化膜、SOG(Spin ON Glass)、ナノクラスタリングシリカ(Nano-Clustering Silica:NCS)等の塗布系酸化シリコン、これらと同様な部材に空孔を導入したシリカ系Low-k絶縁膜(ポーラス系絶縁膜)、およびこれらを主要な構成要素とする他のシリコン系絶縁膜との複合膜等を含むことはいうまでもない。

10

20

30

40

50

## 【 0 0 3 5 】

3. 同様に、図形、位置、属性等に関して、好適な例示をするが、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、厳密にそれに限定されるものではないことは言うまでもない。

## 【 0 0 3 6 】

4. さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

## 【 0 0 3 7 】

5. 「ウエハ」というときは、通常は半導体装置（半導体集積回路装置、電子装置も同じ）をその上に形成する単結晶シリコンウエハを指すが、エピタキシャルウエハ、SOI基板、LCDガラス基板等の絶縁基板と半導体層等の複合ウエハ等も含むことは言うまでもない。

10

## 【 0 0 3 8 】

6. 本願において、「パワー半導体」というときは、数ワット以上の電力を扱うことができる半導体デバイスを言う。従って、通常のパワーMOSFETは、全てこれに含まれる。

## 【 0 0 3 9 】

パワーMOSFETの内、「トレンチゲートパワーMOSFET」とは、通常、半導体基板のデバイス面（第1の主面）に形成されたトレンチ（比較的長くて細い溝）内にポリシリコン等のゲート電極があり、半導体基板の厚さ方向（縦方向）にチャネルが形成されるものを言う。この場合、通常、半導体基板のデバイス面側がソースとなり、裏面側（第2の主面側）がドレインとなる。なお、ゲート電極の主要部（電極引き出し部以外の部分）の一部は、トレンチ外にはみ出しても良い。

20

## 【 0 0 4 0 】

トレンチゲートパワーMOSFETの内、「トレンチ内ダブルゲート型パワーMOSFET」は、トレンチ内のゲート電極（真性ゲート電極）の下方に、フィールドプレート電極を有するものを言う。製法上の問題から、トレンチ内に於いてはゲート電極（真性ゲート電極）とフィールドプレート電極（フィールドプレートゲート電極）を分離する場合（ダブルゲート分離型構造）が多いが、ゲート電極とフィールドプレート電極を一体化した構造（ダブルゲート一体型構造）もトレンチ内ダブルゲート型パワーMOSFETに属するものとする。なお、ダブルゲート分離型構造は、更に、フィールドプレートゲート電極の電位を真性ゲート電極と同じにした（トレンチ外で真性ゲート電極に接続）「ゲート接続型」と、フィールドプレートゲート電極の電位をソース電極と同じにした（トレンチ外でソース電極に接続）「ソース接続型」に分類される。

30

## 【 0 0 4 1 】

ここで「フィールドプレート電極」とは、ゲート電極のドレイン側端部近傍に集中する急峻な電位勾配を分散させる働きを有する電極で、通常、ソース電極またはゲート電極に電氣的に接続されている。通常、このフィールドプレート電極とドリフト領域の界面は、ゲート絶縁膜（真性ゲート絶縁膜）よりも厚い絶縁膜で構成されている。

40

## 【 0 0 4 2 】

本願で扱うPチャネル型パワーMOSFETは、パワーデバイスに対する基本的要請であるフェールセーフの観点から、通常、ノーマリオフデバイスであり、閾値電圧（ $V_{th}$ ）は負値（ソース電位を基準とする）である。本願で主に対象とする $V_{th}$ の範囲は、-0.5ボルト程度から-6ボルト程度であるが、本願においては、これらの内、 $V_{th}$ が-0.5ボルト程度から-1.5ボルト程度のもを「低閾値電圧デバイス」と呼ぶ。

## 【 0 0 4 3 】

7. 本願において、「線状」というときは、直線状だけでなく、屈曲部を有するものも含むことは言うまでもない。

## 【 0 0 4 4 】

50

また、トレンチ、電極等について「多数の」というときは、繰り返し構造を構成する程度の数を示すもので、少なくとも10以上の数を示し、本願で主に扱うセル部の繰り返し構造では、通常、100から10000の間の数値を表す。

【0045】

〔実施の形態の詳細〕

実施の形態について更に詳述する。各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【0046】

また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するために、ハッチングを付すことがある。

【0047】

1. 本願の第1の実施の形態のトレンチ内ダブルゲート型(両N+ゲート)PチャンネルパワーMOSFETのデバイス構造の説明(主に図1から図5)

通常的设计手法に従って、単に、トレンチ内ダブルゲート型NチャンネルパワーMOSFETのトレンチゲート電極およびフィールドプレート電極をP型ポリシリコンで置き換えることにより、トレンチ内ダブルゲート型PチャンネルパワーMOSFET構成すると、これらの電極からのボロンの影響で、閾値電圧の経時変化が生じると考えられる。そのため、この例では、あえて、トレンチゲート電極およびフィールドプレート電極に関しては、このNP置換を行わないこととした。なお、この例では、トレンチゲート電極およびフィールドプレート電極を相互に別体のものとしているが、同一型のポリシリコンであり、材料が同一であるので、一体のものとして構成しても良い。

【0048】

トレンチ内ダブルゲート型PチャンネルパワーMOSFETの特性、基本的仕様等はさまざまであるが、本願では、説明の便宜上、主に以下のようなデバイスを中心に説明する。すなわち、たとえば、4.5ボルト駆動、V<sub>th</sub>マイナス1.7ボルト程度(範囲としては-0.5ボルト程度から-6ボルト程度)、耐圧30から150ボルト程度、許容電流80から160アンペア程度、最大動作周波数10から150kHz程度、セルピッチ2.5マイクロメートル程度(範囲としては、0.8から4マイクロメートル程度)、ゲート幅(パターンニング時の寸法で)は、たとえば0.35マイクロメートル程度(範囲としては、たとえば0.15から0.6マイクロメートル程度)、オン抵抗は、たとえば40mΩ/mm<sup>2</sup>程度、チップサイズは、たとえば、縦3ミリメートル、横5ミリメートル程度(通常、主に1辺が数ミリメートルの正方形又は長方形の矩形形状)である。

【0049】

以下の例(セクション2の例を含む)では、主にモータドライブ用デバイスを例にとり説明するので、トレンチゲート電極およびフィールドプレート電極が相互に電氣的に接続されている。しかし、高速スイッチング用(最大動作周波数150kHzから1MHz程度)等の場合は、ソース電極およびフィールドプレート電極を相互に電氣的に接続するようにすれば、ゲート容量を大幅に低減することができる。ただし、その場合は、トレンチゲート電極およびフィールドプレート電極間の絶縁膜を厚めに形成する必要がある。

【0050】

図1は本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャンネルパワーMOSFETのチップ上面図である。図2は図1のセル領域切り出し部R1の拡大上面図である。図3は図2のX-X'断面に対応するデバイス断面図(第1の実施の形態)である。図4は図1のY'-Y断面に対応するデバイス断面図(第1の実施の形態)である。図5は図1のY''-Y断面に対応するデバイス断面図(第1の実施の形態)である。これらに基づいて、本願の第1の実施の形態のトレンチ内ダブルゲート型PチャンネルパワーMOSFETのデバイス構造を説明する。

10

20

30

40

50



## 【 0 0 5 1 】

まず、図 1 に基づいて、トレンチ内ダブルゲート型 P チャネルパワー MOS F E T のデバイスチップ 2 の上面 1 a の概略構造を説明する。図 1 に示すように、チップ 2 (たとえば、シリコン系半導体基板) の端部を周回しているリング状の電極は、ポリシリコンガードリング 3 であり、その内側のリング状の電極は、トレンチゲート電極を外部に引き出すためのゲート配線 4 である。このゲート配線 4 は、ゲートメタル電極 6 に連結しており、ゲートメタル電極 6 の中央部には、ファイナルパッシベーション膜 1 1 (ポリイミド膜) に明けられたゲートパッド開口 8 である。ゲート配線 4 の内側には、チップ上面のほとんどを占有するソースメタル電極 5 があり、その外縁の少し内側には、セル領域 9 の外縁がある。ソースメタル電極 5 の中央部には、ファイナルパッシベーション膜 1 1 (ポリイミド膜) に開けられたソースパッド開口 7 がある。セル領域 9 は、同一周期の繰り返し構造であるので、その一部を切り取った部分、すなわち、セル領域切り出し部 R 1 の拡大上面図を図 2 に示す。

10

## 【 0 0 5 2 】

図 2 に示すように、セル領域 9 は、縦方向については、連続的な並進対象性 (線形構造) を有しており、横方向に関しては、セル領域繰り返し周期 T 1 を周期 (ゲートピッチ) とする並進対象性 (繰り返し構造) を有している。線状のトレンチ 2 2 内には、線状のトレンチゲート電極 1 2 および線状のフィールドプレート電極 2 0 が設けられている。この線状のトレンチゲート電極 1 2 の両側には、線状の P + ソース領域 1 4 があり、一对の線状のトレンチゲート電極 1 2 の間には、N + ボディコンタクト領域 1 5 がある。この N + ボディコンタクト領域 1 5 の中央部に沿って、線状のコンタクト溝 2 4 が設けられている。

20

## 【 0 0 5 3 】

次に、この図 2 の X - X ' 断面図である図 3 に基づいて、セル領域 9 の断面構造を説明する。図 3 に示すように、半導体基板 1 の裏面 1 b 側には、P + シリコン単結晶基板領域 1 s があり、半導体基板 1 の裏面 1 b 上には、メタルドレイン電極としての裏面メタルドレイン電極 1 3 (半導体基板 1 に近い方から、たとえば、チタン層/ニッケル層/金層) がある。P + シリコン単結晶基板領域 1 s の基板表面 1 a 側には P - ドリフト領域 1 6 (たとえば、シリコンエピタキシャル領域) があり、その上には、N 型チャネル領域 1 7 (N - ウエル領域) がある。N - ウエル領域 1 7 の基板表面 1 a 側には、P + ソース領域 1 4 があり、基板表面 1 a 側から、この P + ソース領域 1 4 および N - ウエル領域 1 7 を貫通して、P - ドリフト領域 1 6 の内部に至るトレンチ 2 2 がある。各トレンチ 2 2 内には、N + ポリシリコンフィールドプレート電極 2 0 があり、N + ポリシリコンフィールドプレート電極 2 0 の上方にはフィールドプレート - ゲート間絶縁膜 2 9 を介して N + トレンチゲート電極 1 2 n がある。N + ポリシリコンフィールドプレート電極 2 0 の下方および側方周囲は、フィールドプレート周辺絶縁膜 1 9 で囲まれており、N + トレンチゲート電極 1 2 n の両側面にはゲート絶縁膜 1 8 がある。N + トレンチゲート電極 1 2 n の上側は、層間絶縁膜 1 0 でキャップされており、この層間絶縁膜 1 0 および P + ソース領域 1 4 を貫通し、N 型チャネル領域 1 7 の内部の N + ボディコンタクト領域 1 5 に至るコンタクト溝 2 4 がある。このコンタクト溝 2 4 の内面および層間絶縁膜 1 0 の上面には、たとえば T i W 膜等のバリアメタル膜 5 b が形成されており、コンタクト溝 2 4 の内および層間絶縁膜 1 0 の上面には、比較的厚いアルミニウム系ソースメタル膜 5 a が形成されている。

30

40

## 【 0 0 5 4 】

次に、N + トレンチゲート電極 1 2 n の外部への引き出し、および N + ポリシリコンフィールドプレート電極 2 0 との接続を説明するために、図 1 の Y ' - Y 断面 (図 4) および Y ' ' - Y 断面 (図 5) を図 4 および図 5 に基づいて説明する。図 4 に示すように、フィールド絶縁膜 2 5 上に延在する N + ポリシリコンフィールドプレート電極 2 0 のセル外引き出し部上には、フィールドプレート - ゲート間絶縁膜 2 9 を介して N + トレンチゲート電極 1 2 n のセル外引き出し部が形成されており、トレンチゲート電極 - ゲート配線間接続部 2 7 を介して、(ソースメタル電極と同一層による) ゲート配線 4 と接続されている。一方、図 5 に示すように、N + ポリシリコンフィールドプレート電極 2 0 のセル外引

50

き出し部とゲート配線 4 とは、フィールドプレート - ゲート配線間接続部 2 8 を介して相互に接続されている。その結果、N + ポリシリコンフィールドプレート電極 2 0 と N + トレンチゲート電極 1 2 n とは、ゲート配線 4 を介して、間接的に電氣的に接続されることとなる。

【 0 0 5 5 】

なお、図 4 または図 5 に示すように、チップ 2 の端部主面には、(ソース領域と同一のプロセスで作られた) 最外周 P + 領域 2 6 があり、その内側に沿って、第 2 層ポリシリコンガードリング 3 がある。このポリシリコンガードリング 3 は、コーナ部アルミニウム系配線 3 0 (ゲート配線と同層) を介して最外周 P + 領域 2 6 と電氣的に接続されている (なお、最外周 P + 領域 2 6 はドレイン電位と同電位にされている)。チップ 2 の第 1 の主面 1 a の内部領域は、ポリイミド膜等のファイナルパッシベーション膜 1 1 で被覆されている。

10

【 0 0 5 6 】

2 . 本願の第 2 の実施の形態のトレンチ内ダブルゲート型 ( P + 真性ゲート ) P チャネルパワー MOS F E T のデバイス構造の説明 (主に図 1、図 2、および図 2 4 から図 2 6 )

この例では、セクション 1 における例において、トレンチゲート電極を P 型ポリシリコンで置き換えることにより、低閾値電圧デバイス等の設計等を容易にしている。

【 0 0 5 7 】

図 1 および図 2 に関しては、セクション 1 と共通であるので、このセクションでは、図 2 4 から図 2 6 のみについて説明する。

20

【 0 0 5 8 】

図 2 4 は図 2 の X - X ' 断面に対応するデバイス断面図 (第 2 の実施の形態) である。図 2 5 は図 1 の Y ' - Y 断面に対応するデバイス断面図 (第 2 の実施の形態) である。図 2 6 は図 1 の Y ' ' - Y 断面に対応するデバイス断面図 (第 2 の実施の形態) である。これらに基づいて、本願の第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOS F E T のデバイス構造を説明する。

【 0 0 5 9 】

セクション 1 で説明した図 2 の X - X ' 断面図である図 2 4 に基づいて、セル領域 9 の断面構造を説明する。図 2 4 に示すように、半導体基板 1 の裏面 1 b 側には、P + シリコン単結晶基板領域 1 s があり、半導体基板 1 の裏面 1 b 上には、裏面メタルドレイン電極 1 3 (半導体基板 1 に近い方から、たとえば、チタン層 / ニッケル層 / 金属層) がある。P + シリコン単結晶基板領域 1 s の基板表面 1 a 側には P - ドリフト領域 1 6 (たとえば、シリコンエピタキシャル領域) があり、その上には、N 型チャネル領域 1 7 (N - ウエル領域) がある。N - ウエル領域 1 7 の基板表面 1 a 側には、P + ソース領域 1 4 があり、基板表面 1 a 側から、この P + ソース領域 1 4 および N - ウエル領域 1 7 を貫通して、P - ドリフト領域 1 6 の内部に至るトレンチ 2 2 がある。各トレンチ 2 2 内には、N + ポリシリコンフィールドプレート電極 2 0 があり、N + ポリシリコンフィールドプレート電極 2 0 の上方にはフィールドプレート - ゲート間絶縁膜 2 9 を介して P + トレンチゲート電極 1 2 p がある。N + ポリシリコンフィールドプレート電極 2 0 の下方および側方周囲は、フィールドプレート周辺絶縁膜 1 9 で囲まれており、P + トレンチゲート電極 1 2 p の両側面にはゲート絶縁膜 1 8 がある。P + トレンチゲート電極 1 2 p の上側は、層間絶縁膜 1 0 でキャップされており、この層間絶縁膜 1 0 および P + ソース領域 1 4 を貫通し、N 型チャネル領域 1 7 の内部の N + ボディコンタクト領域 1 5 に至るコンタクト溝 2 4 がある。このコンタクト溝 2 4 の内面および層間絶縁膜 1 0 の上面には、たとえば Ti W 膜等のバリアメタル膜 5 b が形成されており、コンタクト溝 2 4 の内および層間絶縁膜 1 0 の上面には、比較的厚いアルミニウム系ソースメタル膜 5 a が形成されている。

30

40

【 0 0 6 0 】

次に、P + トレンチゲート電極 1 2 p の外部への引き出し、および N + ポリシリコンフィールドプレート電極 2 0 との接続を説明するために、図 1 の Y ' - Y 断面 (図 2 5 ) お

50

よび Y' - Y 断面 (図 26) を図 25 および図 26 に基づいて説明する。図 25 に示すように、フィールド絶縁膜 26 上に延在する N+ ポリシリコンフィールドプレート電極 20 のセル外引き出し部上には、フィールドプレート - ゲート間絶縁膜 29 を介して P+ トレンチゲート電極 12 p のセル外引き出し部が形成されており、トレンチゲート電極 - ゲート配線間接続部 27 を介して、(ソースメタル電極と同一層による) ゲート配線 4 と接続されている。一方、図 5 に示すように、N+ ポリシリコンフィールドプレート電極 20 のセル外引き出し部とゲート配線 4 とは、フィールドプレート - ゲート配線間接続部 28 を介して相互に接続されている。その結果、N+ ポリシリコンフィールドプレート電極 20 と P+ トレンチゲート電極 12 p とは、ゲート配線 4 を介して、間接的に電氣的に接続されることとなる。

10

## 【0061】

なお、図 25 または図 26 に示すように、チップ 2 の端部主面には、(ソース領域と同一のプロセスで作られた) 最外周 P+ 領域 26 があり、その内側に沿って、第 2 層ポリシリコンガードリング 3 がある。このポリシリコンガードリング 3 は、最外周 P+ 領域 26 と電氣的に接続されている。チップ 2 の第 1 の主面 1 a の内部領域は、ポリイミド膜等のファイナルパッシベーション膜 11 で被覆されている。

## 【0062】

3. 本願の第 1 及び第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOSFET のウエハプロセスの主要部の説明 (主に図 6 から図 23)

このプロセスは、ポリシリコンゲート電極に関する一部のプロセスが異なる以外、第 1 及び第 2 の実施の形態に関して基本的に共通であるので、以下では、主に第 1 の実施の形態に関して説明し、異なる部分では、併せて、第 2 の実施の形態について説明する。

20

## 【0063】

図 6 は本願の第 1 及び第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOSFET の図 2 の X - X' 断面に対応するデバイス断面プロセスフロー図 (トレンチ加工用ハードマスク膜パターンニング工程) である。図 7 は本願の第 1 及び第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOSFET の図 2 の X - X' 断面に対応するデバイス断面プロセスフロー図 (トレンチ加工工程) である。図 8 は本願の第 1 及び第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOSFET の図 2 の X - X' 断面に対応するデバイス断面プロセスフロー図 (フィールドプレート周辺絶縁膜成膜工程) である。図 9 は本願の第 1 及び第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOSFET の図 2 の X - X' 断面に対応するデバイス断面プロセスフロー図 (フィールドプレート電極用ポリシリコン膜成膜工程) である。図 10 は本願の第 1 及び第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOSFET の図 2 の X - X' 断面に対応するデバイス断面プロセスフロー図 (フィールドプレート加工工程) である。図 11 は本願の第 1 及び第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOSFET の図 2 の X - X' 断面に対応するデバイス断面プロセスフロー図 (フィールドプレート周辺絶縁膜エッチバック工程) である。図 12 は本願の第 1 及び第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOSFET の図 2 の X - X' 断面に対応するデバイス断面プロセスフロー図 (ゲート絶縁膜成膜工程) である。図 13 は本願の第 1 及び第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOSFET の図 2 の X - X' 断面に対応するデバイス断面プロセスフロー図 (ゲート電極用ポリシリコン膜成膜工程) である。図 14 は本願の第 1 及び第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOSFET の図 2 の X - X' 断面に対応するデバイス断面プロセスフロー図 (ゲート電極パターンニング工程) である。図 15 は本願の第 1 及び第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOSFET の図 2 の X - X' 断面に対応するデバイス断面プロセスフロー図 (N チャネル領域形成工程) である。図 16 は本願の第 1 及び第 2 の実施の形態のトレンチ内ダブルゲート型 P チャネルパワー MOSFET の図 2 の X - X' 断面に対応するデバイス断面プロセスフロー図 (P+ ソース領域形成工程) である。図 17 は本願の第 1 及び第 2 の実施の形態のトレンチ

30

40

50

内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(層間絶縁膜成膜工程)である。図18は本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(コンタクトホール形成工程)である。図19は本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(コンタクトホール延長およびN+ボディコンタクト領域形成工程)である。図20は本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(バリアメタル膜成膜工程)である。図21は本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(アルミニウム系ソースメタル電極膜成膜工程)である。図22は本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(ポリイミド系ファイナルパッシベーション膜成膜工程)である。図23は本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETの図2のX-X'断面に対応するデバイス断面プロセスフロー図(ゲートパッド開口およびソースパッド開口形成工程)である。これらに基づいて、本願の第1及び第2の実施の形態のトレンチ内ダブルゲート型PチャネルパワーMOSFETのウエハプロセスの主要部を説明する。

10

**【0064】**

20

ここでは、200ファイのp+型シリコン単結晶ウエハ1s(シリコン系ウエハ)にp-型エピタキシャル層1e(エピタキシャル層の厚さは、たとえば、耐圧40ボルト程度の場合を例にとると、7マイクロメートル程度)を形成したp-型エピタキシャルウエハ1を原材料ウエハとして使用する例を説明するが、ウエハの径は300ファイでも450ファイでも、その他でもよい。また、必要があれば、n型エピタキシャルウエハ以外、シリコン系以外の半導体ウエハ又は基板であってもよい。

**【0065】**

まず、図6に示すように、ウエハ1のデバイス面1aのほぼ全面に、たとえば低圧CVD(Chemical Vapor Deposition)等により、たとえば、450nm程度の厚さの酸化シリコン膜21を成膜する。この酸化シリコン膜21をたとえば通常のリソグラフィによりパターンニングすることにより、トレンチ加工用ハードマスク膜21とする。

30

**【0066】**

次に、図7に示すように、トレンチ加工用ハードマスク膜21を用いて、異方性ドライエッチングにより、たとえば深さ3マイクロメートル程度のトレンチ22を形成する。

**【0067】**

次に、図8に示すように、トレンチ22の内面及びウエハ1のデバイス面1aに、たとえば、熱酸化により、フィールドプレート周辺絶縁膜19となるべき酸化シリコン膜(たとえば厚さ200nm程度)を形成する。

40

**【0068】**

次に、図9に示すように、トレンチ22内およびウエハ1のデバイス面1aのほぼ全面に、たとえばCVD等により、フィールドプレート電極20となるべき、たとえば厚さ600nm程度の高濃度リンドーブポリシリコン層(第1層のポリシリコン膜)を形成する。

**【0069】**

次に、図10に示すように、たとえば、SF<sub>6</sub>等のエッチングガスを用いたドライエッチングによって、高濃度リンドーブポリシリコン層20をシリコンの主表面から、たとえば1.4マイクロメートル程度、エッチバックする。

**【0070】**

次に、図11に示すように、たとえば、弗酸系の酸化シリコンエッチング液等により、

50

ウエットエッチングすることにより、トレンチ 22 の Si 側壁が露出する程度まで、フィールドプレート周辺絶縁膜 19 を除去する。

【0071】

次に、図 12 に示すように、たとえば、熱酸化等により、厚さ 50 nm 程度のゲート絶縁膜 18 (酸化シリコン膜) を形成する。なお、このとき同時に、フィールドプレート - ゲート間絶縁膜 29 が形成される。

【0072】

次に、図 13 に示すように、トレンチ 22 内およびウエハ 1 のデバイス面 1 a のほぼ全面に、たとえば CVD 等により、N+ トレンチゲート電極 12 n (トレンチゲートポリシリコン層) となるべき、たとえば厚さ 600 nm 程度の高濃度リンドーブポリシリコン層 (第 2 層のポリシリコン膜) を形成する。ここで、第 2 の実施の形態の場合は、高濃度リンドーブポリシリコン層 12 n の代わりに、高濃度ボロドーブポリシリコン層 12 p を形成する。

10

【0073】

次に、図 14 に示すように、たとえば、SF<sub>6</sub> 等のエッチングガスを用いたドライエッチングによって、高濃度リンドーブポリシリコン層 12 n をシリコンの主表面を露出するようにエッチバックする。

【0074】

次に、図 15 に示すように、たとえば、熱酸化等により、ウエハ 1 のデバイス面 1 a 側をチャンネル注入用酸化シリコン膜 23 で被覆する。続いて、セル領域 9 の全面にリンイオンをイオン注入することによって、N 型チャンネル領域 17 (N - ウエル領域) を形成する。イオン注入の条件としては、たとえば、イオン種：燐、打ち込みエネルギー：200 keV から 400 keV 程度、濃度： $1 \times 10^{12} / \text{cm}^2$  から  $5 \times 10^{13} / \text{cm}^2$  程度を例示することができる。この後、不要となった熱酸化 23 を除去する。

20

【0075】

次に、図 16 に示すように、セル領域 9 の全面に P 型不純物をイオン注入することによって、P+ ソース領域 14 を形成する。イオン注入の条件としては、たとえば、イオン種：BF<sub>2</sub>、打ち込みエネルギー：50 keV ~ 100 keV 程度、濃度： $1 \times 10^{15} \sim 5 \times 10^{15} / \text{cm}^2$  程度を例示することができる。

【0076】

次に、図 17 に示すように、ウエハ 1 のデバイス面 1 a のほぼ全面に、層間絶縁膜 10 を形成する。層間絶縁膜 10 としては、たとえば、PSG (Phospho - Silicate Glass) 膜 (たとえば、厚さ 450 nm 程度) からなる絶縁膜を好適なものとして例示することができる。

30

【0077】

次に、図 18 に示すように、通常のリソグラフィによって、ウエハ 1 のデバイス面 1 a 上に、レジスト膜等の対エッチングマスクパターンを形成し、それをマスクとして、異方性ドライエッチングを実行することによって、コンタクトホール 24 (コンタクト溝) を開口する。

【0078】

次に、図 19 に示すように、異方性ドライエッチングにより、コンタクト溝 24 を P+ ソース領域 14 より深いところまで延長する。続いて、延長したコンタクト溝 24 の底に N 型不純物をイオン注入して、自己整合的に N+ ボディコンタクト領域 15 を形成する。イオン注入の条件としては、たとえば、イオン種：燐、打ち込みエネルギー：80 keV 程度、濃度： $1 \times 10^{15} \sim 5 \times 10^{15} / \text{cm}^2$  程度を例示することができる。

40

【0079】

次に、図 20 に示すように、たとえばスパッタリング成膜により、前記コンタクト溝 24 の内面、およびウエハ 1 のデバイス面 1 a のほぼ全面に、たとえば、TiW 膜等からなるバリアメタル膜 5 b (たとえば、厚さ 200 nm 程度) を形成する (TiW 膜中のチタンの多くの部分は、後の熱処理によって、シリコン界面に移動してシリサイドを形成して

50

、コンタクト特性の改善に寄与するが、これらの過程は煩雑であるので図面には表示しない)。

【0080】

次に、図21に示すように、たとえばスパッタリング成膜により、前記コンタクト溝24の内面、およびウエハ1のデバイス面1aのほぼ全面に、たとえば、アルミニウムを主要な成分とする(たとえば、数%シリコン添加、残りはアルミニウム)アルミニウム系ソースメタル膜5a(たとえば、厚さ5マイクロメートル程度)を形成する。続いて、通常のリソグラフィによって、アルミニウム系ソースメタル膜5aおよびバリアメタル膜5bからなるソースメタル電極5をパターンニングする。

【0081】

次に、図22に示すように、ファイナルパッシベーション膜11として、たとえば、ポリイミドを主要な成分とする有機膜(たとえば、厚さ2.5マイクロメートル程度)等をウエハ1のデバイス面1aのほぼ全面に塗布する。

【0082】

次に、図23に示すように、通常のリソグラフィによって、図1のソースパッド開口7、ゲートパッド開口8、および、図4、図5、図25、図26等に示すチップ2の周辺部のファイナルパッシベーション膜11を除去する。

【0083】

次に、図3(図24)に示すように、ウエハ1の裏面1bに対して、バックグラインディング処理を施すことによって、たとえば、800マイクロメートル程度のウエハ厚を必要により、たとえば200から30マイクロメートル程度に薄膜化する。その後、裏面電極13をたとえばスパッタリング成膜により、形成する。更に、ダイシング等により、ウエハ1を個々のチップ2に分割する。

【0084】

4. 本願の第1及び第2の実施の形態の変形例(ソース接続型デバイス)の説明(主に図30)

このセクションでは、セクション1から3に説明したゲート接続型構造の変形例として第1及び第2の実施の形態に対応するソース接続型デバイスを説明する。

【0085】

図30は、図1のY'-Y断面に対応する第1の実施の形態の変形例(ソース接続型構造)のデバイス断面図(第2の実施の形態の変形例)である。なお、この部分以外の構造は、先に説明したところと同じであるので、説明は省略する。

【0086】

図30に示すように、フィールドプレート電極20は、トレンチの外部において、ソースメタル電極5(または、それと同層のメタル配線)を介して、ソース電極と接続されている。

【0087】

5. 本願の第1及び第2の実施の形態等に関する補足的説明(主に図27から図29)

このセクションでは、主に以上説明した各例に関してのNBT(Negative Bias Temperature)閾値変動特性データ等を説明する。

【0088】

図27は比較例(トレンチゲート電極およびフィールドプレート電極がP型)のデバイスのNBT閾値変動特性のデータプロット図である。図28は第1の実施の形態(トレンチゲート電極およびフィールドプレート電極がN型)のデバイスのNBT閾値変動特性のデータプロット図である。図29は第2の実施の形態(トレンチゲート電極がP型で、フィールドプレート電極がN型)のデバイスのNBT閾値変動特性のデータプロット図である。

【0089】

図27に示すように、比較例(単純置換例)のデバイスでは、試験時間が長くなると急

10

20

30

40

50

速に閾値電圧が上昇することがわかる。これに対して、図28に示すように、第1の実施の形態のデバイスでは、試験時間に係らず、閾値電圧は一定の傾きで徐々にしか上昇していないことがわかる。一方、第2の実施の形態のデバイスでは、やはり、試験時間に係らず、閾値電圧は一定の傾きで徐々にしか上昇していない点は、第1の実施の形態のデバイスと同じであるが、全体として、変動率が若干高いことがわかる。これは、トレンチゲート電極がP型でボロンを多量に含むことが、影響しているものと考えられる。

【0090】

従って、これらのデータ等より、以下のようなことが言える。すなわち、

(1) ゲートバイアスによるデバイス特性の経時的変動抑制効果という点では、第1の実施の形態のデバイス構造が最も有利である。

(2) ただし、低閾値電圧デバイスの場合は、チャンネル領域の濃度を下げる必要があるというデメリットがある。

(3) この点、第2の実施の形態のデバイス構造は、低閾値電圧デバイスに適合しているといえることができる。もちろん、前記のような、必要な調整をすれば、第1の実施の形態で低閾値電圧デバイスを製作することができることは言うまでもない。

【0091】

#### 6. サマリ

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0092】

例えば、前記各実施の形態では、各層のポリシリコン部材として、ドーブトポリシリコン(Doped Poly-silicon)等を用いた例を具体的に説明したが、本願発明はそれに限定されるものではなく、両方又は一方に、ノンドーブトポリシリコン(Nondoped Poly-silicon)膜を適用して、成膜後にイオン注入等により、必要な不純物を添加するようにしてもよい。この場合は、ノンドーブトポリシリコンを利用してESD保護用のポリシリコンダイオードをオプションデバイスとして形成するなど、プロセス自由度を高めることができるが、反面、プロセスコストは高くなる。一方、ドーブトポリシリコンを使用すると、プロセス自由度は若干犠牲になるが、比較的簡単に低抵抗のポリシリコン層を形成することができる。

【0093】

例えば、前記各実施の形態では、トレンチ内ダブルゲート構造のパワーMOSFETについて説明したが、本発明は、例えば、トレンチ内ダブルゲート構造のIGBT(Insulated Gate Bipolar Transistor)にも適用することができる。

【符号の説明】

【0094】

- 1 半導体基板(半導体ウエハ)
- 1a チップ又はウエハの表面
- 1b チップ又はウエハの裏面
- 1e P-シリコンエピタキシャル領域
- 1s P+シリコン単結晶基板領域
- 2 半導体チップ
- 3 ガードリング(第2層ポリシリコンガードリング)
- 4 (ソースメタル電極と同一層による)ゲート配線
- 5 ソースメタル電極
- 5a アルミニウム系ソースメタル膜
- 5b バリアメタル膜
- 6 ゲートメタル電極
- 7 ソースパッド開口
- 8 ゲートパッド開口

10

20

30

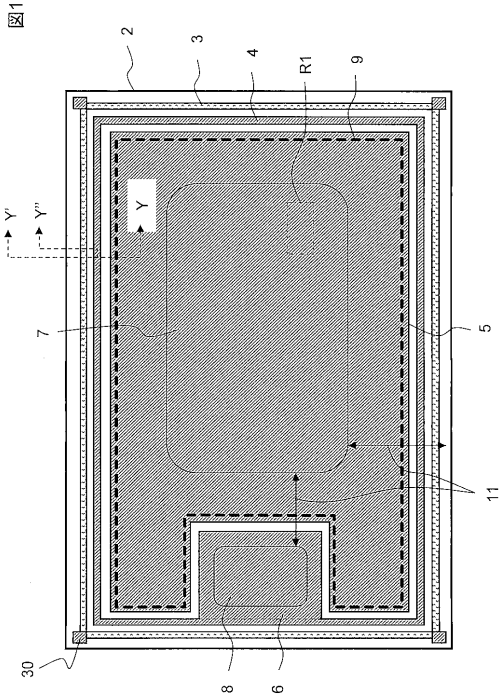
40

50

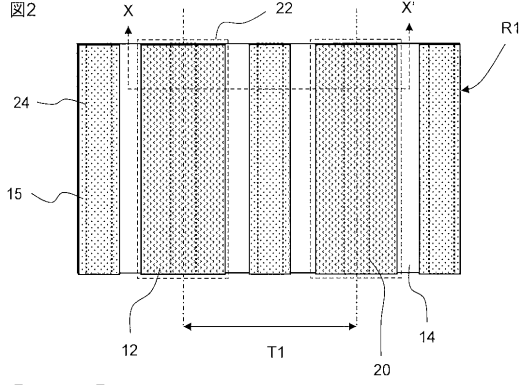
9	セル領域	
10	層間絶縁膜	
11	ファイナルパッシベーション膜 (ポリイミド膜)	
12	トレンチゲート電極 (トレンチゲート第1層ポリシリコン層)	
12 n	N + トレンチゲート電極 (トレンチゲートポリシリコン層)	
12 p	P + トレンチゲート電極 (トレンチゲートポリシリコン層)	
13	裏面メタルドレイン電極	
14	P + ソース領域	
15	N + ボディコンタクト領域	
16	P - ドリフト領域	10
17	N型チャネル領域 (N - ウエル領域)	
18	ゲート絶縁膜	
19	フィールドプレート周辺絶縁膜	
20	フィールドプレート電極	
21	トレンチ加工用ハードマスク膜	
22	トレンチ	
23	チャネル注入用酸化シリコン膜	
24	コンタクトホール (コンタクト溝)	
25	フィールド絶縁膜	
26	(ソース領域に対応する) 最外周 P + 領域	20
27	トレンチゲート電極 - ゲート配線間接続部	
28	フィールドプレート - ゲート配線間接続部	
29	(ゲート絶縁膜と同層の) フィールドプレート - ゲート間絶縁膜	
30	コーナ部アルミニウム系配線	
R 1	セル領域切り出し部	
T 1	セル領域繰返し周期	



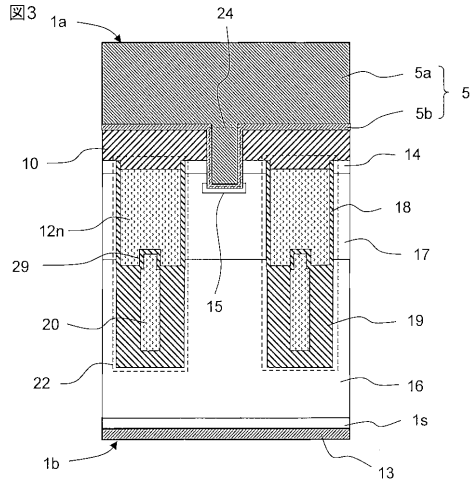
【図1】



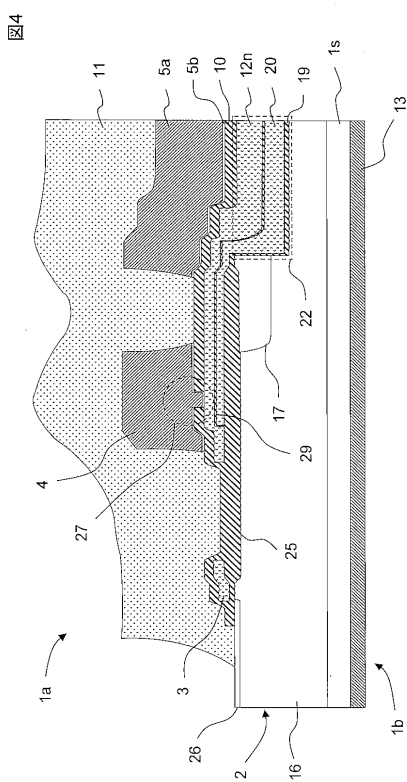
【図2】



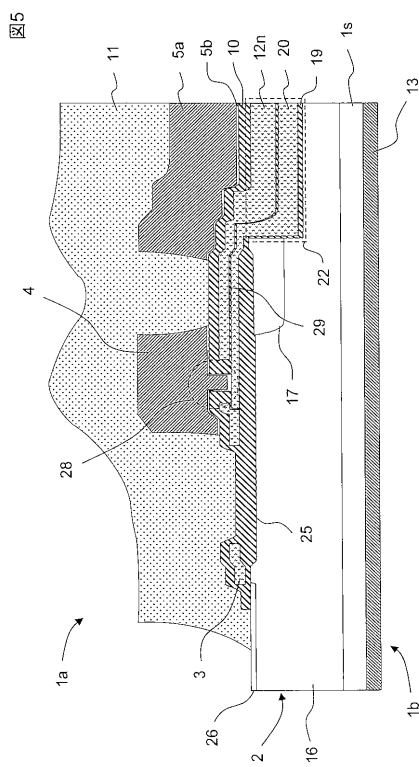
【図3】



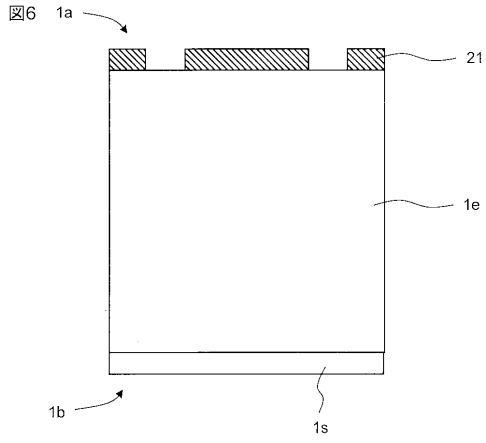
【図4】



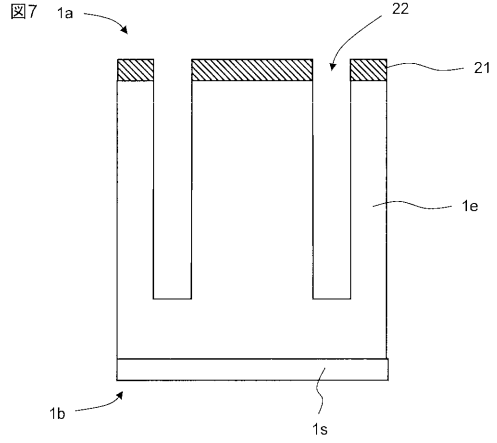
【図5】



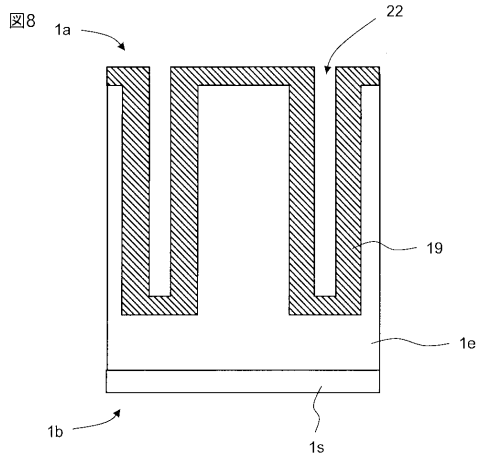
【図6】



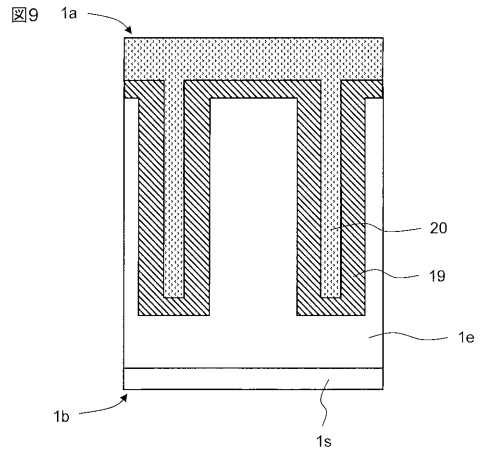
【図7】



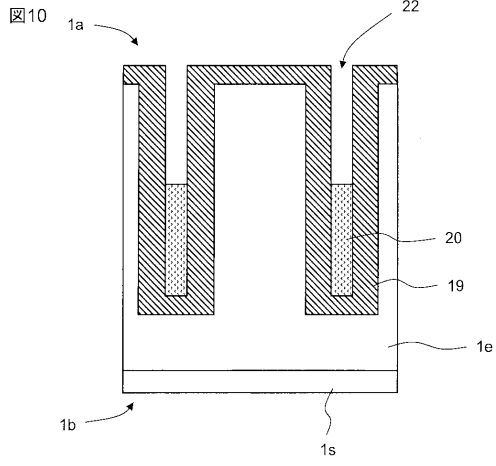
【図8】



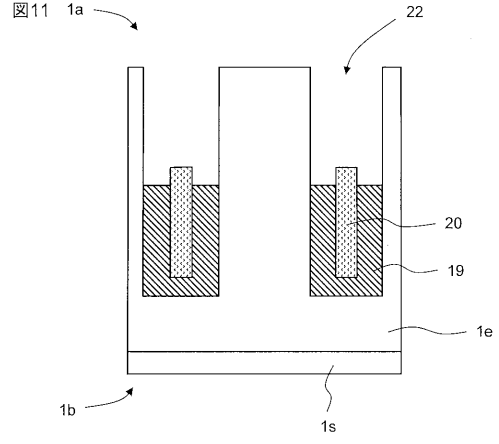
【図9】



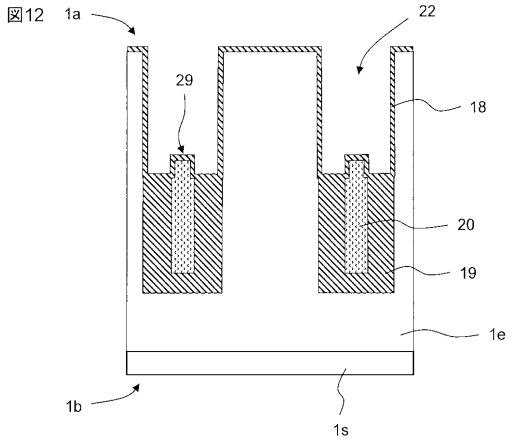
【図10】



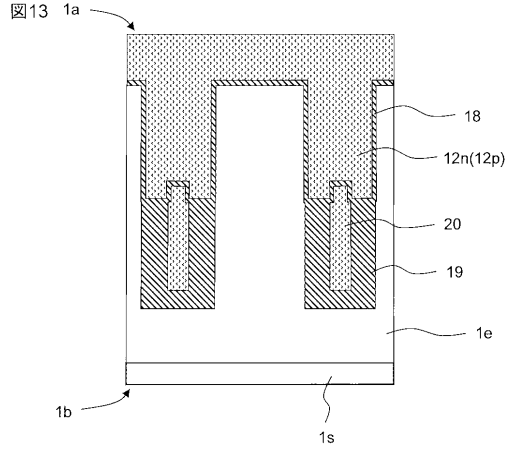
【図11】




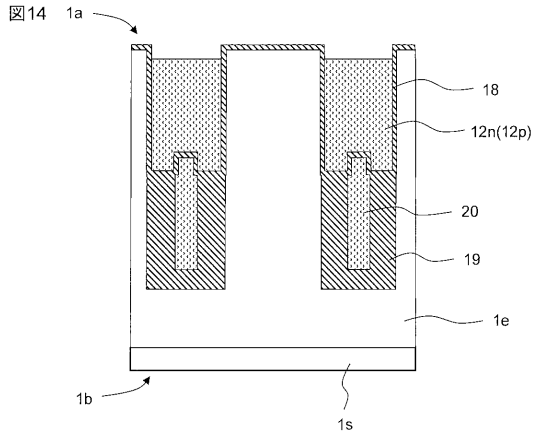
【図12】




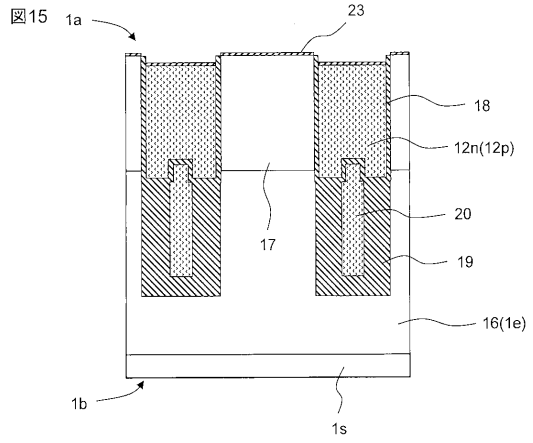
【図13】




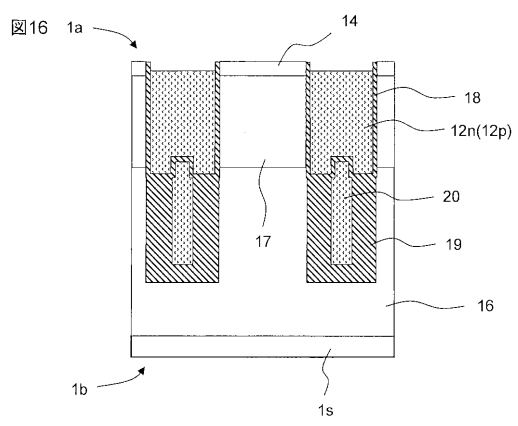
【 14】




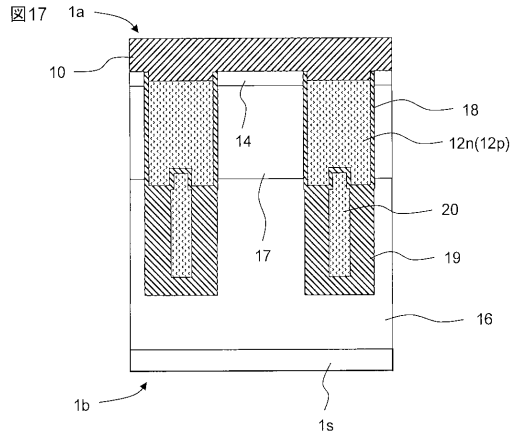
【 15】




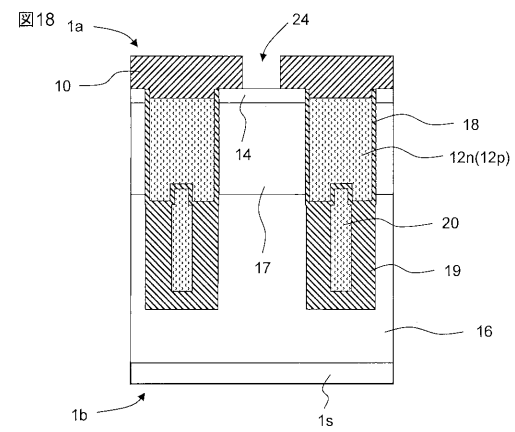
【 16】



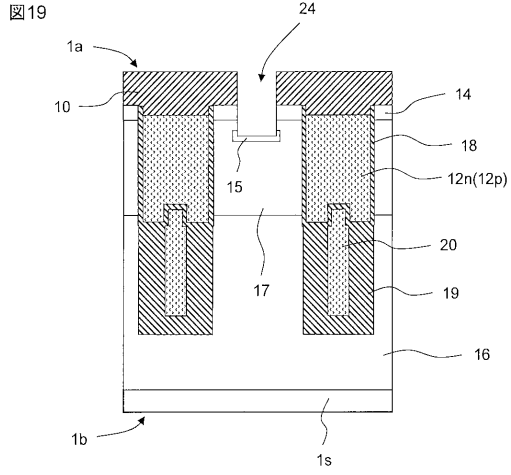
【 17】



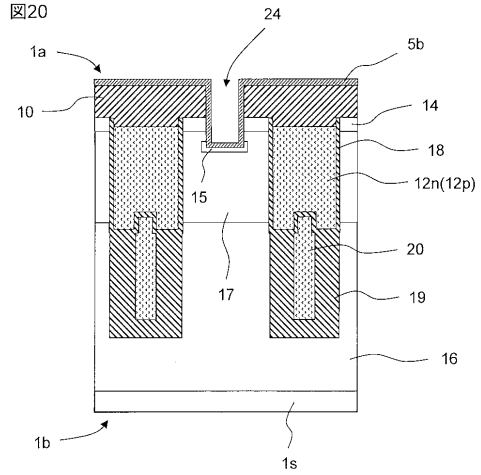
【 18】



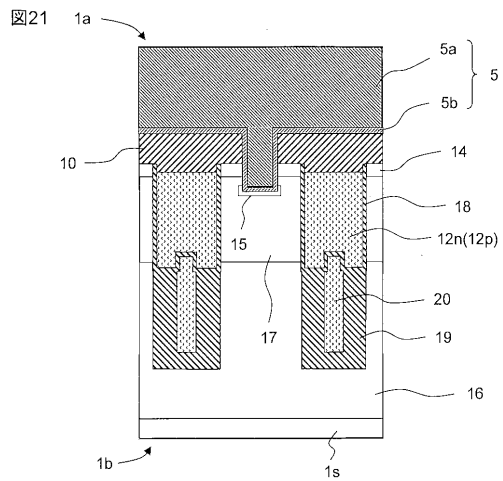
【図19】



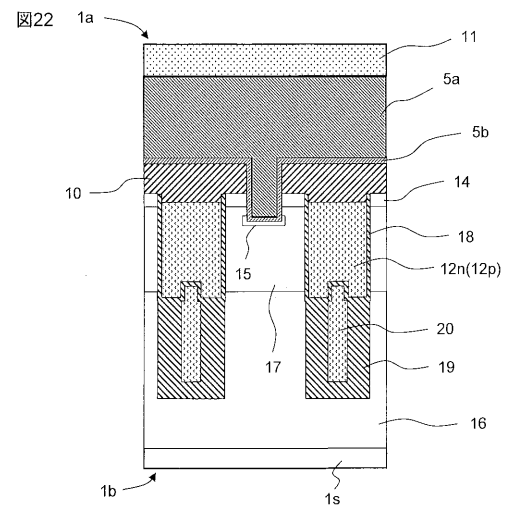
【図20】



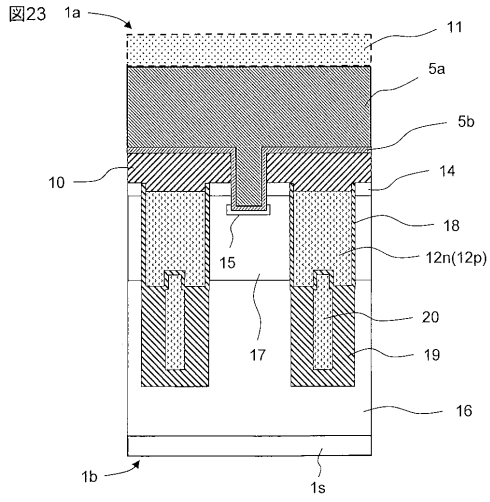
【図21】



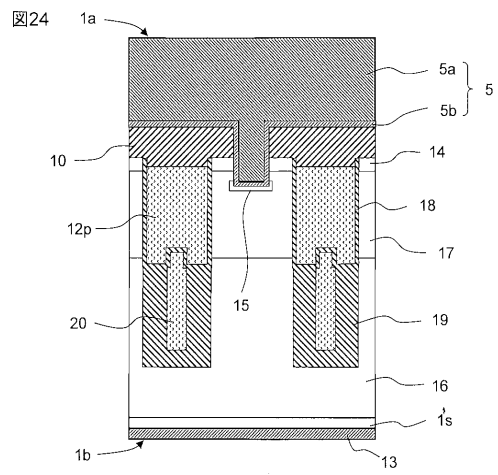
【図22】



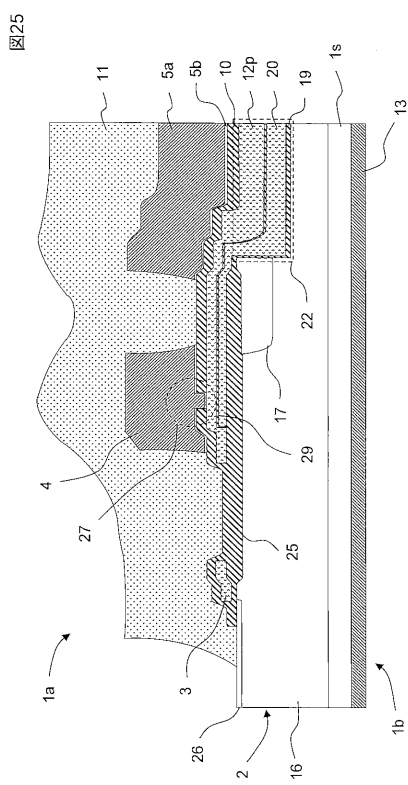
【 2 3 】



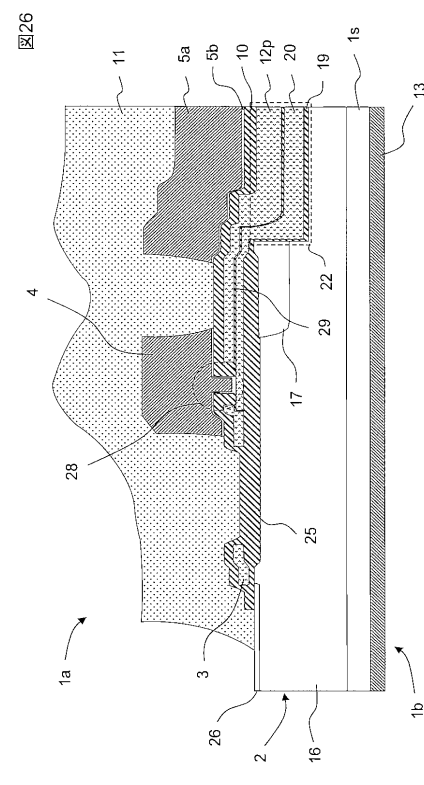
【 2 4 】



【 2 5 】



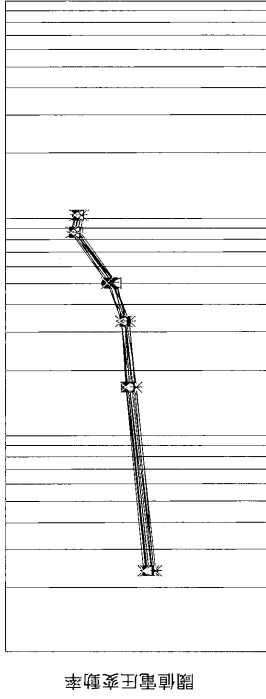
【 2 6 】



【 図 2 7 】

図27

上部電極:P型、下部電極:P型の場合のNBT閾値電圧変動(比較例)

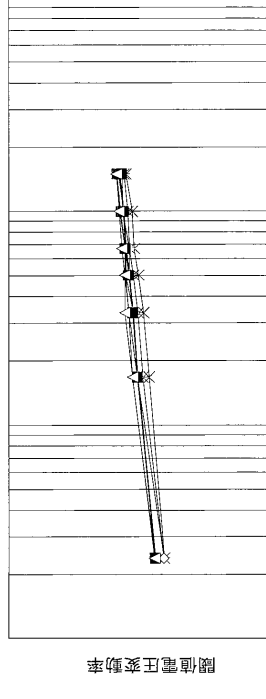


試験時間

【 図 2 8 】

図28

上部電極:N型、下部電極:N型の場合のNBT閾値電圧変動(第1の実施の形態)

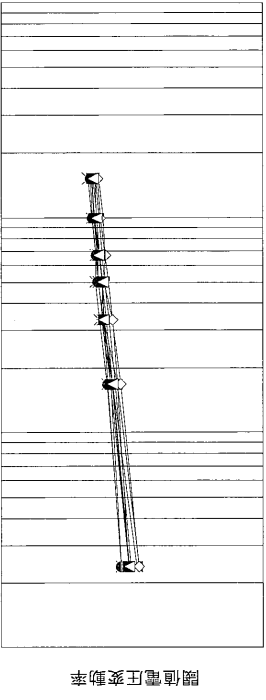


試験時間

【 図 2 9 】

図29

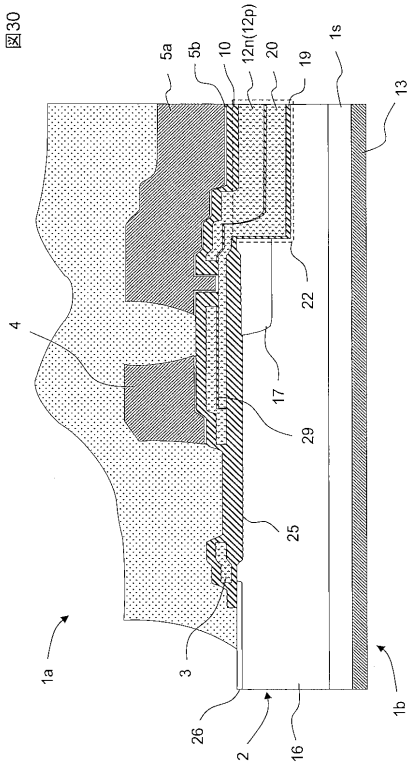
上部電極:P型、下部電極:N型の場合のNBT閾値電圧変動(第2の実施の形態)



試験時間

【 図 3 0 】

図30



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 21/28 3 0 1 A  
H 0 1 L 29/06 3 0 1 F  
H 0 1 L 29/06 3 0 1 V  
H 0 1 L 29/44 Y

合議体

審判長 飯田 清司

審判官 深沢 正志

審判官 小田 浩

(56)参考文献 特開2007-165797(JP,A)  
特表2002-528916(JP,A)  
特開2006-324570(JP,A)  
特表2009-542002(JP,A)  
米国特許出願公開第2004/89910(US,A1)

(58)調査した分野(Int.Cl., DB名)  
H01L29/78-29/792