

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. <i>H01L 21/02</i> (2006.01)	(45) 공고일자 2006년08월09일	
	(11) 등록번호 10-0610717	
	(24) 등록일자 2006년08월02일	
<hr/>		
(21) 출원번호 10-1999-0016707	(65) 공개번호 10-1999-0088170	
(22) 출원일자 1999년05월11일	(43) 공개일자 1999년12월27일	
<hr/>		
(30) 우선권주장 1998-126945	1998년05월11일	일본(JP)
(73) 특허권자 소니 가부시끼 가이샤 일본국 도쿄도 시나가와쿠 기타시나가와 6쵸메 7반 35고		
(72) 발명자 하라다고우이찌 일본도쿄도시나가와꾸기따시나가와6쵸메7반35고소니가부시끼가이샤 내		
(74) 대리인 장수길 구영창		

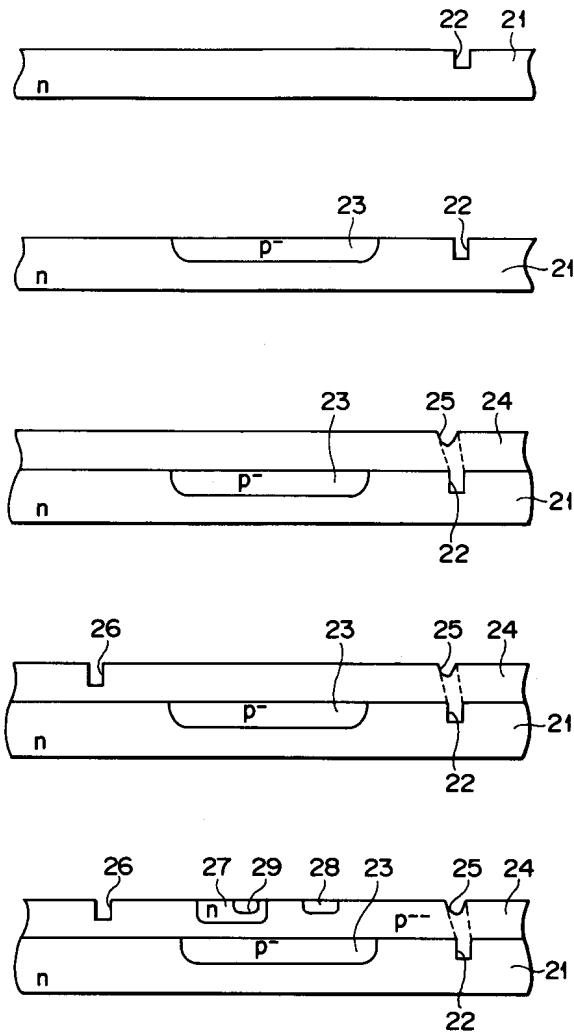
심사관 : 김교홍

(54) 반도체 장치의 제조 방법

요약

선택적으로 반도체 영역이 형성된 반도체 표면 상의 에피택셜층 상에 복수의 반도체 영역이 선택적으로 형성된 반도체 장치의 제조 방법에서, 에피택셜층이 고정밀도로 형성된 후 에피택셜층 상에 형성된 반도체 영역들간의 위치 관계를 제어하기 위해, 순차적으로 형성될 에피택셜층의 하부층으로서 제공되는 반도체 기판 표면부에 제1 웨이퍼 열라인먼트 마크를 형성하는 단계 - 상기 웨이퍼 열라인먼트 마크는 반도체 영역을 선택적으로 형성하기 위한 웨이퍼 열라인먼트용 지표(index)로서 사용됨 - , 및 에피택셜층을 형성한 후 에피택셜층 표면부에 제2 웨이퍼 열라인먼트 마크를 형성하는 단계 - 상기 제2 웨이퍼 열라인먼트 마크는 에피택셜층 상에 각각의 반도체 영역을 형성하기 위한 웨이퍼 열라인먼트용 지표로서 사용됨 - 을 포함한다.

대표도



색인어

에피택설층, 웨이퍼 열라인먼트 마크, 고체 촉상 소자, 반도체 영역, 웨이퍼 열라인먼트 지표

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 본 발명의 반도체 장치의 제조 방법의 실시예를 공정순으로 도시하는 단면도.

도 2는 본 발명이 적용될 수 있는 반도체 장치(고체 촉상 소자)의 일례를 도시하는 단면도.

도 3a 내지 도 3d는 반도체 제조 장치의 제조 방법의 종래예를 공정순으로 도시하는 단면도.

<도면의 주요 부분에 대한 설명>

21 : 반도체(반도체 기판)

22, 25, 26 : 웨이퍼 열라인먼트 마크

23 : 반도체(반도체 기판)의 표면부에 선택적으로 형성된 반도체 영역

24 : 에피택설층

27 ~ 29 : 에피택셜층 상에 형성된 반도체 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로서, 특히 반도체의 표면부에 선택적으로 반도체 영역을 형성하고, 그 다음 반도체 상에 에피택셜층을 형성하며, 상기 에피택셜층 상에 다양한 반도체 영역들을 순차적으로 형성하는 반도체 장치의 제조 방법에 관한 것이다.

반도체 기판 표면부 또는 기판 표면부의 에피택셜층 표면부에 형성된 기판의 도전형과 반대의 도전형의 반도체 영역을 형성하고, 그 다음 반도체 기판 또는 에피택셜층 상에 에피택셜층을 형성하며, 에피택셜층 상에 연속적으로 다양한 반도체 영역들을 형성하는 방법에 의해 제조된 반도체 장치가 공지되어 있다. 예를 들면, 미심사 일본 특허 출원 평9-331058호에 개시되어 있는 고체 활상 소자가 이러한 반도체 장치에 속한다. 도 2는 이러한 반도체 장치의 단면도를 도시한다. 도 2에서, 참조 번호 1은 고체 활상 소자를 나타내고, 참조 번호 2는 n형 반도체 기판을 나타내며, 참조 번호 3은 n형 반도체 기판(2)의 도전형과 동일한 도전형의 저불순물 농도를 갖는 에피택셜층을 나타내고, 참조 번호 4는 에피택셜층(3)의 표면부에 선택적으로 형성된 p형 웰을 나타낸다. 도 2에는 웰이 선택적으로 형성되는 지가 명확히 도시되어 있지는 않지만, 웰은 선택적으로 형성되는 것이다. 참조 번호 5는 웰(4)의 불순물보다 불순물 농도가 낮은 p형(또는 n형, 또는 진성) 반도체 영역을 나타내는 것으로서, 이는 에피택셜 성장에 의해 형성된다. 반도체 영역(5) 내에서, 다양한 반도체 영역(6 내지 9, 및 14)이 형성되고, 게이트 절연막(15)을 개재하여 전송 전극(16), 층간 절연막(18), 및 차광막(17)이 반도체 표면에 더 형성된다. 본 발명의 출원인은 일본 특허 출원 평8-270456호의 이러한 고체 활상 소자와 기술적 개연성이 있는 다른 고체 활상 소자를 제안한다. 고체 활상 소자는 도 2에 도시된 것과 유사한 단면도를 갖는다.

장치의 가장 중요한 요소는 에피택셜층이다. p형 웰(4)은 반도체 영역(5)의 하부층인 에피택셜층의 표면부에 선택적으로 형성되고, 다양한 반도체 영역(6 내지 9, 및 14)은 반도체 영역(5) 상에 형성되며, p형 웰(4)과 반도체 영역(6 내지 9, 및 14) 사이의 위치 관계는 높은 정밀도가 필요하고, 반도체 영역(6 내지 9, 및 14)들 간의 위치 관계는 상당히 높은 정밀도로서 제어되는 것이 필요하다. 위치 관계를 제어하기 위한 종래의 방법에 있어서, 웨이퍼 얼라인먼트 마크는 반도체 기판에 형성되고, 그 다음 반도체 영역은 웨이퍼 얼라인먼트 마크를 기준으로 하여 형성되며, 얼라인먼트 마크를 지표(index)로서 사용하여 다양한 반도체 영역(4, 6 내지 9, 및 14)을 선택적으로 형성할 때마다(마스크 매칭), 웨이퍼 얼라인먼트가 수행된다.

도 3a 내지 도 3d는 이러한 종래 방법의 개략적인 공정 순서를 설명하기 위한 단면도이다. 먼저, 도 3a에 도시된 바와 같이, 웨이퍼 얼라인먼트 마크(b)가 반도체 기판(a)의 표면부에 형성되고, 그 다음 도 3b에 도시된 마스크 매칭용 지표로서 웨이퍼 얼라인먼트 마크를 사용한 포토리소그래피에 의해 반도체 기판 표면부에 선택적으로 반도체 영역(c)가 형성된다. 다음, 도 3c에 도시된 바와 같이, 에피택셜층(d)이 반도체 기판(a) 상에 형성된다. 이때, 상술된 웨이퍼 얼라인먼트 마크(b)를 반영한 웨이퍼 얼라인먼트 마크(b')가 에피택셜층(d)의 표면부에 부수적으로(concomitantly) 형성된다. 순차적으로, 도 3d에 도시된 바와 같이, 반도체 영역(e)은 웨이퍼 얼라인먼트 마크(b')를 마스크 매칭용의 지표로서 사용하여 포토리소그래피에 의해 에피택셜층(d) 상에 선택적으로 형성된다. 물론, 에피택셜층(d) 상에 형성된 반도체 영역(e)의 수는 하나가 아니고, 일반적으로 복수의 반도체 영역이 형성되며, 이 복수의 반도체 영역이 형성될 때마다, 웨이퍼 얼라인먼트 마크(b')는 웨이퍼 얼라인먼트의 지표로서 사용된다.

그러나, 도 3d에 도시된 종래의 반도체 장치의 제조 방법은, 웨이퍼 얼라인먼트 마크(b')의 위치가 웨이퍼 얼라인먼트 마크(b)와 일치하지 않고, 웨이퍼 얼라인먼트 마크(b')의 구성이 웨이퍼 얼라인먼트 마크(b)의 구성과 상이하며, 특히 엣지가 라운딩되어 광학적으로 잘못된 검출을 야기한다는 단점이 있다. 상세히 말하면, 예를 들면 Electronics Material Series : Silicon Crystal and Dopping, p86-89에서 설명한 바와 같이, 표면부에 피트(pit)를 갖는 기판 상에 에피택셜층이 형성되는 경우, 기판의 피트를 반영하는 피트가 에피택셜층 상에 부수적으로 형성되고, 이러한 경우, 에피택셜층 상의 피트는 위치, 구성 및 엣지의 날카로움(엣지 코너)(라운딩)이 기판 상의 피트와 다르다. 이러한 위치 분포 및 라운딩의 크기(감소된 엣지의 날카로움)는 성장 온도, 성장 압력, 실리콘 소스의 종류, 및 성장 속도에 의존한다.

따라서, 종래의 방법에 있어서, 웨이퍼 얼라인먼트 마크(b')가 라운딩되어, 광학적 검출 능력이 저하하게 된다. 따라서, 이러한 웨이퍼 얼라인먼트 마크(b')가 웨이퍼 얼라인먼트의 지표로서 사용되므로, 에피택셜층(d) 상에 형성된 복수의 반도체

영역들간의 위치 관계의 제어 정밀도를 향상시키는 것이 어렵다. 고체 콜상 소자와 같은 반도체 장치의 집적도가 높아지고 장치의 소형화가 증가되면서, 에피택셜층 상에 선택적으로 형성된 복수의 반도체 영역을 배치하기 위해 더 높은 위치 정밀도가 요구되기 때문에, 이러한 낮은 제어 정밀도는 매우 심각한 문제가 되어왔다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제들을 해결하기 위한 것으로서, 본 발명의 목적은 선택적으로 반도체 영역이 형성된 반도체 표면부에 에피택셜층을 형성하고, 에피택셜층 상에 선택적으로 복수의 반도체 영역을 형성하는 반도체 장치의 제조 방법에 있어서, 에피택셜층의 형성 후 에피택셜층 상에 선택적으로 형성된 복수의 반도체 영역들 간의 위치 관계를 제어하기 위한 방법을 제공하는 것이다.

본 발명에서 설명된 반도체 장치의 제조 방법에 있어서, 순차적으로 형성될 에피택셜층의 하부층으로서 제공되는 반도체 기판 상에 제1 웨이퍼 얼라인먼트 마크를 형성하고, 제1 웨이퍼 얼라인먼트 마크는 반도체 상에 반도체 영역을 선택적으로 형성하기 위한 웨이퍼 얼라인먼트용 지표로서 사용되며, 에피택셜층을 형성한 후 에피택셜층의 표면부에 제2 웨이퍼 얼라인먼트 마크를 형성하고, 제2 웨이퍼 얼라인먼트 마크는 에피택셜층 상에 각각의 반도체 영역을 형성하기 위한 웨이퍼 얼라인먼트용 지표로서 사용된다.

본 발명에서 설명된 반도체 장치의 제조 방법에 따르면, 제2 웨이퍼 얼라인먼트 마크는 에피택셜층을 형성한 후 에피택셜층의 표면부에 형성되고, 날카로운 엣지를 갖는 추가의 웨이퍼 얼라인먼트 마크는 에피택셜층 상에 형성된 각각의 반도체 영역의 웨이퍼 얼라인먼트용 지표로서 사용된다. 따라서, 에피택셜층 상에 형성된 각각의 반도체 영역들간의 위치 관계는 높은 정밀도로 제어된다.

에피택셜층의 하부층으로서 제공된 반도체 표면부에 형성된 반도체 영역의, 에피택셜층 상에 형성된 각각의 반도체 영역들에 대한 위치 관계는, 에피택셜층의 형성 후에 반도체 표면부에 형성된 제3 웨이퍼 얼라인먼트 마크가, 에피택셜층을 형성하기 전에 반도체 표면부에 형성되어 있는 제1 웨이퍼 얼라인먼트 마크를 반영하여 에피택셜층의 표면 상에 에피택셜층을 형성할 때, 부수적으로 형성되는 제3 웨이퍼 얼라인먼트 마크를 지표로서 배치되는 방법에 의해 소정의 정밀도로 제어된다.

제2 웨이퍼 얼라인먼트 마크는, 반도체 및 에피택셜층의 표면부를 따르는 방향으로 제1 및 제3 웨이퍼 얼라인먼트 마크와 다른 위치 상에 형성된다.

본 발명에서 설명된 선택적으로 반도체 영역이 형성된 반도체 표면부의 에피택셜층 상에 선택적으로 형성된 반도체 영역을 갖는 반도체 장치에 있어서, 반도체 장치는, 반도체 표면부 상의 제1 웨이퍼 얼라인먼트 마크, 및 반도체 및 에피택셜층의 표면부를 따르는 방향으로 제1 웨이퍼 얼라인먼트 마크와 다른 위치 상의 에피택셜층 표면부 상의 제2 웨이퍼 얼라인먼트 마크를 갖는다.

발명의 구성 및 작용

본 발명의 반도체 장치의 제조 방법은 기본적으로, 반도체 상에 선택적으로 형성된 반도체 영역에 웨이퍼 얼라인먼트 지표로서 제공되는 웨이퍼 얼라인먼트 마크는 에피택셜층 형성 전에 하부층으로서 제공되는 반도체 표면부 상에 형성되고, 에피택셜층 상에 형성된 반도체 영역에 웨이퍼 얼라인먼트 지표로서 제공하기 위한 부가적인 웨이퍼 얼라인먼트 마크는 에피택셜층 형성 후에 에피택셜층의 표면부에 형성된다. 본 실시예에서, 본 발명은 반도체 장치, 예를 들면 고체 콜상 소자에 적용되지만, 반도체 장치는 고체 콜상 소자에 한정되지 않으며, 본 발명은 다른 종류의 반도체 장치에 적용될 수 있다.

반도체 기판은 에피택셜층의 하부층으로서 제공되는 반도체로서 사용될 수 있으며, 다르게는 반도체 기판 및 반도체 기판 상에 형성된 에피택셜층을 포함한 라미네이트(laminate)가 에피택셜층의 하부층으로서 제공되는 반도체로서 사용될 수 있고(일례는 도 2에 도시됨), 이러한 경우, 기판 에피택셜층이 형성된 후에 반도체 영역이 에피택셜층 표면부에 선택적으로 형성되고, 다른 에피택셜층은 현존하는 에피택셜층 상에 더 형성된다. 부가적인 웨이퍼 얼라인먼트 마크는 에피택셜층 표면부에 형성되고, 모든 반도체 영역은 웨이퍼 얼라인먼트용으로 형성된 부가적인 웨이퍼 얼라인먼트 마크를 사용하여 에피택셜층 상에서 선택적으로 형성된다.

에피택셜층이 형성된 후 반도체 표면에 형성된 부가적인 웨이퍼 얼라인먼트 마크는, 에피택셜층이 형성되기 전에 반도체 기판 표면부에 형성된 웨이퍼 얼라인먼트 마크를 기준으로 배치되는 것이 바람직하다. 이는, 에피택셜층의 하부층으로서 제공된 반도체 상에 형성된 반도체 영역이 반도체 상의 에피택셜층 상에 형성된 반도체 영역에 소정의 정밀도로 적절한 위치 관계로 배치될 수 있기 때문이다.

실시예

본 발명은 도면에서 도시된 예들을 참조로 하여 이하에 상세히 설명된다. 도 1a 내지 도 1e는 본 발명의 반도체 장치의 제조 공정을 설명하기 위한 단면도이다.

(a) 도 1a에 도시된 바와 같이, 예를 들면 피트-형태의 웨이퍼 얼라인먼트 마크(22)가 실리콘 반도체 기판(21)의 표면부에 형성된다.

(b) 다음에, 도 1b에 도시된 바와 같이, 반도체 영역(23)이 반도체 기판(21)의 표면부에 선택적으로 형성된다. 상술된 웨이퍼 얼라인먼트 마크(22)는 반도체 영역(23)이 선택적으로 형성될 때 요구되는 웨이퍼 얼라인먼트용 지표로서 제공된다.

(c) 다음에, 도 1c에 도시된 바와 같이, 에피택셜층(24)은 반도체 기판(21) 상에 형성된다. 에피택셜층(24)의 표면에는 반도체 기판(21)의 표면부 상의 웨이퍼 얼라인먼트 마크(22)를 반영하는 피트-형태의 웨이퍼 얼라인먼트 마크(25)가 부수적으로 형성된다. 웨이퍼 얼라인먼트 마크(25)는 반도체 기판(21) 표면부 상의 웨이퍼 얼라인먼트 마크(22)를 반영하여 형성되나, 위치 편이 및 옛지의 라운딩은 상술된 바와 같이 일어날 수 있다.

(d) 다음에, 도 1d에 도시된 바와 같이, 부가적인 웨이퍼 얼라인먼트 마크(26)는 에피택셜층(24) 상에 선택적으로 형성된다. 상술된 웨이퍼 얼라인먼트 마크(25)는 이 웨이퍼 얼라인먼트 마크(26)를 형성하는데 필요한 웨이퍼 얼라인먼트용으로서 제공된다. 웨이퍼 얼라인먼트 마크(25)의 위치 편이 및 라운딩 옛지로 인하여, 선택적으로 형성된 웨이퍼 얼라인먼트 마크(26)와 반도체 영역(23)간의 위치 관계를 정확하게 제어하는 데는 한계가 있으나, 이 방법은 어느 정도의 정밀도를 보증하며, 이 경우 반도체 영역(23)과 에피택셜층(24) 상에 나중에 형성될 다양한 반도체 영역들(27, 28 및 29) 사이의 위치 관계에 대하여 높은 제어 정밀도가 요구되지 않으므로, 정밀도가 문제되지 않는다.

(e) 도 1e에 도시된 바와 같이, 다양한 반도체 영역들(27 내지 29)은 상술된 에피택셜층(24) 상에 연속적으로 형성된다. 이 때, 다양한 반도체 영역들(27 내지 29)은 웨이퍼 얼라인먼트 마크(26)를 지표로서 사용함으로써, 웨이퍼 얼라인먼트로 에피택셜층(24) 상에 선택적으로 형성된다. 그 다음, 다양한 절연막 및 배선막이 에피택셜층(24) 상에 형성되나, 이러한 막들은 본 발명에서 반드시 필요하지 않으므로, 이러한 막에 대한 설명은 생략한다.

반도체 장치의 제조 방법에 따르면, 다양한 반도체 영역들(27 내지 29)은 라운딩 옛지가 아닌 날카로운 옛지를 갖는 에피택셜층(24) 상에 지표로서 형성된 웨이퍼 얼라인먼트 마크(26)를 사용한 웨이퍼 얼라인먼트로 에피택셜층(24) 상에 형성되므로, 반도체 영역(27 내지 29)들 사이의 위치 관계는, 적어도 만족도가 낮은 웨이퍼 얼라인먼트 마크(25)를 지표로서 사용하던 종래의 방법에 비해 높은 정밀도로 제어된다.

상술한 바와 같이, 라운딩 옛지를 갖는 웨이퍼 얼라인먼트 마크가 위치 편이가 있는 위치 관계를 규정하는 웨이퍼 얼라인먼트가 지표로서 사용되므로, 반도체 기판(21)의 표면부에 형성된 반도체 영역(23)에 대한 에피택셜층(24) 상에 형성된 반도체 영역들(27 내지 29)의 위치 관계의 제어 정밀도는 에피택셜층(24) 상에 형성된 각각의 반도체 영역들(27 내지 29) 사이의 위치 관계의 제어 정밀도보다 낮으나, 일반적으로, 반도체 영역(23)과 반도체 영역들(27 내지 29) 사이의 위치 관계는 반도체 영역들(27 내지 29) 사이의 위치 관계의 제어 정밀도에 비해 낮은 제어 정밀도를 요구하므로, 이러한 웨이퍼 얼라인먼트 방법은 문제되지 않는다.

상술된 실시예에서, 본 발명은 반도체 기판(21) 표면 상에 반도체 영역(23)을 형성하고, 반도체 기판(21)의 표면부에 에피택셜층(24)을 형성하며, 에피택셜층(24) 상에 복수의 반도체 영역(27 내지 29)을 형성하는 공정에 의해 형성된 반도체 장치의 유형에 적용되었으나, 본 발명은 이러한 유형에 한정되는 것이 아니라, 반도체 기판에 제1 에피택셜층을 형성하고, 제1 에피택셜층의 표면부에 반도체 영역을 선택적으로 형성하며, 제1 에피택셜층의 표면부에 제2 에피택셜층을 형성하고, 제2 에피택셜층의 표면부에 복수의 반도체 영역을 형성하는 공정에 의해 형성된 반도체 장치의 유형에 적용될 수도 있다.

발명의 효과

본 발명에 설명된 반도체 장치의 제조 방법에 따르면, 에피택셜층을 형성한 후, 에피택셜층 상에 웨이퍼 얼라인먼트 마크를 형성하고, 날카로운 엣지를 갖는 웨이퍼 얼라인먼트 마크를 에피택셜층 상에 형성한 각각의 반도체 영역의 웨이퍼 얼라인먼트용 지표로서 사용한다. 따라서, 에피택셜층 상에 형성된 각각의 반도체 영역들간의 위치 관계는 높은 정밀도로 제어된다.

본 발명에 설명된 반도체 장치의 제조 방법에 따르면, 에피택셜층을 형성한 후 반도체 표면에 형성될 웨이퍼 얼라인먼트 마크를, 에피택셜층의 형성시 에피택셜층 표면부에 부수적으로 형성된 웨이퍼 얼라인먼트 마크를 사용하여 배치하므로, 반도체 표면부에 형성되며 에피택셜층의 하부층으로서 제공되는 반도체 영역과 에피택셜층 상에 형성된 반도체 영역간의 위치 관계는 소정의 정밀도로 제어될 수 있다.

(57) 청구의 범위

청구항 1.

반도체 장치의 제조 방법으로서,

반도체 기판 상에 제1 에피택셜층을 형성하는 단계;

상기 제1 에피택셜층의 표면부에 제1 웨이퍼 얼라인먼트 마크를 형성하고, 상기 제1 웨이퍼 얼라인먼트 마크를 웨이퍼 얼라인먼트용 지표(index)로서 사용하여 상기 제1 에피택셜층에 반도체 영역을 선택적으로 형성하는 단계;

상기 반도체 영역이 선택적으로 형성된 상기 제1 에피택셜층 상에 제2 에피택셜층을 형성하는 단계; 및

상기 제2 에피택셜층을 형성한 후 상기 제2 에피택셜층의 표면부에 제2 웨이퍼 얼라인먼트 마크를 형성하고, 상기 제2 웨이퍼 얼라인먼트 마크를 웨이퍼 얼라인먼트용 지표로서 사용하여 상기 제2 에피택셜층에 복수의 반도체 영역을 형성하는 단계

를 포함하는 반도체 장치의 제조 방법.

청구항 2.

제1항에 있어서,

상기 제2 에피택셜층을 형성하기 전에 상기 제1 에피택셜층 표면부에 형성되어 있는 상기 제1 웨이퍼 얼라인먼트 마크를 반영하여 상기 제2 에피택셜층을 형성할 때 부수적으로 형성되는 제3 웨이퍼 얼라인먼트 마크를 지표로 하여 상기 제2 웨이퍼 얼라인먼트 마크가 배치되는 반도체 장치의 제조 방법.

청구항 3.

제2항에 있어서,

상기 제2 웨이퍼 얼라인먼트 마크는, 상기 제1 에피택셜층 및 제2 에피택셜층의 표면부를 따르는 방향으로 상기 제1 및 제3 웨이퍼 얼라인먼트 마크들과 다른 위치에 형성되는 반도체 장치의 제조 방법.

청구항 4.

표면에 제1 얼라인먼트 마크를 갖는 제1 에피택셜층이 형성된 반도체 기판;

상기 제1 에피택설층의 표면부에 선택적으로 형성된 반도체 영역;

상기 제1 에피택설층 상에 형성되고, 제2 웨이퍼 얼라인먼트 마크를 갖는 제2 에피택설층; 및

상기 제2 에피택설층에 선택적으로 형성된 복수의 반도체 영역

을 포함하고,

상기 제2 웨이퍼 얼라인먼트 마크는, 상기 제1 에피택설층 및 제2 에피택설층의 표면부를 따르는 방향으로 상기 제1 웨이퍼 얼라인먼트 마크와 다른 위치에 있는 반도체 장치.

청구항 5.

제1항에 있어서,

상기 반도체 장치는 고체 콜상 소자인 반도체 장치의 제조 방법.

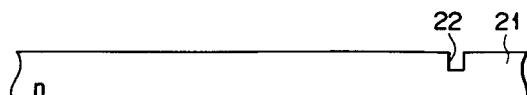
청구항 6.

제4항에 있어서,

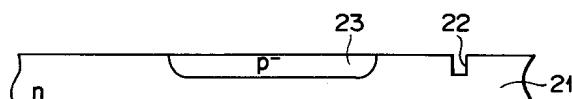
상기 반도체 장치는 고체 콜상 소자인 반도체 장치.

도면

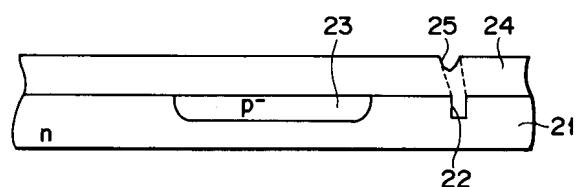
도면1a



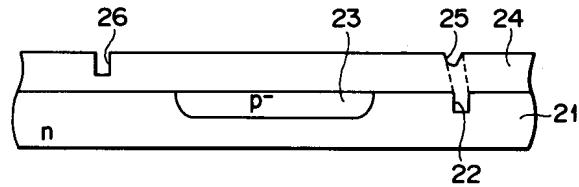
도면1b



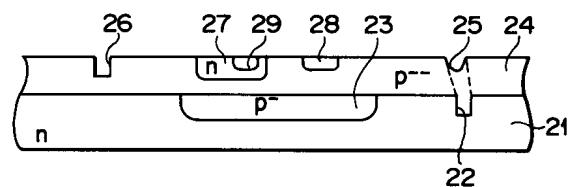
도면1c



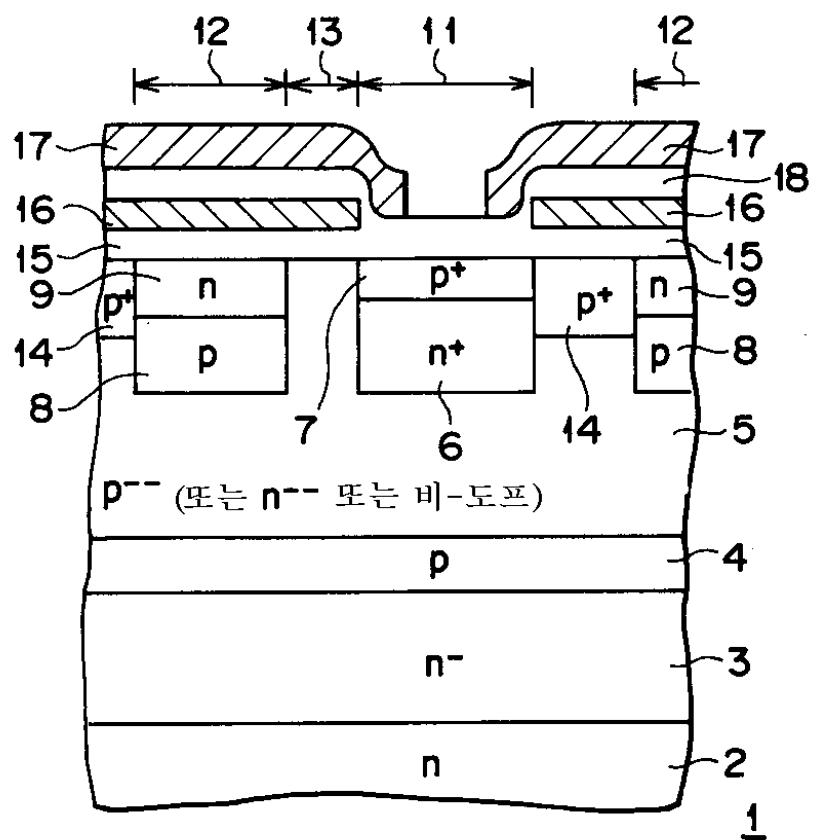
도면1d



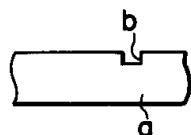
도면1e



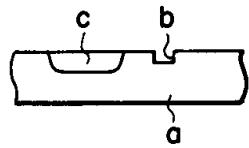
도면2



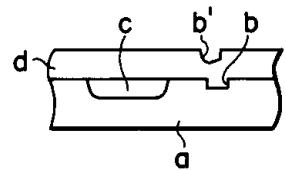
도면3a



도면3b



도면3c



도면3d

