[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H03K 19/00

[12] 发明专利说明书

[21] ZL 专利号 96107886.3

[45] 授权公告日 2003 年 12 月 10 日

[11] 授权公告号 CN 1130829C

[22] 申请日 1996.5.24 [21] 申请号 96107886.3

[30] 优先权

[32] 1995. 5.26 [33] JP [31] 127819/1995

[71] 专利权人 松下电器产业株式会社

地址 日本大阪

[72] 发明人 小原一刚

审查员 史永良

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

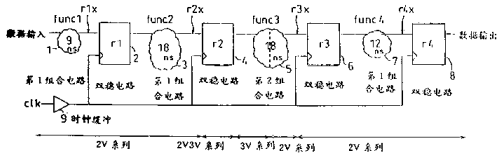
代理人 杜日新

权利要求书 8 页 说明书 24 页 附图 41 页

[54] 发明名称 逻辑合成方法、半导体集成电路和运算电路

[57] 摘要

自顶向下设计由多数个寄存器及位于寄存器之间的复数个组合电路构成半导体集成电路中，把前述半导体集成电路由寄存器传送电平逻辑合成时，把具有关键路径组合电路的前部以高电压源作电源驱动，同时把其余部分和没有关键路径的其他组合电路以低电压源作电源驱动，在前述具有关键路径组合电路的前段的寄存器，设置把低电压信号变换成高电压信号的电平变换电路。 因此，不增大关键路径的最大信号传送延迟时间，也无组合电路中的电平变换电路，即可容易地逻辑合成低功耗半导体集成电路。



ISSN1008-4274

知识产权出版社出版

1.一种设计半导体集成电路的方法，该集成电路具有多数个组合电路，每个包括信号传输路径，以及分别在所述多个组合电路至少之一的前面和后面各级上设置的寄存器，该方法其特征在于包括，

第一步骤，在前述多个组合电路中某个组合电路的信号传送延迟时间不大于设计的延迟上限值时，把该组合电路合成在以低电压源作电源的第一类组合电路，以及

第二步骤，在前述多个组合电路中某组合电路具有其信号传送延迟时间超过设计的延迟上限值的信号传输路径时，为把该组合电路的信号传送延迟时间变成低于设计的延迟上限值，将该组合电路合成在第二类组合电路，其一部分以高电压源作电源，其余部分以低电压源作电源合成。

2.根据权利要求1所述设计半导体集成电路的方法，其特征在于，

在第二步骤中，

所述第二类组合电路的所述一部分是该组合电路的前部，所述第二类组合电路其余部分是该组合电路的后部分。

3.根据权利要求1所述设计半导体集成电路的方法，还包括第三步骤，当作为检查结果发现有这样的混合时即由所述低压电源的低电压驱动的第二类组合电路的剩余部分的输出是由高压电源的高电压驱动的另一第二类组合电路的一部分的输入时，再合成所述由低压电源的低电压驱动的第二类组合电路的剩余部分，使其由高压电源的高压驱动。

4.根据权利要求1或3所述设计半导体集成电路的方法，还包括步骤：

检测所述每一个寄存器是否给所述合成或再合成第二类组合电路提供信号；以及

将所述寄存器中判断为向所述合成的或再合成的第二类组合电路提供信号的寄存器合成为由包括所述高压电源的电源电压驱动的寄存器，将所述寄存器中判断为没向所述合成的或再合成的第二类组合电路提供信号的寄存器合成为由所述低电压源的低电压驱动的寄存器。

5.根据权利要求 1～3 中任一项所述设计半导体集成电路的方法，其特征在于，

第一步骤

在最初，把全部的组合电路用第一组合电路合成。

然后，判断前述合成的第一组合电路信号传送延迟时间是否超过设计的延迟上限值，当有超过设计的延迟上限值的第一组合电路时，把整个第一组合电路的前部再合成为第二组合电路。

6.根据权利要求 1～3 中任一项所述设计半导体集成电路的方法，其特征在于，

在第一步骤中，

当有信号传送时间超过设计的延迟上限值的第一组合电路时，

把第一组合电路在概念上划分成多数个组合部分，首先把第一号的组合部分再合成为第二组合电路，

此后，判断前述再合成后的组合电路信号传送延迟时间是否超过设计的延迟上限值，

其次，再合成后的组合电路信号传送延迟时间还超过设计的延迟上限值的情况，在前述第一组合电路内的信号传送方向移向下一个位置的组合部分，重复进行前述向第二组合电路的再合成和前述合成后的信号传送延迟时间的判断。

7.根据权利要求 1～3 中任一项所述设计半导体集成电路的方法，其特征在于，

在第一步骤中，

把第一组合电路的前部再组合成为第二组合电路时，

把该第一组合电路在概念上划分为多数个组合部分，在该多数个组合部分内，使用对分检索法，在对再合成为第二组合电路的前部的组合部分，重复地进行检索，直到前述第一组合电路的信号传送时间成为设计的延迟上限值以下，并且第二组合电路的个数变成最小。

8.根据权利要求 1～3 中任一项所述设计半导体集成电路的方法，其特征在于，

第一步骤，

在最初，使用第一组合电路和由低电压源驱动的寄存器，估算前述由低电压源驱动的寄存器和前述第一组合电路合成的信号传送延迟时间。

然后，判断前述估算结果是否超过设计的延迟上限值，有成为设计的延迟上限值以下的第一组合电路的情况，把该第一组合电路合成在第一组合电路，前述估算结果有超过设计的延迟上限值的第一组合电路情况，把该第一组合电路的前部合成在第二组合电路。

9.根据权利要求 1～3 中任一项所述设计半导体集成电路的方法，其特征在于，

在第一步骤中，

信号传送延迟时间的估算结果有超过设计的延迟上限值的第一组合电路的情况，

把该第一组合电路在概念上划分为多数个组合部分，在信号传送延迟时间的估算结果和设计的延迟上限值比率的基础上，计算出应该合成在第二组合电路的组合部分个数和应该合成在第一组合电路的组合部分的比例。

此后，在构成前述第一组合电路的组合部分的个数和上述计算出的比例基础上，计算出应该合成为第二组合电路的前部的范围，

其次，把由计算出的前部范围的组合部分合成为第二组合电路，其余部分合成为第一组合电路。

10.根据权利要求 1 或 3 所述设计半导体集成电路的方法，其特征在于，

在第一步骤之前有，

在组合电路的构成部分内指定应该合成为第二组合电路的一部分，把前述指定了的组合电路的一部分合成为第二组合电路，同时在这个被合成的第二组合电路的前段，配置有以高电压源作电源的电平变换电路的步骤。

11.根据权利要求 3 所述设计半导体集成电路的方法，其特征在于，

被指定的组合电路的一部分是该组合电路的后部。

12.根据权利要求3或11所述设计半导体集成电路的方法，其特征在于，

指定是根据含有指定组合电路的结构部分里应该合成在第二组合电路中的部分的功能记述而进行的，

把前述功能记述在第一步骤前输入。

13.根据权利要求3或11所述设计半导体集成电路的方法，其特征在于，

在第二步骤和第三步骤之间有，

判断在第二组合电路和其他的第二组合电路之间是否有电平变换电路，在有电平变换电路情况，删除这个电平变换电路的步骤。

14.根据权利要求1或3所述设计半导体集成电路的方法，其特征在于，

在第一步骤中，

信号传送延迟时间在超过设计的延迟上限值的组合电路中，设置多数个作为检索范围的给定尺寸的窗口，

在前述多数个窗口内，选择处于其各窗口内的组合部分总面积最小或延迟最小的窗口，把这个选择的窗口内的组合部分，作为前述组合电路的一部分，合成在第二组合电路上，同时

在上述合成的第二组合电路的前段，配置以高电压源作电源的电平变换电路。

15.根据权利要求3所述设计半导体集成电路的方法，其特征在于，

前述窗口的给定尺寸，是在信号传送延迟时间和设计的延迟上限值基础上计算出的。

16.根据权利要求14所述设计半导体集成电路的方法，其特征在于，

在第二步骤和第三步骤之间有，

判断在第二组合电路和其他的第二组合电路之间是否有电平变换电路，在有电平变换电路的情况，删除这个电平变换电路的步骤。

17.根据权利要求1～3中任一项所述设计半导体集成电路的方法，其

特征在于，

第二步骤包括重复进行，

在把第一组合电路再合成在第二组合电路之后，重新判断是否有某个第一组合电路的输出是前述合成的第二组合电路上输入的混合存在情况，在有生成混合的情况，把该第一组合电路再合成在第二组合电路的步骤。

18.根据权利要求 1 或 3 所述设计半导体集成电路的方法，其特征在于，

输入记述了多数个寄存器及位于各寄存器之间多数个组合电路的寄存器传送电平设计数据，

第一步骤的逻辑单元的连接信息，是从前述输入的寄存器传送电平的设计数据生成的。

19.根据权利要求 1 或 3 所述设计半导体集成电路的方法，其特征在于，

输入记载了逻辑单元连接信息的网表，

第一步骤逻辑单元的连接信息，

从被记载在前述输入的网表的逻辑单元连接信息而生成的。

20.根据权利要求 1 或 3 所述设计半导体集成电路的方法，其特征在于，

输入表示逻辑单元连接信息的逻辑电路图，

第一步骤的逻辑单元连接信息，是从表示在前述输入的逻辑电路图中的逻辑单元连接信息而生成的。

21.根据权利要求 3 所述设计半导体集成电路的方法，其特征在于，

在被输入的寄存器的传送电平、被输入的网表或被输入的逻辑电路图的基础上，最优化逻辑单元连接信息，

把前述最优化的逻辑单元的连接信息，作为第一步骤的逻辑单元的连接信息使用。

22.根据权利要求 4 所述设计半导体集成电路的方法，其特征在于，第三步骤的后面

有验证各个寄存器的定时的步骤。

23.一种设计半导体集成电路的方法，该电路具有具有多数个组合电路，每个包括信号传输路径，以及分别在所述多个组合电路至少之一的前面和后面各级上设置的寄存器，所述方法包括:

第一合成步骤，在前述多个组合电路中某个组合电路具有信号传送时间不大于设计延迟上限值的信号传输路径时，把该组合电路，合成在低电压源作电源的第一类组合电路;

第二合成步骤，在所述多个组合电路中有组合电路具有信号传送时间超过设计的延迟上限值的信号传输路径时，把该组合电路合成在以高电压源作电源的第二类组合电路，

第三步骤，把前述寄存器合成为以低电压源作电源的寄存器。

24.根据权利要求23所述设计半导体集成电路的方法，其特征在于，

所述第二类组合电路的内部一部分是由所述高压电源的高压驱动，所述第二类组合电路的剩余内部部分是由所述低压电源的低压驱动。

25.根据权要求23和24所述的设计半导体集成电路的方法，其特征在于，

前述高电压源的电压与前述低电压源的电压的电位差，保持在构成组合电路和寄存器的晶体管的阈值电压以下值。

26.根据权利要求23所述的逻辑合成方法，其特征在于，

第一步骤，

在最初，把全部组合电路用第一组合电路合成；同时全部寄存器用以前述低电压源作电源的寄存器合成;

然后，判断前述合成的第一组合电路信号传送时间是否超过设计的延迟上限值，有超过设计的延迟上限值的第一组合电路的情况，把全部第一组合电路再合成为第二组合电路。

27.根据权利要求23所述的逻辑合成方法，其特征在于，

第一步骤，

在最初，用第一组合电路以及由低电压源驱动的寄存器，估算前述的以低电压源驱动的寄存器及前述第一组合电路合成的信号传送延迟时

间，

然后，判断前述估算结果是否超过设计的延迟上限值，在有设计的延迟上限值以下的第一组合电路的情况，把该第一组合电路合成在第一组合电路，前述估算结果有超过设计的延迟上限值第一组合电路的情况，把该组合电路合成在第二组合电路。

28.根据权利要求 1 和 2 中任一项所述设计半导体集成电路的方法，其特征在于还包括，

把每一个前述寄存器合成为以低电压源作电源的寄存器的步骤。

29.根据权利要求 28 所述设计半导体集成电路的方法，其特征在于，

第二步骤包括:

(i)信号传送时间在超过设计的延迟上限值的组合电路中，设置的多数个作为检索范围的给定尺寸的窗口，所述组合电路由每个组合电路元件构成;

(ii)在前述多数个的窗口中，选择含有组合电路元件组其总面积最小或者是延迟最小的窗口，把所述组的所述组合电路元件合成在第二类组合电路的以高电压源作电源的所述部分。

30.根据权利要求 3 或 29 所述设计半导体集成电路的方法，其特征在于，

前述窗口给定的尺寸，是在前述信号传送延迟时间和前述设计的延迟上限值基础上计算出的。

31.一种半导体集成电路具有多个组合电路，以及分别在所述多个组合电路至少之一的前面和后面各级上置的寄存器，每个组合电路包括信号传输路径，其特征在于，

(i)前述多个组合电路，由以低电压源作电源的第一类组合电路和以高电压源作电源的第二类组合电路构成，

(ii)前述多个寄存器的每个，由以前述低电压源作电源的寄存器构成。

32.根据权利要求 31 所述的半导体集成电路，其特征在于，

所述第二类组合电路内部的一部分由高电压源的高压驱动，其内部的其余部分由低电压源的低压驱动。

33.根据权利要求31或32的半导体集成电路，其特征在于包括，

以低电压源作电源并且为各个寄存器提供时钟的时钟供给装置。

34.根据权利要求31或32的半导体集成电路，其特征在于，

各个寄存器由触发器电路构成，

前述触发器电路具有，以低电压源作电源并且被串联连接主锁存器和从锁存器。

35.根据权利要求31或32的半导体集成电路，其特征在于，

各个寄存器由锁存电路构成，

前述锁存电路具有以低电压源作电源的锁存部分。

36.根据权利要求31所述的半导体集成电路，其特征在于，

前述高电压源的电压与前述低电压源的电压的电位差，保持在构成组合电路和寄存器的晶体管的阈值电压以下值。

逻辑合成方法、半导体集成电路和运算电路

技术领域

本发明，是关于由寄存器传送电平生成半导体集成电路的逻辑合成方法的改进，特别是关于在成低功耗半导体集成电路的逻辑合成方法的同时，得到低功耗半导体集成电路。

背景技术

现在半导体集成电路的设计，是把开发的半导体集成电路用寄存器传送电平（记为 RTL）的功能描述来表示，用 RTL 描述进行逻辑合成，采用自顶向下设计，生成开发的半导体集成电路。

图 29 表示以前的 RTL 描述，图 30 表示利用前面 RTL 描述，通过逻辑合成生成的逻辑电路（半导体集成电路）。

图 29 的 RTL 描述，用明确规定的功能电平描述复数个寄存器间的数据传送。在图中 RTL 的描述中，r_1、r_2、r_3、r_4 是寄存器，$func_1$、$func_2$、$func_3$、$func_4$ 是前述寄存器间的组合电路的功能描述，assigh 表达式和 always 式是描述各个寄存器和各个组合之间的连接关系。

由图 29 的 RTL 描述合成逻辑时，还要看面积或速度的制约条件如何，用面积和速度的综合曲线决定电路。

在用前面 RTL 描述生成图 30 表示的逻辑电路中 101，103，105 及 107 是在前面 RTL 描述中指明的寄存器 r_1、r_2、r_3、r_4 通过逻辑合成变换的双稳电路，直接对应于在图 29 的 RTL 描述中指明的寄存器 r_1、r_2、r_3、r_4。108 是时钟脉冲缓冲器，100、102、104 及 106 是对应在图 29 的 RTL 描述的 $func_1$、$func_2$、$func_3$ 及 $func_4$ 的组合电路。组合电路 100、102、104 及 106 是从图 29 的 RTL 功能描述，在面积和速度综合曲线上被变换的一个电路。

此处，半导体集成电路的功率消耗 P 是通过工作频率 f、负载容量 C 和电压 V 间的表达[式 1]表示。因此，降低半导体集成电路的消耗功率有

降低工作频率、降低负载容量或电压的三种方法，降低电压源电压效果最大。

[式 1] $P=f\times C\times V^2$

可是，设定低电压源电压，使得构成逻辑电路的大多数路径具有最大延迟时间，也就增大了关键路径的延迟时间。

因此，例如在日本特许公报 5～299624 公布的技术，即是把多数逻辑门要中对低速动作逻辑门由低电压源电压驱动，对于其他高速动作的逻辑门用高电压源电压驱动，其他逻辑门用低电压源电压驱动，这样，可以因整个半导体集成电路大多数逻辑门使用低电压源电压引起的关键路径延迟时间增大，目的是降低功率消耗。可是这样考虑将产生如下缺点。

上述缺点下边详细叙述。在上述从用低电压源电压驱动低速动作的逻辑门，向用高电压源电压驱动的高速动作逻辑门传送数据的情况，必须设置电平变换电路，例如在日本特许公报 5～67963 中公开的那样，在那两个逻辑门之间设置把由低电压源电压驱动的逻辑门输出电平变高的电平变换电路。可是，在图 30 中表示的是各种组合电路，例如，在图 31 或图 32 表示的是由多数逻辑门构成的电路，假定在各图上的组合电路关键路径用粗线表示路径，各图中用符号 0 表示将关键路径用高电压源电压驱动的位置（在图 31 中 8 个位置，图 32 中有 12 个位置）判断这些位置是否必须配电平变换电路。在高度集成的半导体集成电路中，组合电路的数量极大，构成各个组合电路的逻辑门数极多。因此，在这样高度集成的半导体集成电路中，在一个组合电路上具有关键路径的每一个要求电平变换电路的位置数变多，还有，因为具有关键路径的组合电路数多，使得半导体集成电路的整体要求电平变换电路位置的数量骤增。其结果是在高度集成半导体集成电路的设计上，虽然可以用限定一部分组合电路判断要求电平变换的位置和配置，可是对半导体集成电路整体的电平变换电路配置位置的判断相当复杂，而且需要很长时间，缺点是设计困难。

发明内容

本发明的目的在于从RTL描述生成半导体集成电路的逻辑合成方法中，不使作为开发对象的半导体集成电路各个组合电路关键路径的延迟时间增大，提供可以容易地生成低功耗的半导体集成电路的逻辑合成方法，并且无增大关键路径延迟时间的低功耗半导体集成电路。

为了达到上述目的，本发明着眼以下几点。第一点，通过在图30中表示的半导体集成电路，因为由多个寄存器和在各个寄存器之间配置的多数个组合电路组成，在寄存器配置电平变换电路，则在复数个组合电路的内部各处，也就是当用高电压源电压驱动关键路径的场合需要有电平变换电路的多个位置上，不必分别配置电平变换电路，减少电平变换电路配置的位置数量。第二点，通过上述在寄存器配置电平变换电路，在传送电平变换电路数据的组合电路中，即使组合电路的全部用高电压源的电压驱动，在半导体集成电路中具有关键路径逻辑门的数量，根据统计占构成半导体集成电路逻辑门数的约5%左右，具有关键路径组合电路占全部组合电路的比例就更小，因此，把全部具有关键路径的组合电路用高电压源电压驱动也不会引起功耗增加。第三点，关键路径的最大延迟时间要限制在设计上限延迟时间以下是十分重要的，因为即使不是全部具有关键路径的组合电路用高电压源电压驱动，仅是其一部分用高电压源电压驱动，也可缩小了关键路径的最大延迟时间，可以限制在设计上限延迟时间值以下，可以着眼于抑制微小的功耗的增大。

从上述出发点，本发明的原则只在寄存器处配置电平变换电路，仅对具有关键路径的组合电路部分用高电压源电压驱动。

也就是说，本发明的逻辑合成法是在复数个寄存器之间各自配置一个组合电路的半导体集成电路，这种逻辑合成方法是基于逻辑单元之间的连接信息的合成的。其特征为对于上述组合电路的延迟时间，在设计的延迟时间限值以下的那些组合电路，使用低电压源供电，合成第一组合电路，而对延迟时间超过设计延迟时间限值的那些组合电路，把这些组合电路中未满足设计限值部分作为高电压源供电，合成为第二组合电路，再把这个组合电路其余部分合成在上述第一组合电路中，这是第一个步骤。接着判断第一组合电路的输出是否混有作为第二组合电路输入

的，在有混杂时把第一组合电路再合成为第二组合电路，这是第二个步骤。再继续判断前述各个寄存器是否有向合成或再合成的第二组合电路输出信号的寄存器，对于向第二组合电路输出信号的寄存器，把这个寄存器合成在含有高压电源供电的寄存器，而对于没有向第二组合电路上输出的寄存器，把这个寄存器合成在以低电压源作电源的寄存器，这是第三步骤。

另外，本发明其特还在于在前述第一步骤中，信号传送时间在有超过设计的上限值的第一组合电路情况，把第一组合电路在概念上划分的复数个组合部，首先，把第一组合部合成在第二组合电路，此后，前述再合成后的组合电路信号传送延迟时间判定是否超过设计的延迟上限值，接下，再合成后的组合电路信号传送延迟时间还未超过设计的延迟上限值时，沿前述第一组合电路内的信号传送方向移向下个位置组合部分，向前述第二组合电路再合成，以及重复判断前述合成后的信号传送延迟时间。

本发明特征还在于在第一步骤中，信号传送延迟时间超过设计上限值的组合电路中，设定复数个给定尺寸的窗口作为检索范围，在复数个窗口的里面，选择在各个窗口内组合部分的总面积是最小或延迟时间是最小的窗口，对这个选择窗口的组合部分作为上述组合电路的一部分，合成到第二组合电路中，同时，在第二组合电路的前部配置由高电压源供电的电平变换电路。

本发明的半导体集成电路，是包括复数个寄存器以及在各个寄存器间分别配置一个组合电路的半导体集成电路，其特征是，前述复数个组合电路中的一部分组合电路，由以低电压源供电的第一组合电路构成，其余的组合电路是在各自内部的一部分，以高电压源供电的第二组合电路构成，余下的部分，由前述第一组合电路生成，在复数个寄存器中，对于寄存器输出侧是第二组合电路的寄存器，由含有高电压源供电的寄存器构成。

另外，本发明运算电路特点，把配置在一排规定个数的运算元件作为一段，把在这一排运算元件分成复数段，最前段的运算元件是从外部

接收信号，中间段运算元件接收前段的输出信号，最后段的运算元件是整个运算电路的运算结果输出部分，最后段运算元件用高电压源作电压源，除了最后段运算元件之外的运算元件用低电压源供电，在最后的运算元件段和它的前段的运算元件之间，配置由低电平信号到高电平信号的电平变换电路。

由以上特点构成的本发明主要作用，半导体集成电路由多数寄存器、并且在复数寄存器之间分别配置一个组合电路构成，组合电路里的一部分组合电路具有关键路径，在具有关键路径组合电路的前段的寄存器，也就是向这个组合电路传送数据的那个寄存器配置有电平变换电路，只对具有关键路径的组合电路的一部分用高电压源驱动，其余部分用低电压源驱动。没有关键路径的组合电路用低电压源驱动。

在此，因为具有关键路径组合电路的一部分用高电压源供电，所以就能控制关键路径的延迟时间不达到设计上允许的延迟上限值。还有，因为在具有关键路径组合电路的前段的寄存器配置一个电平变换电路，这与仅将关键路径用高电压源驱动情况相比，可以减少电平变换电路数量，简化了半导体集成电路设计。而且，在整个组合电路中具有关键路径组合电路只占有很少数量，因为只对很少组合电路的一部分采用高电压源驱动，所以就能抑制功耗的增大。又因为把具有关键路径组合电路的其余部分，以及没有关键路径的组合电路用低电压源驱动，所以功耗明显减少。其结果，使半导体集成电路整体低功耗化。

另外，本发明在一个组合电路中，因为是从信号输入侧顺序一个个地把组合部分进行第二组合电路合成，在一个组合电路中一部分与其余部分的界线，即一个组合电路中第一组合电路应该合成范围和第二次组合电路应该合成范围边界明确，高压电源供电的第二组合电路的个数限制在最小限度，这样一层层降低功耗。

本发明在一个组合电路中，把应该合成在第二组合电路一部分用窗口检索，把组合部分的总面积（个数）最小或延迟最小的部分设置为前述应该合成在第二组合电路的一部分，可以更进一步低功耗化或者提高处理速度。

本发明的运算电路是多输入少输出型的运算电路，因为只对最后的运算元件用高电压源驱动，这与在输入侧附近位置的复数个运算元件用高电压源驱动相比，降低了功耗。而且，因为电平变换电路只是在最后部分运算元件的前段配置，这与在输入侧附近位置的复数个运算元件的前段各自配置电平变换电路相比，使得电平变换电路个数减少。

本发明的上述目的及特征，参照附图通过以下说明将更为清楚，这些附图表示的是本发明的实施例。

附图说明

图 1 是图象处理系统梗概构成图，图 2 是半导体芯片梗概构成图，图 3 表示在本发明的第一个实施例中的半导体集成电路的复数个寄存器及复数个组合电路的连接关系，图 4 表示没有电平变换电路的双稳电路构成图，图 5 表示有电平变换电路的双稳电路构成图，图 6（a）表示电平变换电路的具体构成，图 6（b）表示同类电平变换电路具体的构成图，图 7 是没有电平变换电路锁存电路的构成图，图 8 是有电平变换电路锁存电路的构成图，图 9 表示逻辑合成装置的全部梗概构成图，图 10 表示硬件描述语言图，图 11 表示主要清单，图 12 表示逻辑电路图，图 13 是表示本发明的第一个实施例的半导体集成电路的逻辑合成方法，图 14 表示单元程序库的表，图 15 表示半导体集成电路的一个部分，图 16 表示把半导体集成电路的一部分变更了的电路图，图 17 表示寄存器传送电平的描述，图 18 表示在没有进行逻辑合成情况下修正了的寄存器传送电平的描述，图 19（a）表示用本发明的第一个实施例来说明逻辑合成方法的第一个顺序。图 19（b）是说明第二个顺序，图 19（c）是说明第三顺序，图 19（d）表示实施到第三顺序的结果，图 19（e）表示一个提案例子，图 20 表示在本发明的第二个实施例的逻辑合成方法，图 21 表示在本发明第三个实施例的逻辑合成方法，图 22 表示在本发明的第四个实施例的逻辑合成方法，图 23 表示成为本发明的逻辑合成方法的输入功能描述，图 24 表示过去的逻辑合成方法的输入功能描述，图 25（a）表示基本的加法器构成图，图 25（b）表示由本发明的逻辑合成方法生成加法器图，图 25（c）表示由一个提案例子的逻辑合成方法生成的加法器，图 26 表

示在本发明的第五个实施例的逻辑合成方法的前半部分，图 27 表示在本发明的第五个实施例子的逻辑合成方法的后半部分，图 28（a）表示本发明的第五个实施例的逻辑合成方法的第一个窗口内的组合部分，图 28（b）表示第二个窗口内的组合部分，图 28（c）表示第三个窗口的组合部分，图 29 表示寄存器传送电平的描述，图 30 表示以前的半导体集成电路的逻辑电路，图 31 表示在任意半导体集成电路只对关键路径用高电压源驱动情况的电平变换电路位置配置图，图 32 表示在另一个任意半导体集成电路只对关键路径用高电压源驱动情况的电平变换电路位置配置图，图 33 表示成为本发明的第六个实施例的逻辑合成方法输入描述的例子，图 34 表示相同实施例用逻辑合成方法生成进位保持方式的并联乘法器电路，图 35（a）表示在以前半导体集成电路的信号传送延迟时间和在那个有延迟时间组合电路的个数分布例子，图 35（b）表示在本发明的上述个数分布，图 36 表示用本发明的第七个实施例的逻辑合成方法生成半导体集成电路的构成，图 37 表示相同实施例的逻辑合成方法流程图，图 38 表示相同实施例的其他逻辑合成方法流程图，图 39 表示相同实施例的逻辑合成方法的执行结果，图 40 表示相同实施例的逻辑合成方法的更新流程图，图 41（a）表示在以前半导体集成电路的信号传送延迟时间和在那些有延迟时间的组合电路的个数分布图，图 41（b）表示有本发明例组合电路个数的分布图。图 42 表示在寄存器内部备有倒相器的构成。

具体实施方式

以下把关于本发明所希望的各实施例按照附图说明。

第一实施例

图 1 表示具备了本发明的半导体集成电路的图象处理装置 A 的整体构成。图中 10 是把从外部输入信号进行模拟/数字变换的 A/D 变换器；11 是公用 DRAM；12 是本发明的半导体集成电路，它从 11 取出数据或者是一边进行图象处理一边存贮数据的第一个半导体集成电路；13 是控制第一个半导体集成电路 12 的通用控制微计算机；14 是从第一个半导体集成电路 12 接收信号进一步进行图象处理的第二个半导体集成电路。

另外，15 是外部配置高压电源，例如 3V；16 是外部配置低压电源，

例如 2V。高压电源 15 接在图象处理装置 A 的高压配线 17，低压电源 16 接在低压配线 18。为了降低图象处理装置 A 功耗，低压电源作为第一和第二个半导体集成电路 12、14 使用，低压配线 18 仅供给第一和第二个半导体集成电路 12、14。高压配线 17 供给公用电路 10、11、13。10 至 14 间的各电路接口为高电压，高压配线也供给图象处理用的两个半导体集成电路 12、14。

上述低压电源 16 即使把高压配线 17，用内部晶体管分压作为内部低压电源也很好。因为它的构成已被记载在特开平 4～96369 号公报，此处从略。这种情况，不要在外部配置低压电源 16。

在图 2 表示图象处理用的第一个半导体集成电路 12 的内部构成。图中，在芯片 20 的外围配置复数个输入/输出焊接点 21，除了输入/输出 21 的配置区域是内部芯片部分 22，在内部芯片部分 22 设置了 5 个功能块 A～E。功能块 A～D 是进行各自相异的运算处理的运算处理电路，功能块 E 是 ROM、RAM 等小容量的存贮单元。

在本发明在图象处理用的第一个半导体集成电路 12 内部芯片 22 内，由存储单元构成功能块 E 的方式，对功能块 A～D 也适用。

图 3 表示的是第一个半导体集成电路 12 的任意一个功能块（如 A）的逻辑电路图。

图 3 的功能块（半导体集成电路的一部分）是由图 29 的 RTL 描述进行了逻辑合成的逻辑电路。图中 2、4、6 及 8 分别是用图 29 的 RTL 描述的寄存器 r_1、r_2、r_3、r_4 构成的双稳电路。寄存器 r_1～r_4 是构成计算机流水线处理的一个部分，它适用于各种寄存器。还有 1、3、5 及 7 是用图 29 的 RTL 描述构成组合电路 $func_1$、$func_2$、$func_3$ 及 $func_4$，这位于寄存器 r_1～r_4 之间或是在组合电路的前段。为了简化图 3 说明，虽然各个组合电路的输出只向下段的双稳电路输入，但是有时也将信号传送到其他组合电路。

上述双稳电路 2、6 及 8 的电源是由 2V 低压电源 16 供电属于 2V 系列电源，双稳电路 4 是用 2V 低压电源 16 及 3V 高压电源 15 作为电源属于 2V/3V 系列电源。2V/3V 系列电源的双稳电路 4 有后面要叙述的电平

变换电路，2V 系列电源双稳电路 2、6 及 8 没有电平变换电路。另外，组合电路 1、3 及 7 用 2V 的低压电源 16 作电源是由 2V 系列组合电路（第一组合电路）构成，组合电路 5 因为要求高速动作，所以它的前部分以 3V 高压电源 15 作电源，由 3V 系列组合电路（第二组合电路）构成，那后半部分以 2V 低压电源 16 作电源，由 2V 系列组合电路（第一组合电路）构成。

再有，9 以 2V 低压电源 16 作电源是 2V 系列的时钟缓冲器，把时钟供给 2、4、6、8 四个双稳电路（触发器）。

图 4 表示没有电平变换电路的 2V 系列双稳电路 2、6、8 的构成。图中 30 是一个接收外部信号 D 主锁存器，31 是在主锁存器 30 的输出侧直接相接有两互补信号输出的从属锁存器，由主锁存器 30 及从属锁存器 31 构成数据暂时存贮 36。锁存器 30 和 31 内部有各自的反相器 34a、34b。32 是接在从属锁存器输出侧的输出缓冲器，33 是从外部输入时钟 CLk 生成互补的内部时钟 Ck、NCk 的内部时钟产生电路，30～33 电路是以 2V 低压电源 16 作电源的 2V 系列电源。

图 5 表示有 2V/3V 系列电源电平变换电路的双稳电路 4 的构成。图中双稳电路 4 有在图 4 中表示的 2V 系列电源的主锁存器 30、从属锁存器 31、内部时钟产生电路 33 相同的结构，输出缓冲器 34 以 3V 高压电源 15 作电源，在从属锁存器 31 和输出缓冲器 34 之间插入电平变换电路 35。电平变换电路 35 是 2V/3V 系列电源，虽然从属锁存器的互补信号间的电位差是 2V 低电压，但是，它有把互补低电压信号变换成互补的高电压信号（3V）输出信号功能。

把电平变换电路 35 的具体构成表示在图 6（a）及图 6（b）中。在图 6（a）的电平变换电路 35 中，40 及 41 是 PMOS 型晶体管，42 及 43 是 NMOS 型晶体管，一边是 PMOS 型晶体管 40 和 NMOS 型晶体管 42 的串联，另一边是 PMOS 型晶体管 41 和 NMOS 型晶体管 42 的串联两边的串联电路分别配置在 3V 高压电源和地之间。一边的 PMOS 型晶体管 41 的栅极接到 NMOS 型晶体管 42 漏级。互补的输出分别从 NMOS 型晶体管 42、43 的漏极取出。

上述结构中 PMOS 型晶体管 40 和 NMOS 型晶体管 42, PMOS 型晶体管 41 和 NMOS 型晶体管 43 恰好是各自倒相功能。也就是说，由图 5 的从属锁存器 31 的互补输出一边的在 NMOS 型晶体管 43 的栅极，供给 2V 电压，相对的另一边 NMOS 型晶体管 42 的栅极，供给 0V 电压，使得一边 NMOS 型晶体管 43 导通，而另一边 NMOS 型晶体管 42 截止，伴随着 PMOS 型晶体管 40 变为导通和 PMOS 型晶体管 41 变为截止，所以使得一边的 NMOS 型晶体管 42 的漏极接到 3V，而另一边的 NMOS 型晶体管 43 的漏极接地，得到 3V 高电位差的互补输出信号。

在图 6(a)中，从 3V 高电压源 15 向 2V 低电压源 16 没有穿透电流，而从 3V 高电压源 15 向 0V（接地）也没有穿透电流，这样就可以把图 5 的从属锁存器 31 的互补输出 2V 低电压电平变换到 3V 高电压。

图 6（b）表示的是另一种具体的电平变换电路 35'的构成，在电平变换电路 35'中用两个 CMOS 型倒相器 45、46，代替电平变换电路 35 中的两个 NMOS 型晶体管 42、43. 这两个倒相器 45、46 中一个由 PMOS 型晶体管 47 与 NMOS 型晶体管 48 串接，另一个由 PMOS 型晶体管 49 与 NMOS 型晶体管 50 串接来构成。图 5 的从属锁存器 31 的互补输出信号，接到两个 CMOS 型倒相器 45、46 的输入，就是接到串接的 PMOS 型和 NMOS 型两个晶体管 47 和 48、49 和 50 的两个栅极。CMOS 型倒相器 45 的输出端，也就是从 PMOS 型晶体管 47 和 NMOS 型晶体管 48 的连接部分引出，而不是在 CMOS 倒相器 45 连接到 PMOS 型晶体管 41 的栅极引出，另一个 CMOS 倒相器 46 的输出端，也不是在 PMOS 型晶体 4 的栅极引出。两个 CMOS 倒相器 45、46 的输出是电平变换电路 35'的互补输出信号。

以上结构电路使得没有从 3V 高压电源 15 向 2V 低压电源的穿透电流，也没有从 3V 高压电源向地的穿透电流，就可以把图 5 的从属锁存器 31 的互补的 2V 输出电平变换到 3V 高压电压输出。另外，还抑制构成 CMOS 型倒相器 45、46 的 PMOS 型晶体管在过渡状态，从 3V 高电压向地的穿透电流。

按照以上说明分析图 3 的半导体集成电路，在双稳电路 2 的输入端

和输出端有2V系列电源的组合电路1、3，它是用2V系列电源构成；在双稳电路4的输入端有2V系列电源的组合电路3，在输出端有2V/3V系列电源的组合电路5，它是由2V/3V系列电源构成；在双稳电路6的输出端有2V/3V系列电源的组合电路5，在输出端有2V系列电源的组合电路7，它是用2V系列电源构成。

虽然以上说明了寄存器r_1、r_2、r_3、r_4是由双稳电路构成，但是，由锁存电路来代替这个双稳电路为宜。

图7及图8表示了锁存电路的具体构成。图7表示低电压的2V系列电源的锁存电路51。图7的锁存电路51是把一个输入信号D锁存并获得互补的输出锁存（数据暂存）52，在锁存部分输出侧接输出缓冲器53，由外部时钟G产生内部时钟NG的时钟产生电路54，与内部时钟NG输出到锁存部分52的同时，外部时钟G也到锁存部分52。电路52～54以2V的低电压16作电源；它是2V系列电源。

图8表示低电压/高电压（2V/3V）系列电源锁存电路51。图8的锁存电路51同样有以2V低电源16作电源的锁存部分52和内部时钟产生电路54，以3V高电压源15作电源的输出缓冲器55，在锁存部分52和输出缓冲器55之间插入电平变换电路56，它把2V低电压输入信号变换到3V高电压电路56，它把2V低电压输入信号变换到3V高电压电平信号。这个电平变换电路56的具体构成与图6（a）和（b）表示的相同。

接着，把图3所表示的半导体集成电路，作为基本的逻辑单元接续信息进行逻辑合成，参照图9的逻辑合成装置及图13的流程图说明逻辑合成的算法。

图9表示逻辑合成装置60的梗概构成。图中61是读取部分、62是解释部分、63是最优化处理部分、64是单元变换部分、65是定时检验部分、67是输出部分。

读取部分61的输入是图29或者图10所表示的RTL描述（硬件描述语言）；在RTL描述基础上把寄存器间的信号传送关系，图11表示了用逻辑单元的接续信息电平明确规定的网表；还有如图12表示的把网表图形化了的逻辑电路图输入。

解释部分62把从读取部分61读入的RTL描述变换成状态迁移图、布尔代数表、定时图、存贮类型、比特数以及字数等存贮格式。

最优化处理部分63有把获得的状态迁移图最优化的状态迁移图最优化处理部分63a；对应被优化的状态迁移图，生成电路的状态机生成部分63b；编译获得的定时图的定时图编译部分63c；在获得的存贮格式基础上合成存贮的存贮合成部分63d；在被编译的定时图和被合成了的存贮器基础上，有合成接口部分63e。另外最优化处理部分63有生成最优化的逻辑连接信息的逻辑最优化部分63f，在向读取部分61输入RTL描述的情况时，在获得了上述的状态机、布尔代数表、和被合成的接口部分的基础上，进行逻辑最优化，生成最优化的逻辑单元的连接信息，在向读取部分61输入网表或逻辑电路的情况时，把这个输入网表或逻辑电路图的逻辑最优化。

输出部分67把网表或者把这个网表被图形化的逻辑电路图向外部输出，如图3表示的逻辑电路。

本发明在图9上还有单元变换部分64。由单元变换部分64进行单元变换处理，也就是从逻辑最优化部分63f得到单元连接信息基础上，逻辑合成如图3表示的半导体集成电路，结合图13的流程图说明它的算法。再者，图13是本发明的特征部分描述的主体。

起动图13的流程图，在步骤S1用HDL（硬件描述语言）进行功能设计后，在步骤S2输入上述HDL描述，在输入HDL描述基础上，从在图14表示逻辑单元程序单的表中，选择高电压（3V）的逻辑单元程序库（library）（以下记为lib），由3V程序库变换组合电路。

接下，在步骤S3用上述变换计算出组合电路的最大延迟时间后，判断这个最大延迟时间是否超过设计延迟的上限值，在超过延迟上限值时，在步骤S4修正上述输入的HDL描述或者重新功能设计，作成新的HDL描述。例如：在图15表示的一部分电路中，组合电路f位于寄存器r_1和r_2之间，组合电路f的功能分成功能A和功能B的情况下，在这个组合电路f的最大延迟时间超过延迟时间上限时，象图16表示那样，把上述组合电路f分割成f_1和f_2，组合电路f_1具有功能A，组合电路f_2具有功

能 B，在组合电路 f_1 和 f_2 之间配置另一个用途的一个寄存器，合成 r_1 ~ r_3 三个寄存器，图 17 表示 HDL 描述的功能描述，图 18 表示修正的功能描述。

此后，在步骤 S_5 ~ S_9（第一步骤）中，各组合电路的信号传送延迟时间，在设计的延迟时间上限值以下的组合电路，把 2V 低压电流 16 作电源在第一组合电路上合成，相反，信号传送延迟时间超过设计上限延迟时间的组合电路，把组合电路的前部用 3V 高压电源 15 作电源在第二组合电路上合成，把组合电路后部分用 2V 低压电源 16 作电源在第二组合电路上合成。

上述的第一步骤，在本实施例中实施步骤如下，开始在步骤 S_5 把全部组合电路由 2V 的低电压系列组合电路合成（第一组合电路），其后，在步骤 S_6 计算出上述合成的各组合电路每个信号传送延迟时间。然后，判断计算出的延迟时间是否超过设计上限值，超过设计上限值时，由步骤 S_8 把超过设计上限延迟时间的全部组合电路取出，被取出的各个组合电路进行步骤 S_8、S_9 的合成操作。也就是说，把被取出的组合电路的每个规定成数个（m 个）组合部分，在步骤 S_8 把 n 个（开始=1）组合部分用高电压系列（3V）的组合电路（第二组合电路）再合成，在步骤 S_9 把再合成的组合电路最大延迟时间与设计上限值比较，比较结果超过设计上限时，在信号传送方向的下个位置的组合部分（n=2 的组合部分）用高电压系列（3V）的组合电路（第二组合电路）再合成。以上操作重复进行直到再合成后的组合电路最大延迟时间变成设计上限值以下。

接下，在步骤 S_{10} ~ S_{12}（第二步骤）进行如下处理。在步骤 S_{10}，检查是否有 2V 系列组合电路的输出是 3V 系列组合电路输入的那种混合存在的组合电路，在有混合存在的组合电路情况，在步骤 S_{11} 把有混合存在的 2V 系列组合电路全部取出后，在步骤 S_{12}。将取出的 2V 系列组合电路用 3V 程序库组合电路（第二组合电路）置换，重新变换。这个重新变换之后，根据步骤 S_{10}，再次重复步骤 S_{11}、S_{12} 的操作。这时要考虑在步骤 S_{12} 状态下，因为向 3V 系列组合电路的重新变换，引起 2V 系列组合电路和 3V 组合电路又产生新的混合存在情况。

此后，在寄存器的输入侧和输出侧位置的组合电路的电压系列，因为是由上述的逻辑合成决定，所以在步骤S_{13}～S_{15}（第三步骤）进行如下处理。也就是说，在步骤S_{13}对各个寄存器检查是否有由低压（2V）输入高压（3V）输出的电平变换电路，没有电平变换的情况，在步骤S_{14}将没有电平变换的寄存器，变换成图4的2V系列双稳电路或图7的2V系列锁存电路，在有电平变换电路的情况，在步骤S_{15}将那个电平变换寄存器（双稳电路或锁存电路），变换成图5的2V/3V系列的双稳电路或图8的2V/3V系列的锁存电路。

因此，如果图13所示的逻辑合成方法的算法，全部组合电路由低电压（2）组合电路（第一组合电路）变换情况，如图19（a）表示的那样，在所定的两个寄存器中间位置，一个组合电路70的信号传送延迟时间超过了设计延迟上限时，象图19（b）表示那样，在那个组合电路内部的前面部分位置，用阴影表示第一组合部分70a和第二组合部分70b，把70a和70b变换成3V组合电路后，形成2V系列组合部输出3V系列组合部分的输入，在2V系列组合部分和3V系列组合部分混合存在的情况，象图19（c）表示那样，把那个混合存在的2V系列组合电路71用图中的阴影表示组合部分71a，变换成3V系列组合部分上。继续重复上述变换，判断那里是否产生新的混合存在的2V系列组合部分和3V系列组合部分，虽然图19（c）那里没有产生新的混合存在，因为双稳电路由低电压（2V）输入，要在高电压（3V）上输出，所以必须要有电平变换电路，如图19（d）所示，图中用阴影表示了那个有电平变换的双稳电路，这种双稳电路变换在2V/3V系列双稳电路上。

因而，最终得到图19（d）表示的半导体集成电路，图19（e）表示信号传送延迟时间超过设计上限时，将组合电路70的全部组合部分由3V系列组合部分进行变换时，在变换3V系列组合部分可以减少组合部分的个数，因此，可以降低功耗。

第二个实施例：

用图20表示本发明的第二个实施例。本实施例是用对分检索法组合电路的前部和后部的边界，也就是用对分检索法，来判断应该在3V系列

组合电路上合成的组合部分，还是应该在2V系列组合电路上合成的组合部分的那个边界。

也就是说，在步骤S_{18}～S_{27}（第一步骤），检查用对分检索法组合电路的前部和后部的边界，把前部用3V的高压电流15作电源合成在第二组合电路上，把后部用2V的低压电源16作电源合成在第一组合电路上。

第一步骤的详细说明，在步骤S_{18}，开始把全部组合电路由低压电（2V）系列组合电路变换后，用步骤S_{19}对各组合电路进行判断，是否有那个最大延迟时间超过设计限值，有超过设计上限的情况时，由步骤S_{20}取出全部超过上限的组合电路后，对被取出的全部组合电路进行步骤S_{21}～S_{27}的操作。首先，在步骤S_{21}应该由2V系列组合电路变换的数个组合部分的内部，从最初的最后位置的组合部分的序号分别为ks,ke，序号初始设定为ks=1、ke=m（m是构成组合电路的组合部分的个数）、其后，用步骤S_{22}判断是否ke～ks=1,ke～ks=1时不能对分了，当ke～ks≠1时，要用步骤S_{23}计算中值k，

k=（ks+ke）/2

在步骤S_{24}将第1～第k序号的组合部分由3V系列程序库变换；将第k+1～第m序号的组合部分用2V系程序库变换。

此后，算出上述变换后的组合电路最大延迟时间，在步骤S_{25}，计算的最大延迟时间和设计上限值进行比较，在超过设计上限值情况下，应该把第k+1～第m号码的组合部分再次对分，在步骤S_{26}把开始的序号ks换成计算出的中间值k（ks=k）；另外第1～第k序号的组合部分最大延迟时间在设计限值以下时还应再次对分，在步骤S_{27}将ke序号换成中间值k（ke=k）；各自返回到步骤S_{22}。然后，在步骤S_{22}假定ke～ks=1，就定为由对分检索法到组合电路的前部和后部的边界，前述到第二步骤。

因为第二步骤和第三步骤同是上述的第一个实施例，使用第一个实施例的图13的流程图，进行步骤和序号相同，所以说明从略。

因而，在本实施例假定在20个段逻辑门的组合电路中有关键路径情况，开始是沿信号流将前10段合成3V程序库，后10段合成2V程序库后，检查最大延迟时间＞上限值的条件，如果是大于上限值，将后10段

再次对分，连接到终点的5段再次合成在2V程序库上，其他再次合成在3V程序库上。但是，如果是小于上限值情况，要对前10段再次对分，把连接到起始点的前5段再次合成在3V程序库上，其他再次合成2V程序库上。重新检查最大延迟时间＞上限值的条件，重复这个操作过程。使用对分检索法，因为用数次再合成处理就可以检索到上述边界，所以处理速度快。

第三个实施例

图21表示本发明的第三个实施例。在本实施例大概的估算组合电路构成前部和后部的边界。

起动图21后，在步骤S_1用DHL进行了功能设计后，在步骤S_2，上述HDL描述的基础上由高电压（3V）程序库组合电路变换的情况，估算各组合电路的信号传送延迟时间，在步骤S_3判断这个估算结果是否超过设计上限值，在超过设计上限值情况下，在步骤S_4修正在图15或图18表示的那样输入的HDL描述，并把功能设计作成新的HDL描述。

此后，在步骤S_{30}~S_{37}（第一步骤）计算组合电路的前部和后部的大概边界，把那个前部用高电压（3V）15作电源，合成在第二组合电路上，它的后部用低电压16作电源，合成在第一组合电路上。

第一步骤的详细说明，首先在步骤S_{30}，把全部组合电路由2V程序库变换的情况，估算各组合电路的信号传送延迟时间，在步骤S_{31}将各延迟时间与设计上限延迟时间比较，在设计上限值以下时，在步骤S_{22}把上限值以下的组合电路电2V程序库变换。

另一方面，在延迟时间超过上限值的情况，在步骤S_{33}，取出全部超过上限值的组合电路，对各个组合电路进行步骤S_{22}、S_{34}~S_{37}的操作。首先，在步骤S_{34}，上限值除以延迟时间估算结果，由这个除的结果计算出存在3V程序库和2V程序库比值P，在构成组合电路的逻辑门（组合部分）段的数上乘以比值P，计算出3V程序库的变换范围，也就是计算出的各逻辑门是否有3V程序库的变换范围，如果有3V程序库变换的情况，在步骤S_{27}将那个逻辑门用3V程序库变换，若是没有3V程序库变换情况，在步骤S_{22}将那个逻辑门用2V程序库变换。

因为第二步骤和第三步骤与上述第一个实施例相同，所以附加了第一个实施例的图 13 的相同的步骤和序号，说明省略。

因为，在本实施例中，例如 3V 程序库的延迟为“1”时，2V 程序库延迟是 1.8，假定设计的延迟时间上限值是 50ns，在关键路径的延迟是 90ns 情况下，全部关键路径作为 3V 程序库合成范围。在关键路径的延迟等于 50ns 情况下，关键路径不是 3V 程序库的合成范围，全部组合部分用 2V 程序库合成。但是，关键路径的延迟是 60ns 情况下，从关键路径起点到 1/4 的范围变成前部，这个前部是 3V 程序库的构成范围，若关键路径的延迟是 70ns 情况，从路径起点到 1/2 的范围变成前部，用 3V 程序库合成，关键路径的延迟是 80ns 情况，从关键路径起点到 3/4 的范围变成前部用 3V 程序库合成。

在本实施例中，因为可以概算出用 3V 程序库合成的组合部分和用 2V 程序库合成的组合部分的那个边界（前部和后部边界），所以逻辑合成的处理速度非常快。但是，算出的边界精度不高。通常在逻辑合成时，因为在一次逻辑合成后，还要在合成结果的基础上进行再合成，进一步电路的最优化，所以用来实施例最初的逻辑合成以后，用第一或第二实施例进行再次合成，以求提高逻辑合成的处理速度，提高边界的计算精度，限制由高电压（3V）程序库合成的组合部的个数最小限度，可以更进一步降低功耗。

第四个实施例：

图 22 表示本发明的第四个实施例。本实施例在构成组合电路的数个组合部分内，把确定用 3V 程序库变换的组合部分，用低功耗观点可以预先判断合成半导体集成电路优良情况，按照指定预先确定的组合部分由 3V 程序库进行变换。

图 22 的逻辑合成方法是在第一步骤（步骤 S_5～S_9）的前面阶段增加步骤 S_{40}～S_{45} 步骤。这个增加的步骤，首先在步骤 S_{40}，判断是否有逻辑设计者指定所定的组合部分用 3V 程序库变换，属于有指定的情况，在步骤 S_{41} 指定把所定的组合部分在 HDL 进行 3V 程序库变换。例如，图 24 表示的是对 8 个输入数据 a,b,d,c,e,f,g,h 相加的加法器的功能描述，图 23

表示的是指定在最后位置加法元件由3V程序库变换。图23的[//low-power-synthesis-high-voltage]是指定部。

此后，是输入功能描述，在步骤S_{42}判断有无上述那样的组合部分指定，在没有指定的情况，全部组合部分由2V程序库变换，在有指定的情况；用步骤S_{43}把被指定的组合部分由3V程序库变换。

其次，用步骤S_{44}判断有没有2V系列组合部分的输出是3V系列组合部分的输入，在那种2V系列组合部分和3V系列组合部分混合存在情况，在有混合存在情况的范围内，用步骤S_{45}，在那个混合存在的3V系列组合部分的前段插入电平变换电路。插入的电平变换电路使用图6（a）表示的电平变换电路35，或者是图6（b）表示的电平变换电路35'。

第一步骤（步骤S_5-S_9）、第二步骤（步骤S_{10}-S_{12}）以及第三步骤（步骤S_{13}-S_{15}），因为是上述第一个实施例相同的图13的流程图，所以带有相同的步骤和符号，它的说明从略。但是，在第二步骤的步骤S_{10}时，没有混合存在情况下，用步骤S_{50}判断3V系列组合部分和其他3V系列组合部分之间是否有电平变换电路，在有电平变换电路的情况，再用步骤S_{51}删除那个电平变换电路。由第二步骤的再合成处理2V系列组合部分被3V系列组合部分置换时，因为假设含有电平变换电路。

因此，在本实施例，图24用通常（没有指定由3V程序库变换所定的组合部分）功能描述图13的逻辑合成方法（第一实施例），图25（a）表示有7个加法元件（运算元件）的加法器，图25（c）表示在前段位置由3V程序库合成的4个加法元件，把前段位置的8个寄存器由2V/3V系列双稳电路变换，在本实施例中，图25（b）附加了阴影表示，在最后段位置只有用3V程序库合成的加法元件，它的前段配置中电平变换电路，本实施例用3V程序库合成减少了组合部分的个数，目的是可以降低功耗。

第五个实施例：

图26至图28表示本发明的第五个实施例，在本实施例，信号传送延迟时间超过上限值的组合电路内，把3V高压电源15作电源合成在第二组合电路的部分，不限制在前部，而是从面积和处理速度的观点进行

最佳选择。

图 26 表示第五个实施例的图 21 流程图的前半部分，图 27 表示同一流程图的后半部分，把流程图的步骤 35 变更在图 2b 的步骤 S_{60}-S_{69}，在流程图的步骤 S_{10} 和步骤 S_{13} 之间增加图 27 的步骤 S_{70} 和 S_{71}。

在图 26 中，步骤 S_{34} 是在信号传送延迟时间的估算结果和设计上的延迟上的限值基础上，计算出一个组合电路中的高电压（3V）程序库和低电压（2V）程序库的比值 P 后，在步骤 60 把那个组合电路的全部门的段数乘以比值 P，计算出那个组合电路中用高电压（3V）程序库变换的门的段数（高电压程序库变换范围）。继续用步骤 S_{61}，把上述高压电压（3V）程序库的变换范围（所定的尺寸）作为检索范围（窗口），计算出一个组合电路中窗口的个数 n 后，用步骤 S_{62} 首先设定变量 k 的初始值（k=0）后，在步骤 S_{63} 以后的步骤评价 n 个窗口中的每个窗口。也就是，由步骤 S_{62} 设定 k=k+1，步骤 64 设定第一个窗口内的组合部分，由步骤 S_{65} 对于这个窗口内的组合部分的面积及延迟进行评价。此后，在步骤 S_{66} 把变量 k 和窗口个数 n 进行评价。此后，在步骤 S_{66} 把变量 k 和窗口个数 n 进行比较，在 k<n 时，返回到步骤 S_{63}，依次地对第 2-第 n 个窗口内的组合部分的总面积和延迟进行评价。在步骤 S_{67} 对所有的窗口进行选择，选择窗口内的组合部分的总面积最小或延迟最小的那个窗口，在步骤 S_{68}，对被选择的窗口不是第一个窗口情况，用步骤 S_{69} 在被选择窗口的前段插入电平变换电路。

图 27 的步骤 S_{10} 中，对于没有 2V 系列组合部分和 3V 系列组合部分混合存在的情况，在步骤 S_{70} 判断在 3V 系列组合部分和其他 3V 系列组合部分之间，是否有电平变换电路，在有电平变换电路情况，按照第二步骤的再合成处理，因为在 3V 系列组合部分和其他 3V 系列组合部分之间含有电平变换电路，所以增加步骤 S_{71} 来删除那个电平变换电路。

因此，本实施例具有如下效果，也就是在图 28 表示的组合电路（这是在图 25 表示的有 7 个加法元件的加法器）用图中的（a）、（b）及（c）表示分别用于变换第 1 个、第 2 个及第 3 个窗口，因为图 28（c）的第 3 个窗口加法元件总面积（个数）最少，所以这个范围用 3V 程序库变换。

因经，采用 3V 程序库变换可以使加法元件个数最少，可进一步降低功耗。

第六个实施例

图 33 及图 34 表示本发明的第六个实施例。在第四个实施例中，在加法器的最后段位置，尽管把组合部分由 3V 程序库合成代替，在保留进位方式的并行乘法器的最后段位置组合部分是由 3V 程序库合成。

图 33 是在保留进位方式并行乘法器的最后段位置，表示含有指定的应该由 3V 程序库合成组合部分的功能描述，这个功能描述是逻辑合成装置 60 的读取部分 61 的输入。

图 34 表示用读取部分 61 输入的功能描述，被逻辑合成了的保留进位方式的并行乘法器。图中的并行乘法器是把复数个逻辑与电路 90、复数个半加法器 HA 及全加法器 FA 配置成阵列状态，在最后段配置成多比特的加法器 91，这个最后段的全加法器 91 由 3V 程序库合成，其他用 2V 程序库合成。但是，在最后段的全加法器 91 的前面配置了 16 个电平变换电路 92。各个电平变换电路 92 把从前段输入信号电平（2V）变换成高电平（3V）输出。

因此，在本实施例，因为是保留进位方式的并行乘法器，所以在电路中大部分是加法器的阵列，就是普通的加法器，但是最后段的加法器 91 必须是高速的。为了提高速度，通常是在最后段的加法器使用先行进位加法器，所以这个最后段加法器 91 是高电压（3V）系列，由哪种在电路的规模和功率消耗上均优的电路来生成，可以生成比以前速度高的乘法器。

在本实施例中，虽然说明的是保留进位方式的并行乘法器，本发明的运算电路同样可以适用于减法器、除法器、累积加法器、累积减法器、累积乘法器以及累积除法器等。

再者，虽然以上说明适用于芯片 20 的内部芯片 22 内形成功能块 A，同样也适用于功能块 B-D，除了存储单元部分 E 以外，在功能块 A-D 的相互之间也同样适用本发明。

因此，根据本实施例的逻辑合成方法，在有关键路径构成组合电路的组合部分内，只对一部分组合用 3V 的高压电源，因为在位于组合电路

前面的寄存器内配置了电平变换电路，所以在有关键路径组合电路内，只对关键路径用高电压源驱动的情况，就要在有关键路径组合电路内配置数个电平变换电路，就需对每个配置电平变换电路位置判断那个是一定不能共用的，可以减少必须的电平变换电路个数，使得半导体集成电路的设计变得非常容易。并且，有关键路径组合电路的个数与备置在半导体集成电路上的组合电路数量相比，有关键路径组合电路数量极少，而且对构成有关键路径组合电路的组合部分内，也仅仅是对一部分组合用 3V 的高压源 15 驱动，消耗电流只有极少的增加，另外，对没有关键路径的组合电路全部用 2V 低电压源 16 驱动，减少整个半导体集成电路消耗电流，降低功耗。

本实施例的半导体集成电路图 3 和以前的半导体集成电路图 30 相比较，在以前的半导体集成电路图 30 中，各个组合电路 100、102、104 及 106 的信号传送延迟时间，图中分别表示为 6ns、12ns、14.4ns、8ns，从双稳电路的时钟输入时到数据输出时的延迟时间为 2ns，因为组合电路最大延迟时间是 104 电路的 14.4ns，所以，图 30 电路的最高工作频率为：

1000/（2+14.4）=60.98MHZ

另外，在本实施例的半导体集成电路图 3 中，有关键路径组合电路 5，因为它的前部用高电压（3V）系列，后部用低电压（2V）系列分别构成，所以它的延迟时间是设计上的上限值（例如 20ns）。没有关键路径组合电路 1、3 和 7 的延迟时间，因为将 3V 的高电压降低到 2V 的低电压，使得逻辑单元的延迟随着变大。另外，假定图 3 的半导体集成电路，2V 的低电压源是 3V 的高电压源的延迟时间的 1.5 倍。在没有关键路径的组合电路 1、3、7 中，延迟时间最大的是组合电路 3，延迟时间为 18ns。

备置 2V 低电压源 16 和 3V 高电压源 15 的结果，使有关键路径的组合电路 5 的延迟变成 18ns（假定是相对 3V 高电压源 15 驱动的 1.25 倍）。从双稳电路时钟输入时到数据输出时各个信号传送延迟时间是 2ns，本实施例的半导体集成电路的最高工作频率为：

1000/（2+18）=50MHZ

最大延迟时间只要在设计上限值以下，就没有问题。也就是说，没

有关键路径组合电路1、3和7用2V低电压流16驱动，有关键路径组合电路5用3V高电压源15和2V低电压源16驱动，可以满足设计上的最高工作频率的要求。

图35是表示把20ns作为设计上的上限延迟时间，在以前半导体集成电路和本发明的半导体集成电路，从双稳电路的时钟输入时到下一段的双稳电路的数据输入时的延迟，也就是表示寄存器和组合电路总的信号传送延迟时间的分布。图（a）是以前的3V系列半导体集成电路的延迟分布，图（b）是本实施例的2V系列及3V系列混合存在的半导体集成电路的延迟分布。对于以前的半导体集成电路只是把电源电压从3V系列变成2V系列，最大延迟时间从20ns变到30ns，关键路径的延迟时间尽管超过设计上限值20ns，可是在图3的本实施例的半导体集成电路中，对于在2V系列电压合成的组合电路的延迟时间超过20ns，有关键路径组合电路的每一个，因为只将关键路径的组合部分变更为3V的高电压源系列，其余组合部分和其他没有关键路径的组合电路用2V低电压源系列，就可以满足设计上限值20ns。图（b）表示这种情况延迟的分布。

然后，比较以前的半导体集成电路和本发明的半导体集成电路的电路规模。

把以前的半导体集成电路的电路规模作为S，在半导体集成电路中双稳电路的比例占20%，在全部双稳电路中有电平变换电路的双稳电路占比例的10%，由本发明的双稳电路构成的是2V/3V系列，和以前的双稳电路构成不同，面积增加作为10%，本发明的半导体集成电路的电路规模由下式表示：

$$S\times0.8+S\times0.8+S\times1.1\times0.02=S\times1.002$$

电路规模的增加限于0.2%。

另外，在上述条件下，在全部双稳电路中把有电平变换电路的双稳电路占比例的5%，本发明的半导体集成电路规模由下式表示：

$$S\times0.8+S\times0.19+S\times1.1\times0.01=S\times1.001$$

电路规模的增加限于0.1%。

第七个实施例

图36到图39表示本发明的第七个实施例。在以上的各个实施例中，在用高电压（3V）系列的组合电路情况，在组合电路前面的寄存器有电平变换电路。设置这个电平变换的理由，例如，在图4表示构成的双稳电路（寄存器）2的输出缓冲器32的倒相器34c和34d，是为了防止贯穿电流的流通。下面还要详细说明这个贯穿电流，图42是表示上述倒数相器的内部结构。图中表示在高电压（3V）电源V0和接地电源Vss之间，串联配置P沟道型和N沟道型的晶体管Tp、Tn。在两个晶体管的栅极输入信号，连接点是倒相器输出端。输入信号的高电平（"H"）是低电压源16的低电压，即2V。在输入信号为高（"H"）电平时，因为N沟道型晶体管Tn导通，所以P沟道型晶体管Tp没有完全截止，其结果是因为从高电压源15到低电压源16 有贯穿电流。

可是，高电压源15与低电压源16的电位差是P沟道型晶体管Tp的阈值电压Vt以下的情况，P沟道型晶体管Tp一定截止，没有流通的贯穿电流。因此，把上述电位差设置在P沟道型晶体管Tp的阈值电压以下，例如阈值电压Vt=0.5V，高电压源15的高电压设定3V，低电压源16的低电压设定2.7V后，就变成没有必要设置电平变换电路。本实施例是表示这种情况的例子。

在图36中表示的功能块，是把组合电路1、3、7三个组合电路用2.7V低电压作电源，用2.7V系列组合电路（第一组合电路）构成，组合电路5用3V高电压作电源，用3V系列组合电路（第二组合电路）构成。双稳电路2、4、6、8由于用2.7V低电压作电源，构成2.7V系列。具体的2.7V系列双稳电路与图4表示的结构相同，只是电源电压的不同。

图37是表示构成图36的功能块，逻辑合成方法的一个示例。在图中，在步骤S_1由低电压程序库（2.7V）变换各个组合电路的情况，估算各个组合电路的信号传送时间，在步骤S_2判断这个估算结果是否超过设计上限延迟时间值，延迟时间在上限值以下的组合电路，在步骤S_3，那个组合电路用2.7V低电压作电源，合成在第一组合电路上，对超过延迟上限值的组合电路；在步骤S_4，把那个组合电路用3V高电压作电源，合成在第二组合电路上。此后，在步骤S_5，把双稳电路变换在2.7V程序库

的双稳电路上。

图 38 表示是它的逻辑合成方法的示例。图 38 和图 36 的不同点是在开始的步骤 S_1，要是把全部组合电路和双稳电路变换在 2.7V 程序库的组合电路和双稳电路上以后，在步骤 S_2，判断信号传送时间超过设计的延迟时间上限值的组合电路，在步骤 S_4，把超过上限值的组合电路变换在 3V 程序库的组合电路上。所以，它的构成从略。

因此，在本实施例，图 39 表示在两个寄存器之间的位置，有一个组合电路 70 的信号传送延迟时间超过设计上限值的情况，这个组合电路的全部用 3V 程序库变换，如图中用阴影线表示的那样，在它的前段位置的双稳电路用 3V 系列双稳电路变换，而且没有电平变换电路。这时，在用上述 3V 程序库变换的组合电路 70 中，虽然有从 2.7V 程序库变换的组合部分 71a、71b 的低电压（2.7V）信号输入，因为组合电路 70 接收低电压的信号也能正常工作，所以组合部分 71a、71b 不用在 3V 程序库上变换。

图 40 是表示本实施例的变相示例。在第七个实施例，在信号传送延迟时间超过设计延迟上限的组合电路，虽然把那个组合电路的全部变换在 3V 程序库上，但是，只是那个部分变换在 3V 程序库上，3 其余部分是变换在 2.7V 程序库上。确定哪个部位变换在 3V 程序库上的方法，用第五个实施例的窗口，与在图 26 和图 27 表示的方法相同。在本变相示例的图 40 中，因为不要电平变换电路，与表示第五个实施例的图 26 和图 27 相比，省略电平变换电路的插入（图 26 的步骤 S_{68} 和 S_{69}）、删除电平变换电路（S_{70} 和 S_{11}）的步骤。

图 41 是表示本实施例的效果。从图中可以判断，设计延迟上限值作为 20ns 时，图 41（a）表示 3V 的电压系列半导体集成电路的延迟分布，把上述 3V 的电压系列变更在 2.7V 的低电压系列，在图 41（b）上用点划线表示它的分布，最大延迟时间从 20ns 变到 24ns，超过设计的延迟上限值，在同图中，用实线表示本实施例的 2.7V 系列和 3V 系列混合存在的半导体集成电路的延迟分布，可以满足设计的延迟上限值。

图 1

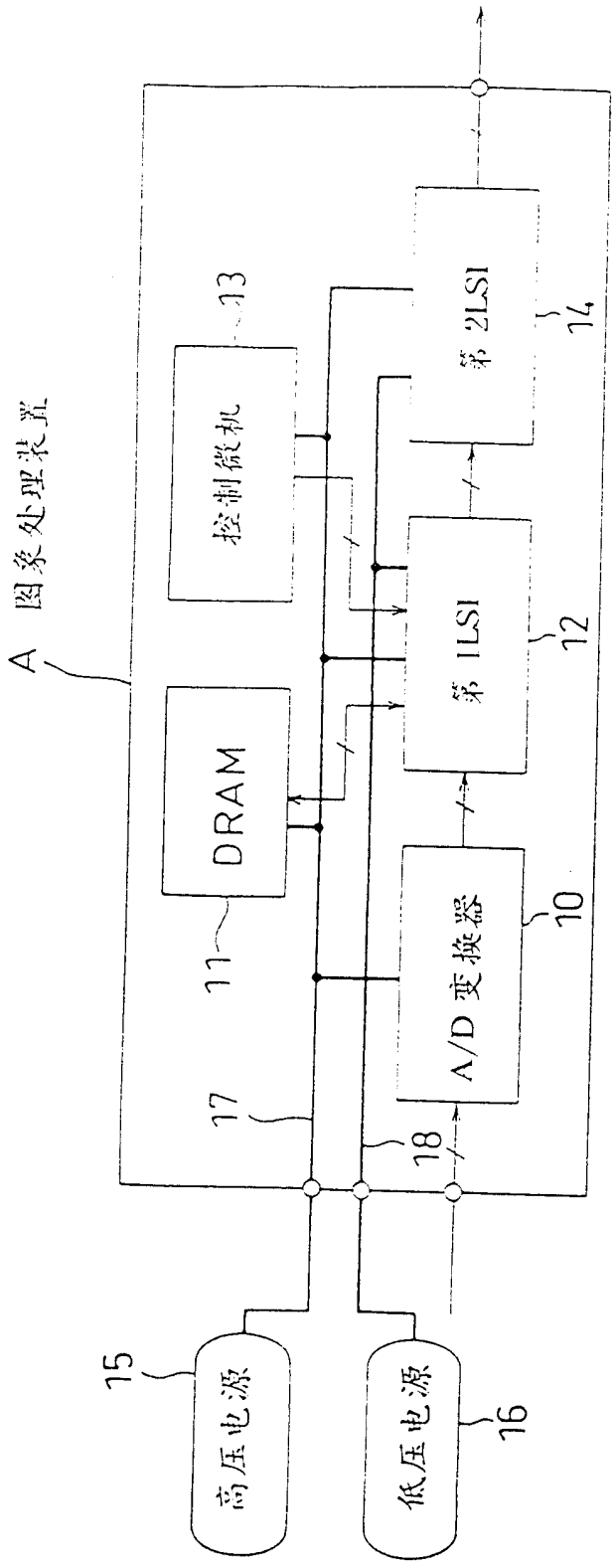

A 图象处理装置
DRAM
11
控制微机
13
第 1LSI
12
第 2LSI
14
A/D 变换器
10
17
18
高压电源
15
低压电源
16

图 2

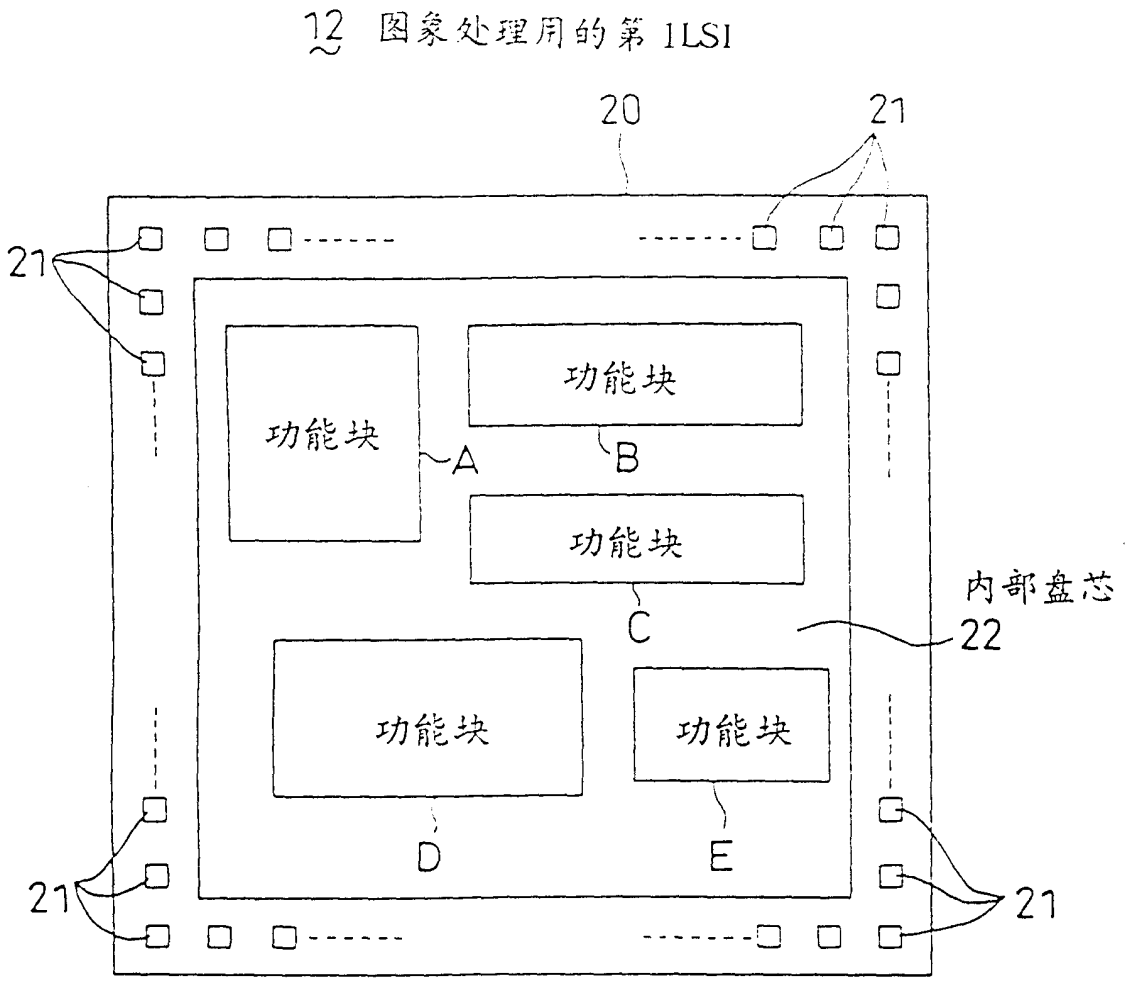


图 3

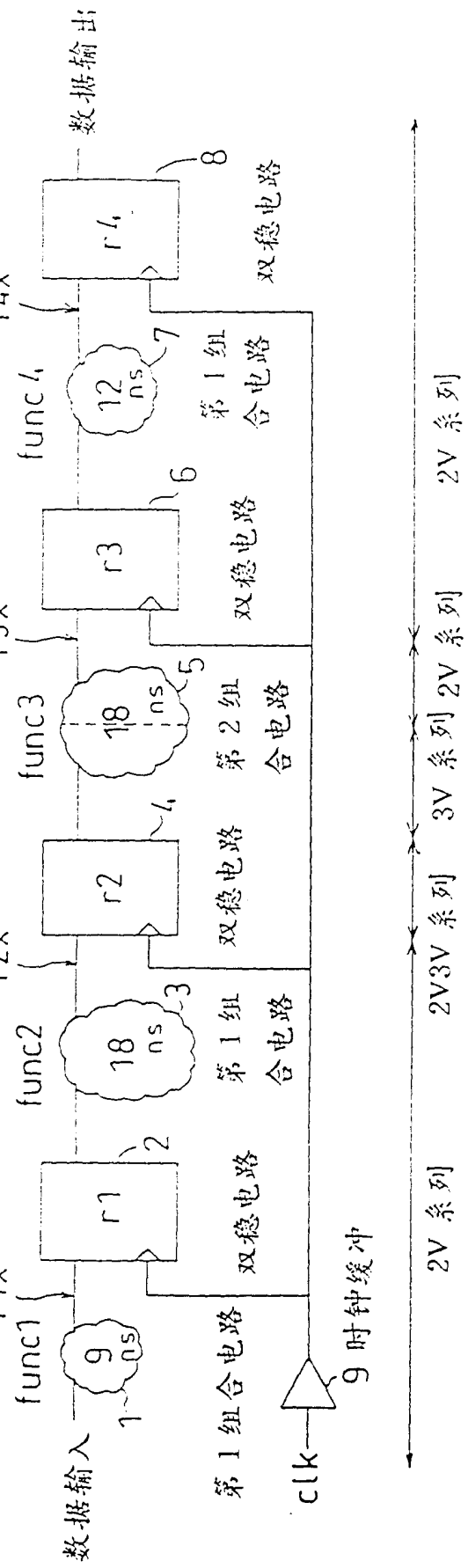

数据输入
func1
9 ns
1
r1x
r1
2
双稳电路
第 1 组合电路
clk
9 时钟缓冲
func2
18 ns
3
r2x
r2
4
双稳电路
第 1 组合电路
func3
18 ns
5
r3x
r3
6
双稳电路
第 2 组合电路
func4
12 ns
7
r4x
r4
8
双稳电路
第 1 组合电路
数据输出
2V 系列
2V3V 系列
3V 系列
2V 系列
2V 系列

图4

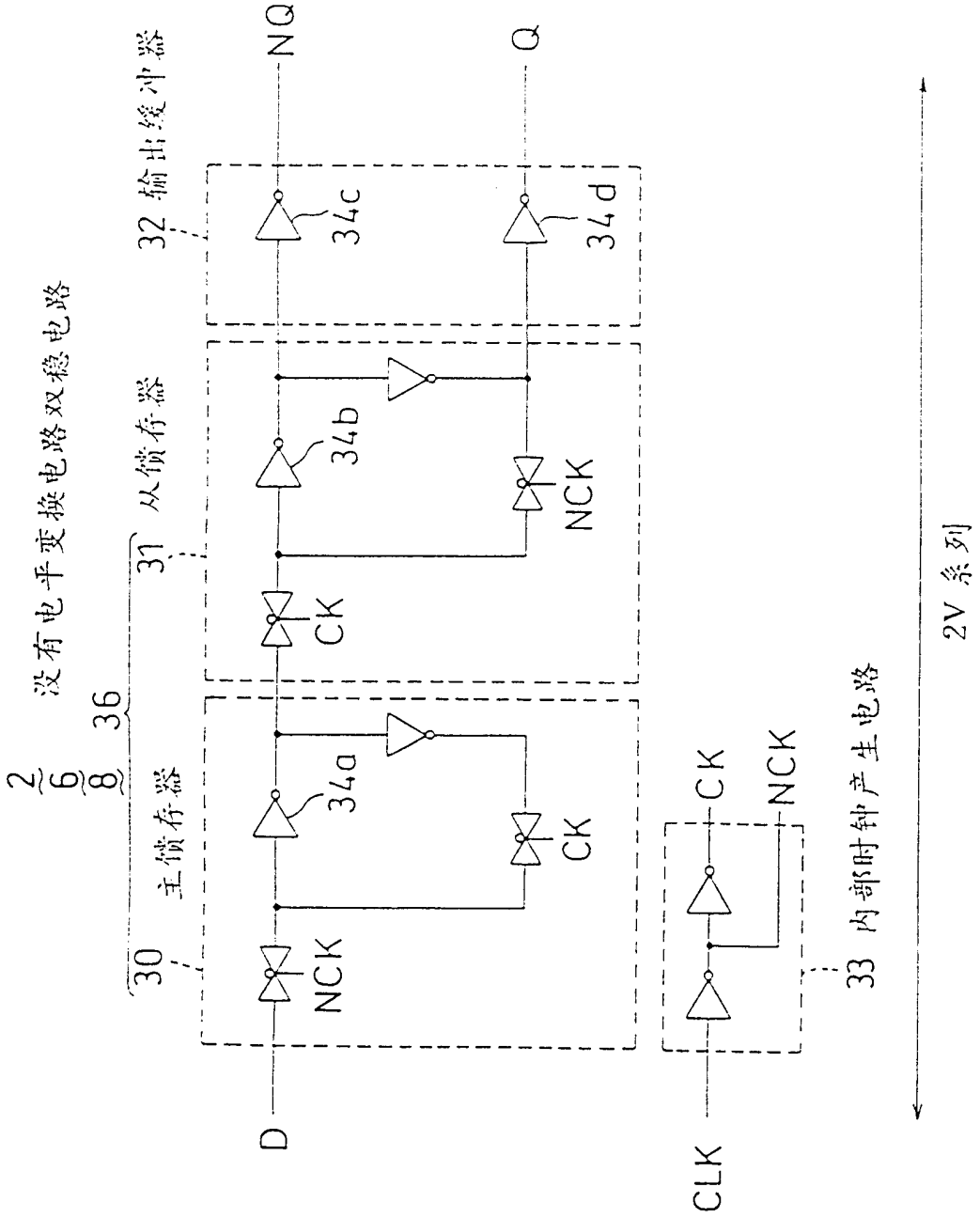

没有电平变换电路双稳电路
2
6
8
36
30 主锁存器
31 从锁存器
32 输出缓冲器
33 内部时钟产生电路
D
CLK
NCK
CK
34a
34b
34c
34d
NQ
Q
2V 系列

图 5

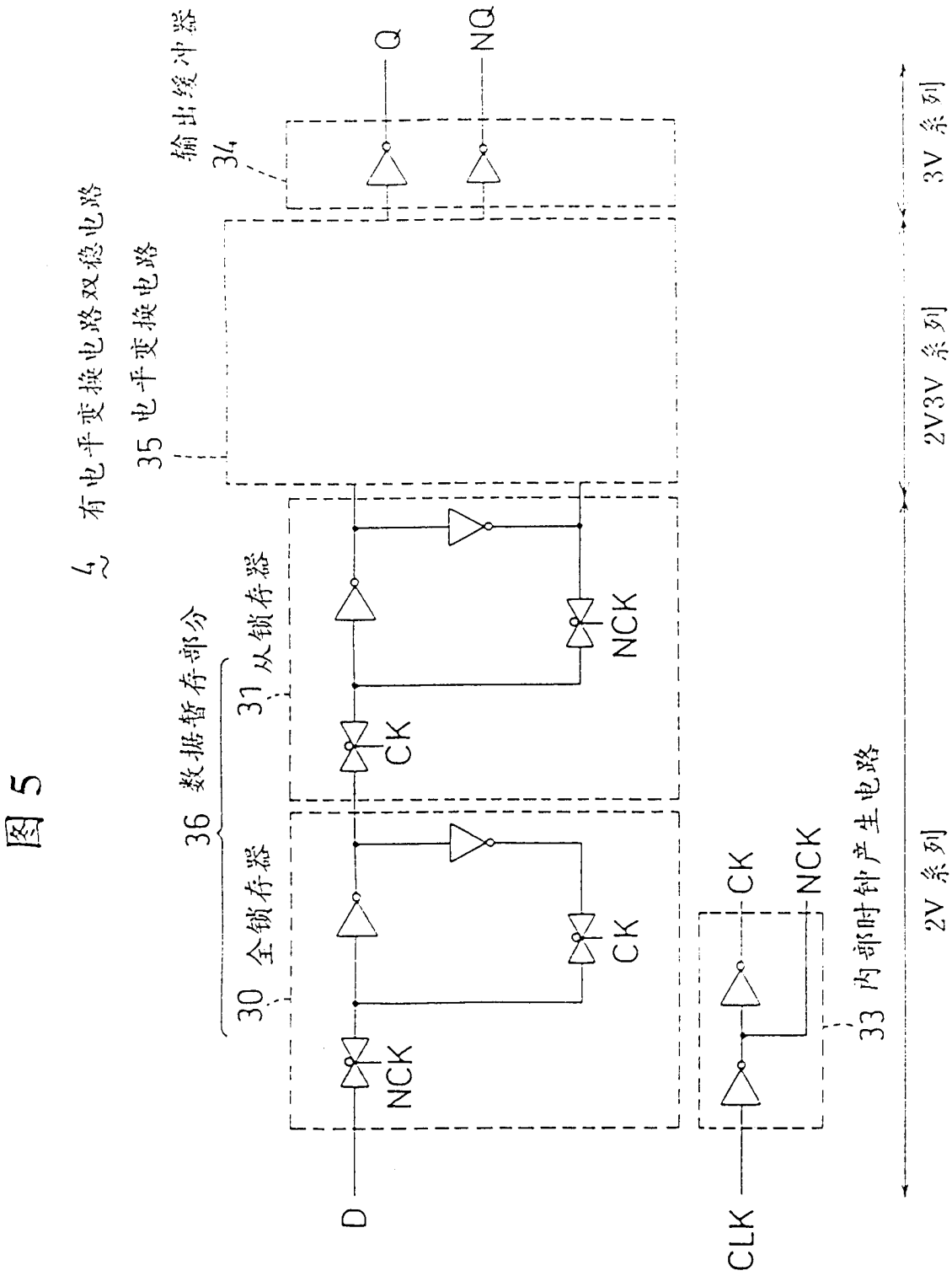
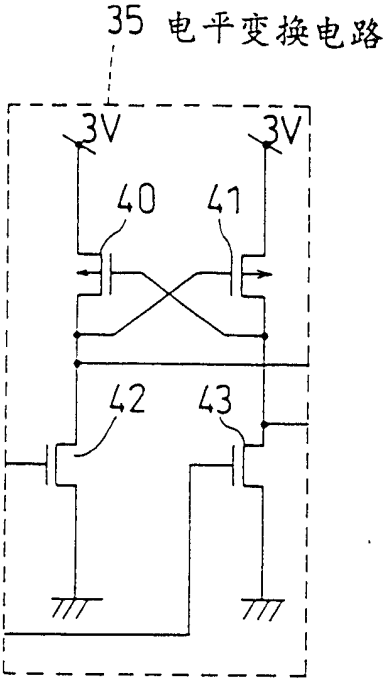

4 有电平变换电路双稳电路
35 电平变换电路
输出缓冲器
34
Q
NQ
36 数据暂存部分
31 从锁存器
30 全锁存器
NCK
CK
D
CLK
33 内部时钟产生电路
3V 系列
2V3V 系列
2V 系列

图 6

(a)


35 电平变换电路
3V
3V
40
41
42
43

(b)

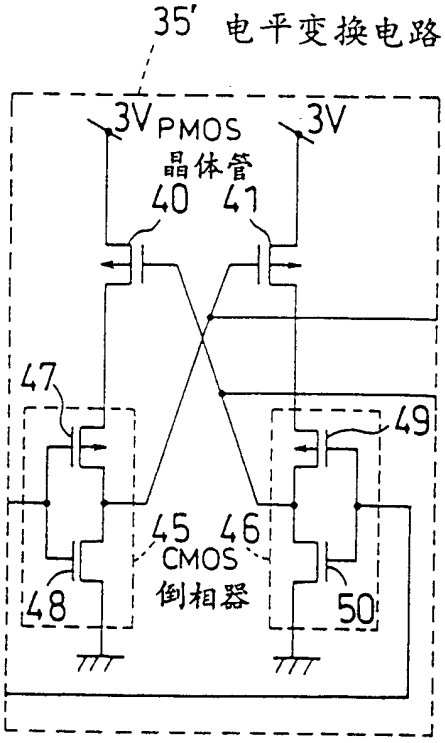

35' 电平变换电路
3V
PMOS
晶体管
3V
40
41
47
49
45
46
CMOS
倒相器
48
50

图 7

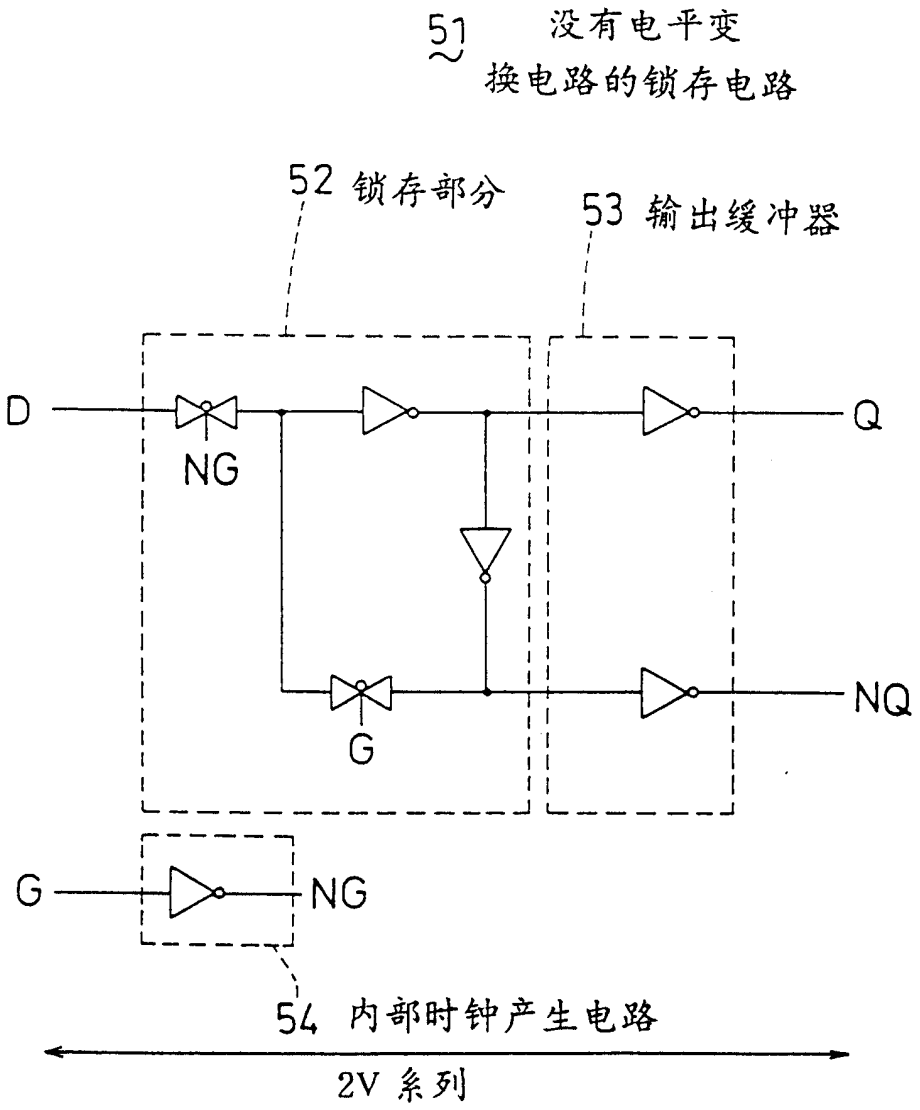

51 没有电平变换电路的锁存电路
52 锁存部分
53 输出缓冲器
D
NG
Q
NQ
G
G
NG
54 内部时钟产生电路
2V 系列

图 8

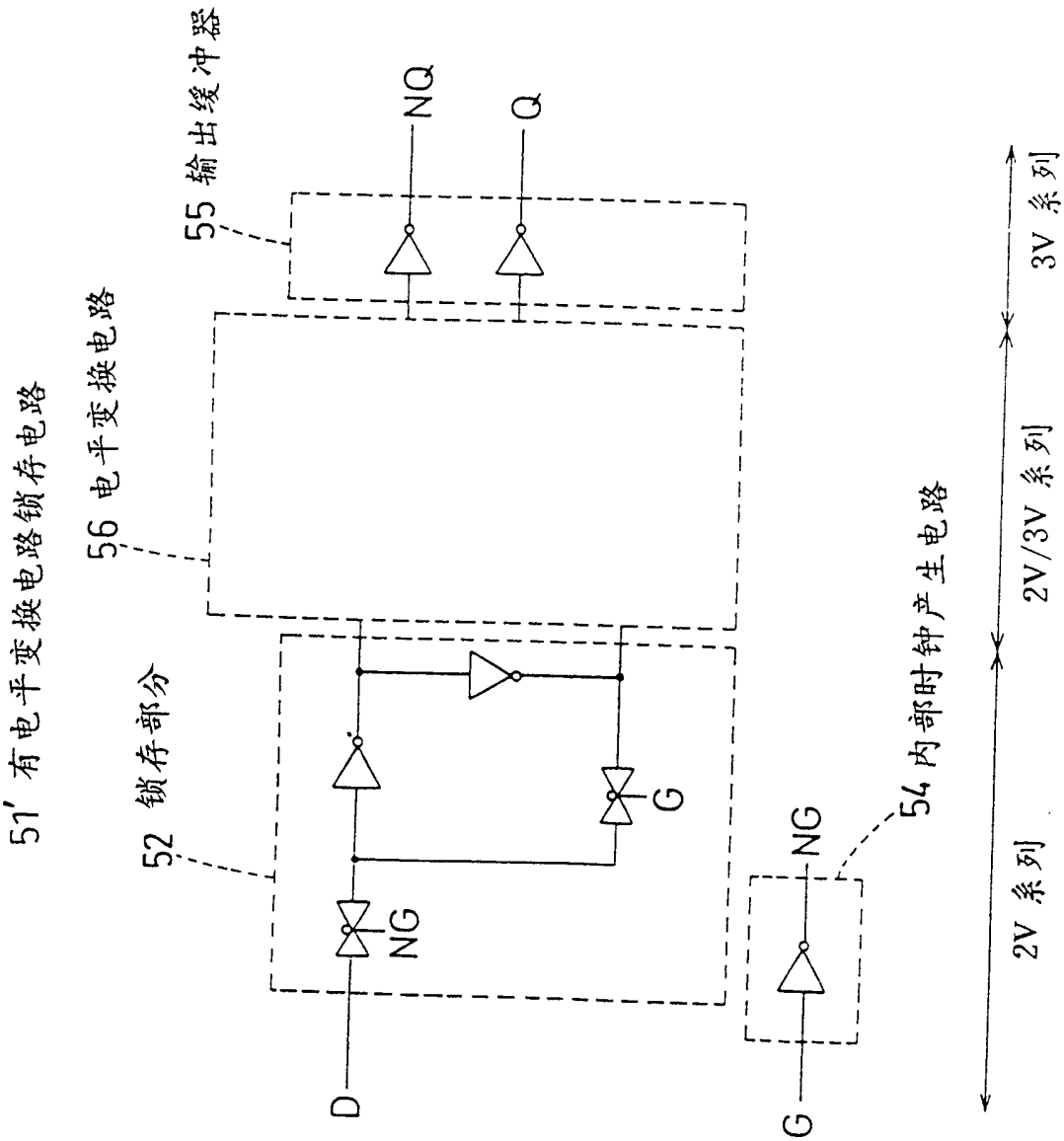

51′ 有电平变换电路锁存电路
56 电平变换电路
55 输出缓冲器
NQ
Q
52 锁存部分
G
NG
D
54 内部时钟产生电路
NG
G
2V 系列
2V/3V 系列
3V 系列

图9

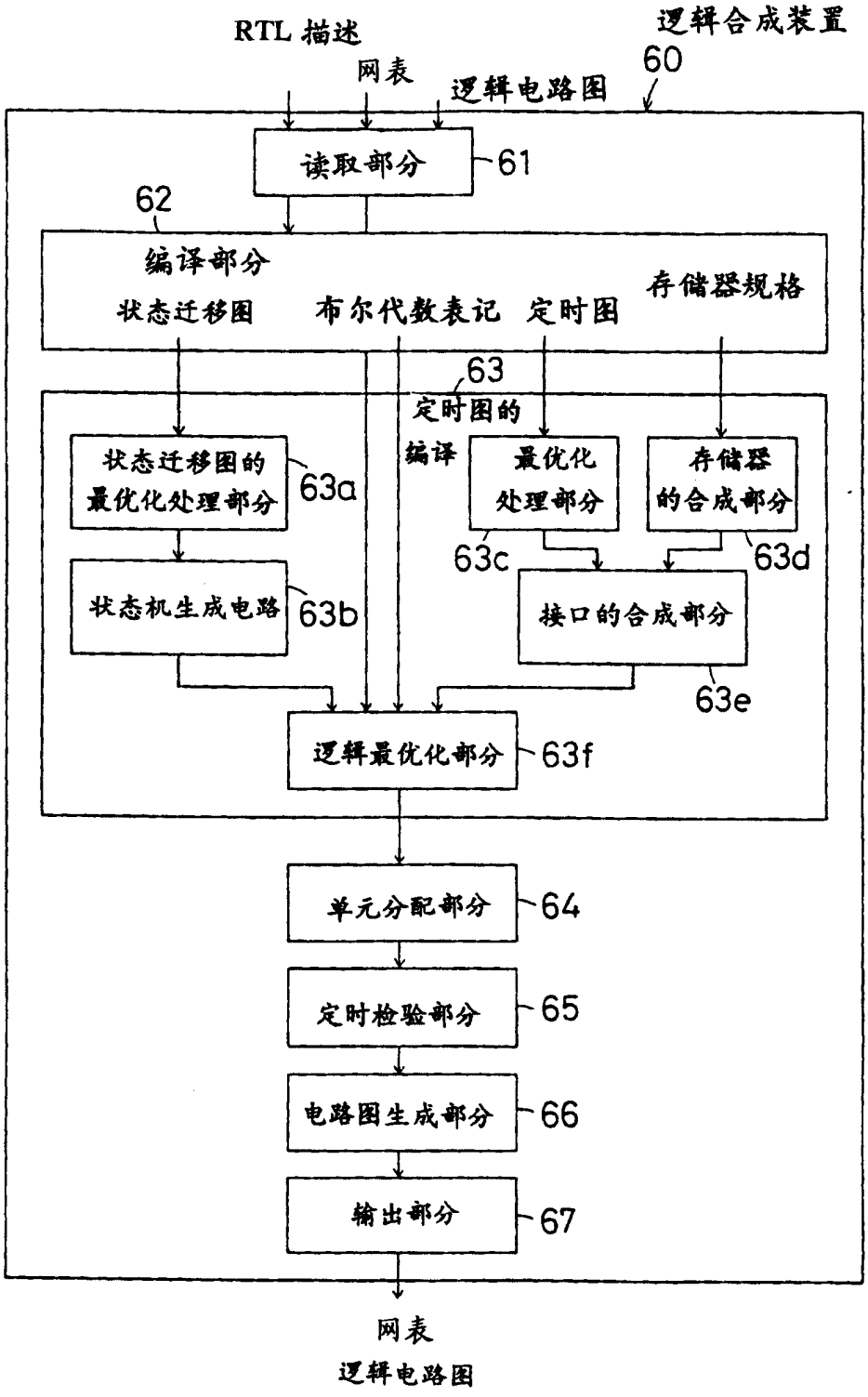

RTL 描述
网表
逻辑电路图
逻辑合成装置
60
读取部分
61
62
编译部分
状态迁移图
布尔代数表记
定时图
存储器规格
63
定时图的
编译
状态迁移图的
最优化处理部分
63a
最优化
处理部分
存储器
的合成部分
63c
63d
状态机生成电路
63b
接口的合成部分
63e
逻辑最优化部分
63f
单元分配部分
64
定时检验部分
65
电路图生成部分
66
输出部分
67
网表
逻辑电路图

图 10

```
module  demo4(clk,r,q);
input         clk,r;
output [3:0]  q;
wire [3:0]    qx;
reg [3:0]     q;

function [3:0] fq;
input        r;
input [3:0] q;

if (r)
    fq = 4'h0;
else
    if (q < 4'd9)
        fq = q + 1'b1;
    else
        ;

endfunction

assign  qx = fq(r,q);

always @(posedge clk)
    q = qx;

endmodule
```

图 11

```
module demo4 ( clk, r, q );
output [3:0] q;
input  clk, r;
    wire net7, net8, net9, net10, n60, n51, n52, n53, n54, n55, n56, n57, n58,
         n59;
    MD40C \q_reg[0]   ( .NQ(net10),  .Q(q[0]),  .CK(clk),  .D(n60) );
    MD40C \q_reg[1]   ( .NQ(net9),   .Q(q[1]),  .CK(clk),  .D(n59) );
    MC22E U20 ( .Y(n59),  .A(n60),  .B(n56),  .S(net9) );
    MC11E U21 ( .Y(n57),  .A(net7),  .B(n51),  .C(net8),  .D(n52) );
    MD40C \q_reg[2]   ( .NQ(net8),   .Q(q[2]),  .CK(clk),  .D(n58) );
    MC43E U22 ( .Y(n60),  .B(net10),  .NA(n51) );
    MC6E U23  ( .Y(n53),  .A(net10),  B(net8),  .C(net9),  .D(net7) );
    MO2E U24  ( .Y(n51),  .A(n53),  .B(r) );
    MD40C \q_reg[3]   ( .NQ(net7),   .Q(q[3]),  .CK(clk),  .D(n57) );
    MO3E U25  ( .Y(n52),  .A(net9),  .B(net10),  .C(n51) );
    MC44E U26 ( .Y(n54),  .B(n51),  .NA(net9) );
    MC43E U17 ( .Y(n55),  .B(n54),  .NA(n60) );
    MC21E U18 ( .NY(n58),  .A(n55),  .B(n52),  .S(net8) );
    MR2E U19  ( .Y(n56),  .A(net10),  .B(n51) );
endmodule
```

图 12

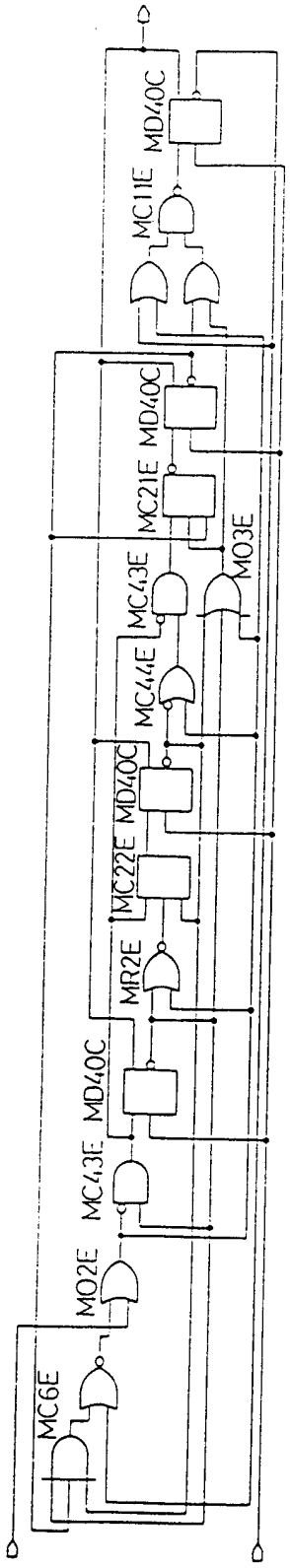

MC6E
MO2E
MC43E
MD40C
MR2E
MC22E
MD40C
MC44E
MC43E
MO3E
MC21E
MD40C
MC11E
MD40C

图 13

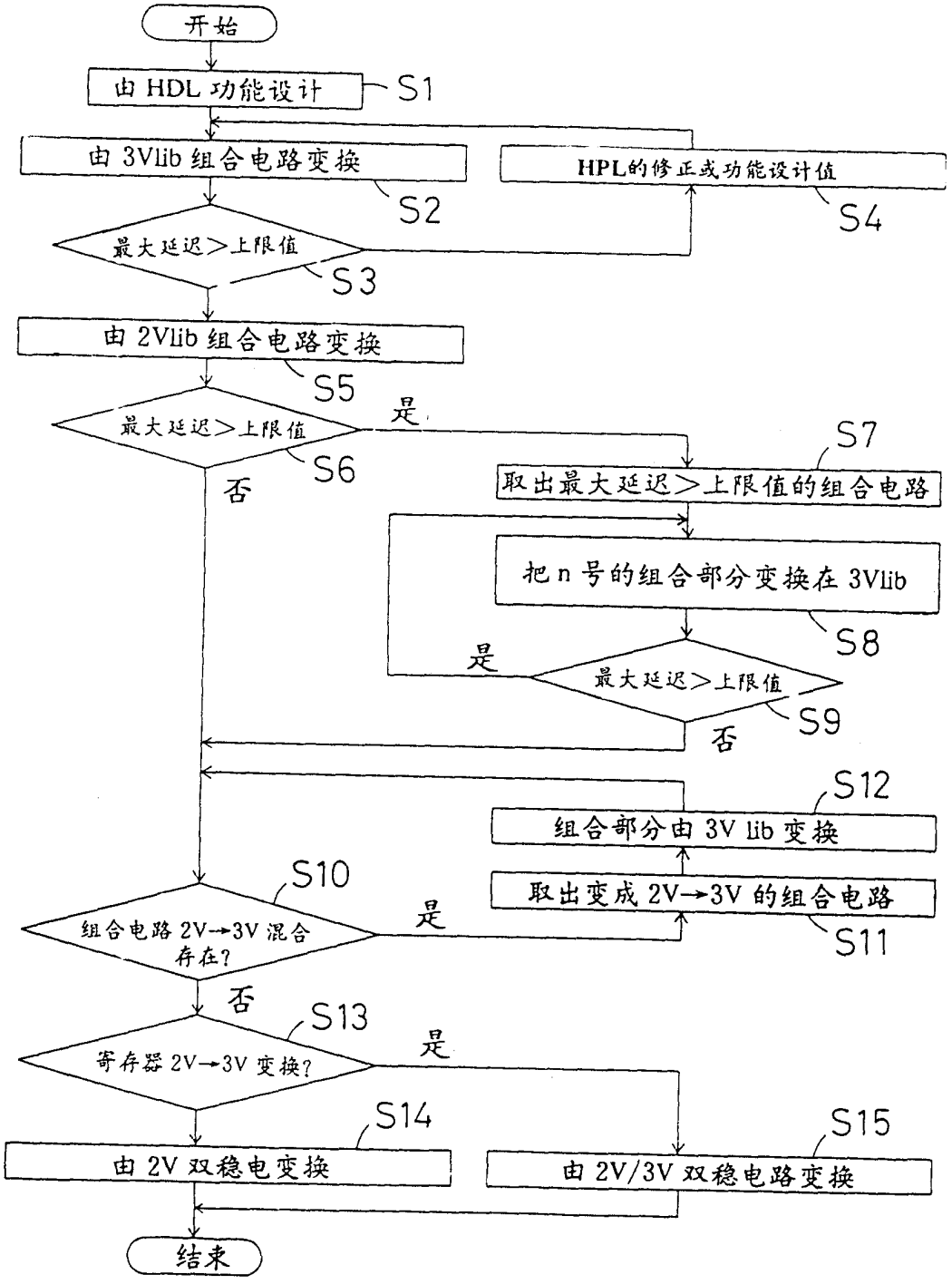

开始
由 HDL 功能设计
S1
由 3Vlib 组合电路变换
S2
HPL的修正或功能设计值
S4
最大延迟>上限值
S3
由 2Vlib 组合电路变换
S5
最大延迟>上限值
S6
是
否
S7
取出最大延迟>上限值的组合电路
把 n 号的组合部分变换在 3Vlib
S8
是
最大延迟>上限值
S9
否
S12
组合部分由 3V lib 变换
取出变成 2V→3V 的组合电路
S11
S10
组合电路 2V→3V 混合存在?
是
否
S13
寄存器 2V→3V 变换?
是
S14
由 2V 双稳电变换
S15
由 2V/3V 双稳电路变换
结束

图 14

Table 1 Cell lists of Conventional

Conventional CMOS Library (61 cells)		
INVERTER	4AND	2OR/2AND
INVERTER_P2	4AND_P2	2OR/2AND_P2
INVERTER_P4	2OR	3OR/2AND
INVERTER_P8	2OR_P2	3OR/2AND_P2
2NAND	3OR	2ANDx2/2OR
3NAND	3OR_P2	2ANDx2/2OR_P2
2NOR	4OR	3ANDx2/2OR
2NOR_P2	4OR_P2	3ANDx2/2OR_P2
3NOR	2AND/2NOR	2ANDx3/3OR
3NOR_P2	2ANDx2/2NOR	2ANDx3/3OR_P2
4NOR	3AND/3NOR	2ANDx2/3OR
4NOR_P2	2OR/2NAND	2ANDx2/3OR_P2
2XOR	2OR/3NAND	2ORx2/2AND
2XOR_P2	3OR/2NAND	2ORx2/2AND_P2
2XNOR	2AND/2OR	2ANDx4/4OR
2XNOR_P2	2AND/2OR_P2	2ANDx4/4OR_P2
2AND	3AND/2OR	8NAND
2AND_P2	3AND/2OR_P2	8NAND_P2
3AND	2AND/3OR	8AND
3AND_P2	2AND/3OR_P2	8AND_P2
		8OR

(_P2._P4._P8 represent x2. x4. x8 powered cells)

图 15

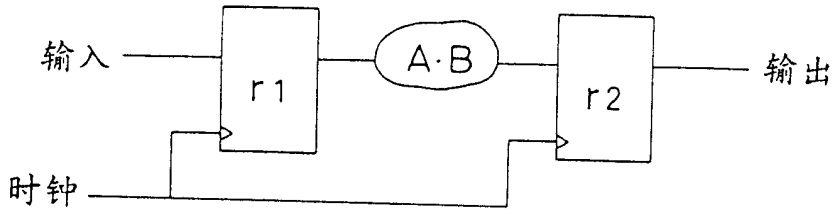


图16

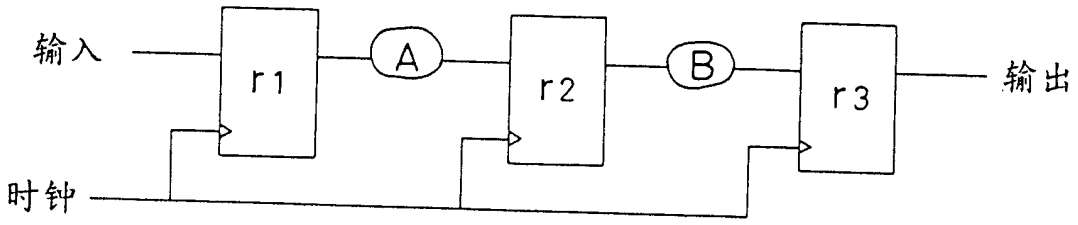


图 17

```
module circuit (in, out);

input  in;
output out;

reg  r1, out;
wire r2x;

function func AB
  ...
endfunction

assign r2x = func AB (r1);

always @(posedge clk)
   begin
     r1 = in;
     out = r2x;
   end

endmodule
```

图 18

```
module circuit (in, out);

input in;
output out;

reg r1, r2, out;
wire r2x, r3x;

function funcA
  ...
endfunction

function funcB
  ...
endfunction

assign r2x = funcA (r1)
assign r3x = funcB (r2)

always @(posedge clk)
  begin
    r1 = in;
    r2 = r2x;
    out = r3x;
  end

endmodule
```

图19

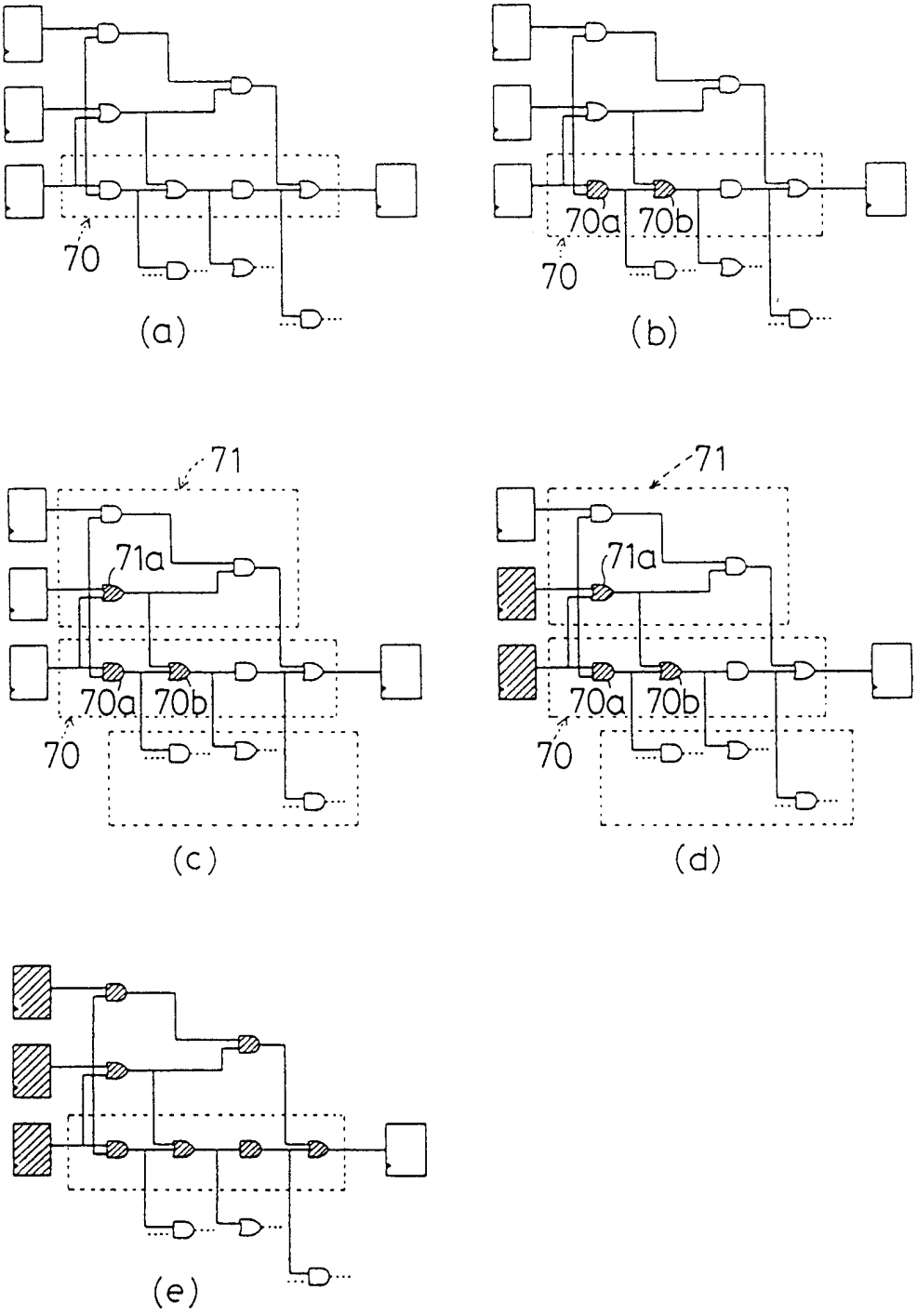


图 20

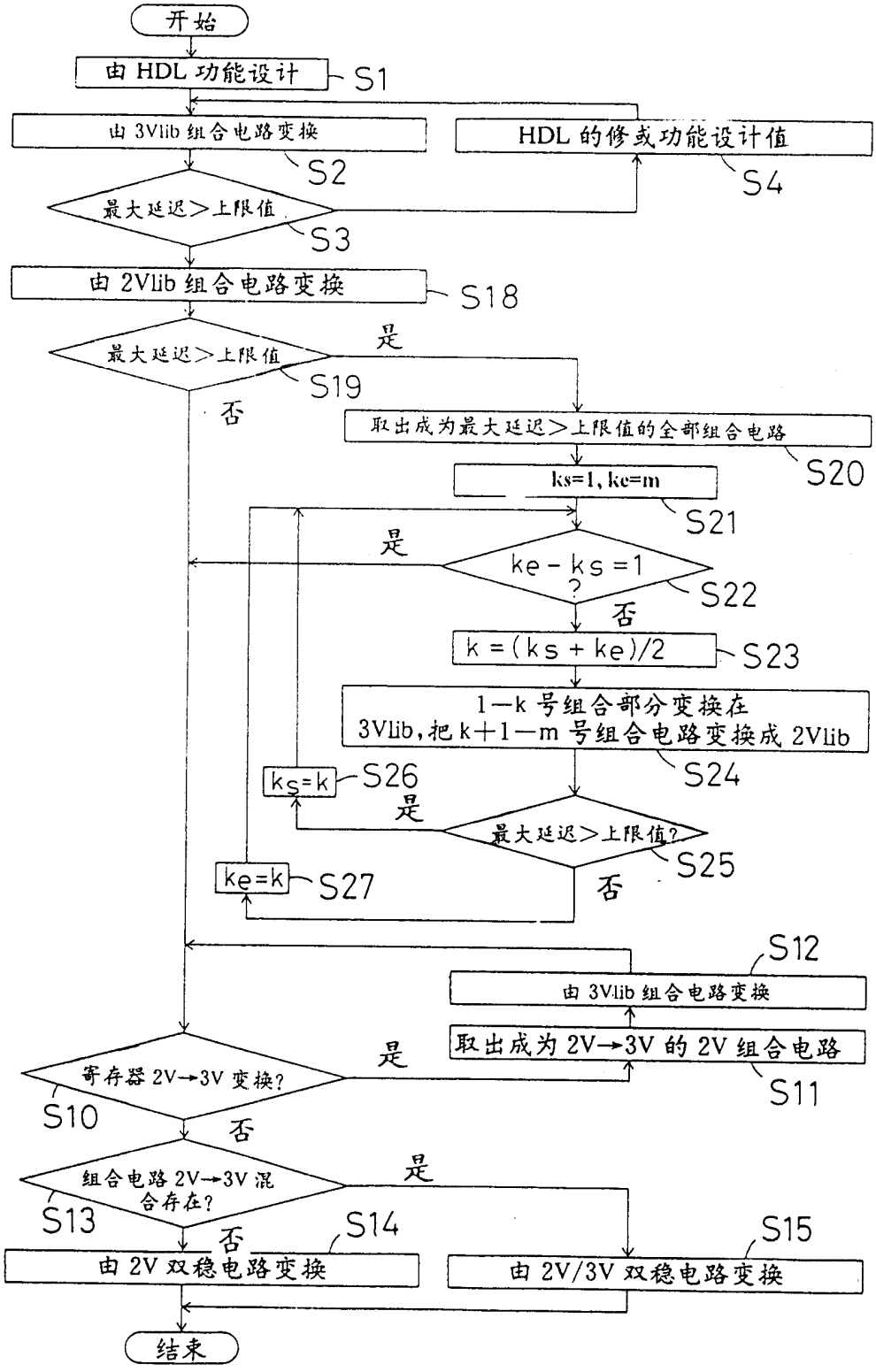

开始
由 HDL 功能设计
S1
由 3Vlib 组合电路变换
S2
HDL 的修或功能设计值
S4
最大延迟＞上限值
S3
由 2Vlib 组合电路变换
S18
最大延迟＞上限值
S19
是
否
取出成为最大延迟＞上限值的全部组合电路
S20
ks=1, ke=m
S21
ke－ks＝1
?
S22
是
否
k＝(ks＋ke)/2
S23
1—k 号组合部分变换在
3Vlib，把 k＋1—m 号组合电路变换成 2Vlib
S24
ks=k
S26
是
最大延迟＞上限值?
S25
ke=k
S27
否
S12
由 3Vlib 组合电路变换
取出成为 2V→3V 的 2V 组合电路
S11
寄存器 2V→3V 变换?
S10
是
否
组合电路 2V→3V 混合存在?
S13
是
否
S14
由 2V 双稳电路变换
S15
由 2V/3V 双稳电路变换
结束

图 21

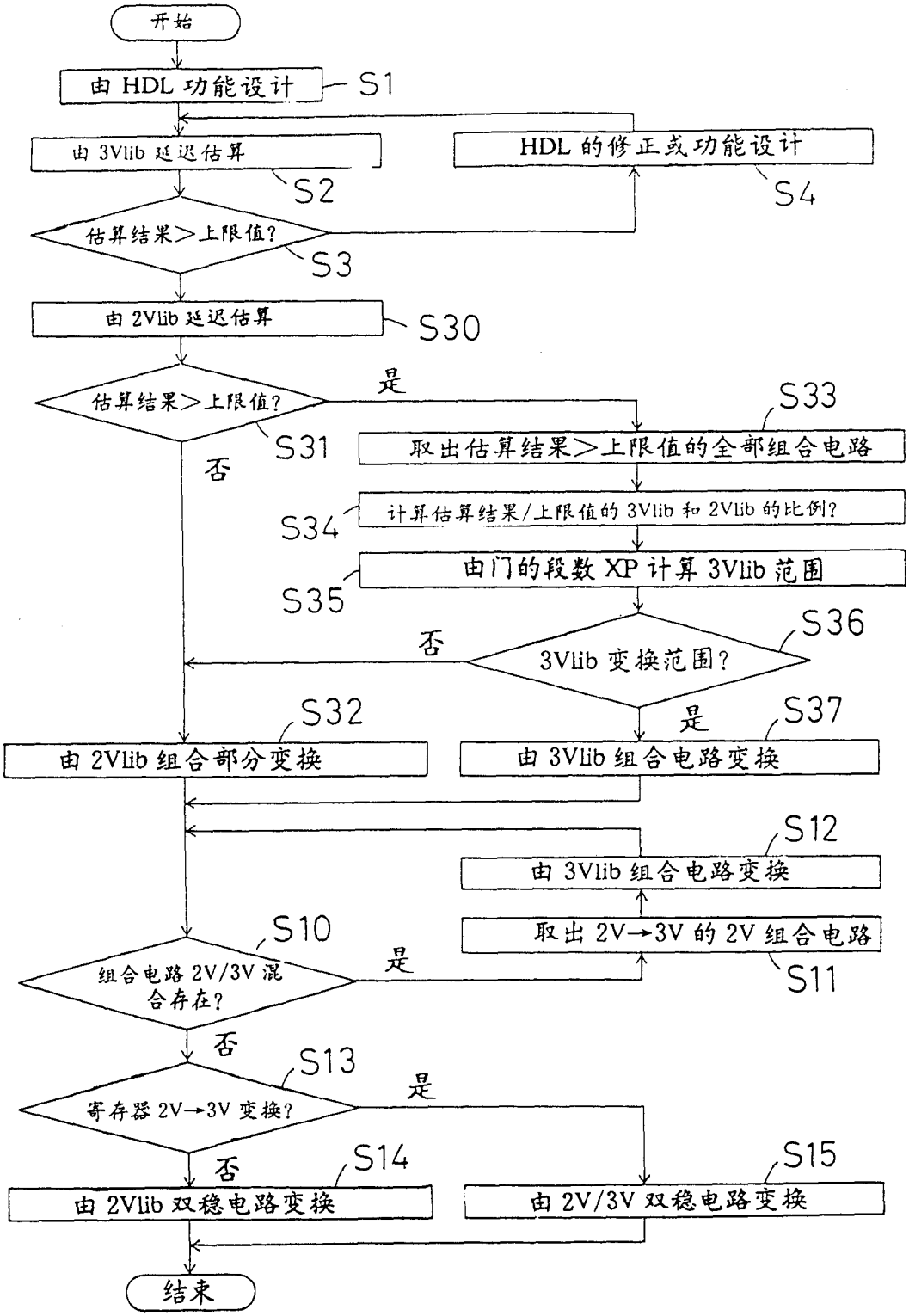

开始
由 HDL 功能设计
S1
由 3Vlib 延迟估算
S2
HDL 的修正或功能设计
S4
估算结果>上限值?
S3
由 2Vlib 延迟估算
S30
估算结果>上限值?
S31
是
S33
取出估算结果>上限值的全部组合电路
否
S34
计算估算结果/上限值的 3Vlib 和 2Vlib 的比例?
S35
由门的段数 XP 计算 3Vlib 范围
S36
否
3Vlib 变换范围?
是
S37
S32
由 2Vlib 组合部分变换
由 3Vlib 组合电路变换
S12
由 3Vlib 组合电路变换
取出 2V→3V 的 2V 组合电路
S11
S10
组合电路 2V/3V 混合存在?
是
否
S13
寄存器 2V→3V 变换?
是
否
S14
S15
由 2Vlib 双稳电路变换
由 2V/3V 双稳电路变换
结束

图 22

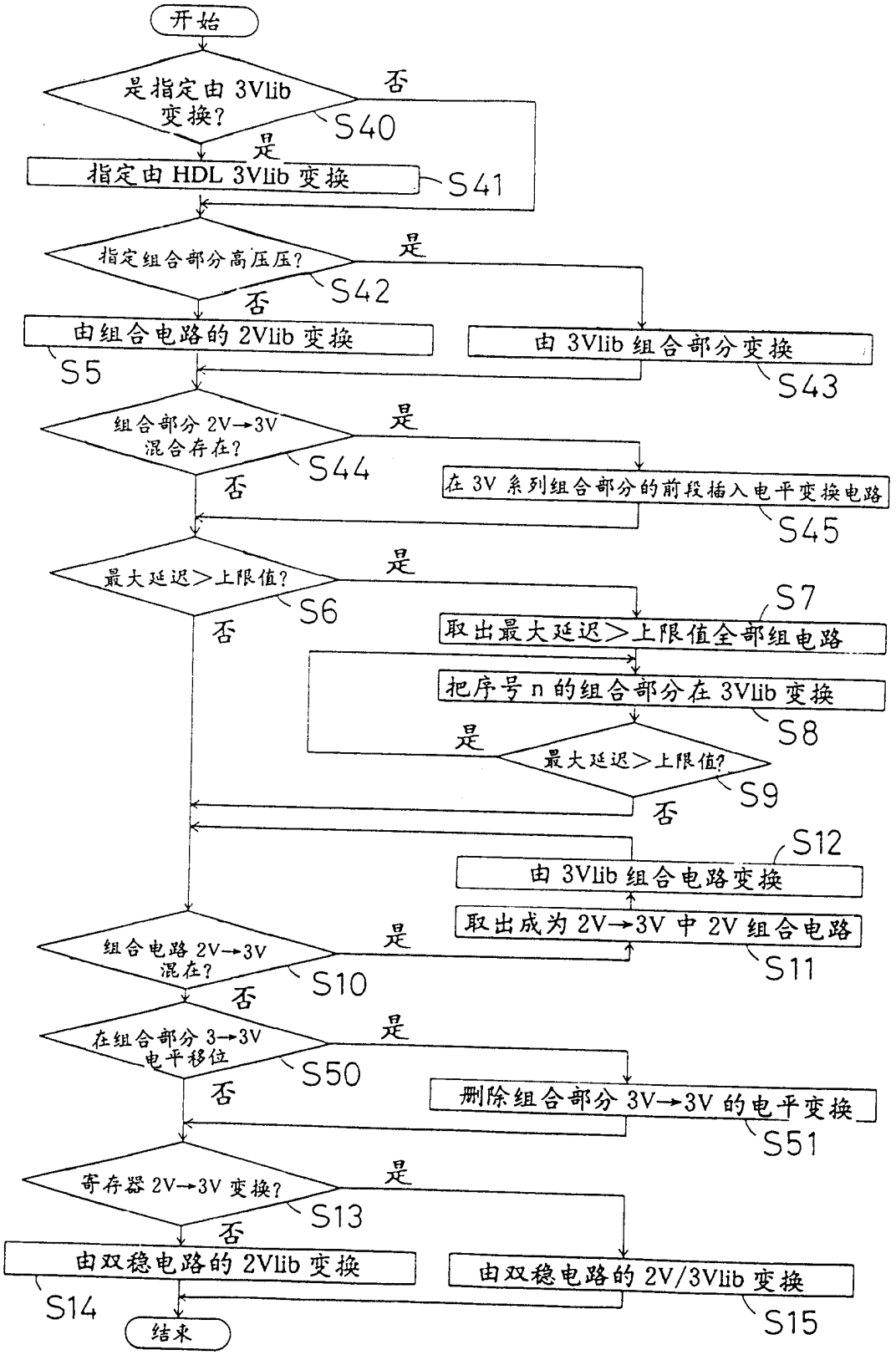

开始
是指定由 3Vlib 变换?
否
S40
是
指定由 HDL 3Vlib 变换
S41
指定组合部分高压压?
是
S42
否
由组合电路的 2Vlib 变换
S5
由 3Vlib 组合部分变换
S43
组合部分 2V→3V 混合存在?
是
S44
否
在 3V 系列组合部分的前段插入电平变换电路
S45
最大延迟>上限值?
是
S6
否
S7
取出最大延迟>上限值全部组电路
把序号 n 的组合部分在 3Vlib 变换
S8
是
最大延迟>上限值?
S9
否
S12
由 3Vlib 组合电路变换
取出成为 2V→3V 中 2V 组合电路
S11
组合电路 2V→3V 混在?
是
S10
否
在组合部分 3→3V 电平移位
是
S50
否
删除组合部分 3V→3V 的电平变换
S51
寄存器 2V→3V 变换?
是
S13
否
由双稳电路的 2Vlib 变换
S14
由双稳电路的 2V/3Vlib 变换
S15
结束

图 23

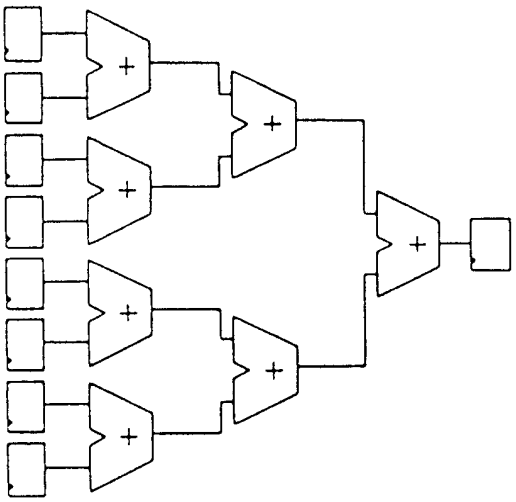
```
module add8(a,b,c,d,e,f,g,h,y);
input  a,b,c,d,e,f,g,h;
output y;

wire   a1,b1;

assign a1 = (a + b) + (c + d);
assign b1 = (e + f) + (g + h);
assign y  = a1 + b1;     // low_power_synthesis_high_voltage

endmodule
```

图 24

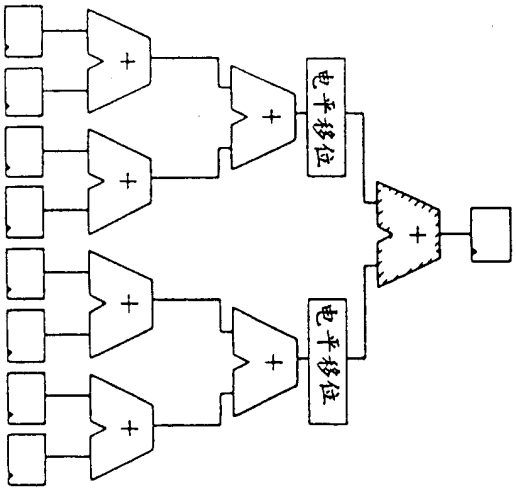
```
module add8(a,b,c,d,e,f,g,h,y);
input  a,b,c,d,e,f,g,h;
output y;

wire   a1,b1;

assign a1 = (a + b) + (c + d);
assign b1 = (e + f) + (g + h);
assign y  = a1 + b1;

endmodule
```

图 25

(a)



(b)



(c)

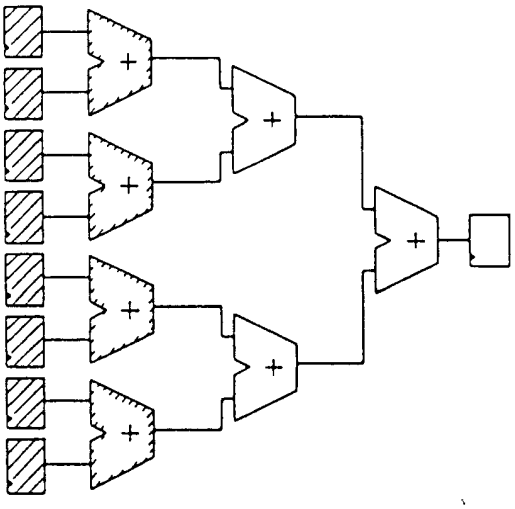


图 26

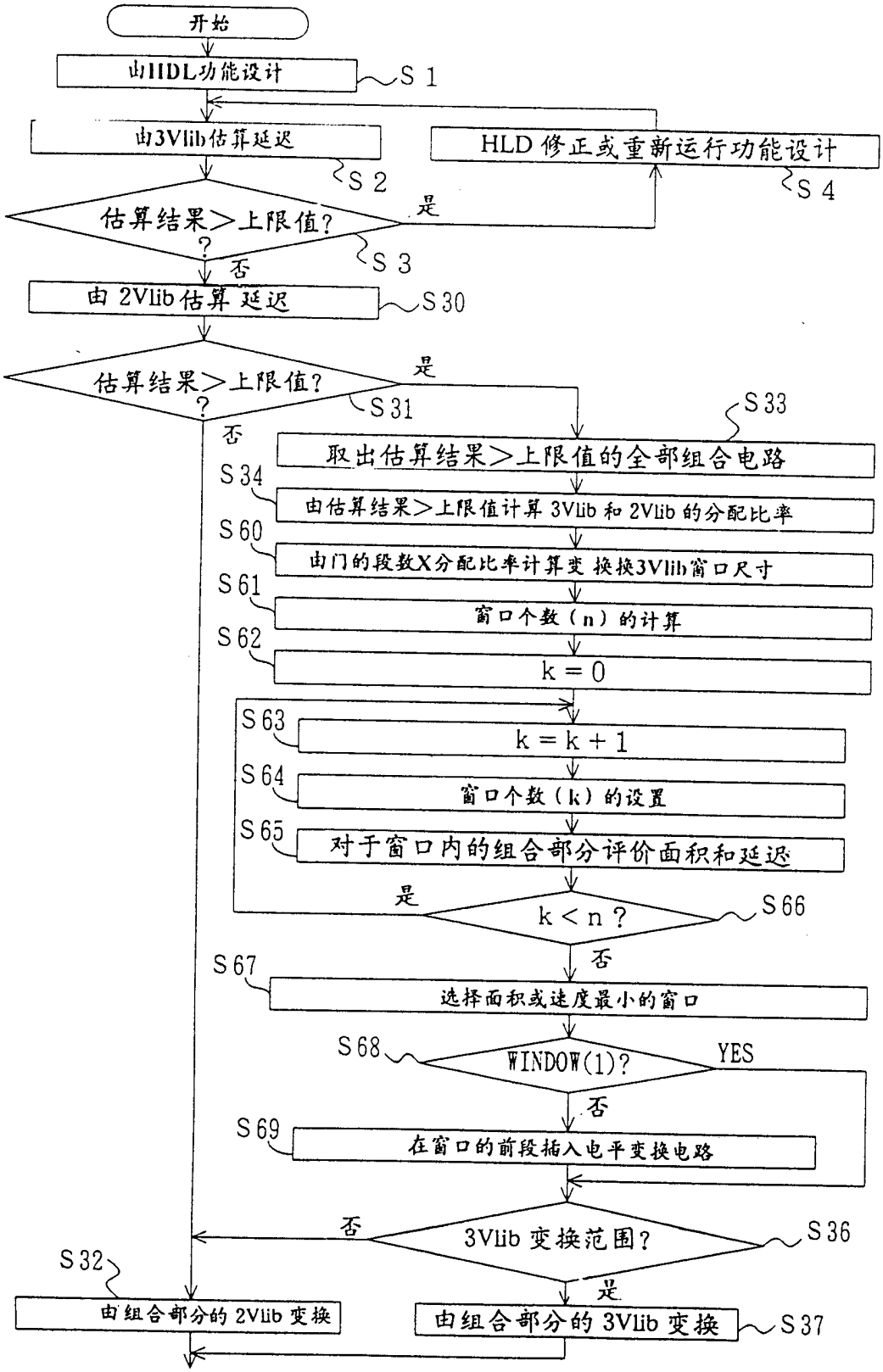

开始
由HDL功能设计
S 1
由3Vlib估算延迟
S 2
HLD 修正或重新运行功能设计
S 4
估算结果＞上限值?
是
S 3
否
由 2Vlib估算 延迟
S 30
估算结果＞上限值?
是
S 31
S 33
否
取出估算结果＞上限值的全部组合电路
S 34
由估算结果＞上限值计算 3Vlib 和 2Vlib 的分配比率
S 60
由门的段数X分配比率计算变 换换3Vlib窗口尺寸
S 61
窗口个数（n）的计算
S 62
k = 0
S 63
k = k + 1
S 64
窗口个数（k）的设置
S 65
对于窗口内的组合部分评价面积和延迟
是
k < n ?
S 66
否
S 67
选择面积或速度最小的窗口
S 68
WINDOW(1)?
YES
否
S 69
在窗口的前段插入电平变换电路
否
3Vlib 变换范围?
S 36
S 32
是
由组合部分的 2Vlib 变换
由组合部分的 3Vlib 变换
S 37

图 27

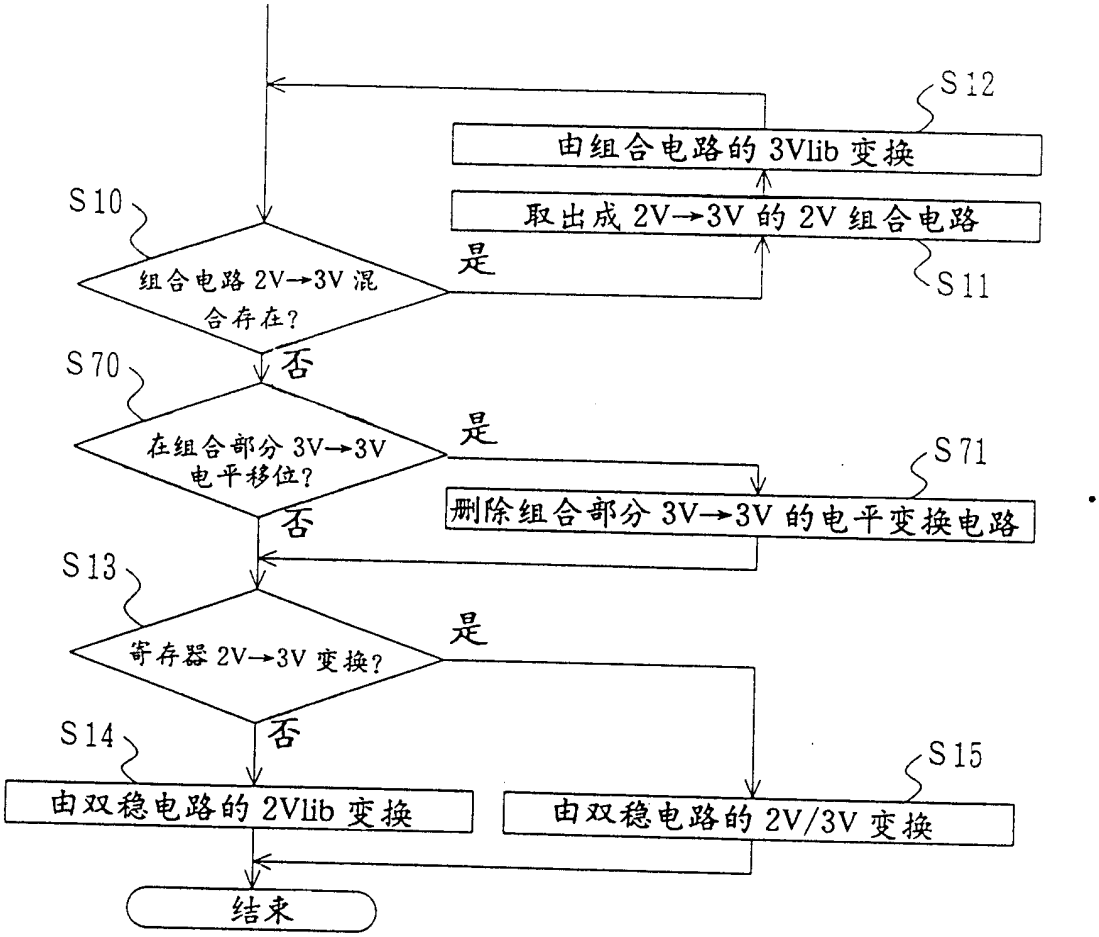
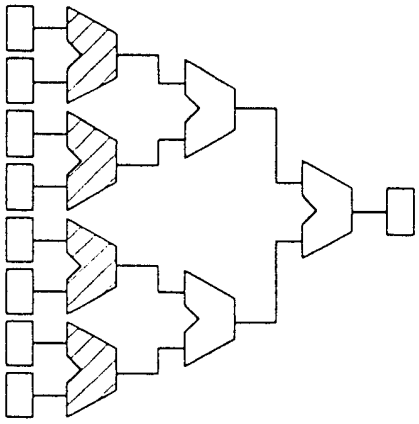
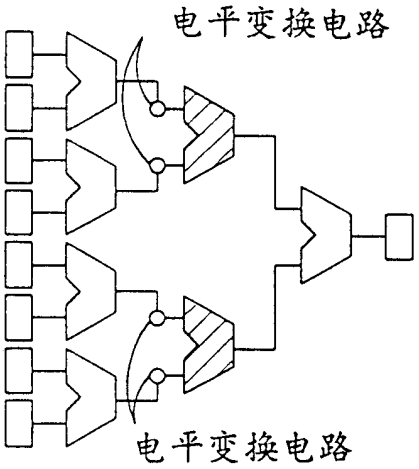

S12
由组合电路的 3Vlib 变换
取出成 2V→3V 的 2V 组合电路
S11
S10
组合电路 2V→3V 混合存在?
是
否
S70
在组合部分 3V→3V 电平移位?
是
S71
删除组合部分 3V→3V 的电平变换电路
否
S13
寄存器 2V→3V 变换?
是
否
S14
由双稳电路的 2Vlib 变换
S15
由双稳电路的 2V/3V 变换
结束

图 28

(a)



(b)



(c)

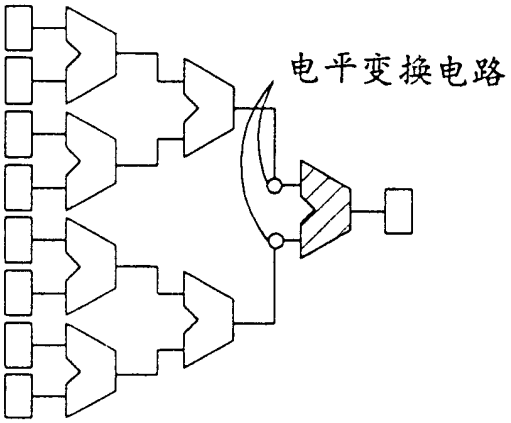


图 29

```
module circuit (out, in, clk);

    input  in, clk;
    output out;

    reg  r1, r2, r3, r4;          // 寄存器定义
    wire r1x, r2x, r3x, r4x;

    function func1;               //  组合电路  func1
     ...
    endfunction

    function func2;               //  组合电路  func2
     ...
    endfunction

    function func3;               //  组合电路  func3
     ...
    endfunction

    function func4;               //  组合电路  func4
     ...
    endfunction

    assign r1x = func1(...)
    assign r2x = func2(...)
    assign r3x = func3(...)
    assign r4x = func4(...)

    always@(posedge clk)          //  寄存器传送
        begin
        r1 = r1x;
        r2 = r2x;
        r3 = r3x;
        r4 = r4x;
     end

    endmodule
```

图 30

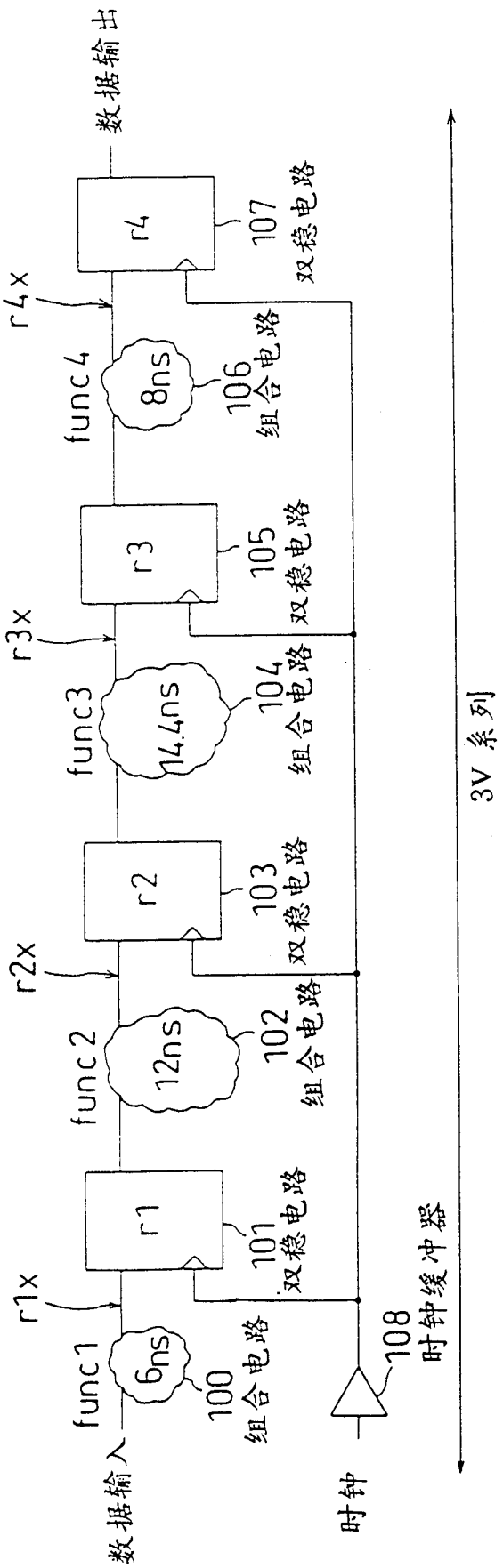

数据输入
func1
6ns
100
组合电路
r1x
r1
101
双稳电路
func2
12ns
102
组合电路
r2x
r2
103
双稳电路
func3
14.4ns
104
组合电路
r3x
r3
105
双稳电路
func4
8ns
106
组合电路
r4x
r4
107
双稳电路
数据输出
时钟
108
时钟缓冲器
3V 系列

图 31

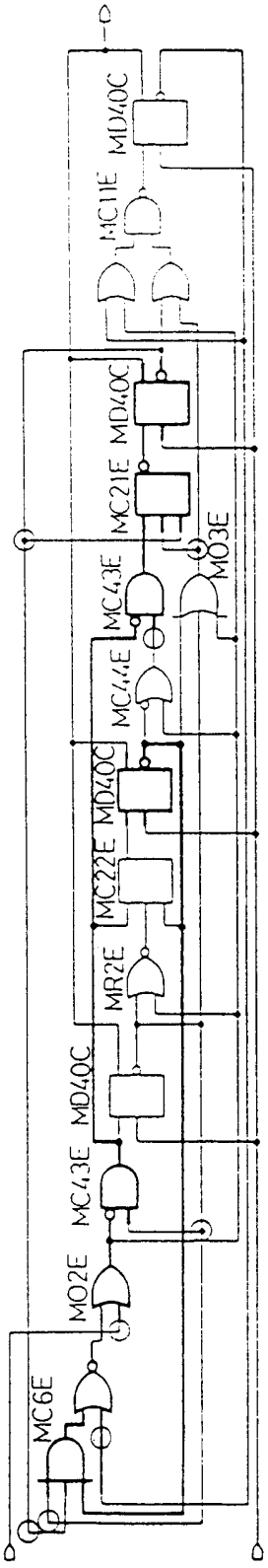

MD40C
MC11E
MD40C
MC21E
MO3E
MC43E
MC44E
MD40C
MC22E
MR2E
MD40C
MC43E
MO2E
MC6E

图 32

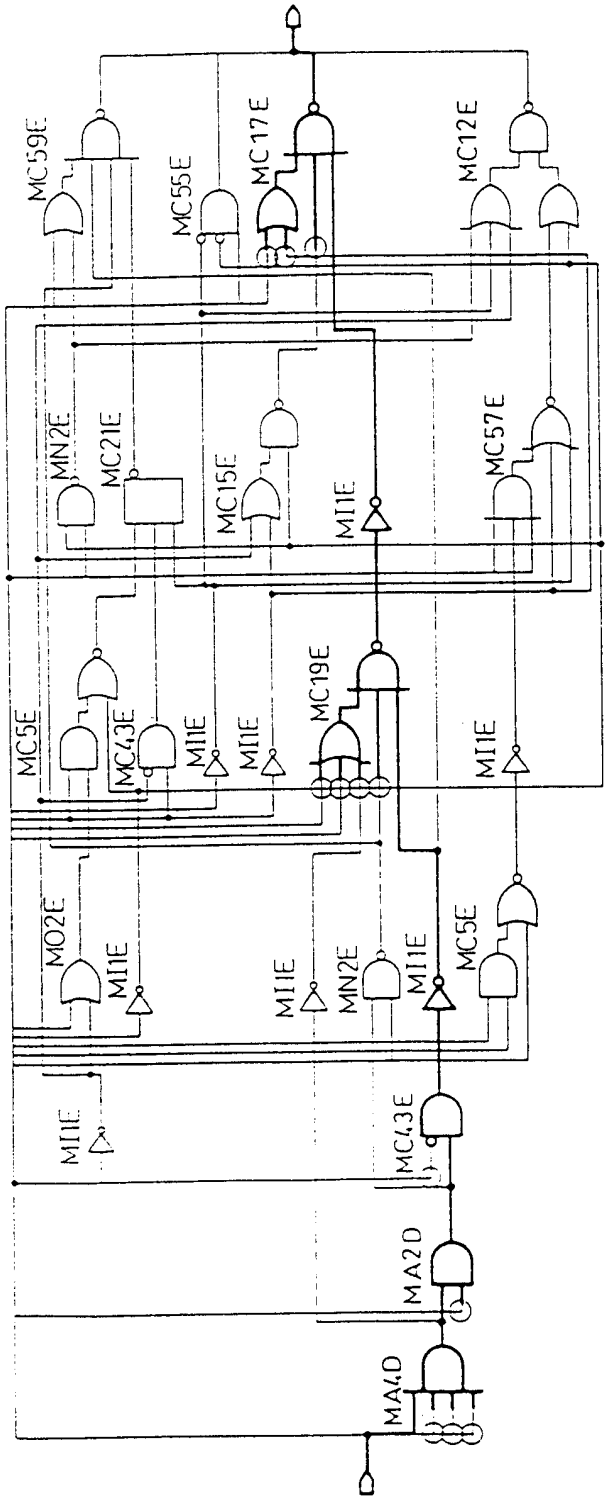

MC59E
MC55E
MC17E
MC12E
MN2E
MC21E
MC15E
MI1E
MC57E
MC5E
MC43E
MI1E
MI1E
MC19E
MI1E
MO2E
MI1E
MI1E
MN2E
MI1E
MC5E
MI1E
MC43E
MA2D
MA4D

图 33

```
/* multiplier -- carry save method */

module mul(x,y,z);
input  [7:0]  x;          //  8 bits
input  [7:0]  y;          //  8 bits
output [14:0] z;          // 15 bits

wire[14:0] s;             // sum
wire[13:6] c;             // carry

function[22:0] aroad;     // function 'array of adder'
input[7:0] x;
input[7:0] y;

. ...

endfunction

assign {c[13:6],s[14:0]} = aroad(x,y);  // call 'array of adder'

assign z[6:0] = s[6:0];
assign z[14:7] = s[14:7] + c[13:6];     // low_power_synthesis_high_voltage

endmodule
```

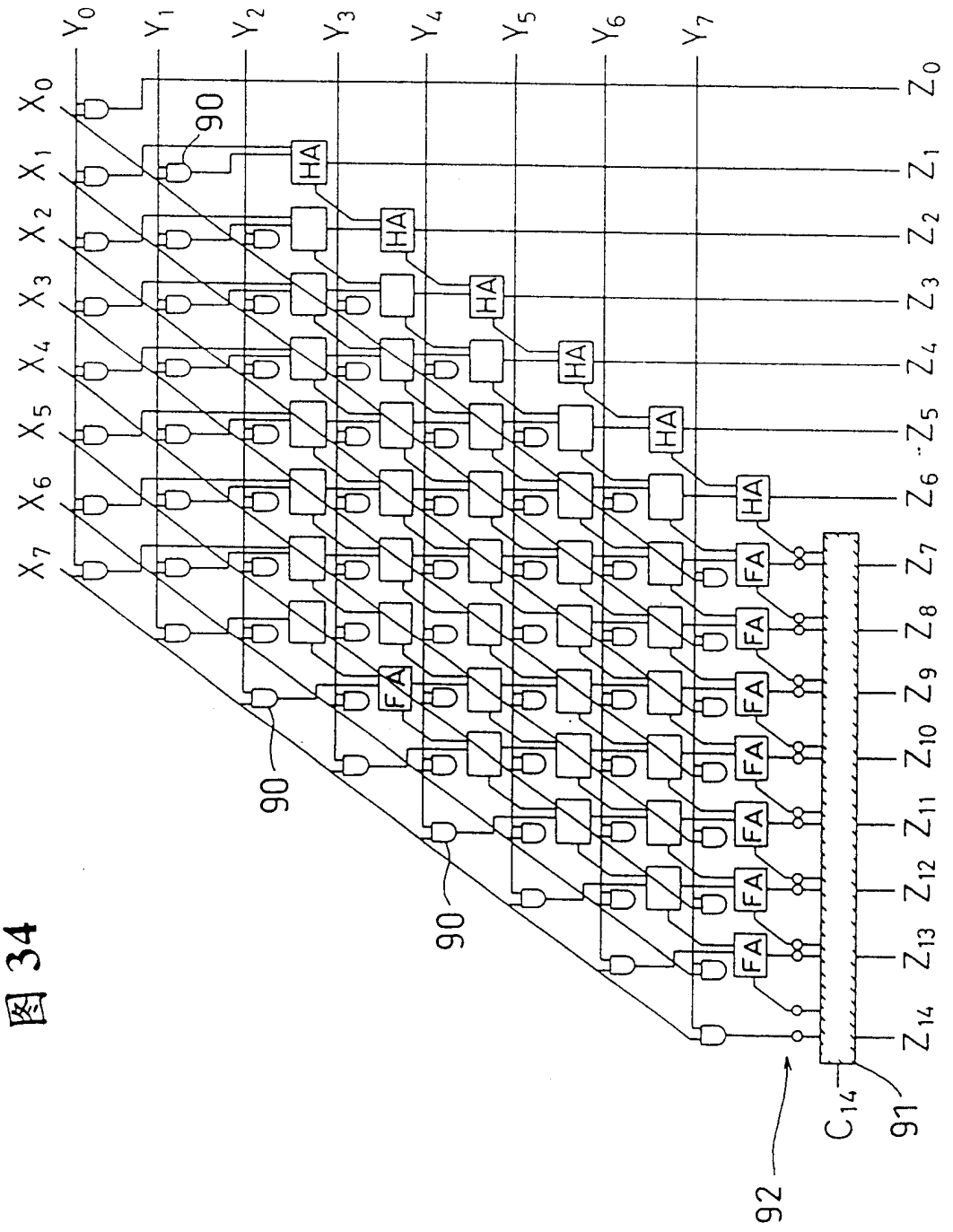
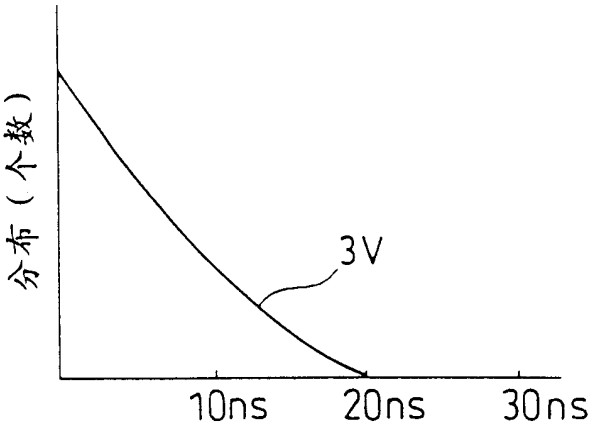

Y0
Y1
Y2
Y3
Y4
Y5
Y6
Y7
X0
X1
X2
X3
X4
X5
X6
X7
Z0
Z1
Z2
Z3
Z4
Z5
Z6
Z7
Z8
Z9
Z10
Z11
Z12
Z13
Z14
HA
FA
90
91
92
C14

图 34

图 35

(a)



(b)

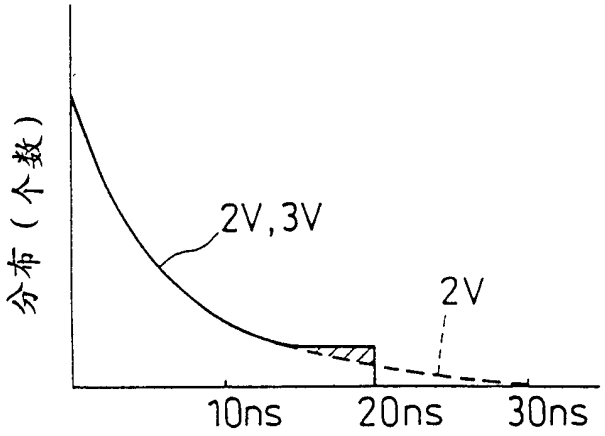


图 36

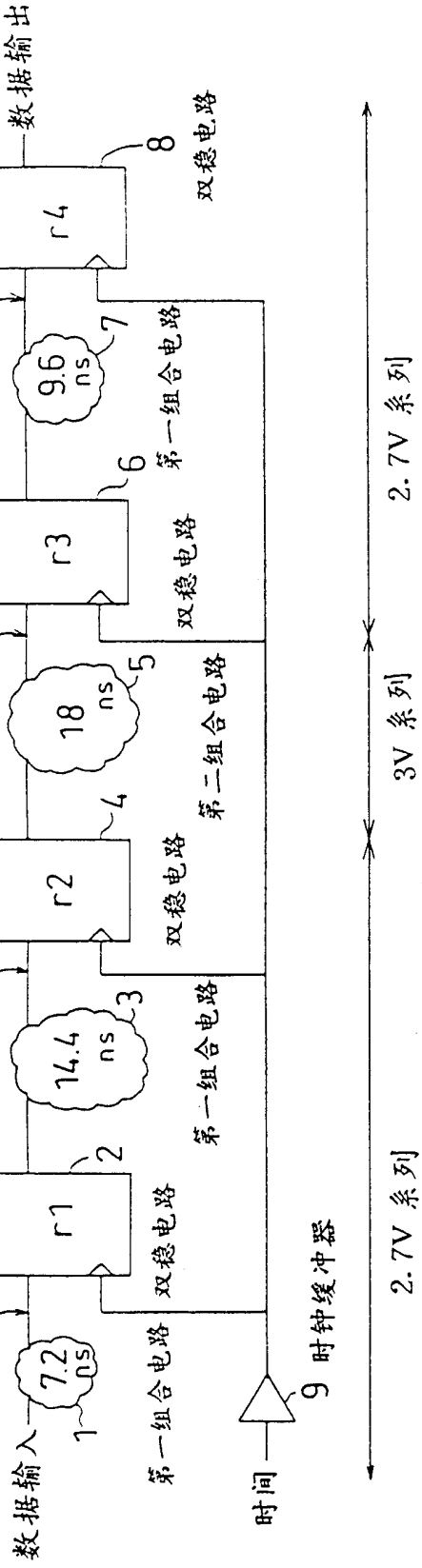

数据输入
func1
7.2 ns
r1x
r1
双稳电路
1
2
第一组合电路
func2
14.4 ns
r2x
r2
双稳电路
4
3
第一组合电路
func3
18 ns
r3x
r3
双稳电路
6
5
第二组合电路
func4
9.6 ns
r4x
r4
双稳电路
8
7
第一组合电路
数据输出
时间
9 时钟缓冲器
2.7V 系列
3V 系列
2.7V 系列

图 37

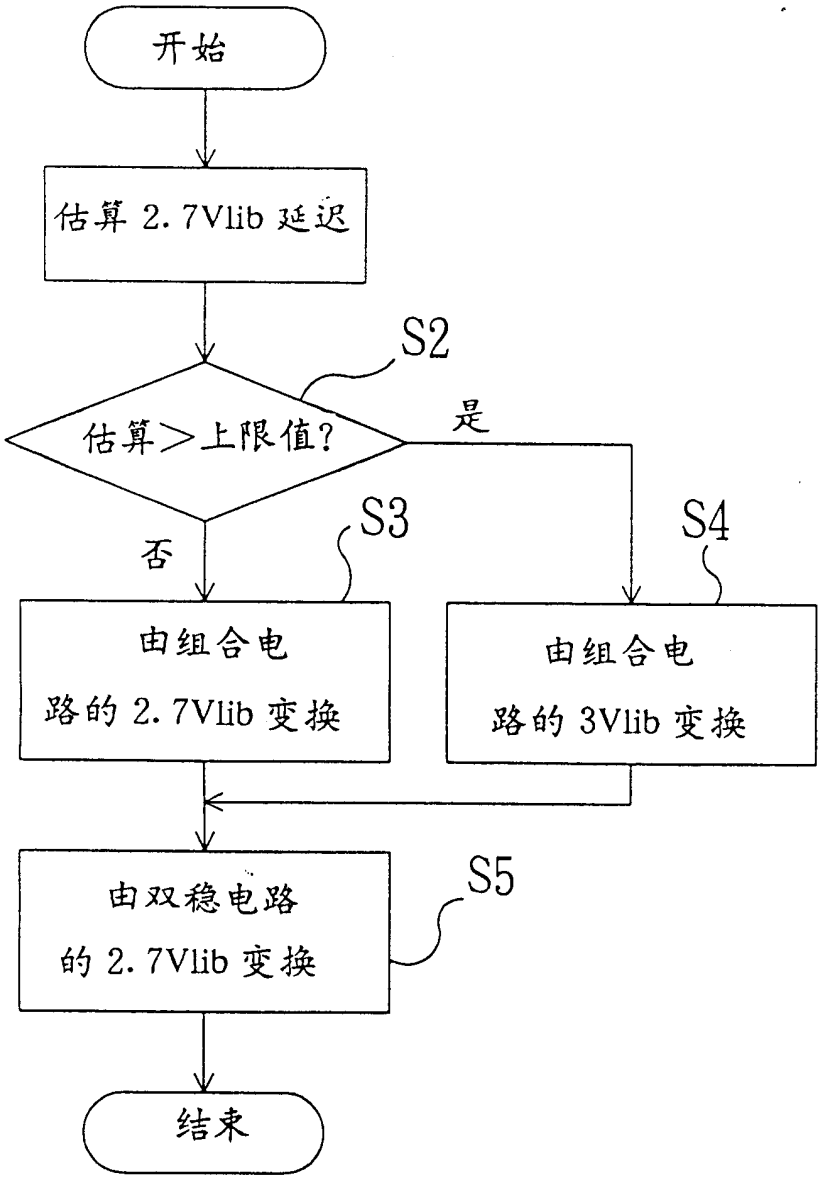

开始
估算 2.7Vlib 延迟
S2
估算>上限值?
是
否
S3
S4
由组合电路的 2.7Vlib 变换
由组合电路的 3Vlib 变换
由双稳电路的 2.7Vlib 变换
S5
结束

图 38

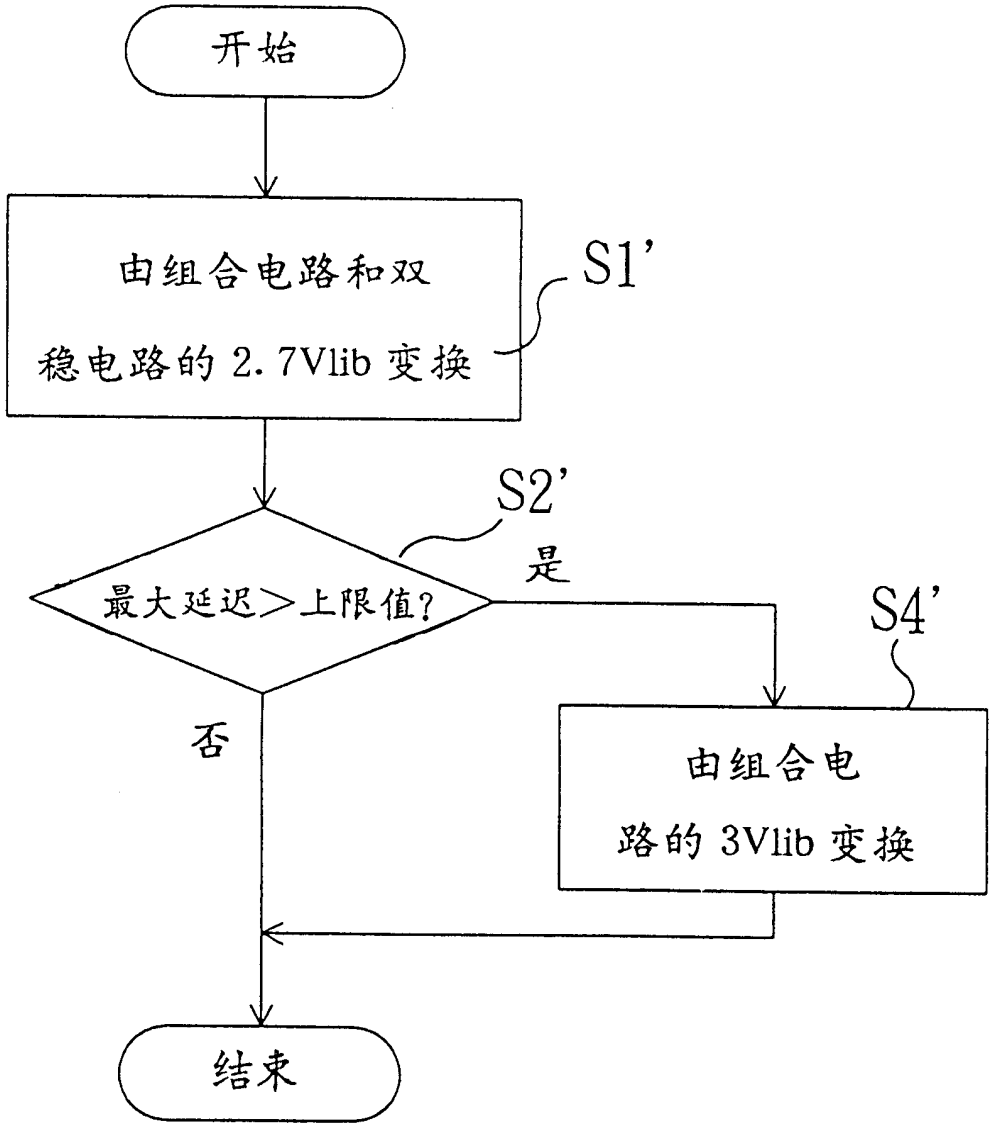

开始
由组合电路和双
稳电路的 2.7Vlib 变换
S1'
S2'
最大延迟>上限值?
是
否
S4'
由组合电
路的 3Vlib 变换
结束

图 39

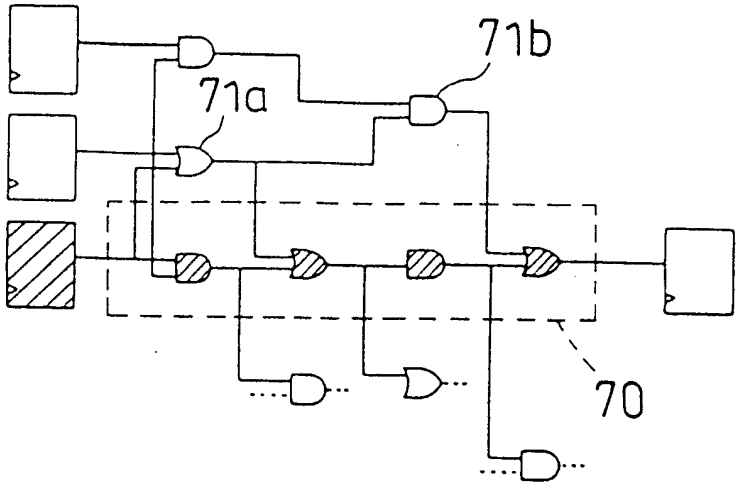


图 40

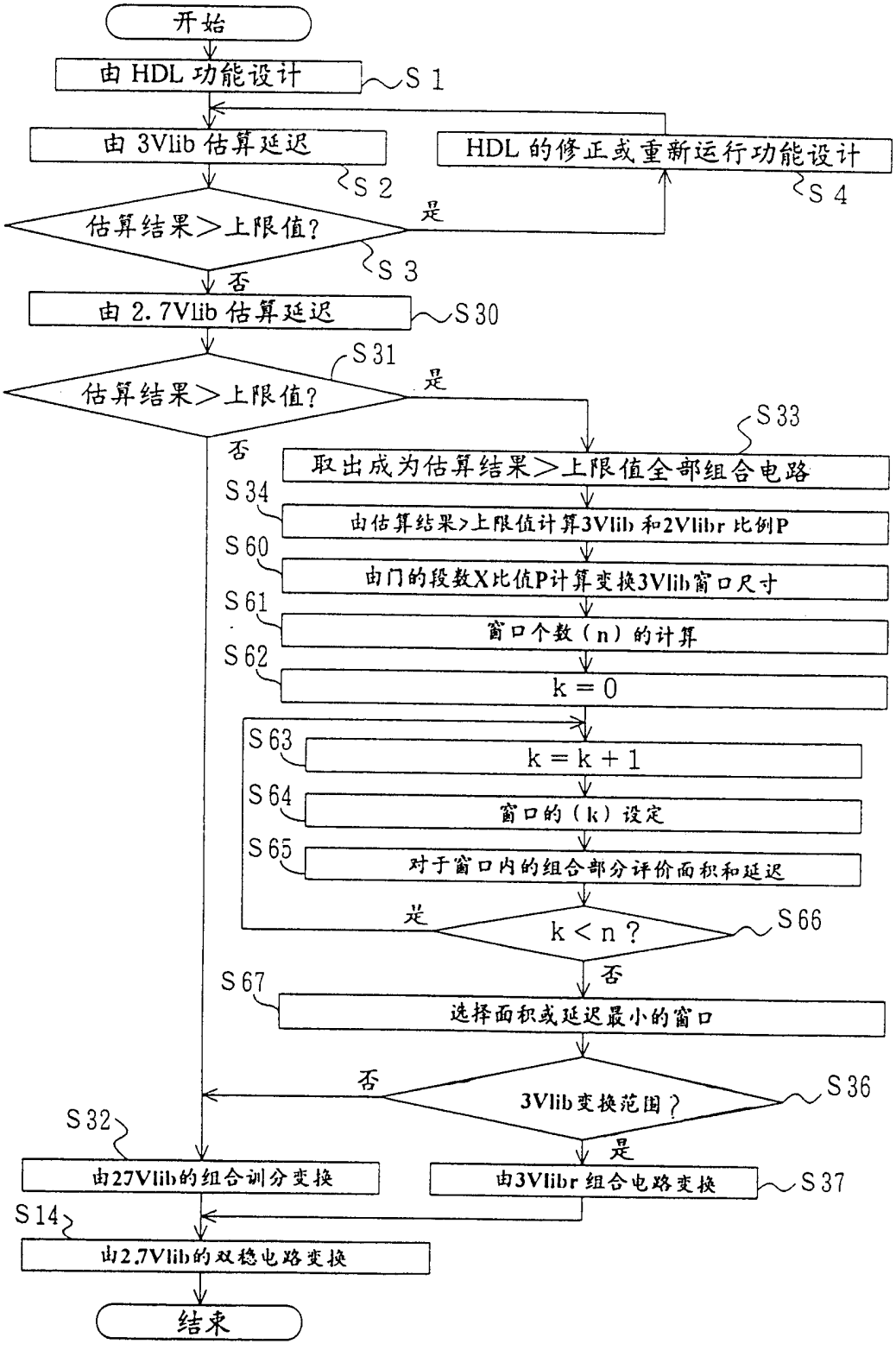
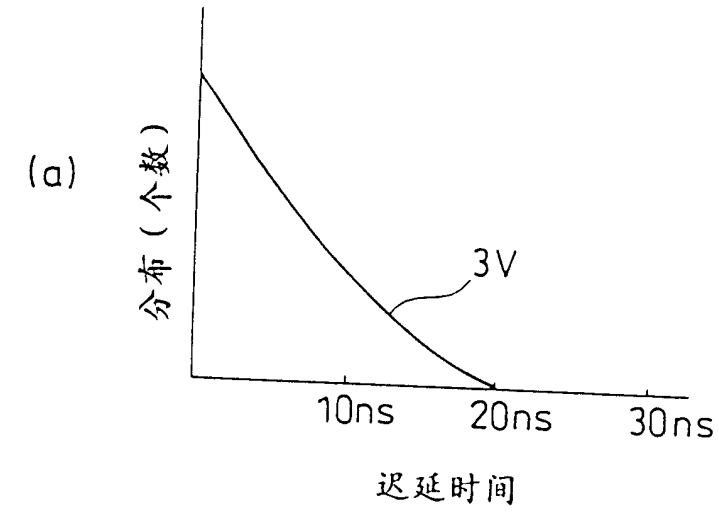

开始
由 HDL 功能设计
S 1
由 3Vlib 估算延迟
S 2
HDL 的修正或重新运行功能设计
S 4
估算结果＞上限值?
S 3
是
否
由 2.7Vlib 估算延迟
S30
S31
估算结果＞上限值?
是
否
S33
取出成为估算结果＞上限值全部组合电路
S34
由估算结果>上限值计算3Vlib 和2Vlibr 比例P
S60
由门的段数X比值P计算变换3Vlib窗口尺寸
S61
窗口个数（n）的计算
S62
k＝0
S63
k＝k＋1
S64
窗口的（k）设定
S65
对于窗口内的组合部分评价面积和延迟
是
k＜n？
S66
否
S67
选择面积或延迟最小的窗口
否
3Vlib变换范围？
S36
是
S32
由27Vlib的组合训分变换
由3Vlibr 组合电路变换
S37
S14
由2.7Vlib的双稳电路变换
结束

图 41


(a)
分布（个数）
3V
10ns
20ns
30ns
迟延时间

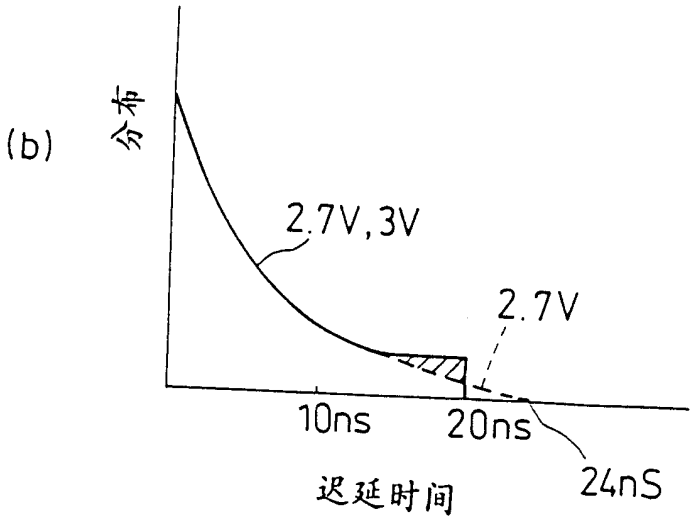

(b)
分布
2.7V,3V
2.7V
10ns
20ns
24nS
迟延时间

图 42

