

# 公告本

申請日期	89. 12. 18
案號	8912710
類別	H01K 51/00

A4  
C4

486733

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱	中文	可進行高選擇比蝕刻之乾式蝕刻方法及半導體裝置之製造方法
	日文	高選択比のエッチングが可能なドライエッチング方法及び半導体装置の製造方法
二、發明人	姓名	尾原 誠二
	國籍	日本
	住、居所	日本國神奈川県横濱市都筑區仲町台4-19-18-302
三、申請人	姓名 (名稱)	日商東芝股份有限公司 KABUSHIKI KAISHA TOSHIBA
	國籍	日本
	住、居所 (事務所)	日本國神奈川県川崎市幸區堀川町72番地
	代表人姓名	岡村 正 TADASHI OKAMURA

經濟部智慧財產局員工消費合作社印製

裝  
訂  
線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

日本 1999年12月28日 特願平11-375032 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( 1 )

### 發明背景

本發明係關於可進行高選擇比蝕刻之乾式蝕刻方法及半導體裝置之製造方法，特別係關於乾微細化進展之半導體裝置之製造時所使用之乾式蝕刻技術。

近年之半導體裝置之微細化中有醒目者。此微細化之關鍵技術為光蝕刻技術及蝕刻技術。光蝕刻時之曝光光源或罩(mask)材，及蝕刻時所使用的氣體等之相關的各種研究正在進行中。

關於蝕刻技術，有十多年前利用溶液之等方性(各向等性)之濕式蝕刻法，及使用氣體之等方性之乾式蝕刻法。其後，隨著半導體裝置之微細化，開始於蝕刻中導入具有異方性之反應性離子蝕刻(RIE: Reactive Ion Etching)法。依此RIE法之導入，而實現了今日之超高密度的半導體記憶裝置。如此，蝕刻技術與半導體裝置之微細化共同變化，另一方面，將以光蝕刻技術圖案化之光阻作為光罩，將底層材料予以選擇性的蝕刻之半導體裝置的基本加工技術則未有改變。

以圖1A及1B說明習知半導體裝置之蝕刻方法。圖1A及圖1B表示將高縱橫比之接觸孔等以RIE法形成層間絕緣膜之情況，各為在形成接觸孔之途中、及形成後半導體裝置剖面圖。

為了蝕刻半導體裝置，如圖1A所示，首先於層間絕緣膜之SiO<sub>2</sub>膜10上予以圖案化形成所期望的圖案，形成光阻11。將此光阻11用作為光罩，依RIE法進行蝕刻，形成

## 五、發明說明 ( 2 )

接觸孔。以往之 $\text{SiO}_2$ 用的蝕刻氣體係使用 $\text{CF}_4$ 、 $\text{C}_2\text{F}_5$ 等F族氣體、 $\text{CHF}_3$ 、或於 $\text{CHF}_3$ 中混入 $\text{H}_2$ 之H-F族之氣體。如圖1A所示，在蝕刻初期，係將光阻11用作為光罩。

惟，依近年來半導體裝置微細化導致之光阻薄膜化、及接觸孔縱橫比之增大傾向，光阻難能耐蝕刻至接觸孔被完全穿孔為止。此情況示於圖1B，在形成接觸孔期間，光阻11被完全蝕刻。如此，蝕刻光罩會於蝕刻途中消失之故，在接觸孔形成部以外之 $\text{SiO}_2$ 膜10表面亦被蝕刻。

如此，隨著半導體裝置微細化，成為光阻之光阻亦薄膜代。因此，在依RIE法進行被蝕刻區域之蝕刻期間，周邊的光阻劑亦被蝕刻，而無法發揮作為光罩之功能。此現象特別在形成高縱橫比之接觸孔或溝時特別顯著，而成為造成製造良品率降低或半導體裝置性能惡化的原因。因此，用以避免光阻之遮蔽性被破壞而造成影響之技術乃不可或缺。

### 發明要點

故，本發明之目的在提供可進行高選擇比之蝕刻之乾式蝕刻方法及半導體裝置之製造方法。

上述本發明之目的可藉一種乾式蝕刻方法予以達成，其包含以下步驟：於被蝕刻物之蝕刻區域，形成縱橫比為0.5以上之凹部的步驟；及使用含 $\text{CH}_2\text{F}_2$ 之蝕刻氣體，進行前述凹部之蝕刻的步驟；其中，於進行前述凹部之蝕刻步驟中，在前述蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比

### 五、發明說明 ( 3 )

例為20%以上；在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為20%以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為5%以上。

又，本發明之目的可藉一種乾式蝕刻方法予以達成，其包含以下步驟：於被蝕刻物上，形成蝕刻用之罩材的步驟；於前述罩材，形成縱橫比為0.5以上之凹部的步驟；及使用含 $\text{CH}_2\text{F}_2$ 之蝕刻氣體，進行前述凹部之蝕刻的步驟；其中，於進行前述凹部之蝕刻步驟中，在該蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占之比例係在20%以上；在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為20%以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為5%以上。

又，可依一種乾式蝕刻方法予以達成，其包含以下步驟：於被蝕刻物上，形成蝕刻用之罩材的步驟；於前述罩材及前述被蝕刻物，形成縱橫比為0.5以上之凹部的步驟；及使用含 $\text{CH}_2\text{F}_2$ 之蝕刻氣體，進行前述凹部之蝕刻的步驟；其中，於進行前述凹部之蝕刻步驟中，在該蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占之比例係在20%以上；在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成

## 五、發明說明( 4 )

之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為20%以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為5%以上。

又，本發明之目的可藉一種半導體裝置之製造方法予以達成，其包含以下步驟：於半導體基板上，形成第1單材之步驟；於前述第1單材上，形成第2單材之步驟；將前述第2單材予以圖案化，形成縱橫比為0.5以上之凹部；使用含 $\text{CH}_2\text{F}_2$ 之蝕刻氣體，將前述凹部所對應之區域的前述第1單材予以蝕刻之步驟；及將前述凹部所對應之區域的前述半導體基板予以蝕刻，形成溝的步驟；其中，於蝕刻前述半導體基板形成溝之步驟中，在前述蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占之比例係在20%以上；在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占之比例為20%以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為5%以上。

又，本發明之目的可藉一種半導體裝置之製造方法予以達，其包含以下步驟：於半導體基板上，形成閘絕緣膜之步驟；於前述閘絕緣膜上，形成閘極之步驟；於前述閘絕緣膜及前述閘極上，形成絕緣膜之步驟；於前述絕緣膜上，形成層間絕緣膜之步驟；將前述絕緣膜用作為擋止件，形成接觸孔之步驟，其係到達相鄰接的前述閘極間之該絕緣膜者；及使用含 $\text{CH}_2\text{F}_2$ 之蝕刻氣體，進行前述閘極

## 五、發明說明(5)

間之前述絕緣膜之蝕刻的步驟；其中，於進行前述閘極間之前述絕緣膜之蝕刻的步驟中；在前述蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占之比例係在20%以上；在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為20%以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為5%以上。

又，本發明之目的可藉一種半導體裝置之製造方法予以達成，其包含以下步驟：於半導體基板上，形成層間絕緣膜之步驟；於前述層間絕緣膜上，形成單材之步驟；將前述單材予以圖案化成所期望之圖案之步驟；及將前述單材用作為掩罩，蝕刻前述層間絕緣膜，形成接觸孔之步驟；在前述蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占之比例係在20%以上；在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為20%以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為5%以上。

依上述方法，於溝或接觸孔形成時之RIE法等之乾式蝕刻中，使用 $\text{CH}_2\text{F}_2$ 作為其蝕刻氣體。依使用此氣體，僅於蝕刻的區域進行蝕刻，於不應蝕刻的光罩中不進行蝕刻，相反的會堆積RIE之生成反應物，而不進行蝕刻。因此，

## 五、發明說明 ( 6 )

即使在縱橫比極大的情況或單材膜厚極薄的情況，亦可獲得足夠大的、或實質上無限大的蝕刻選擇比。如此，依本發明，可提供能進行高選擇比之蝕刻的乾式蝕刻及半導體裝置之製造方法。

### 圖式說明

圖 1 A 及圖 1 B 為用以說明習知蝕刻方法者，為半導體裝置之剖面圖。

圖 2 為依本發明之第 1 實施樣態行乾式蝕刻方法之 RIE 裝置的剖面構造圖。

圖 3 A 及圖 3 B 為依序表示依本發明之第 1 實施形態以乾式蝕刻方法形成溝之製造步驟，為半導體裝置之剖面圖。

圖 4 A 及圖 4 B 為依序表示依本發明之第 2 實施形態以乾式蝕刻方法形成溝之製造步驟，為半導體裝置之剖面圖。

圖 5 A 及圖 5 B 為依序表示依本發明之第 3 實施形態以乾式蝕刻方法形成溝之製造步驟，為半導體裝置之剖面圖。

圖 6 為接觸孔底面及  $\text{SiO}_2$  膜表面之各蝕刻氣體之 RIE 的蝕刻率表示圖。

圖 7 A 至圖 7 G 為依序表示本發明之第 1 實施形態之半導體裝置的製造步驟之剖面圖。

圖 8 A 至圖 8 F 為依序表示本發明之第 2 實施形態之半導體裝置的製造步驟之剖面圖。

圖 9 A 至圖 9 E 為依序表示本發明之第 3 實施形態之半導體裝置的製造步驟之剖面圖。

圖 10 A 至圖 10 B 為依序表示本發明之第 3 實施形態之變

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 7 )

形例之半導體裝置的製造步驟之剖面圖。

圖 11A 至圖 11C 係用以說明使氣體流量變化時之效果者，為半導體裝置之剖面圖。

圖 12 為含 C 之氣體及  $\text{CH}_2\text{F}_2$  之混合氣體在蝕刻氣體全體所占比例所對應之反應生成物的堆積率表示圖。

圖 13A 至圖 13C 係用以說明使氣體流量變化時之效果者，為半導體裝置之剖面圖。

圖 14A 至圖 14C 係用以說明使高頻電力及室(chamber)內壓力變化時之效果者，為半導體裝置之剖面圖。

圖 15 為高頻電力及室內壓力所對應之反應生成物之堆積率表示圖。

### 較佳實施形態之詳細說明

圖 2 為用以說明本發明之第 1 實施樣態所相關之乾式蝕刻方法者，為乾式蝕刻裝置，特別是磁性 RIE 裝置之剖面構造圖。

如圖示，磁性 RIE 裝置 20 具有真空室 21 作為蝕刻室，於此真空室 21 內具有載置台 23 (高頻電極)，其係載置半導體晶圓等被處理物 22 者；及接地(earth)極 24，其係與載置台 23 成相對向設置且接地者。又，於真空室 21 外，設置：高頻電源 26，其係經阻塞電容器(blocking capacitor) 25 對載置台 23 施加高頻電力者；氣體導入管 27，其係用以將蝕刻氣體導入真空室 21 內者；氣體排出管 28，其係用以將蝕刻氣體排出者；及磁石 29，其係以包圍真空室 21 之方式設置，於真空室 21 內形成磁場者。

## 五、發明說明( 8 )

磁石29係例電磁線圈。

次之，使用圖3A及3B說明依上述構造之磁性RIE裝置20進行蝕刻之方法。圖3A及圖3B為表示於層間絕緣膜形成接觸孔的樣子之半導體裝置的剖面圖，圖3A為接觸孔之形成途中，圖3B為接觸孔形成後的樣子。

首先，於半導體晶圓表示形成 $\text{SiO}_2$ 膜30作為層間絕緣膜，於此 $\text{SiO}_2$ 膜30上塗佈光阻劑31，進行曝光及顯像，將光阻劑31圖案化成所期望之圖案。接著將此半導體晶圓作為被處理物22，載置於蝕刻21內之載置台23上。

其後，依未圖示之真空泵將真空室21內進行真空吸取後，依氣體導入管27將蝕刻氣體導入真空室21內。接著依高頻電源26對載置台23施加高頻電力。若施加高頻電力，受磁石29之影響，真空室21內產生高密度的電漿，生成離子及電力。該等受高頻電力影響，在高頻電力為正時，電子朝向高頻電極26，阻塞電容25帶負電。相反的在高頻電力為負時，電子朝向接地極24，電子依接地而消失。此時，離子雖與電子一起活動，但離子動作比電子慢，離子無法撞擊壓至高頻電極及接地極。因此電漿內因電子稍嫌不足而穩定成帶正電之狀態。於是，於高頻電極23(阻塞電容25)及電漿間產生電場。因此，帶正電荷之離子朝向因電子而帶負電之高頻電極23，具異方性進行撞擊。依此離子之撞擊，進行被處理物22的蝕刻。

此蝕刻時之蝕刻氣體，首先使用廣泛作為 $\text{SiO}_2$ 用蝕刻氣體之 $\text{CF}_4$ 、 $\text{C}_2\text{F}_6$ 等F系或 $\text{CHF}_3$ 於 $\text{CHF}_3$ 中混合 $\text{H}_2$ 之H-F系之

## 五、發明說明 ( 9 )

氣體。再依將上述氣體作為蝕刻氣體使用之RIE法，將光阻劑31用作為掩罩(mask)，蝕刻SiO<sub>2</sub>膜30。依此蝕刻形成圖3A所示之縱橫比約0.5之接觸孔。若為此種程度之縱橫比，光阻劑之薄膜化完全不會成問題。

次之將蝕刻氣體切換成CH<sub>2</sub>F<sub>2</sub>，依RIE法進行蝕刻。進行後，於最初形成之接觸孔底部雖進行蝕刻，但於光阻劑31上部堆積了RIE之反應生成物32，發生了蝕刻無法進行之現象。依此，即可不破光阻劑31之遮蔽性，形成接觸孔。

次之，使用圖4A及圖4B說明本發明之第2實施形態之乾式蝕刻方法。圖4A及圖4B係在使用與第1實施形態相同之圖2所示的乾式蝕刻裝置，進行乾式蝕刻，形成接觸孔之情況中，圖4A為接觸孔之形成途中，圖4B為接觸孔形成後之半導體裝置的剖面圖。

如圖4A所示，首先使用CF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>等F系或CHF<sub>3</sub>於CHF<sub>3</sub>中混合H<sub>2</sub>之H-F系之氣體作為蝕刻氣體，依RIE法蝕刻SiO<sub>2</sub>膜30。依此蝕刻形成縱橫比約為0.5之接觸孔，將光阻劑完全除去。

其後將蝕刻氣體換成CH<sub>2</sub>F<sub>2</sub>，依RIE法進行蝕刻。進行後，如圖4B所示，雖於接觸孔底部進行蝕刻，但於SiO<sub>2</sub>膜30之表面堆積了RIE之反應生成物32，蝕刻無法進行。即，無論表面與接觸孔底部是否為相同材料，於接觸孔底部將與表面取得選擇比，而進行蝕刻。

次之使用圖5A與圖5B說明本發明之第3實施樣態之乾式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 10)

蝕刻方法。圖5A及圖5B係在使用與第1實施形態相同之圖2所示的乾式蝕刻裝置，進行乾式蝕刻，形成於內部具有段差之接觸孔的情況中，圖5A為接觸孔之形成途中，圖5B為接觸孔形成後之半導體裝置的剖面圖。

如圖5A所示，於半導體基板40上設閘極41，於此閘極41及半導體基板40上設SiN膜42，再於SiN膜42上設SiO<sub>2</sub>膜43。為了形成能到達相鄰之閘極41間的半導體基板40之接觸孔，首先以蝕刻除去相鄰之閘極41間的SiO<sub>2</sub>膜43。此時，SiN膜42發揮作為蝕刻擋止件之功能。

於下一步驟除去閘極41間之SiN膜42。此時，依使用CH<sub>2</sub>F<sub>2</sub>作為蝕刻氣體之RIE法進行蝕刻。進行後，如圖5B所示，僅有閘極41間之SiN膜42被蝕刻，於SiO<sub>2</sub>膜43表面或閘極41上之SiN膜42上則堆積了RIE之反應生成物44，蝕刻無法進行。

如上述第1至第3實施形態相關的乾式蝕刻方法所說明，依使用CH<sub>2</sub>F<sub>2</sub>作為蝕刻氣體之RIE法進行蝕刻，則僅於位於段差取F位之區域進行蝕刻，於其他區域則堆積了反應生成物，妨礙了蝕刻之進行。

此現象係RIE時之氣體反應的緣故。習知使用作為蝕刻氣體之CF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>等F族或CHF<sub>3</sub>於CHF<sub>3</sub>中混合H<sub>2</sub>之H-F系之氣體，依高頻電力產生之電磁放電，於真空室21內成電漿狀態。此電漿內產生離子或自由基。此離子之壽命及對蝕刻之貢獻率係為：CF<sub>3</sub><sup>+</sup>>CF<sub>2</sub><sup>+</sup>>CF<sup>+</sup>>C。另一方面，自由基對蝕刻之貢獻率係為CF<sub>3</sub><sup>\*</sup>>CF<sub>2</sub><sup>\*</sup>>CF<sup>\*</sup>>C，具有蝕刻貢獻

## 五、發明說明 ( 11)

率越低者越易堆積反應生成物之特徵。

習知之 $CF_4$ 、 $C_2F_6$ 等F族在電漿中氣體不易分解，主要生成對蝕刻貢獻率高之 $CF_4^+$ 或 $CF_3^+$ 、 $CF_4^*$ 或 $CF_3^*$ 等之活性種，而難以生成對蝕刻貢獻率低之CF(氟化碳)或C(碳)等不飽和種。在 $CHF_3$ 等之H-F系亦相同，因難以生成不飽和種之故，難以堆積CF或C等之反應生成物。

對此，若使用 $CH_2F_2$ 則較易產生比較上較不飽和之不飽和種。此不飽和種成爲先驅者被作爲反應生成物而堆積，於抑制蝕刻之方向發揮功能。在此同時，亦產生具有作爲蝕刻劑之功能的活性種。因成爲不飽和種之 $CF^+$ 或C的壽命短之故，藉由撞擊被蝕刻物之表面而被作爲反應生成物予以堆積。另一方面，因活性種之 $CF_3^+$ 或 $CF_2^+$ 之壽命長之故，可到達被蝕刻物之深部爲止。因此，僅有溝或接觸孔之底部被蝕刻。當然雖於被蝕刻物表面亦存有對蝕刻有貢獻之活性種，但於表面則存在絕大多數之不飽和種之故，不飽和種之反應生成物的堆積，勝過活性種之蝕刻。結果在表面堆積了不飽和種造成之反應生成物，蝕刻無法進行，僅於溝底部進行活性種造成之蝕刻。當然可依蝕刻條件高精密度的控制活性種及不飽和種之生成比。

圖6爲在使用各蝕刻氣體依RIE法於 $SiO_2$ 膜中形成接觸孔之情況中，表示接觸孔底面及 $SiO_2$ 膜表面之蝕刻率表示圖。圖中之方形係半導體晶圓中央、三角形爲自半導體晶圓端部起30 mm、圓形爲自端部起5 mm起之蝕刻率。又，在使用各氣體時之蝕刻條件係完全相同。

## 五、發明說明( 12)

如圖所示，在使用 $CF_4$ 、 $CHF_3$ 及 $C_4F_8$ 為蝕刻氣體之情況，蝕刻率有差距，於接觸孔底部及 $SiO_2$ 膜表面皆進行蝕刻。相對於此，在使用 $CH_2F_2$ 之情況，接觸孔內之蝕刻率稍降，且 $SiO_2$ 膜表面之蝕刻率約成負 $100\text{Å}/\text{min}$ 。即，在 $SiO_2$ 膜表面並無進行蝕刻，相反的係進行堆積，於此時點，蝕刻選擇比可謂係實質上無限大。

又，RIE裝置在此雖舉磁性RIE裝置為例，但當然亦可使用利用電子旋轉加速共鳴，依磁場及微波產生高密度電漿之ECR (Electron Cyclotron Resonance，電子旋轉加速共鳴)蝕刻裝置，或依螺旋波與電子之交互作用產生高密度電漿之螺旋波蝕刻裝置，亦可使用依高頻誘導磁場產生之誘導電場，使電子加速，依此產生電漿之誘導結合電漿蝕刻裝置等。

次之使用圖7A至圖7G，以DRAM (Dynamic Random Access Memory，動態隨機存取記憶體)之溝電容(trench capacitor)之製造方法為例，說明使用此乾式蝕刻方法之半導體製造方法的第1實施形態。

首先如圖7A所示，於例如矽基板等之半導體基板50上，依氫燃燒氧化法，形成 $SiO_2$ 膜51，於此 $SiO_2$ 膜52上依CVD (Chemical Vapor Deposition，化學蒸鍍法)形成SiN膜52及 $SiO_2$ 膜53。

次之如圖7B所示，於 $SiO_2$ 膜53上以有機材料形成止反射膜(ARC: Anti-Reflective Coating)54。再於此ARC54上塗佈光阻劑55，依PEP (Photo Engraving Process，光蝕刻)在

## 五、發明說明 ( 13)

電容器預定形成之區域上，將光阻劑55以形成開口部之方式，予以圖案化。

次之如圖7C所示，依使用光阻劑55為掩罩之RIE法，除去溝電容之預定形成部之ARC54及SiO<sub>2</sub>膜53。此時，RIE蝕刻氣體係使用通常用以蝕刻SiO<sub>2</sub>之CF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>等F族或CHF<sub>3</sub>、於CHF<sub>3</sub>中混合H<sub>2</sub>之H-F系之氣體。不將SiN膜52予以一併除去的原因在於：因DRAM之記憶為量高密度化使半導體裝置向微細化演進，使得光阻劑55薄膜化，若將SiO<sub>2</sub>膜53與SiN膜52予以一併蝕刻，則於此蝕刻中有破壞光阻劑55之遮蔽性之虞。

其後如圖7D，將光阻劑55及ARC54予以灰化除去，接著依濕式蝕刻除去光阻劑55及ARC54之剝離殘留物。濕式蝕刻之蝕刻係使用如H<sub>2</sub>SO<sub>4</sub>、H<sub>2</sub>O<sub>2</sub>及H<sub>2</sub>O之混合液。

再如圖7E所示，使用SiO<sub>2</sub>膜53為掩罩，將SiN膜52及SiO<sub>2</sub>膜51，依圖2所示之磁性RIE裝置以RIE法予以蝕刻。

此步驟中，於RIE法並不使用習知用以蝕刻SiO<sub>2</sub>之F族或CHF<sub>3</sub>、CHF<sub>3</sub>中混合H<sub>2</sub>之H-F之氣體、或習知用以蝕刻SiN之CF<sub>4</sub>、CHF<sub>3</sub>、ArO<sub>2</sub>等氣體，而係使用例如CH<sub>2</sub>F<sub>2</sub>作為蝕刻氣體。惟，蝕刻條件與習知相同，係將氣體流量在10~100sccm、氣體壓力在10~100mTorr、高頻電力在400~2000W、基板溫度在30~60°C之範圍內，各進行設定。藉由將CH<sub>2</sub>F<sub>2</sub>作為蝕刻氣體進行RIE，作為掩罩之SiO<sub>2</sub>膜53完全未被削除，而露出之SiN膜52及SiO<sub>2</sub>膜51被依序

## 五、發明說明 ( 14)

蝕刻。相反的於SiO<sub>2</sub>膜53上，堆積了RIE時生成之反應生成物56。此反應生成物56係為例如C或CF等。即，若使用CH<sub>2</sub>F<sub>2</sub>作為蝕刻氣體進行RIE，則會發生在掩罩上堆積反應生成物，於掩罩之開口部即僅於應蝕刻之區域進行蝕刻之現象，此情況之蝕刻選擇比變成實質上無限大。

接著如圖7F所示，依灰化及濕式蝕刻將SiO<sub>2</sub>膜53上堆積之反應生成物56予以除去。

次之如圖7G所示，以SiO<sub>2</sub>膜53為掩罩，依RIE法進行半導體基板508之蝕刻，形成電容器用之溝57。

在將半導體基板50依RIE進行蝕刻形成溝時之蝕刻氣體雖亦可用CH<sub>2</sub>F<sub>2</sub>，但若自蝕刻率或控制性的觀點觀之，以使用習知Si之蝕刻氣體所用之CF<sub>4</sub>、SF<sub>6</sub>及將CF<sub>4</sub>之幾個F換成Cl或Br的氣體為較理想。

其後，依濕式蝕刻等除去SiO<sub>2</sub>膜53。再如眾所周知，於溝57內部形成含雜質的絕緣膜，進行熱處理，使前述絕緣膜內所含之雜質以固相擴散至半導體基板50中，於溝50周圍形成作為板(plate)極之雜質擴散層。接著，在除去了前述絕緣膜後之溝50的內周面上，形成電容絕緣膜。此電容絕緣膜之材料係使用例如SiO<sub>2</sub>膜或ONO膜(SiO<sub>2</sub>膜、SiN膜及SiO<sub>2</sub>膜之3層構造)、ON膜(SiO<sub>2</sub>膜及SiN膜之2層構造)。再於此溝57內以成為儲存節點電極之例如多晶矽膜等完成埋入胞電容(cell capacitor)。

一般胞電容用之溝的縱橫比非常大，具有256Mbit級之記憶容量的DRAM，其縱橫比約為20。又，1Gbit級之

## 五、發明說明 ( 15 )

DRAM，則自確保胞電容的容量的觀點觀之，可預想係超過20。

若欲形成此種高縱橫比之溝，則需考慮到其蝕刻中之掩罩材的消耗很大，且在將掩罩予以圖案化時因光阻劑的破損有可能蝕刻到掩罩，故必須將掩罩材的膜厚加大。

惟，依本實施形態所說明之半導體裝置的製造方法，在形成掩罩材時，係依使用 $\text{CH}_2\text{F}_2$ 為蝕刻氣體之RIE法進行蝕刻。如此，會發生只於應蝕刻之區域進行蝕刻，而不蝕刻掩罩材表面之現象。於是，可將掩罩材的膜厚做成形成胞電容之溝時所需之最低限之膜厚。

又，若於形成胞電容之溝時之RIE亦使用 $\text{CH}_2\text{F}_2$ ，蝕刻率將降低，不需厚的掩罩材且不須擔心掩罩材破損，可形成高可靠度之胞電容。

又，在形成上述溝型胞電容後，於半導體基板50之記憶胞陣列區域及周邊電路區域，依STI (Shallow Trench Isolation)技術形成元件分離區域。STI技術係於半導體基板形成淺溝，於其溝內埋入絕緣物而形成元件分離區域之技術，但亦可將此元件分離區域所用之溝，以與形成前述胞電容之溝57時完全相同的步驟予以形成。

次之，使用圖8A至圖8F，以使用SAC (Self Align Contact)技術之DRAM的接觸插頭(contact plug)之製造方法為例，說明本發明的第2實施樣態之半導體裝置的製造方法。

首先，如圖8A所示，在形成了胞電容及元件分離區域之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 16 )

半導體基板60上，依乾燥氧氧化法等由SiO<sub>2</sub>膜形成閘絕緣膜61。於此閘絕緣膜61上依CVD法等形成多晶矽膜62，於此多晶矽膜62上依CVD法或氧化法形成SiO<sub>2</sub>膜63。再於SiO<sub>2</sub>膜63上形成W(鎢)膜，依熱處理進行矽化形成WSi膜64。SiO<sub>2</sub>膜63之膜厚非常小，其係為防止W自WSi膜64中逸出而形成者。再於WSi膜64上形成SiN膜65。再將上述多晶矽膜62、SiO<sub>2</sub>膜63、WSi膜64及SiN膜65，依光蝕刻技術及蝕刻予以圖案化形成所期望之圖案，而形成閘極。次之依離子注入技術將雜質導入半導體基板60中，形成雜質擴散層66作為源、汲區域。又，於記憶胞區域所形成之胞電容的源極，依以與前述胞電容之儲存節點電極連接之方法形成者。此時雜質亦同時被導入閘極。接著將熱處理導入之雜質進行活性化，形成DRAM之胞電容及周邊電路區域之MOS電晶體。

其後，以CVD法等於全面形成SiN膜67、及BPSG(Boron Phosphorous Silicate Glass)膜之層間絕緣膜68，依CMP(Chemical Mechanical Polishing)法予以平坦化。

接著為了形成與雜質擴66接觸之接觸孔，於層間絕緣膜68上形成ARC69，於ARC69上塗佈光阻劑70。將此光阻劑70依PEP予以圖案化形成接觸孔的形成圖案。

次之如圖8B所示，將圖案化之光阻劑70用作為掩罩，依RIE法蝕刻ARC69及層間絕緣膜68，形成到達SiN膜67之接觸孔71。RIE所用之蝕刻氣體係為一般用之CF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>等F族或CHF<sub>3</sub>、於CHF<sub>3</sub>中混合H<sub>2</sub>之H-F系之氣體。如

## 五、發明說明 ( 17)

此步驟，依將SiN膜67用作為擋止件之SAC技術，進行高選擇比之蝕刻。

再如圖8C所示，依灰化及除去有機物用之濕式蝕刻，除去光阻劑70及ARC69。

次之為了能接觸到雜質擴散層66，將接觸孔71底部之閘極間的SiN膜67及閘絕緣膜61，以RIE法予以蝕刻。此時，RIE之蝕刻氣體係使用例如 $\text{CH}_2\text{F}_2$ 、 $\text{CF}_4$ 及Ar之混合氣體。而該等之混合比各為10sccm、30sccm、160sccm，室21內之壓力為50mTorr、高頻電力為300W。依使用上述混合氣體，如圖8D所示，僅有接觸孔71底部之SiN膜67及閘絕緣膜61被蝕刻，而於層間絕緣膜68上及接觸孔71內之閘極上的SiN膜67上則堆積了反應生成物72。因此，只要於一般之RIE法中改變蝕刻氣體進行蝕刻，即可形成到達雜質擴散層66之接觸孔71。

再如圖8E所示，將所堆之反應生成物72以灰化及濕式蝕刻予以除去。

其後如圖8D所示，將接觸孔71以例如多晶矽等予以埋入後，以CMP進行平坦化，形成接觸插頭73。又，接觸插頭73亦可依例如Ti膜與W膜之多層構造予以形成。

依上述製造方法，係將相鄰的閘極間之SiN膜67及閘絕緣膜61之蝕刻，以使用含 $\text{CH}_2\text{F}_2$ 之混合氣體為蝕刻氣體之RIE法予以進行。若使用上述蝕刻氣體，則僅選擇性的蝕刻閘極間之SiN膜67及閘絕緣膜61。因此，不需在閘極間以外的區域以掩罩材予以遮蔽，可使DRAM的製造步驟

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 ( 18)

簡單化，可期達成製造成本的降低及良品率的提升。

又於本實施形態中，爲了使SiN膜67的側面更加垂直化，及爲了能均一的蝕刻接觸孔71底部之SiN膜67，使用了將含C之氣體(CF<sub>4</sub>)及具稀釋效果之Ar(氬)與CH<sub>2</sub>F<sub>2</sub>混合之氣體作爲蝕刻氣體，當然不庸贅言亦可只使用CH<sub>2</sub>F<sub>2</sub>單一氣體。

次之使用圖9A至圖9E，以DRAM之接觸插頭的製造方法爲例，說明本發明之第3實施形態的半導體裝置之製造方法。

首先如圖9A所示，依上述第2實施形態所說明之製造步驟，於周邊電路區域形成MOS電晶體。再以BPSG膜形成層間絕緣膜68覆蓋MOS電晶體，再於層間絕緣膜68上，依使用TEOS (Tetraethylorthosilicate; Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>)之CVD法形成SiO<sub>2</sub>膜74。接著，形成到達相鄰接之閘極間的雜質擴散層66之接觸孔，將此接觸孔依金屬等形成埋入接觸插頭73。設SiO<sub>2</sub>膜74之平面(level)，係爲記憶胞區域中形成位元線之平面(level)，周邊電路區域之接觸插頭73亦可使用位元線之配線層予以形成。再於上述SiO<sub>2</sub>膜74及接觸插頭73上形成層間絕緣膜75。

接著，爲了於周邊電路區域之層間絕緣膜75中，形成與接觸插頭73接觸之接觸孔，於層間絕緣膜75上形成ARC76及光阻劑77。再將此光阻劑77依PEP予以圖案化，於與接觸孔73對應之位置設置開口。

次之如圖9B所示，依使用光阻劑77作爲掩罩之RIE

## 五、發明說明 ( 19)

法，進行層間絕緣膜75之蝕刻。此時，RIE之蝕刻氣體使用通常用以蝕刻SiO<sub>2</sub>之CF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>等F族或CHF<sub>3</sub>、於CHF<sub>3</sub>中混合H<sub>2</sub>之H-F系之氣體。

惟，此平面(level)之層間絕緣膜的膜厚大之故，若以使用一般氣體之RIE法予以將接觸孔開口，則於RIE途中，如圖9B所示，光阻劑77及ARC76之蝕刻會進行，而會有破壞掩罩之虞。

此處在掩罩破壞或將破壞之時點，將蝕刻氣體換成CH<sub>2</sub>F<sub>2</sub>進行蝕刻。依使用上述氣體，如圖9C所示，只有層間絕緣膜75被蝕刻，另一方面於光阻劑77上堆積C或CF等之反應生成物79。當然，於用以形成接觸孔78之RIE蝕刻中，可從頭到尾都使用CH<sub>2</sub>F<sub>2</sub>為蝕刻氣體，但自蝕刻率之觀點，以習知使用之F族或CHF<sub>3</sub>、於CHF<sub>3</sub>中混合H<sub>2</sub>之H-F系之氣體，以及CH<sub>2</sub>F<sub>2</sub>之2階段來進行RIE可謂最具效率。

再如圖9D所示，依灰化及濕式蝕刻除去光阻劑77、ARC76及光阻劑77上所堆積之反應生成物79。

接著全面以濺鍍等形成TiN膜及W膜，將前一步驟形成之接觸78予以埋入，進行CMP平坦化，形成圖9E所示之接觸插頭80。

依上述製造方法，在用以於層間絕緣膜75形成接觸孔之RIE的蝕刻氣體，係使用CH<sub>2</sub>F<sub>2</sub>。藉由使用此氣體為蝕刻氣體，僅於應蝕刻區域進行蝕刻，而不蝕刻掩罩材表面。因此，可將掩罩材做成所必需之最低限度的膜厚。

## 五、發明說明 ( 20 )

圖 10A 及圖 10B 係用以說明本實施形態之變形例，係依序表示 DRAM 之接觸插頭的製造步驟之剖面圖。

即，如圖 10A 所示，在依 RIE 於層間絕緣膜 75 上形成接觸孔時，首先使用  $\text{CH}_2\text{F}_2$  作為蝕刻氣體。於此情況，在形成接觸孔 78 之同時，於光阻劑 77 上堆積反應生成物 79。

再如圖 10B 所示，在反應生成物 79 已堆積至某程度之膜厚後，將蝕刻氣體換成習知之 F 族或  $\text{CHF}_3$ 、於  $\text{CHF}_3$  中混合  $\text{H}_2$  之 H-F 系之氣體。再以反應生成物 79 為掩罩，最後形成接觸孔 78。

依此種製造方法，亦可得與上述實施形態相同之效果。

依上述第 1 至第 3 實施樣態所說明之乾式蝕刻方法及半導體裝置之製造方法，於形成溝或接觸孔時之 RIE 法的蝕刻中，係使用  $\text{CH}_2\text{F}_2$  作為蝕刻氣體。依使用此氣體，僅將於應蝕刻之區域進行蝕刻，而於不應蝕刻之掩罩上不會進行蝕刻，相反的會堆積 RIE 之反應生成物。因此，即使在縱橫比極端大之情況或掩罩材之膜厚非常薄之情況下，亦可獲得足夠大、或實質上型很大的蝕刻選擇比。

又，如上述實施形態所說明，於蝕刻時導入之蝕刻氣體可不為單一之  $\text{CH}_2\text{F}_2$  氣體，而亦可為其與其他氣體之混合氣體。加入  $\text{CH}_2\text{F}_2$  之氣體以例如 CO 為宜。在該等氣體所含之元素內，C(碳)當然係往堆積成反應生成物之方向前進。而相反的，O(氧)則會使不飽和之 C 氧化之故，係往使蝕刻進行之方向前進。因此，藉由加入 CO，可使  $\text{CH}_2\text{F}_2$  之效果更顯著。又，不只 CO，若使用例如  $\text{CF}_4$  或  $\text{C}_4\text{F}_8$  等含 C 之

## 五、發明說明 ( 21)

氣體的混合氣體，當然亦可得促進反應生成物堆積之效果。其他，添加 $O_2$ 或 $N_2$ (氮)等氣體亦無妨。惟，該等氣體與反應生成物起反應，會促使該反應生成物被除去之故，最好不要太多量。又，爲了達成稀釋氣體整體的效果，添加Ar或He等亦可。

如此，雖蝕刻氣體不只可只用 $CH_2F_2$ 之單一氣體，亦可使用其與其他氣體之混合氣體，但， $CH_2F_2$ 在該混合氣體中所佔之比例必須在20%以上。又，於該混合氣體中，在添加了含C的氣體之情況下，該C係堆積作爲反應生成物之故，混合氣體中 $CH_2F_2$ 與含C氣體所佔比例必須爲20%以上，且須佔 $CH_2F_2$ 全體中之5%以上之比例。

首先，使用圖11A至圖11C，說明 $CH_2F_2$ 及含C之氣體所佔比例在20%以上之條件。圖11A至圖11C各表示將 $CH_2F_2/CF_4/Ar$ 所形成之混合氣體作爲蝕刻氣體使用，進行RIE之情況的半導體裝置之剖面圖。又，室內壓力係設定爲40mTorr、高頻電力係設爲1000W。

首先說明將 $CH_2F_2$ 及 $CF_4$ 之氣體流各固定爲10sccm、30sccm，而變化Ar之氣體流量之情況。

圖11A表示設Ar之氣體流量爲50sccm之情況。於此氣體流量條件中，全體之氣體流量爲90sccm， $CH_2F_2$ 與 $CF_4$ 所佔比例爲44%。此情況下，接觸孔底部進行蝕刻，同時於表面則堆積反應生成物，可進行實質上選擇比無限大之蝕刻。

圖11B表示Ar之氣體流量爲150sccm之情況。此情況

## 五、發明說明 ( 22)

中， $\text{CH}_2\text{F}_2$ 與 $\text{CF}_4$ 佔全體之比例為21%，依圖11A之條件反應生成物之量減少，仍可進行選擇比無限大之蝕刻。

圖11C表示Ar之氣體流量為250sccm之情況。此情況中， $\text{CH}_2\text{F}_2$ 與 $\text{CF}_4$ 佔全體之比例不超過14%。於是不僅接觸孔底部，連半導體裝置表面亦被蝕刻，可知無法進行選擇性蝕刻。

次之說明將 $\text{CF}_4$ 及Ar之氣體流量各固定為30sccm、160sccm，而係使 $\text{CH}_2\text{F}_2$ 之氣體流量變化之情況。

若將 $\text{CH}_2\text{F}_2$ 之氣體流量設定於20sccm，則 $\text{CH}_2\text{F}_2$ 與 $\text{CF}_4$ 佔全體之比例為24%，可得如圖11A所示之結果。即可進行具有無限大的選擇比之蝕刻。

若使 $\text{CH}_2\text{F}_2$ 之氣體流量減少至10sccm，則 $\text{CH}_2\text{F}_2$ 與 $\text{CF}_4$ 佔全體比例為20%，可得如圖11B所示之結果。此條件亦可進行具有無大之選擇比之蝕刻。

若使 $\text{CH}_2\text{F}_2$ 之氣體流量再減少，設定為至5sccm，則 $\text{CH}_2\text{F}_2$ 與 $\text{CF}_4$ 佔全體之比例為18%，而無法如圖11C所示進行選擇性蝕刻。

次之說明將 $\text{CH}_2\text{F}_2$ 及Ar氣體流各固定為10sccm、160sccm，而係使 $\text{CF}_4$ 之氣體流量變化之情況。

如圖11A所示，若設 $\text{CF}_4$ 之氣體流量為50sccm，則 $\text{CH}_2\text{F}_2$ 及 $\text{CF}_4$ 佔全體之比例為27%，可進行具有無限大之選擇比之蝕刻。

如圖11B所示，若將 $\text{CF}_4$ 之氣體流量減少為30sccm，則 $\text{CH}_2\text{F}_2$ 及 $\text{CF}_4$ 佔全體之比例為20%，此條件下亦可進行具有

## 五、發明說明 ( 23)

無限大之選擇比之蝕刻。

如圖 11C 所示，若再減少  $\text{CF}_4$  之氣體流量，設定為 10sccm，則  $\text{CH}_2\text{F}_2$  及  $\text{CF}_4$  佔全體之比例為 11%，不可能進行選擇性蝕刻。

如此，在蝕刻氣體中添加以 C 為組成之至少一部分的氣體之情況下，含此 C 之氣體與  $\text{CH}_2\text{F}_2$  之比例必須在全體之 20% 以上。此情況圖案化示於圖 12。圖 12 表示含 C 氣體與  $\text{CH}_2\text{F}_2$  氣體佔全體之比例所對應的反應生成物堆積率。如圖示可知，在含 C 氣體與  $\text{CH}_2\text{F}_2$  氣體佔全體比例超過 20% 起開始堆積反應生成物，隨著比例變大，其反應生成物之堆積率亦越大。當然，反應生成物之堆積率係依高頻電力之施加電力或室內壓力而變。惟，兩者之值具有約如圖 12 之圖所示的關係。

又，在蝕刻氣體中添加含 C 氣體之情況下， $\text{CH}_2\text{F}_2$  之比例必須佔蝕刻氣體全體之 5% 以上。關於此點係以圖 13A 至圖 13C 予以說明。圖 13A 至圖 13C 各表示使用  $\text{CH}_2\text{F}_2/\text{CF}_4$  所成混合氣體進行 RIE 之情況的半導體裝置之剖面圖，其中  $\text{CF}_4$  之氣體流量固定為 100sccm，而係使  $\text{CH}_2\text{F}_2$  之氣體流量變化。又，室內壓力設定為 40mTorr、高頻電力設定為 500W。

圖 13A 表示將  $\text{CH}_2\text{F}_2$  之氣體流量設定為 10sccm 之情況。此氣體流量條件下，全體氣體流量為 110sccm，其中  $\text{CH}_2\text{F}_2$  所佔比例為 9%。此情況下，接觸孔底部進行蝕刻，同時於表面堆積反應生成物，可進行實質上選擇比無限大之蝕

## 五、發明說明 ( 24)

刻。

圖 13 B 表示將  $\text{CH}_2\text{F}_2$  之氣體流量設定為 5sccm 之情況， $\text{CH}_2\text{F}_2$  所佔比例為 5%。此情況下，反應生成物之堆積量大減，仍可進行實質上具無限大之選擇比的蝕刻。

圖 13 C 表示將  $\text{CH}_2\text{F}_2$  之氣體流量設定為 3sccm 之情況， $\text{CH}_2\text{F}_2$  所佔比例為 3%。此條件下，不僅接觸孔底部，連半導體裝置之表面亦被蝕刻，無法進行選擇性蝕刻。

如此，雖可依氣體之組成來控制反應生成物之堆積率及蝕刻率，但當然藉由變化所施加之高頻電力及室內壓力，調節電漿內所產生之自由基或離子，亦可控制反應生成物之堆積率及蝕刻率。以下使用圖 14 A 至圖 14 C 說明此點。圖 14 A 至圖 14 C 各表示使用  $\text{CH}_2\text{F}_2/\text{CF}_4$  所成之混合氣體，進行 RIE 之情況的半導體裝置之剖面圖。又， $\text{CH}_2\text{F}_2$  及  $\text{CF}_4$  之流量各係設定為 40sccm 及 50sccm。

圖 14 A 表示將高頻電力設為 500W、或將室內壓力設定為 80mTorr 之情況。此條件下，於接觸孔底部進行蝕刻，而同時於表面堆積反應生成物，可進行實質上選擇比無限大之蝕刻。

圖 14 B 表示將高頻電力設為 1000W、或將室內壓力設定為 40mTorr 之情況。此情況下，反應生成物的量比圖 14 之條件下少，但仍可進行選擇比無限大之蝕刻。

圖 14 C 表示將高頻電力設為 1500W、或將室內壓力設定為 20mTorr 之情況。此條件下，不僅接觸孔底部，連半導體裝置之表面亦被蝕刻，可知無法進行選擇性蝕刻。

## 五、發明說明 ( 25)

上述結果被圖案化示於圖 15。如圖示,可知反應生成物之堆積率與高頻電力成反比,且與室內壓力成正比變化。若加大高頻電力,則離子能量亦變大之故,會對反應生成物帶來離子輔助效果。因此反應生成物之堆積率會降低。相反的若將室內壓力設定為較高,則離子能量降低之故,反應生成物之堆積率會變大。

如上述,依本發明,將 $\text{CH}_2\text{F}_2$ 用作為蝕刻氣體之至少一部分,進行蝕刻,可藉以進行實質上具有無限大之選擇比的蝕刻。惟,其條件係 $\text{CH}_2\text{F}_2$ 應佔蝕刻氣體全體之20%以上。在添加含C氣體之情況下,該氣體與 $\text{CH}_2\text{F}_2$ 之混合氣體應佔20%以上之比例,且 $\text{CH}_2\text{F}_2$ 之比例必須為5%以上。

又,於上述實施形態中,雖係以 $\text{CH}_2\text{F}_2$ 為蝕刻氣體舉例說明,但只要蝕刻氣體之組成滿足以下條件,亦可得大致相同的傾向,即於 $\text{C}_n\text{H}_x\text{F}_y$ ( $n$ 為任意整數)中, $x/y \geq 0.6$ 。即,例如使用 $\text{CH}_3\text{F}$ 或 $\text{C}_3\text{H}_5\text{F}_3$ 之氣體,亦可得相同之效果。惟,H(氫)之組成比例越大,則反應生成物之堆積率越大,且有蝕刻率降低之傾向之故,必須依狀況選擇適當的氣體來進行蝕刻。又,在反應生成物之堆積量過多之情況,亦應考慮到會有污染RIE裝置之真空室內之虞。因此,最好於不應蝕刻之區域,使蝕刻率與反應生成物之堆積率相同,設定成使反應生成物不堆積且不進行蝕刻之條件。惟,並不一定要於不應蝕刻之區域使蝕刻率與反應生成物之堆積率相同,藉由儘量平衡蝕刻率及反應生成物之堆積率,使表面被稍微蝕刻、或只堆積些許反應生成物亦

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 26)

可。

被蝕刻材料雖係以  $\text{SiO}_2$  及  $\text{SiN}$  為例說明，但當然不限定於該等材，亦可使用  $\text{Si}$  或有機、無機  $\text{SiO}_2$ 。有機  $\text{SiO}_2$  可達成低介電率膜之故，係正受到注目之材料，可謂係適於形成層間絕緣膜之材料。

又，本發明不僅可使用於上述第 1 至第 3 實施形態所說明之 DRAM，亦可廣泛使用於其他半導體裝置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：可進行高選擇比蝕刻之乾式蝕刻方法及半導體裝置之製造方法）

本發明在將 $\text{CH}_2\text{F}_2$ 用作為蝕刻氣體之至少一部分，進行RIE (Reactive Ion Etching, 反應性離子蝕刻)時，將蝕刻氣體全體所含有之 $\text{CH}_2\text{F}_2$ 的比例設定為20%以上。又，在添加了含有C之氣體之情況下，將該氣體與 $\text{CH}_2\text{F}_2$ 之混合氣體所占之比例設定為20%以上，且 $\text{CH}_2\text{F}_2$ 之比例設定為5%以上。

日文發明摘要（發明之名稱：高選択比のエッチングが可能なドライエッチング方法及び半導体装置の製造方法）

$\text{CH}_2\text{F}_2$ をエッチングガスの少なくとも一部に用いてRIEを行う際に、エッチングガス全体に含有される $\text{CH}_2\text{F}_2$ の割合を20%以上に設定する、またはCを含むガスが添加されている場合には、そのガスと $\text{CH}_2\text{F}_2$ との混合ガスの占める割合を20%以上に設定し、且つ $\text{CH}_2\text{F}_2$ の割合が5%以上になるよう設定する。

## 六、申請專利範圍

1. 一種乾式蝕刻方法，其特徵在於包含以下步驟：

於被蝕刻物之蝕刻區域，形成縱橫比為0.5以上之凹部的步驟；及

使用含 $\text{CH}_2\text{F}_2$ 之蝕刻氣體，進行前述凹部之蝕刻的步驟；

其中，於進行前述凹部之蝕刻步驟中，

在前述蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為20%以上；

在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為20%以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為5%以上。

2. 如申請專利範圍第1項之乾式蝕刻方法，其中前述被蝕刻物為自有機 $\text{SiO}_2$ 、無機 $\text{SiO}_2$ 、 $\text{SiN}$ 及 $\text{Si}$ 所成之群組中選擇出之至少任一種材料。
3. 如申請專利範圍第1項之乾式蝕刻方法，其中前述蝕刻氣體更包含以碳及氧為組成之至少一部分的氣體，依前述碳促進蝕刻時生成之反應生成物的堆積率，依前述氧促進蝕刻率。
4. 一種乾式蝕刻方法，其特徵在於包含以下步驟：
 

於被蝕刻物上，形成蝕刻用之罩材的步驟；

於前述罩材，形成縱橫比為0.5以上之凹部的步驟；

及

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

使用含  $\text{CH}_2\text{F}_2$  之蝕刻氣體，進行前述凹部之蝕刻的步驟；

其中，於進行前述凹部之蝕刻步驟中，

在前述蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為  $\text{CH}_2\text{F}_2$  之情況，該  $\text{CH}_2\text{F}_2$  在該蝕刻氣體中所占比例係在 20% 以上；

在除了  $\text{CH}_2\text{F}_2$  之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該  $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為 20% 以上，且該  $\text{CH}_2\text{F}_2$  在該蝕刻氣體中所占比例為 5% 以上。

5. 如申請專利範圍第 4 項之乾式蝕刻方法，其中前述被蝕刻物為自有機  $\text{SiO}_2$ 、無機  $\text{SiO}_2$ 、 $\text{SiN}$  及  $\text{Si}$  所成之群組中選擇出之至少任一種材料。
6. 如申請專利範圍第 4 項之乾式蝕刻方法，其中前述蝕刻氣體更包含以碳及氧為組成之至少一部分的氣體，依前述碳促進蝕刻時生成之反應生成物的堆積率，依前述氧促進蝕刻率。
7. 一種乾式蝕刻方法，其特徵在於包含以下步驟：
 

於被蝕刻物上，形成蝕刻用之罩材的步驟；

於前述罩材及前述被蝕刻物，形成縱橫比為 0.5 以上之凹部的步驟；及

使用含  $\text{CH}_2\text{F}_2$  之蝕刻氣體，進行前述凹部之蝕刻的步驟；

其中，於進行前述凹部之蝕刻步驟中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

在前述蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占之比例係在20%以上；

在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為20%以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為5%以上。

8. 如申請專利範圍第7項之乾式蝕刻方法，其中前述被蝕刻物為自有機 $\text{SiO}_2$ 、無機 $\text{SiO}_2$ 、 $\text{SiN}$ 及 $\text{Si}$ 所成之群組中選擇出之至少任一種材料。
9. 如申請專利範圍第7項之乾式蝕刻方法，其中前述蝕刻氣體更包含以碳及氧為組成之至少一部分的氣體，依前述碳促進蝕刻時生成之反應生成物的堆積率，依前述氧促進蝕刻率。
10. 一種半導體裝置之製造方法，其特徵在於包含以下步驟：
  - 於半導體基板上，形成第1單材之步驟；
  - 於前述第1單材上，形成第2單材之步驟；
  - 將前述第2單材予以圖案化，形成縱橫比為0.5以上之凹部；
  - 使用含 $\text{CH}_2\text{F}_2$ 之蝕刻氣體，將前述凹部所對應之區域的前述第1單材予以蝕刻之步驟；及
  - 將前述凹部所對應之區域的前述半導體基板予以蝕刻，形成溝的步驟；

## 六、申請專利範圍

其中，於蝕刻前述半導體基板形成溝之步驟中，

在前述蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占之比例係在20%以上；

在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為20%以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為5%以上。

11. 如申請專利範圍第10項之半導體裝置之製造方法，其中在蝕刻前述半導體基板形成溝之步驟內的至少一部分的步驟，係使用含 $\text{CH}_2\text{F}_2$ 之蝕刻氣體進行蝕刻；

其中，在前述蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占之比例係在20%以上；

在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為20%以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為5%以上。

12. 如申請專利範圍第10項之乾式蝕刻方法，其中前述蝕刻氣體更包含以碳及氧為組成之至少一部分的氣體，依前述碳促進蝕刻時生成之反應生成物的堆積率，依前述氧促進蝕刻率。

13. 一種半導體裝置之製造方法，其特徵在於包含以下步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

於半導體基板上，形成閘絕緣膜之步驟；

於前述閘絕緣膜上，形成閘極之步驟；

於前述閘絕緣膜及前述閘極上，形成絕緣膜之步驟；

於前述絕緣膜上，形成層間絕緣膜之步驟；

將前述絕緣膜用作為擋止件，形成接觸孔之步驟，其係到達相鄰接的前述閘極間之該絕緣膜者；及

使用含 $\text{CH}_2\text{F}_2$ 之蝕刻氣體，進行前述閘極間之前述絕緣膜之蝕刻的步驟；

其中，於進行前述閘極間之前述絕緣膜之蝕刻的步驟中；

在前述蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例係在20%以上；

在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為20%以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例5%以上。

14. 如申請專利範圍第13項之半導體裝置之製造方法，其中更包含以下步驟：

於蝕刻前述閘極間之前述絕緣膜的步驟後，使用含 $\text{CH}_2\text{F}_2$ 之蝕刻氣體，進行前述閘極間之前述閘絕緣膜的蝕刻之步驟；

在前述蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占之

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

比例係在20%以上；

在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為20%以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為5%以上。

15. 如申請專利範圍第13項之乾式蝕刻方法，其中前述蝕刻氣體更包含以碳及氧為組成之至少一部分的氣體，依前述碳促進蝕刻時生成之反應生成物的堆積率，依前述氧促進蝕刻率。

16. 一種半導體裝置之製造方法，其特徵在於包含以下步驟：

於半導體基板上，形成層間絕緣膜之步驟；

於前述層間絕緣膜上，形成罩材之步驟；

將前述罩材予以圖案化成所期望之圖案之步驟；及

將前述罩材用作為掩罩，蝕刻前述層間絕緣膜，形成接觸孔之步驟；

在蝕刻前述層間絕緣膜以形成接觸孔之製程之至少一部份之製程中，使用含有 $\text{CH}_2\text{F}_2$ 之蝕刻氣體進行蝕刻；

在前述蝕刻氣體所含有之以碳為組成之至少一部分的氣體僅為 $\text{CH}_2\text{F}_2$ 之情況，該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例係在20%以上；

在除了 $\text{CH}_2\text{F}_2$ 之外，前述蝕刻氣體中含有以碳為組成之至少一部分的氣體之情況，該以碳為組成之至少一部分的氣體與該 $\text{CH}_2\text{F}_2$ ，在該蝕刻氣體中所占比例為20%

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

以上，且該 $\text{CH}_2\text{F}_2$ 在該蝕刻氣體中所占比例為5%以上。

17. 如申請專利範圍第16項之乾蝕刻方法，其中前述蝕刻氣體更包含以碳及氧為組成之至少一部分的氣體，依前述碳促進蝕刻時生成之反應生成物的堆積率，依前述氧促進蝕刻率。

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

486733  
89127101

圖 1A

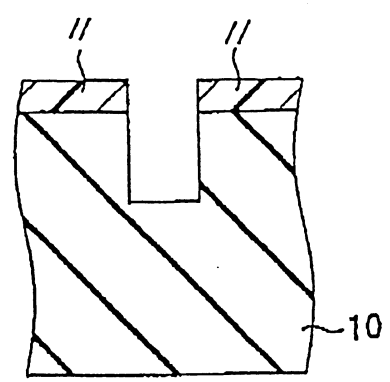


圖 1B

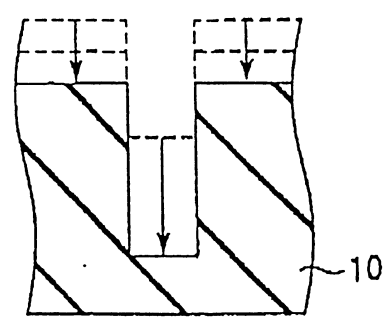


圖 2

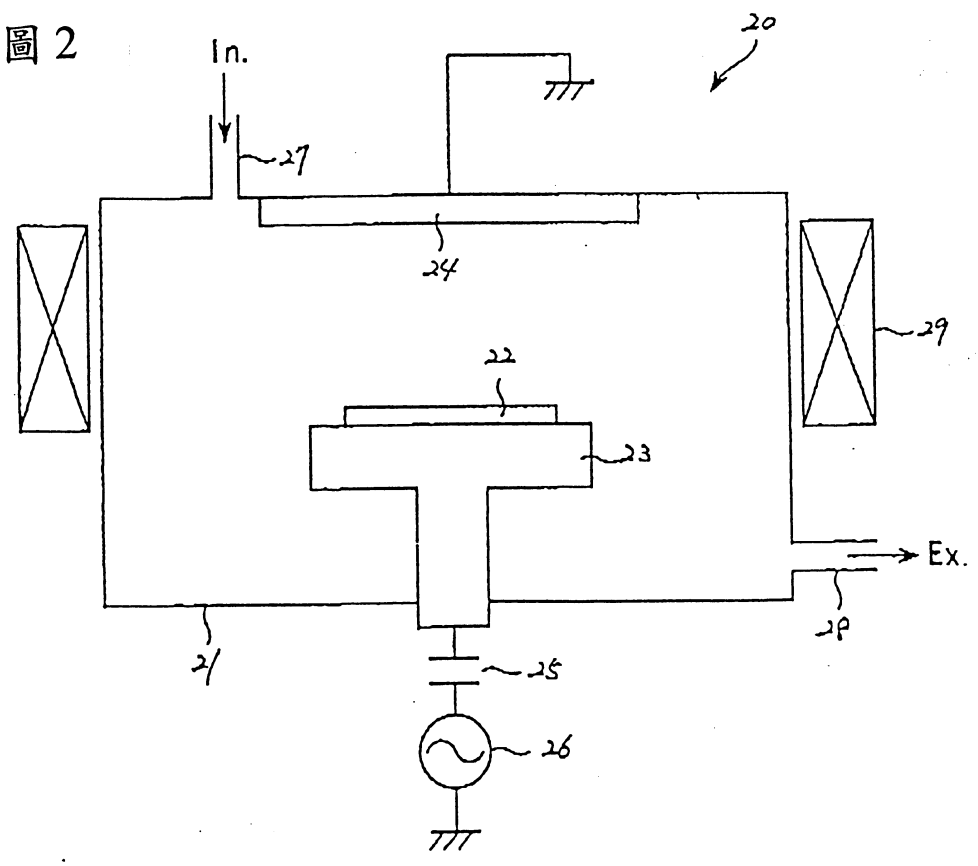


圖 3 A

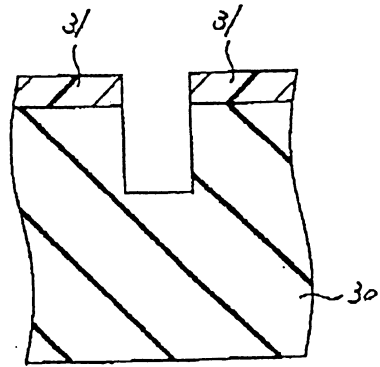


圖 3 B

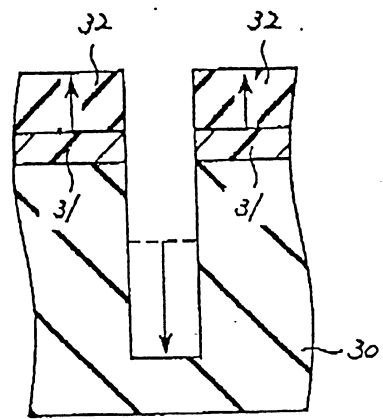


圖 4A

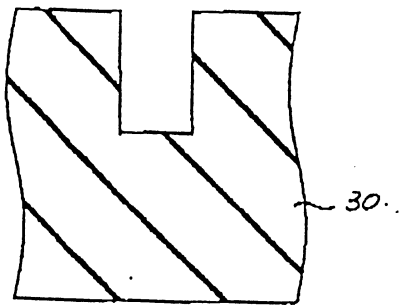


圖 4B

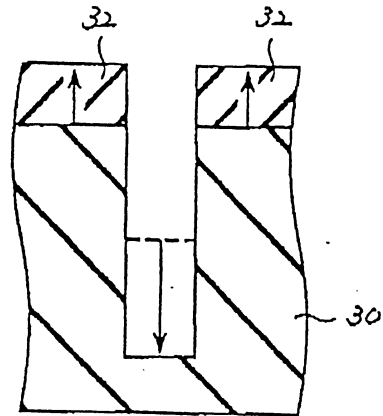


圖 5A

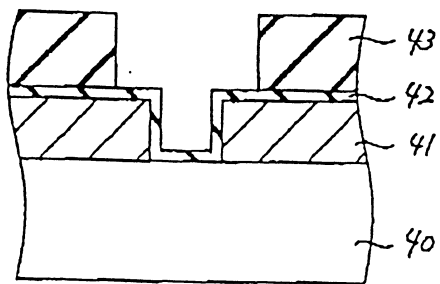
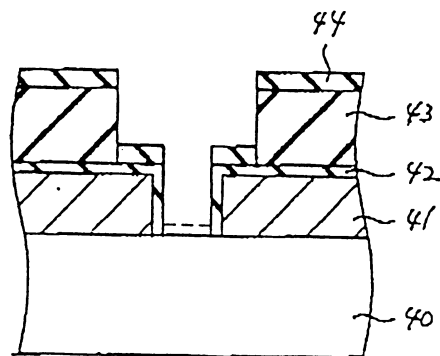


圖 5B



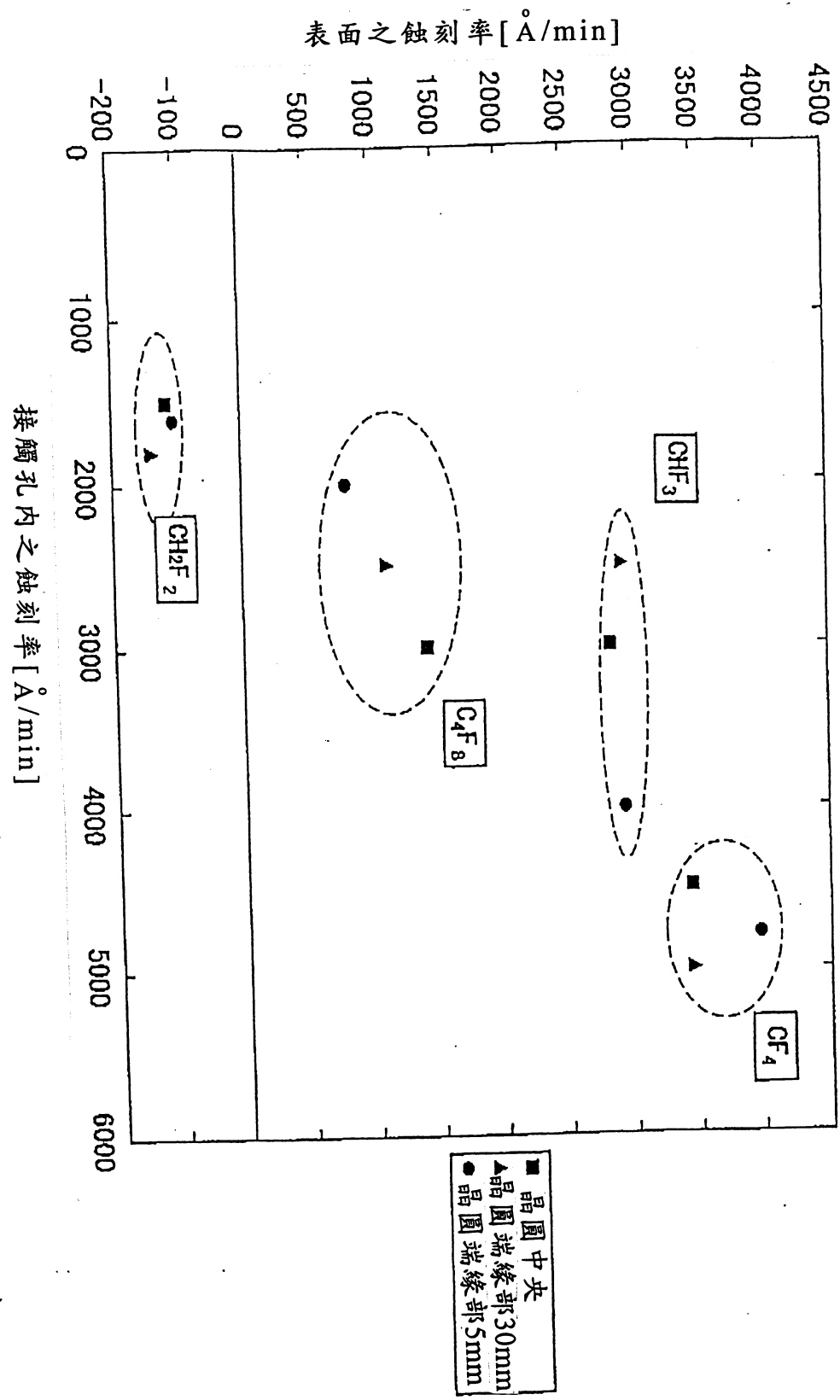


圖 6

圖 7A

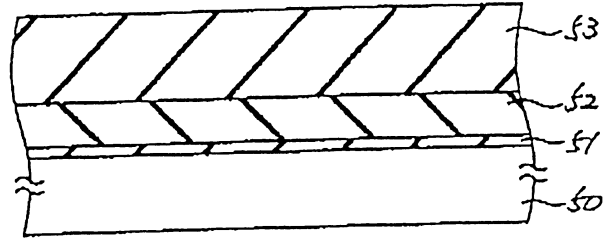


圖 7B

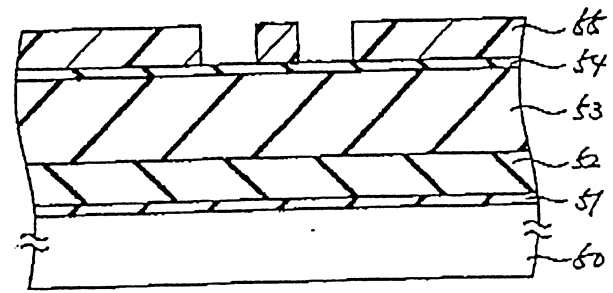


圖 7C

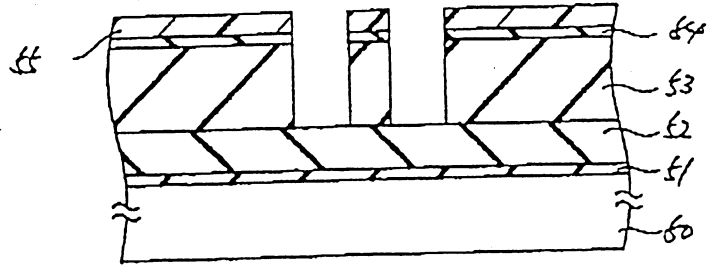


圖 7D

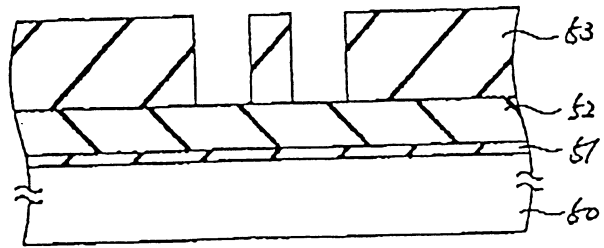


圖 7E

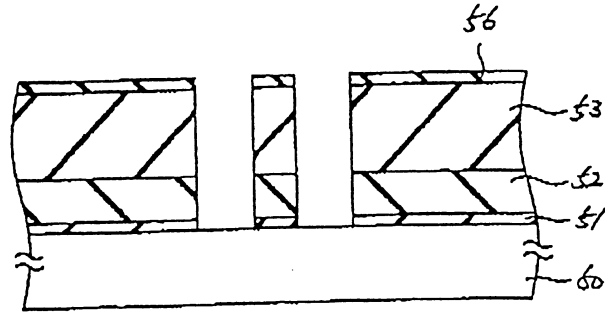


圖 7F

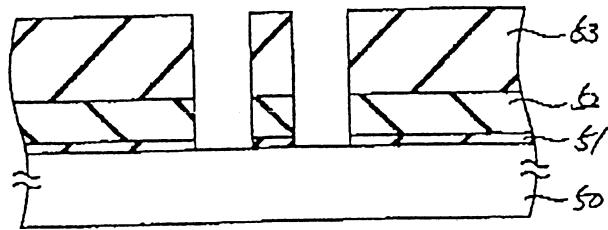


圖 7G

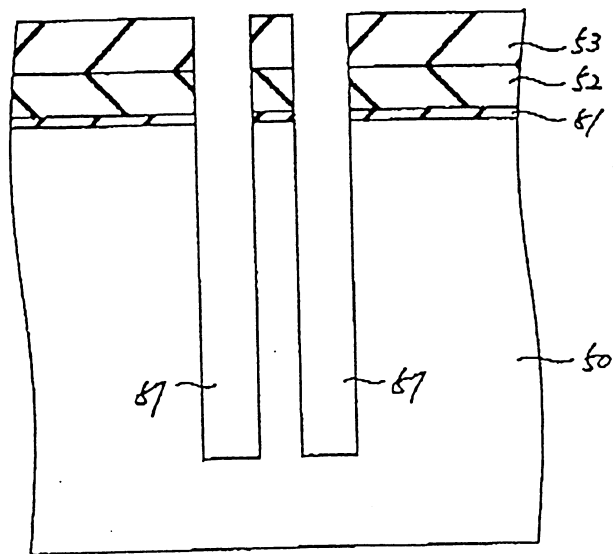


圖 8A

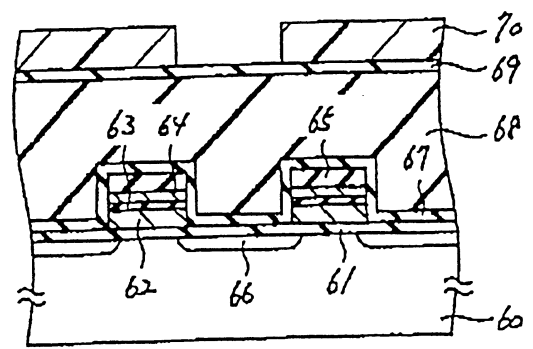


圖 8B

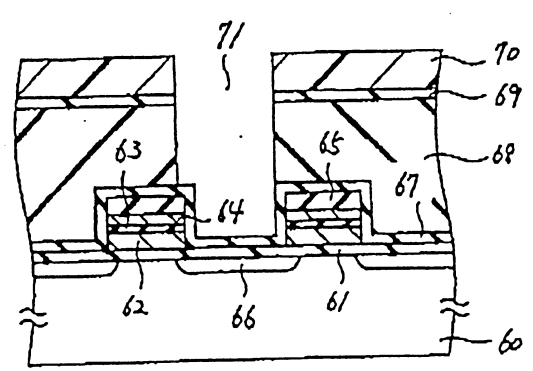


圖 8C

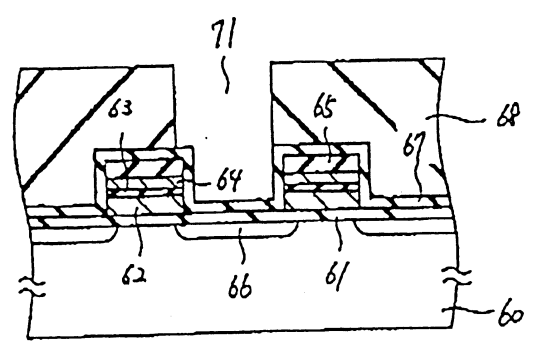


圖 8D

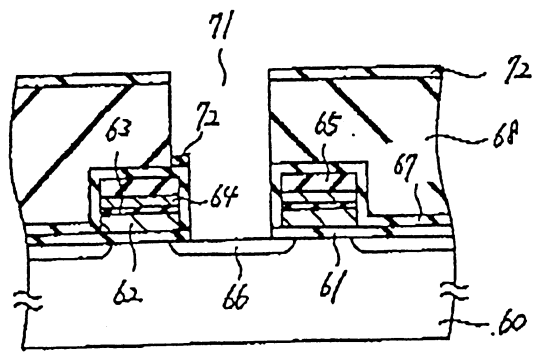


圖 8E

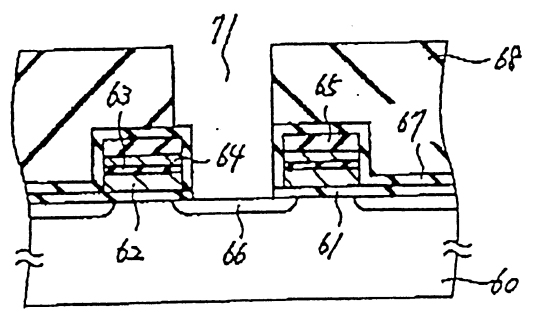


圖 8F

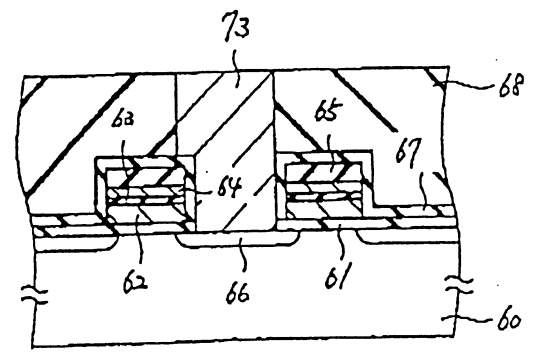


圖 9A

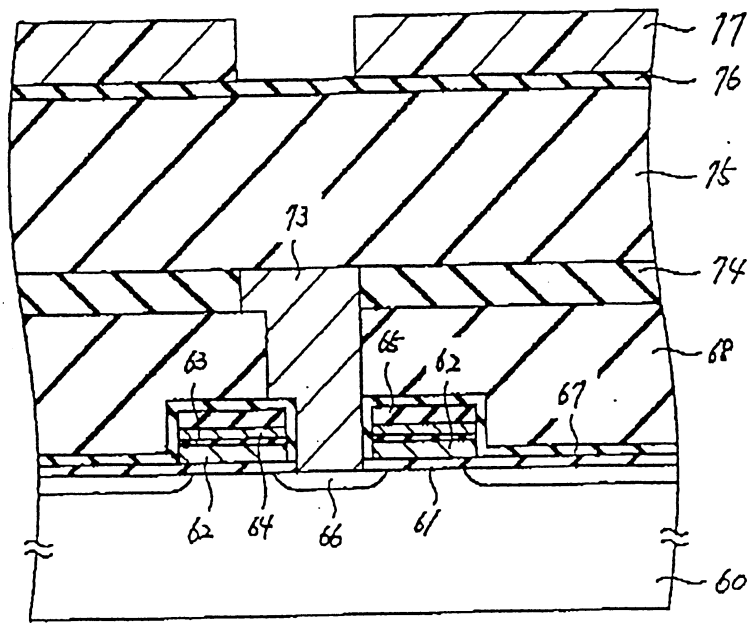


圖 9B

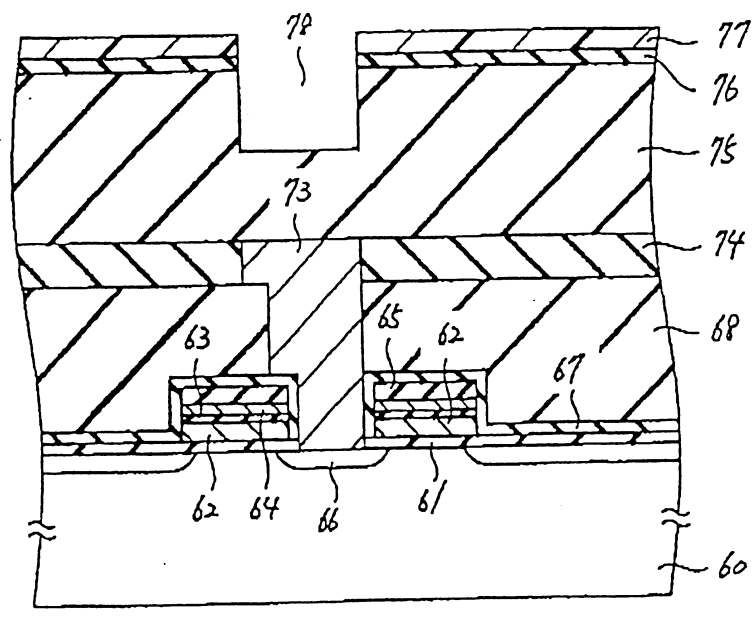


圖 9C

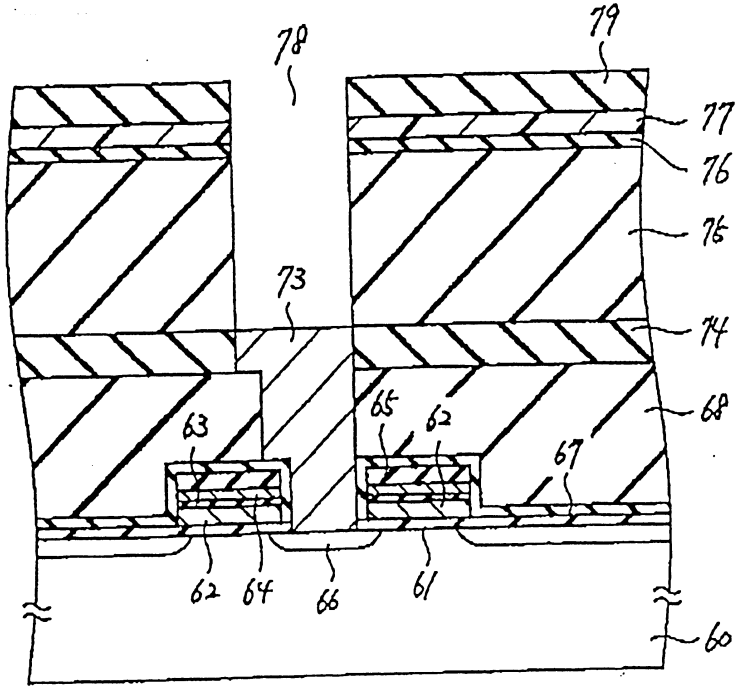


圖 9D

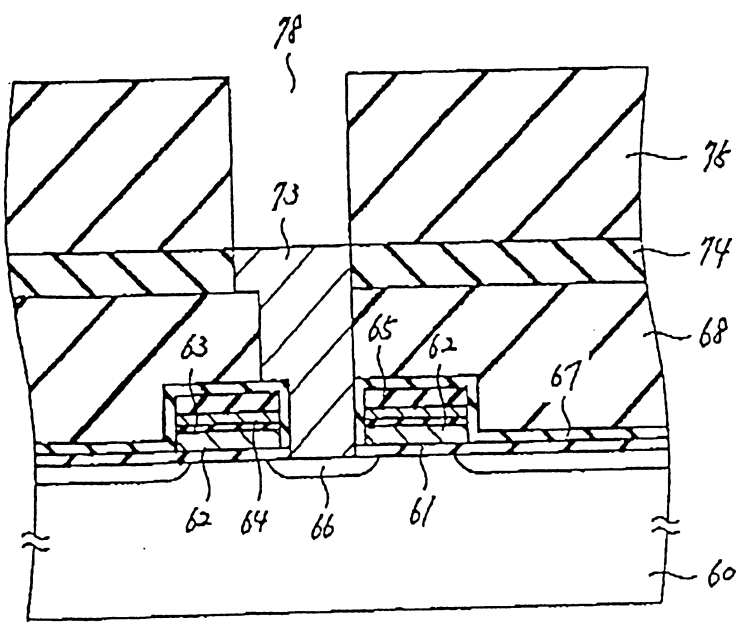


圖 9E

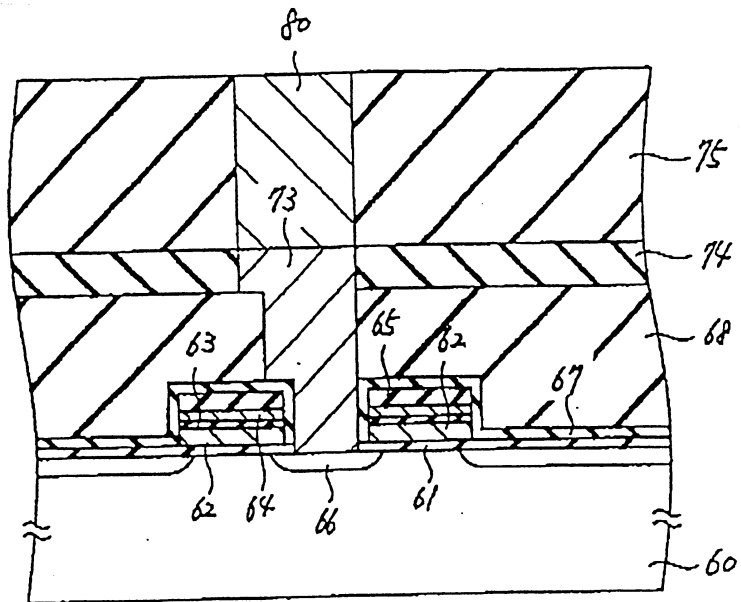


圖 10A

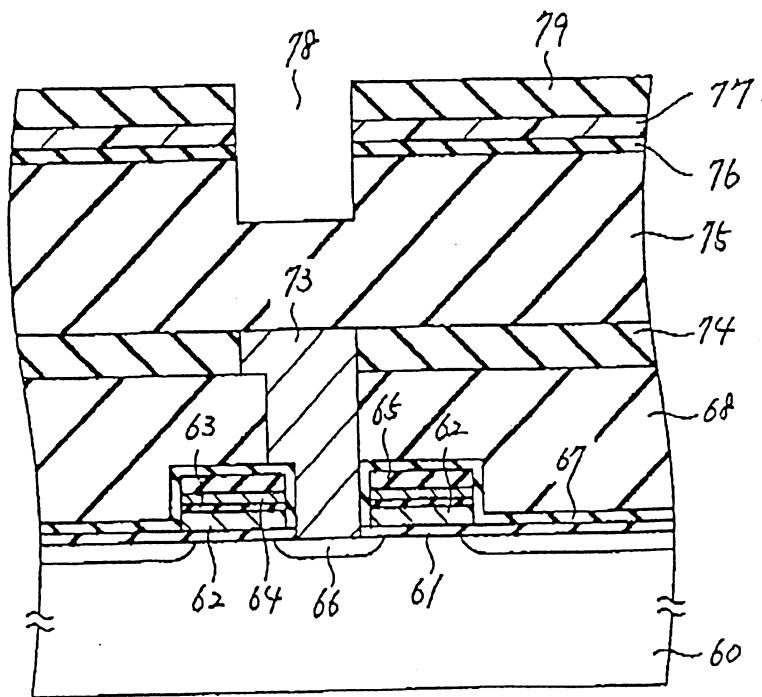


圖 10B

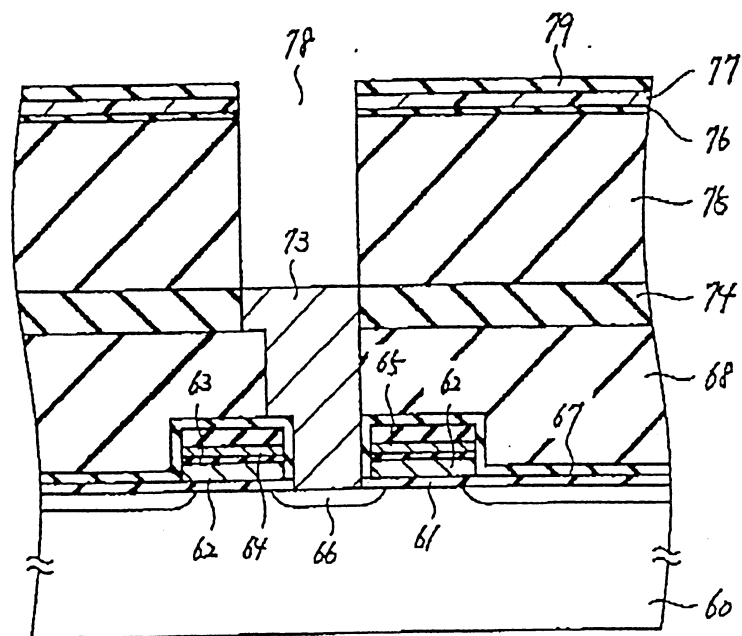
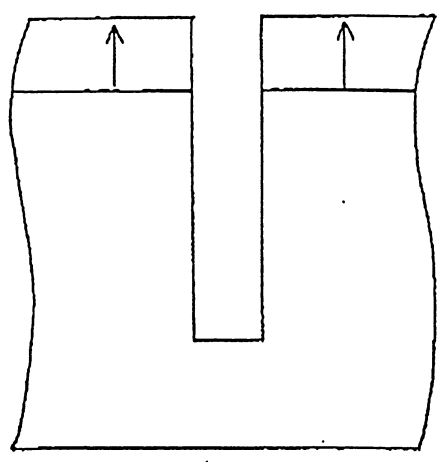
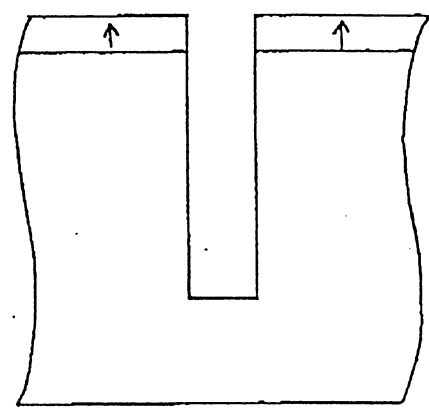


圖 11A



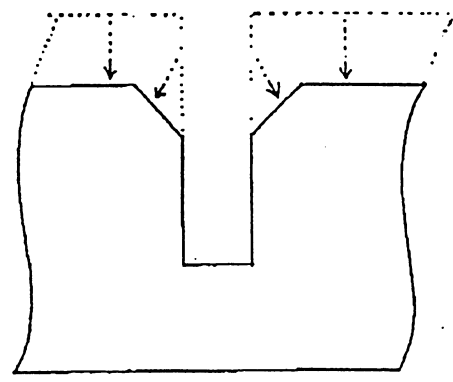
- $Ar = 50 \text{ sccm}$   
( $CH_2F_2 = 10 \text{ sccm}$ ,  $CF_4 = 30 \text{ sccm}$ )
- $CH_2F_2 = 20 \text{ sccm}$   
( $CF_4 = 30 \text{ sccm}$ ,  $Ar = 160 \text{ sccm}$ )
- $CF_4 = 50 \text{ sccm}$   
( $CH_2F_2 = 10 \text{ sccm}$ ,  $Ar = 160 \text{ sccm}$ )

圖 11B



- $Ar = 150 \text{ sccm}$   
( $CH_2F_2 = 10 \text{ sccm}$ ,  $CF_4 = 30 \text{ sccm}$ )
- $CH_2F_2 = 10 \text{ sccm}$   
( $CF_4 = 30 \text{ sccm}$ ,  $Ar = 160 \text{ sccm}$ )
- $CF_4 = 30 \text{ sccm}$   
( $CH_2F_2 = 10 \text{ sccm}$ ,  $Ar = 160 \text{ sccm}$ )

圖 11C



- $Ar = 250 \text{ sccm}$   
( $CH_2F_2 = 10 \text{ sccm}$ ,  $CF_4 = 30 \text{ sccm}$ )
- $CH_2F_2 = 5 \text{ sccm}$   
( $CF_4 = 30 \text{ sccm}$ ,  $Ar = 160 \text{ sccm}$ )
- $CF_4 = 10 \text{ sccm}$   
( $CH_2F_2 = 10 \text{ sccm}$ ,  $Ar = 160 \text{ sccm}$ )

圖 12

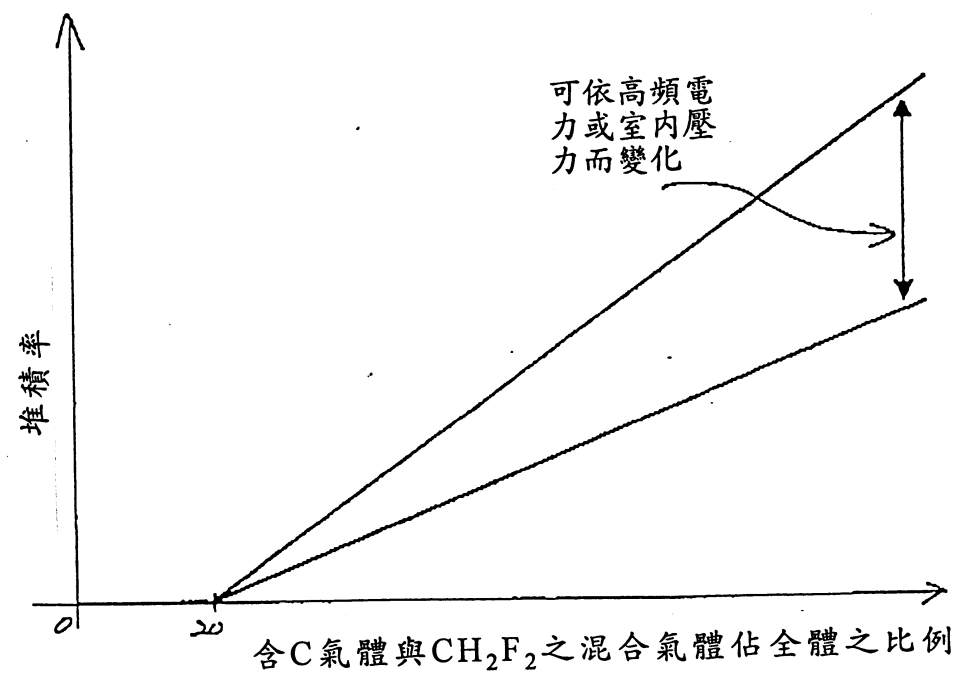
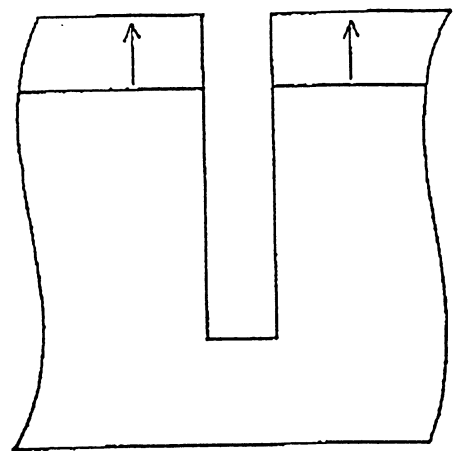
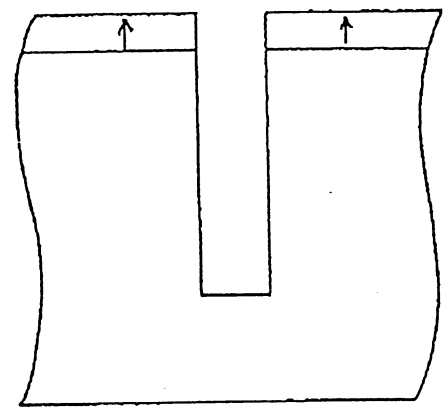


圖 13A



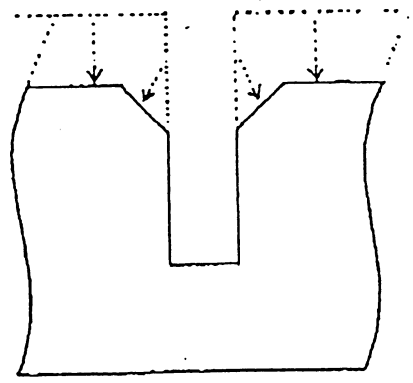
$CH_2F_2 = 10 \text{ sccm}$   
( $CF_4 = 100 \text{ sccm}$ )

圖 13B



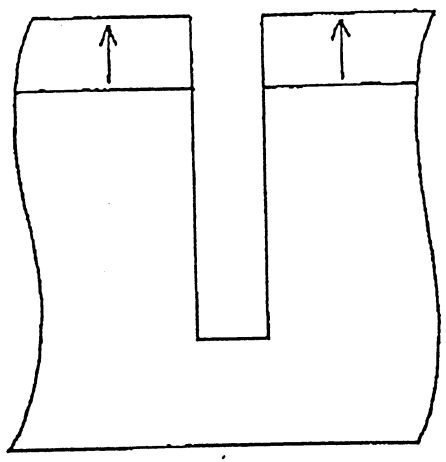
$CH_2F_2 = 5 \text{ sccm}$   
( $CF_4 = 100 \text{ sccm}$ )

圖 13C



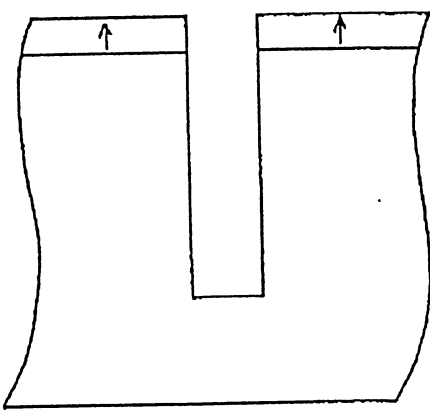
$CH_2F_2 = 3 \text{ sccm}$   
( $CF_4 = 100 \text{ sccm}$ )

圖 14A



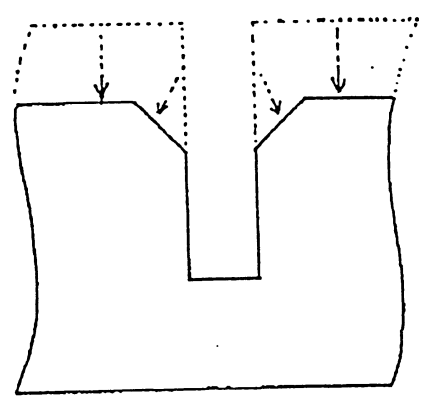
500W or 80mTorr

圖 14B



1000W or 40mTorr

圖 14C



1500W or 20mTorr

圖 15

