



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA DI INVENZIONE NUMERO	102015000086807
Data Deposito	22/12/2015
Data Pubblicazione	22/06/2017

Classifiche IPC

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	11	C	16	04

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	05	F	1	56

Titolo

DISPOSITIVO PER GENERARE UNA TENSIONE DI RIFERIMENTO COMPRENDETE UNA
CELLA DI MEMORIA NON VOLATILE

DESCRIZIONE dell'invenzione industriale dal titolo:

"Dispositivo per generare una tensione di riferimento comprendente una cella di memoria non volatile"

di: STMicroelectronics S.r.l., nazionalità italiana, Via C. Olivetti, 2 - 20864 Agrate Brianza (MB); STMicroelectronics Design and Application S.r.o., nazionalità ceca, Pobřežní 620/3, 186 00 PRAGA 8, Repubblica Ceca

Inventori designati: Marco PASOTTI, Fabio DE SANTIS, Roberto BREGOLI, Dario LIVORNESI, Sándor PETÉNYI

Depositata il: 22 dicembre 2015

TESTO DELLA DESCRIZIONE

Campo della tecnica

La descrizione si riferisce ad una nuova soluzione per la realizzazione di dispositivi elettronici per la generazione di tensioni di riferimento, che trovano diverse applicazioni anche in sistemi complessi.

Più in dettaglio la descrizione si riferisce ad applicazioni per generare riferimenti di tensione per sistemi ultra low power e con ridotta area.

Questa soluzione può essere utilizzata per riferimenti di tensione integrati (embedded) e per realizzare lo stadio principale dell'ingresso differenziale per un dispositivo LDO (Low Drop Out) con elevate prestazioni.

Sfondo tecnologico

I regolatori di tensione (VREG) svolgono un ruolo molto importante nell'elettronica moderna. Praticamente tutti i sistemi, indipendentemente dal tipo (analogico, digitale o misto) hanno bisogno di una alimentazione.

Le specifiche per la tensione di alimentazione di

sistemi complessi diventano molto stringenti rispetto a molti fattori come ad esempio il livello di precisione della tensione, capacità di generare corrente, risposta dinamica, e così via. Queste specifiche devono essere soddisfatte da un adeguato dispositivo di regolazione di tensione VREG.

Il valore assoluto della tensione regolata dipende principalmente dal riferimento interno del generatore di tensione (VREF). La maggioranza dei dispositivi attualmente sviluppati e venduti si basa sul principio di riferimento che sfrutta il Bandgap (BGR). Questo approccio è utilizzato attualmente in un'ampia gamma di regolatori di tensione.

L'implementazione Bandgap è relativamente semplice, ed è applicabile praticamente in qualsiasi tecnologia ed i parametri elettrici sono in grado di soddisfare la maggior parte delle attuali esigenze.

D'altra parte se qualche parametro elettrico è spinto fino all'estremo, l'implementazione Bandgap può uscire dal campo di applicazione e non essere più soddisfacente per alcune applicazioni con requisiti particolarmente stringenti.

Come detto, per il corretto funzionamento, tutti i prodotti elettronici richiedono almeno una tensione di riferimento. I valori della tensione di riferimento possono essere valori standard o valori customizzati, e tipicamente in quest'ultimo caso tali valori possono essere definiti in fase di fabbricazione oppure "programmati" e selezionati sul campo durante l'utilizzo del prodotto.

Pertanto, il generatore di tensione di riferimento è il blocco fondamentale presente in tutti i circuiti, compresi i circuiti completamente analogici e i circuiti con segnali misti, come ad esempio i convertitori

analogico-digitali A/D e D/A, i convertitori DC-DC, i regolatori, i regolatori lineari LDO (Low Drop Out), e i riferimenti in corrente e come potenziale di confronto nei comparatori di tensione.

Le nuove applicazioni, quali ad esempio le applicazioni indossabili (wearable), come gli smartwatch o altri dispositivi, richiedono normalmente una alimentazione molto bassa.

Come già accennato, uno dei più utilizzati ed efficaci generatori di riferimento è quello cosiddetto a Bandgap; il suo nome deriva dal fatto che la tensione fornita in uscita è proporzionale al valore dell'energia di Bandgap (o banda proibita) a zero gradi Kelvin del semiconduttore utilizzato (normalmente viene utilizzato il silicio, che ha una banda proibita di 1,12 eV a temperatura ambiente).

Il principio su cui si basano i circuiti Bandgap, specialmente per gli oscillatori LCO (Liquid Crystal Oscillator), non può soddisfare i requisiti richiesti dai sistemi a bassa potenza (ultra-low power).

In particolare, il valore della tensione di riferimento dipende dal semiconduttore utilizzato per realizzare il dispositivo e questo varia molto al variare della temperatura.

In varie forme di attuazione di soluzioni note, il riferimento di tensione viene realizzato sommando due tensioni, opportunamente pesate, con coefficienti di temperatura inversi uno rispetto all'altro. Ad esempio, in un generatore a Bandgap, la tensione con coefficiente negativo CTAT (Complementary To Absolute Temperature) viene realizzata con un diodo polarizzato direttamente mentre quella con coefficiente positivo PTAT (Proportional To Absolute Temperature) viene realizzata tramite differenza

di tensione tra due diodi con rapporto di area differente.

Inoltre, sono solitamente necessarie operazioni di buffering per aumentare la capacità di pilotaggio o per ottenere tensioni differenti (ad esempio valori sopra al valore V_{bg}) e sono necessari elevati valori di resistenza (dell'ordine dei $G\Omega$) per ottenere una precisa tensione di trimming (scala di corrente ultra bassa).

Tuttavia l'impiego di una corrente ultra bassa comporta molti svantaggi, come ad esempio perdite, condizioni di startup difficili, dinamiche nel Bandgap.

Pertanto, in un numero sempre maggiore di applicazioni l'utilizzo di riferimenti di tensione basati sul principio Bandgap (integrato o Low Drop Out) non è possibile a causa dei vincoli di consumo energetico e di utilizzo di area.

Un modo classico per realizzare quanto appena descritto è mostrato in Figura 1, dove è illustrata una tipica architettura di generatore di riferimento che sfrutta il principio Bandgap.

In tale realizzazione, al posto dei diodi sopra citati, vengono utilizzati due transistori bipolari Q1 e Q2 con connessione a diodo. La tensione di riferimento viene prelevata all'uscita di un amplificatore operazionale. I transistori bipolari Q1 e Q2 sono collegati rispettivamente al morsetto invertente e al morsetto positivo tramite le resistenze R1, R2 e R3.

Queste sono soluzioni ampiamente utilizzate, che possono essere trasformate in soluzioni "particolari" o customizzate in funzione della presenza di transistori bipolari verticali o laterali e di particolari vincoli di design/tecnologici.

Queste soluzioni garantiscono precisioni dell'ordine del 2% e consumi di corrente superiori ad alcuni μA (come

descritto nel documento "Low Voltage, Low Power CMOS Bandgap References", Prof. K. Phang, Department of Electrical and Computer Engineering, University of Toronto).

In alcuni casi, per recuperare le variazioni di processo, derivate anche dall'utilizzo di resistori, al fine di ottenere una tensione di riferimento precisa può essere necessaria anche una operazione di calibrazione, che poi deve essere memorizzata e caricata in fase di avvio del SoC (System on Chip), con conseguente dispendio di area e complicazioni architettoniche aggiuntive.

Le classiche implementazioni Bandgap potrebbero inoltre richiedere l'aggiunta di un buffer a valle quando è necessaria una capacità di pilotaggio in corrente, oppure l'aggiunta di un amplificatore operazionale in configurazione invertente per raggiungere tensioni più alte della tensione di Bandgap resa disponibile da tali implementazioni.

La soluzione che risolve questi problemi comporta quindi una notevole occupazione d'area aggiuntiva, e questo diventa un problema per i dispositivi di ridotte dimensioni, come ad esempio i dispositivi indossabili.

Inoltre, sempre in relazione alle implementazioni classiche, in tali soluzioni sorgono problematiche legate all'utilizzo di componenti passivi quali i resistori ed è richiesta una particolare attenzione in fase di layout.

La necessità di utilizzare resistori comporta una notevole occupazione d'area, spesso dipendente dai dispositivi presenti nella tecnologia di design.

La particolare attenzione che deve essere posta in fase di layout per implementare le regole di matching per compensare le disuniformità di processo comporta

un'ulteriore occupazione di area, aumentando le dimensioni dei dispositivi.

In aggiunta, come per i resistori, anche il layout dell'amplificatore operazionale richiede attenzione nel posizionamento e nell'implementazione del matching per la coppia differenziale e per gli specchi di corrente. Queste attenzioni servono per ridurre l'offset sistematico e la disuniformità di processo.

A titolo di esempio, aree dell'ordine di $0,1\text{mm}^2$ sono tipiche per queste applicazioni in tecnologia BCD (BIPOLAR-CMOS-DMOS).

Un esempio di parametro molto restrittivo è la corrente di riposo (I_Q) che rappresenta il consumo del regolatore a riposo. Ci sono diversi prodotti sul mercato che spingono verso il basso il livello della corrente di riposo (I_Q) fino all'ordine dei 500nA in condizioni di nessun carico.

Questo rappresenta l'intero consumo di corrente del regolatore di tensione in modo che si possa stimare che il regolatore lavori con circa 100nA .

È possibile costruire un dispositivo basato sul principio Bandgap a questo livello con parametri elettrici soddisfacenti e area di silicio ragionevole.

Il problema potrebbe nascere se il regolatore di tensione richiedesse di lavorare con una corrente I_Q totale di soli 20nA . Anche se in teoria il dispositivo con principio Bandgap potrebbe lavorare con pochi nA di corrente di polarizzazione, il fatto che esso abbia bisogno di resistenze aventi valori dell'ordine dei $\text{G}\Omega$, rende tale soluzione inutilizzabile. Anche le considerazioni sugli effetti parassiti (correnti di perdita, capacità parassite) costringe ad abbandonare la realizzazione dei dispositivi

con principio Bandgap e di pensare ad altri principi.

Sul mercato sono presenti molteplici soluzioni per ovviare alle sopra riportate limitazioni.

In termini di riduzione dei consumi le più interessanti sono basate su riferimenti di tensione contenuti in celle di memoria non volatili.

L'ispirazione può essere trovata nei principi esistenti utilizzati per memorizzare le informazioni digitali in celle di memoria non volatili elettricamente programmabili/cancellabili (EEPROM).

Le informazioni digitali possono essere memorizzate in una cella di memoria nella forma di carica elettrica, pertanto anche le informazioni analogiche possono essere memorizzate in modo analogo.

L'idea è già stata utilizzata, ad esempio la società Intersil impiega una cella di memoria nei suoi prodotti che generano un riferimento di tensione (vedere ad esempio il documento <http://www.intersil.com/en/products/data-converters/voltage-references.html>).

La cella di memoria in sé è stata prodotta e fabbricata dalla società Xicor nel 2003, e nota con il nome cella a Floating Gate Analogico (FGA) descritta in <http://www.businesswire.com/news/home/20030422005199/en/Xicor-Announces-Precision-Voltage-Reference-Technology-Breakthrough>.

La Figura 2 mostra una cella di memoria non volatile analogica, ovvero lo schema di principio di una cella FGA commercializzata della società Xicor.

La cella utilizza un terminale flottante creato tra due condensatori, ovvero il condensatore esterno CE e il condensatore Gate-to-Source del MOSFET. La tensione memorizzata nella cella può essere programmata tramite due

dispositivi che sfruttano il tunneling per fornire o rimuovere una carica.

Fattore chiave per la cella analogica è il mantenimento della carica (tensione) che deve durare per tutta la vita del dispositivo nelle peggiori condizioni (worst case). Per questo motivo le perdite di tutti i componenti attorno al terminale flottante devono essere minimizzate.

Una possibile realizzazione delle implementazioni alternative al Bandgap, è illustrata ad esempio nella Figura 3.

La Figura 3 mostra lo schema di principio di riferimenti di tensione basati su celle di memoria non volatili NVM (Non-Volatile Memory).

Tali ulteriori soluzioni sono descritte ad esempio nei documenti: US 7859911 B2, della stessa Richiedente, <http://www.ece.utah.edu/~harrison/papers/TCASII2001.pdf>, e <http://ww1.microchip.com/downloads/en/DeviceDoc/52095A.pdf>.

Scopo e sintesi

Nello scenario delineato in precedenza, è pertanto sentita l'esigenza di tecniche che permettano di ottenere dei dispositivi in grado di generare dei riferimenti di tensione precisi risolvendo i suddetti problemi di occupazione di area e di forte dipendenza dalla temperatura.

In particolare la soluzione riguarda un dispositivo per generare una tensione di riferimento comprendente una prima cella di memoria non-volatile comprendente un transistor di Control Gate e un transistor di lettura.

Il transistor di Control Gate comprende un terminale di gate, un body e un primo e un secondo terminale di

conduzione, in cui il primo e il secondo terminale di conduzione sono tra loro accoppiati a formare un terminale di control gate.

Inoltre, il transistor di lettura comprende un terminale di gate accoppiato al terminale di gate (Gcg) del transistor di Control Gate per formare un terminale di Floating Gate, un body e un terzo e un quarto terminale di conduzione.

Il dispositivo comprende anche una seconda cella di memoria equivalente.

Preferibilmente il terminale di source della prima cella di memoria non-volatile e il terminale di source della seconda cella di memoria equivalente sono connessi tra loro.

Infine, la tensione di riferimento viene prelevata sul terminale di Floating Gate ed è determinata dalle condizioni di alimentazione dei terminali di conduzione delle celle di memoria.

Le celle di memoria analogiche non volatili (NVM) consentono la realizzazione di dispositivi elettronici con prestazioni elettriche eccellenti. In particolare il consumo di corrente, che non può essere spinto sotto certi limiti con la soluzione convenzionale (riferimento a Bandgap), può essere significativamente ridotto dall'applicazione della cella NVM.

Un regolatore di tensione avente un consumo minimo di corrente di 20nA è stato realizzato utilizzando tale cella. Il rendimento complessivo del dispositivo è paragonabile a quello dei dispositivi convenzionali, ma in condizioni di assenza di carico applicato è stato raggiunto un consumo di corrente di soli 20nA. Vi sono ulteriori vantaggi della cella, la possibilità di programmare la tensione

memorizzata ad un valore desiderato e anche la possibilità di cancellare la cella.

Le rivendicazioni formano parte integrante della descrizione di una o più forme di attuazione come qui fornite.

Breve descrizione delle figure

Una o più forme di attuazione verranno ora descritte a puro titolo di esempio non limitativo, con riferimento alle figure annesse, in cui:

- la Figura 1 mostra un circuito di generazione di tensione Bandgap,
- la Figura 2 mostra una cella di memoria non volatile analogica, la cella FGA della società Xicor,
- la Figura 3 mostra un dispositivo di generazione di tensione basato su una cella di memoria,
- la Figura 4 MOSFET Floating Gate in tecnologia a doppio polysilicio,
- la Figura 5 cella di memoria Low Cost EEPROM in tecnologia a singolo polysilicio,
- la Figura 6 mostra un diagramma a blocchi di un dispositivo LDO,
- la Figura 7 mostra una implementazione di una cella di memoria non volatile a singolo polysilicio,
- le Figure 8A e 8B mostrano forme di attuazione della soluzione qui proposta, e
- le Figura 9 e 10 mostrano due implementazioni di un dispositivo LDO.

Descrizione dettagliata

Nella seguente descrizione sono illustrati uno o più dettagli specifici, mirati a fornire una comprensione

approfondita di varie forme di attuazione esemplificative. Le forme di attuazione possono essere ottenute senza uno o più di tali dettagli specifici, oppure attraverso altri procedimenti, componenti, materiali, ecc.. In altri casi, strutture, materiali, o operazioni note non sono rappresentate o descritte in dettaglio per evitare di oscurare alcuni aspetti delle forme di attuazione.

Un riferimento ad "una forma di attuazione" nel contesto della presente descrizione è destinato ad indicare che una particolare configurazione, struttura o caratteristica descritta in relazione alla forma di attuazione è compresa in almeno una forma di attuazione. Per cui, espressioni quali "in una forma di attuazione", eventualmente presenti in uno o più punti della presente descrizione, non fanno necessariamente riferimento ad una stessa forma di attuazione. Inoltre, particolari configurazioni, strutture o caratteristiche possono essere combinati in qualsiasi modo adeguato in una o più forme di attuazione.

I riferimenti qui utilizzati sono forniti semplicemente per convenienza e quindi non definiscono l'ambito di protezione o la portata delle forme di attuazione.

È stata sviluppata un diversa implementazione della cella di memoria non volatile analogica (Analogic NVM). La cella è stata sviluppata in modo specifico per l'applicazione nei regolatori di tensione di Low Drop Out (LDO).

Naturalmente questo fatto non limita la sua applicazione in altri tipi di circuiti integrati (IC).

In aggiunta, tale cella contiene grandi potenzialità per la realizzazione di riferimenti di tensione, che in

molti casi portano alla sostituzione della soluzione convenzionale a Bandgap BGR.

La soluzione qui descritta si poneva principalmente due obiettivi primari, ovvero, l'integrazione delle celle all'interno dei regolatori di tensione LDO e l'uso della tecnologia a singolo strato di polisilicio.

Il secondo obiettivo implica l'uso di una soluzione a basso costo EEPROM dove invece della tecnologia a doppio polisilicio (polySi) come mostrato in Figura 4 viene utilizzata una tecnologia a singolo polisilicio, come mostrato nella Figura 5.

Il terminale flottante nella Figura 5, viene creato dalla struttura laterale contenente due MOSFET adiacenti con terminali di gate cortocircuitati che rappresentano il terminale di Floating Gate.

L'area attiva dei due transistori MOSFET presenti è ripartita in modo non uniforme. Questo causa una distribuzione non uniforme della tensione sui due condensatori collegati in serie. Applicando una alta tensione attraverso la struttura, il condensatore con area minore è soggetto ad una tensione maggiore e si avvicina alla tensione di rottura che porta all'effetto tunnel Fowler-Nordhaim.

Questo porta al passaggio della carica verso il Floating Gate. Dopo la rimozione della tensione di programmazione la carica rimane intrappolata per molto tempo. Applicando una tensione con polarità opposta la carica immagazzinata può essere rimossa tramite lo stesso effetto fisico (Fowler-Nordhaim).

Il fattore chiave che influenza il mantenimento della carica è lo spessore del tunnel di ossido, come mostrato dall'esempio riportato nella Tabella 1.

Tabella 1: esempi di tempo di mantenimento della carica in funzione dello spessore dell'ossido

Spessore ossido [nm]	Tempo per perdita di carica del 20%
4.5	4 minuti
5	1 giorno
6	0.5 fino a 6 anni

Oltre a questi obiettivi esistono anche ulteriori specifiche elettriche che devono essere soddisfatte per i dispositivi LDO.

Pertanto, varie forme di attuazione prevedono di integrare una cella di memoria non volatile in uno stadio differenziale dell'amplificatore di errore LDO.

Il diagramma principale è mostrato nella Figura 6. Pertanto, la tensione immagazzinata si comporta come un offset dello stadio differenziale. Ci sono due approcci possibili. La tensione di offset è incorporata in un singolo MOSFET o in entrambi i MOSFET del differenziale.

Sono pertanto possibili diverse forme di attuazione: alcune basate su una realizzazione Single Ended e alcune basate sulla realizzazione differenziale (vedere le Figure 9 e 10).

Ogni forma di realizzazione ha alcuni vantaggi, ma comporta anche degli inconvenienti. In particolare, la versione Single Ended è più facile da gestire in termini di programmazione, ma la precisione potrebbe essere peggiore. D'altra parte la versione differenziale è più difficile da programmare, ma la precisione può essere più elevata.

Come già detto, quindi, una o più forme di attuazione possono essere atte a generare una tensione di riferimento V_{ref} utilizzando un'innovativa integrazione di una cella di memoria analogica non volatile NVM Cell come riferimento di

tensione con caratteristiche simili ai riferimenti di tensione realizzati con circuiti Bandgap.

Il nuovo campo di utilizzo impone considerazioni di carattere elettrico diverse rispetto al tipico utilizzo della cella come memoria digitale.

Varie forme di attuazione propongono una soluzione per la realizzazione di un dispositivo elettronico per la generazione di tensioni di riferimento che siano stabili e che siano indipendenti dalla temperatura.

Più in particolare la seguente descrizione si basa sul concetto di Floating Gate FG che si ha in una cella di Memoria Non Volatile NVM. Per Floating-Gate si intende un nodo o terminale che presenta un potenziale elettrico definito in fase di programmazione/cancellazione e che permane pressoché invariato nel tempo (in modo indipendente dalla temperatura).

In varie forme di attuazione, la cella di memoria diventa l'elemento fondamentale della coppia differenziale di un amplificatore operazionale retroazionato, generando in uscita una tensione di riferimento direttamente dipendente dal potenziale presente sul terminale di Floating Gate FG (ovvero proporzionale alla carica immagazzinata nella memoria).

Pertanto, è possibile associare all'elemento di memoria una nuova connotazione "analogica" rispetto alla consueta funzione "digitale".

Varie forme di attuazione si basano sull'impiego di un'innovativa cella di memoria di tipo Single Poly Floating Gate in grado di essere implementata utilizzando un processo CMOS standard e senza la necessità di utilizzare maschere aggiuntive. Pertanto tale cella di memoria è realizzata in tecnologia a singolo polysilicio.

La cella di memoria qui descritta e utilizzata è già stata oggetto di un brevetto ottenuto dalla stessa Richiedente dal titolo "Dispositivo di memoria con singolo transistor di selezione", rilasciato a gennaio 2013 con il numero IT0001397228.

Questa cella di memoria ha trovato un notevole impiego nelle applicazioni EEPROM (Electrically Erasable Programmable Read-Only Memory) poiché, come queste ultime, anche questa cella di memoria consente la modifica dell'informazione contenuta al suo interno con bassissimi consumi di corrente permettendo un elevato parallelismo attraverso il solo fenomeno di Fowler Nordheim, o tunnelling di Fowler Nordheim.

Il tunneling è il meccanismo di conduzione attraverso uno strato di isolante e si basa sul fenomeno per il quale la funzione d'onda dell'elettrone può penetrare attraverso una barriera di potenziale. Questo meccanismo presenta una forte dipendenza dalla tensione applicata, ma è essenzialmente dipendente anche dalla temperatura.

Come noto, i meccanismi di tunnelling possono essere diretti o di tipo Fowler-Nordheim (FN). Il fenomeno Fowler-Nordheim consiste nel tunnelling di elettroni dal metallo alla banda di conduzione del semiconduttore, attraverso una barriera di potenziale di forma triangolare.

Varie forme di attuazione permettono di realizzare in modo vantaggioso riferimenti di tensione di precisione (ad esempio dell'ordine di $\pm 3\%$, con possibilità di precisioni anche maggiori), compensando le variazioni di processo con un notevole risparmio di area e di consumi ($\leq 1\mu\text{A}$).

In varie forme di attuazione si sfrutta la possibilità di creare potenziali elettrici in un terminale flottante resa disponibile dall'utilizzo di celle di memoria non

volatili come coppia differenziale di una struttura ad amplificatore operazionale, come mostrato nella Figura 8.

Sono proposte due forme di attuazione alternative per l'implementazione di questa nuova funzionalità come meglio spiegato nel seguito.

In entrambe le forme di attuazione, vedere Figura 7, il terminale di Floating Gate FG è realizzato connettendo insieme due transistori NMOS, ovvero NMOS1 e NMOS2 tramite i loro rispettivi terminali di Gate.

Il terminale di Floating Gate FG è pertanto ricavato sul nodo di Gate comune ai due transistori NMOS1 e NMOS2. In particolare il primo transistore NMOS1 è il transistore di Control Gate MCG, mentre il secondo transistore NMOS2 è il transistore di lettura Mread. Pertanto i rispettivi gate vengono indicati come Gcg e Gread.

In particolare, nel primo transistore MCG il terminale di Drain Dcg e quello di Source Scg sono connessi tra loro e definiscono il terminale di Control Gate CG.

Il secondo transistore Mread ha invece tre terminali di conduzione ovvero Dread, Sread e FWread.

Sul transistore MCG vengono applicate le tensioni di programmazione per modificare la tensione al terminale intermedio FG di Floating Gate.

In varie forme di attuazione il fenomeno di Fowler-Nordheim viene utilizzato per programmare e per cancellare la cella analogica di memoria non volatile NVMCE. A seconda della tensione applicata al terminale flottante intermedio NW e in base alle condizioni degli altri terminali di conduzione Dread, Sread e FWread della cella di memoria è possibile programmare o cancellare la cella di memoria.

Come detto in precedenza, sono possibili due diverse implementazioni.

In una prima forma di attuazione la cella possiede un transistor di Control Gate MCG (che funge da condensatore per pilotare capacitivamente il terminale FG di Floating Gate) più grande rispetto alle dimensioni del transistor di lettura Mread. Questa forma di attuazione può essere definita come "BIG Control Gate", in quanto in questo caso le dimensioni dell'area A_{cg} del transistor di Control Gate MCG sono pari a sei volte l'area A_{read} del transistor di lettura Mread, ovvero $A_{cg}=A_{read}*6$.

In una seconda forma di attuazione la cella possiede un transistor di Control Gate MCG più piccolo rispetto alle dimensioni del transistor di lettura Mread. Questa forma di attuazione può essere definita come "SMALL Control Gate", e in questo caso le dimensioni dell'area del transistor di Control Gate sono pari ad un sesto dell'area A_{read} del transistor di lettura Mread, ovvero $A_{cg}=A_{read}/6$.

Le celle di memoria sono descritte nel documento US 8,693,256.

Questa flessibilità geometrica di integrazione rende ancora più generale l'applicazione consentendo di adattare la soluzione a diverse esigenze di dimensionamento dell'operazionale.

Le funzionalità di programmazione e cancellazione sono riportate qui di seguito e raccolte nella Tabella 2.

Nella Tabella 2 vengono evidenziate le tre operazioni base da effettuarsi per l'utilizzo della innovativa cella di memoria.

Tabella 2: Esempio di potenziali di pilotaggio della cella analogica di memoria non volatile NVMCE nelle diverse operazioni; cella realizzata in tecnologia NMOS

Cell Type	Operation	FG	CGcg	NW	PWread	Sread	Dread
Big Control Gate	Program	V↓	Positive High V	Positive High V	0	0	0
	Erase	V↑	0	Positive High V	Positive High V	Positive High V	Positive High V
	Operating	Retention	0	Supply	0	Source voltage	Drain voltage
Small Control Gate	Program	V↓	0	Positive High V	Positive High V	Positive High V	Positive High V
	Erase	V↑	Positive High V	Positive High V	0	Positive High V	0
	Operating	Retention	0	Positive High V	0	Source voltage	Drain voltage

Entrambe le forme di attuazione proposte permettono di polarizzare la coppia differenziale con correnti dell'ordine delle centinaia di nA, permettendo la realizzazione di generatori di riferimento con consumi inferiori al mA.

Nella Tabella 2 sono mostrati esempi di potenziali di pilotaggio della cella di memoria analogica non volatile NVMCE per le due forme di attuazione, ed in particolare per il Big e lo Small Control Gate.

Per ciascuna operazione prevista, in particolare programmazione, cancellazione o funzionamento, vengono indicati i potenziali da applicare ai singoli terminali di controllo e di conduzione ed in particolare a: CGcg, NW, PWread, Sread, e Dread e viene indicata anche la reazione che si ottiene sul terminale FG di Floating Gate (V↓ tensione diminuisce, V↑ tensione aumenta e Retention tensione resta invariata).

In particolare il potenziale del terminale Floating Gate può essere modificato come descritto in precedenza tramite accesso esterno ai terminali CG e NW, o integrando un circuito generatore di alta tensione (Charge pump).

Come già indicato in precedenza le celle illustrate nella Figura 7 possono essere integrate e inserite come

coppia differenziale di un amplificatore operazionale, come illustrato nelle Figure 8.

La Figura 8A mostra la forma di attuazione Single Ended, mentre la Figura 8B mostra la forma di attuazione Differenziale.

Nella Figura 8 sono illustrate due possibili implementazioni che integrano una cella di memoria non volatile.

Una o più forme di attuazione possono basarsi su una configurazione "Single Ended" (Figura 8A) che prevede una cella di memoria non volatile o su una configurazione "Differential" (Figura 8B) che prevede l'impiego di due celle di memoria non volatili, come meglio spiegato nel seguito.

Nel seguito non verrà descritta in dettaglio la realizzazione dell'operazionale per la parte di polarizzazione e compensazione poiché tali caratteristiche non sono d'interesse in prima analisi per la soluzione qui proposta.

La cella di memoria proposta è una diversa integrazione fisica ed architetturale che offre molti vantaggi.

A differenza della cella "digitale" descritta nel documento US 8,693,256 la cella di memoria qui utilizzata acquisisce una nuova connotazione "analogica".

Rispetto alla soluzione nota è stato rimosso il selettore non più necessario per questa particolare applicazione e si utilizza vantaggiosamente il meccanismo di iniezione ed estrazione di elettroni dal Floating Gate (fenomeno Fowler-Nordheim), traendo così vantaggio da tutte le considerazioni di affidabilità già in possesso della tecnologia FG senza maschere aggiuntive.

Il dimensionamento può essere reso variabile, in modo da mantenere un grado di flessibilità da sfruttare nel design della struttura differenziale.

In una forma di attuazione, illustrata in Figura 8A, la soluzione prevede una unica cella analogica NVMCE (Single Ended Approach).

Tale configurazione riduce l'area utilizzata e richiede l'accessibilità di un singolo terminale di Control Gate (CGcg) per permettere la programmazione/cancellazione della cella di memoria.

Questa soluzione può essere implementata specchiando la coppia differenziale, quindi con la cella analogica Cost-Effective NVMCE collegata sul ramo invertente e una cella equivalente EQ collegata sul lato non invertente.

In questo caso la cella equivalente EQ ha il terminale di Control Gate CGread connesso al Floating Gate del transistor di lettura Mread della cella equivalente e pertanto non può immagazzinare carica (vedere figura 8A).

Pertanto, il dispositivo per generare una tensione di riferimento Vref comprende un amplificatore operazionale AO, una prima cella di memoria non-volatile NVMCE comprendente un transistor di Control Gate MCG e un transistor di lettura Mread.

Il transistor di Control Gate MCG comprende un terminale di gate Gcg, un body e un primo Dcg e un secondo Scg terminale di conduzione connessi tra loro a formare un terminale di control gate CGcg.

Diversamente, il transistor di lettura Mread comprende un terminale di gate Gread, connesso al terminale di gate Gcg del transistor di Control Gate per formare un terminale di Floating Gate FG, un body e un terzo Dread e un quarto Sread terminale di conduzione.

Il dispositivo comprende anche una seconda cella di memoria.

In varie forme di attuazione Figura 8A la seconda cella è una cella di memoria equivalente EQ, mentre in forme di attuazione alternative (Figura 8B) la seconda cella è anch'essa una cella di memoria non-volatile NVMCE.

Nel dispositivo qui descritto il terminale di source SreadNVM della prima cella di memoria non-volatile NVMCE e il terminale di source Sreadeq della seconda cella di memoria sono connessi tra loro.

Inoltre, il terminale di control gate CGcg della prima cella di memoria non-volatile NVMCE è collegato sul ramo invertente dell'amplificatore operazionale AO e il terminale di control gate CGeq di detta seconda cella di memoria equivalente EQ è collegato sul lato non invertente.

Infine, la tensione di riferimento Vref viene prelevata sul terminale di Floating Gate FG ed è determinata dalle condizioni di alimentazione dei terminali di conduzione CGcg, Sread, e Dread delle due celle di memoria NVMCE, EQ.

In una forma di attuazione alternativa, illustrata in Figura 8B, la soluzione prevede l'impiego di due celle NVMCE (Differential Approach).

In tale forma di attuazione si hanno due terminali di Control Gate CGcg e CGeq operativi ed accessibili.

Tale configurazione permette migliori prestazioni in termini di ritenzione del potenziale configurato oppure, a pari proprietà di ritenzione, di raggiungere tensioni di uscita più elevate.

Questa forma di attuazione richiede però l'accessibilità di due terminali (entrambi i Control Gate delle due celle) in fase di programmazione/cancellazione.

In questa forma di attuazione si richiede particolare attenzione nella formazione del terminale di CG della cella sul percorso di retroazione.

In varie forme di attuazione è possibile definire la tensione di uscita V_{ref} o V_{OUT} configurando opportunamente il potenziale del terminale FG Floating Gate della cella di memoria, svincolandosi dalla tensione di Bandgap del semiconduttore utilizzato.

Le forme di attuazione proposte mostrano pertanto dei vantaggi realizzativi rispetto alle normali implementazioni che vengono riassunti di seguito.

Come primo vantaggio si ha che la tensione generata sul terminale di Floating Gate è indipendente dal tipo di semiconduttore utilizzato.

Inoltre si ha una riduzione dei consumi per raggiungere analoghe prestazioni.

Grazie alla struttura utilizzata si ha una buona indipendenza della tensione d'uscita dalla temperatura.

Un ulteriore vantaggio è rappresentato dalla riduzione dei componenti passivi e attivi, che comportano quindi una riduzione della disomogeneità di processo intrinseco della struttura.

Riducendo il numero di componenti necessari è inoltre possibile ridurre l'occupazione di area della struttura per analoghe prestazioni, caratteristica molto positiva nei dispositivi indossabili).

Inoltre, non sono necessarie particolari attenzioni a livello di layout per eliminare l'offset sistematico che viene ad essere compensato intrinsecamente in fase di programmazione/cancellazione della cella di memoria analogica.

Rispetto alle soluzioni note pertanto non si rende

necessaria l'introduzione di buffer a valle per pilotare le correnti, perché l'amplificatore operazionale può essere dimensionato con la dovuta capacità di pilotaggio per generare le correnti richieste.

Con le forme di attuazione qui descritte vi è la possibilità di regolare tensioni più alte rispetto alla soluzione nota Bandgap, senza la necessità di amplificatori operazionali in cascata e annessi resistori per implementare strutture a guadagno; si ha pertanto un intrinseco guadagno in area e un aumento di precisione.

Ulteriori vantaggi sono individuati in una intrinseca configurabilità della struttura, che non richiede calibratura digitale ma solo la configurazione del potenziale del terminale FG e quindi permette di poter ottenere tensioni di uscita VOUT non fissate in fase di design, ma definite in corso d'opera chip per chip in funzione delle esigenze attraverso opportuni algoritmi di programmazione.

In aggiunta sono possibili due implementazioni differenti in funzione dei vincoli di design e perimetro di utilizzo (mission profile) o di altre scelte/necessità di progettazione.

Per migliorare gli aspetti di ritenzione del potenziale analogico flottante presente nel Floating Gate, si propone una suddivisione della cella in diversi elementi in parallelo in modo da ridurre gli effetti di perdita di cariche elettriche dal Floating Gate dovuta all'insorgenza di difettosità su campo. Tale fenomeno infatti, se locale, con questa soluzione avrebbe impatto unicamente sull'elemento in cui si evidenzia la perdita di carica, con una incidenza minore sul totale delle cariche immagazzinate.

La cella analogica Cost-Effective NVMCE può essere implementata anche in versione PMOS per generare un riferimento duale rispetto alla supply VIN (Figure 9 e 10).

Sia con l'implementazione PMOS che con l'implementazione NMS sono raggiungibili tensioni fino a 0V (Tabella 3): soluzione questa che introduce oggettivi vantaggi in alcune applicazioni/utilizzi particolari preservando tutti gli aspetti sopra elencati della versione NMOS.

Tutte le considerazioni precedenti valgono anche per questa implementazione.

Tabella 3 potenziali di pilotaggio della cella analogica di memoria non volatile NVMCE nelle diverse operazioni realizzata in PMOS

Cell Type	Operation	FG	CG	NW	S	D
PMOS Big Control Gate	Program	V↓	Positive High V	0	0	0
	Erase	V↑	0	Positive High V	Positive High V	Positive High V
	Operating	Retention	Supply	Supply	Source voltage	Drain voltage
PMOS Small Control Gate	Program	V↓	0	Positive High V	Positive High V	Positive High V
	Erase	V↑	Positive High V	0	0	0
	Operating	Retention	Supply	Supply	Source voltage	Drain voltage

Come già detto in precedenza, la principale applicazione dei dispositivi regolatori di tensione qui descritti è nei regolatori LDO con corrente di riposo ultra-bassa.

L'obiettivo principale per lo sviluppo LDO era quello di raggiungere una corrente operativa IQ impostata a 20nA. Si tratta di corrente ultra-bassa che non permette l'uso di strutture complesse.

L'architettura deve riflettere anche i requisiti di

stabilità dell'anello. Sulla base di questi requisiti si è deciso di impostare il numero di stadi a 2 stadi differenziali più un MOSFET di potenza.

Lo schema principale del regolatore è mostrata nella Figura 4. La coppia differenziale che incorpora la cella Analogica NVM si basa su MOSFET a canale N con gate flottanti. La polarità dei transistori è stata selezionata per garantire la tensione di ingresso comune del differenziale fino al livello della tensione di alimentazione (VIN).

Poiché una corrente IQ di 20nA non consente l'uso di nessun partitore resistivo, il livello di tensione VREF internamente memorizzato deve essere uguale al livello nominale VOUT. Per questo motivo l'amplificatore operativo AO lavora in configurazione con guadagno unitario.

Sono state sviluppate due diverse implementazioni del circuito regolatore LDO. Nel primo viene utilizzata la configurazione Single Ended della cella Analogica NVM, già descritto in precedenza.

Lo schema è mostrato in Figura 9. La cella di memoria è rappresentata dalla coppia differenziale (M9, M8). In questa configurazione solo uno dei due MOSFET (quello di sinistra - M9) mantiene la carica/tensione programmata.

Il secondo (quello di destra - M8) ha il terminale di gate flottante cortocircuitato con il control gate in modo che esso non sia in grado di memorizzare alcuna carica/tensione; invece esso funziona in modalità attiva, ricevendo il segnale di retroazione dall'uscita.

Elettricamente la coppia si comporta come coppia differenziale standard, ma con un certo offset programmato.

La coppia è accoppiata ad un insieme di specchi di

corrente (M1, M2, M3, M4, M12, M14, M15, M16) che formano uno stadio differenziale completo. Per migliorare alcune caratteristiche elettriche del LDO, in particolare la tensione di dropout (VDROP), è necessario massimizzare l'oscillazione della tensione di uscita dello stadio. Per queste ragioni la struttura contiene quattro rami che garantiscono una uscita rail-to-rail.

La generazione della corrente di tail (ITail) rappresenta un problema perché il livello è appena di 9nA.

Tale problema è risolto dal generatore VGS/R basato su una tecnica di auto-polarizzazione. Il ciclo di auto-polarizzazione è incorporato nel lato sinistro dello stadio differenziale.

Utilizzando il potenziale cascode della parte laterale bassa (gate di M10, M11) e con l'aiuto di M13 sulla resistenza R3 è definito un potenziale costante, con conseguente corrente di polarizzazione costante.

Il valore della resistenza R3 è parecchie decine di M Ω . Siccome il generatore ITail è auto-polarizzato, ha due punti di lavoro stabili. Il punto operativo a corrente zero viene evitato da un circuito di avvio X1 che inietta una piccola corrente di perdita continua e una maggiore corrente pulsata durante il periodo di avvio.

Il circuito di avvio è molto importante perché l'amplificatore contiene importanti elementi di immagazzinamento di carica, ma le correnti di polarizzazione sono ultra-basse. Infatti la rete di compensazione X4 collegata tra il gate e il drain del MOSFET di potenza M7 formano un integratore attivo.

Per garantire un tempo di avvio ragionevole in un intervallo di pochi millisecondi è necessario aumentare la corrente dello stadio differenziale nel periodo di avvio.

Il livello di QI a $20nA$ deve essere garantito solo a carico nullo (zero $ILOAD$). In condizioni di carico aumentato è possibile aumentare il consumo di corrente.

Questo comporta due vantaggi principali: migliori prestazioni dinamiche e una più facile compensazione di frequenza.

Questo viene realizzato dal percorso di polarizzazione adattativo copiando il MOSFET $M5$ e lo specchio di corrente $M14$, $M12$.

Il MOSFET copiato rispecchia la corrente $ILOAD$. Con l'aumento della corrente $ILOAD$ la corrente totale $ITail$ è in aumento. L'attuale intervallo di corrente $ITail$ è da $20nA$ a $30\mu A$. La condizione di dropout rappresenta il caso specifico in cui la corrente $ILOAD$ può essere ad esempio zero, ma la VGS del MOSFET di potenza $M7$ può essere massima. Dal punto di vista del livello IQ questa è una condizione critica perché la corrente nel percorso di polarizzazione adattativo può essere estremamente elevata. Per mantenere la corrente IQ sotto controllo si usa un circuito $X2$ implementato nel percorso di polarizzazione. Esso permette di ridurre il livello massimo di $ICopy1$ e di conseguenza la corrente IQ totale.

Il regolatore è protetto contro sovracorrente dal circuito di protezione $X3$. Il livello della corrente $ILOAD$ viene rilevato da un ramo copia realizzato dal MOSFET $M6$ e dalla resistenza $R2$.

La corrente $ICopy2$ è una piccola replica della $ILOAD$ (presumendo di avere una piccola caduta di tensione su $R2$). La caduta di tensione sulla $R2$ corrispondente al livello $ILOAD$ viene elaborata dal blocco di protezione dalla sovracorrente $X3$, dove viene confrontato con un offset di tensione incorporato. Una volta raggiunta la soglia,

l'uscita del blocco X3 inizia a limitare la tensione VGS del MOSFET di potenza M7 e quindi a limitare il livello massimo della corrente ILOAD.

Come menzionato in precedenza, il regolatore è costruito in due stadi di guadagno. Inoltre esso funziona in condizioni di forte carico capacitivo. Per un funzionamento stabile deve essere integrato con una rete di compensazione adeguata.

Nello schema la rete di compensazione è rappresentata dal blocco X4. Si basa sul principio di compensazione adattiva di Miller. Essa lavora tra il gate e il source del MOSFET di potenza M7. Il movimento del polo di uscita è compensato spostando lo zero guidato dalla corrente ILOAD.

A causa della tecnica di polarizzazione adattativa usata nella coppia differenziale, anche il polo non dominante al gate del MOSFET di potenza è in movimento. Tutti questi fatti contribuiscono a creare il sistema di risposta ben compensato.

Per la procedura di programmazione, l'ingresso VP è reso accessibile al livello del package. Normalmente il pin sarà connesso a massa nell'utilizzo. Nella programmazione post-package il pin sarà alimentato con impulsi di programmazione ad alta tensione. Esso deve poter ricevere alta tensione in entrambe le polarità consentendo le operazioni di programmazione/cancellazione.

Il dispositivo è progettato per lavorare principalmente nella condizione ad anello chiuso (regolazione), ma può succedere che la tensione di alimentazione VIN possa cadere, forzando l'anello nella modalità dropout. In questo caso la corrente di riposo potrebbe aumentare di ordini di grandezza a causa del circuito di polarizzazione adattativa. L'aumento della

corrente I_Q in questa situazione è tenuta sotto controllo dal blocco "Dropout I_Q ctr" X2.

La seconda implementazione (Figura 10) utilizza la versione differenziale della cella Analogica NVM. In questo caso entrambi i terminali di Floating Gate dei MOSFET differenziali immagazzinano una qualche carica programmata.

Per consentire la programmazione dei MOSFET a gate flottante M9, M8, i loro terminali di gate sono collegati all'esterno del dispositivo.

I pin devono accettare tensioni di programmazione elevate in entrambe le polarità. Nel funzionamento normale l'ingresso VP è a massa e l'ingresso VP/VFB viene utilizzato come un nodo di retroazione per il rilevamento della VOUT.

La coppia differenziale è accoppiata con uno specchio di corrente M3, M4 che completa lo stadio differenziale. In questa implementazione lo stadio differenziale è più semplice di quello precedente. Vengono utilizzati solamente 2 rami. L'uscita dello stadio è quasi rail-to-rail con una piccola limitazione nel lato basso. Questo comportamento si ottiene con una specifica costellazione delle tensioni programmate.

Le tensioni programmate all'interno dei MOSFET M9, M8 sono fondamentali per il corretto funzionamento del dispositivo. Essi non solo definiscono il livello VOUT ma contribuiscono anche alla generazione della corrente di polarizzazione I_{Tail} e alla definizione dell'oscillazione della tensione di uscita. È evidente che la corrente I_{Tail} è definita dal semplice resistore R3.

Per generare una corrente di polarizzazione costante è necessario definire una tensione costante sul resistore.

Questo si ottiene mediante la programmazione di un

livello di tensione fissa, intorno 1,2V, nel dispositivo di sinistra M9. Questa tensione assicura che la tensione sul resistore R3 sarà $(1,2V - V_{GS})$ e una corrente costante fluirà nello stadio differenziale. Il MOSFET M8 sulla destra è programmato, a seconda del livello desiderato VOUT, nel modo seguente:

$$V_{M8} = V_{M9} - V_{OUT};$$

dove $V_{M9} = 1,2 \text{ V}$.

Questo comporta che per ottenere una tensione VOUT > 1,2V il transistor M8 deve essere programmato con una tensione negativa.

Questo approccio consente anche di ottenere un'elevata oscillazione sull'uscita dello stadio. Poiché la tensione nel source comune dello stadio differenziale è pari a $(1,2V - V_{GS})$, il gate del MOSFET di potenza M7 può essere portato in basso fino a questo livello.

Il circuito di avvio X1 è più semplice. È utilizzato solo per l'iniezione di una corrente di polarizzazione più alta durante il periodo di avvio. In effetti, la struttura di generazione della polarizzazione non è auto-polarizzata in modo che nessun punto di funzionamento pari a zero sia presente. A regime la corrente IStart è zero. Tutte le altre parti del regolatore sono le stesse come nel caso precedente.

Ci sono diversi vantaggi nella forma di attuazione differenziale della cella Analogica NVM. In particolare è possibile ottenere una maggiore precisione perché entrambi i dispositivi della coppia differenziale sono utilizzati nello stesso modo.

Così gli effetti di modo comune potrebbero essere annullati. Inoltre lo stadio differenziale contenente due rami è più semplice.

D'altra parte la struttura presenta alcuni inconvenienti. È più difficile da gestire la struttura dal punto di vista della programmazione. Entrambi i gate dei MOSEFT Floating Gate devono essere accessibili dall'esterno e devono accettare un'elevata tensione in entrambe le polarità. Anche il fatto che il segnale di retroazione passa attraverso il gate flottante del MOSFET M8 (partitore capacitivo) causa alcune complicazioni.

Naturalmente, senza pregiudizio per il principio dell'invenzione, i dettagli di costruzione e le forme di attuazione possono variare ampiamente rispetto a quanto è stato descritto e illustrato qui puramente a titolo di esempio, senza uscire in tal modo dall'ambito della presente invenzione, come definita dalle rivendicazioni seguenti.

RIVENDICAZIONI

1. Dispositivo per generare una tensione di riferimento (V_{ref}) comprendente:

- una prima cella di memoria non-volatile (NVMCE) comprendente un transistor di Control Gate (MCG, NMOS1) e un transistor di lettura (Mread, NMOS2), in cui:

- il transistor di Control Gate (MCG) comprende un terminale di gate (Gcg), un body, e un primo (Dcg) e un secondo (Scg) terminale di conduzione, in cui detto primo (Dcg) e detto secondo (Scg) terminale di conduzione sono tra loro connessi a formare un terminale di control gate (CGcg), e

- il transistor di lettura (Mread) comprende un terminale di gate (Gread), connesso al terminale di gate (Gcg) del transistor di Control Gate per formare un terminale di Floating Gate (FG), un body, e un terzo (Dread) e un quarto (Sread) terminale di conduzione, e

- una seconda cella di memoria equivalente (EQ),
in cui il terminale di source (SreadNVM) di detta prima cella di memoria non-volatile (NVMCE) e il terminale di source (Sreadeq) di detta seconda cella di memoria equivalente (EQ) sono connessi tra loro, e

in cui detta tensione di riferimento (V_{ref}) viene prelevata su detto terminale di Floating Gate (FG) ed è determinata dalle condizioni di alimentazione dei terminali di conduzione (CGcg, Sread, e Dread) di dette prima e seconda cella di memoria (NVMCE, EQ).

2. Dispositivo secondo la rivendicazione 1, in cui in detta seconda cella di memoria equivalente (EQ) il

transistore di lettura (Mread) ha il terminale di Control Gate connesso al terminale (FG) di Floating Gate.

3. Dispositivo secondo la rivendicazione 1, in cui detta seconda cella di memoria equivalente (EQ) è anch'essa una cella di memoria non-volatile (NVMCE) comprendente un transistore di Control Gate (MCG) e un transistore di lettura (Mread) e definente un secondo terminale di Floating Gate.

4. Dispositivo secondo una qualsiasi delle precedenti rivendicazioni, in cui per ciascuna cella di memoria non-volatile (NVMCE) le dimensioni dell'area (Acg) del transistore di Control Gate (MCG) sono maggiori delle dimensioni dell'area (Aread) del transistore di lettura (Mread).

5. Dispositivo secondo una qualsiasi delle precedenti rivendicazioni 1 a 3, in cui per ciascuna cella di memoria non-volatile (NVMCE) le dimensioni dell'area (Acg) del transistore di Control Gate (MCG) sono minori delle dimensioni dell'area (Aread) del transistore di lettura (Mread).

6. Dispositivo secondo la rivendicazione 4 o la rivendicazione 5, in cui le dimensioni dell'area (Acg) del transistore di Control Gate (MCG) e le dimensioni dell'area (Aread) del transistore di lettura (Mread) stanno in un rapporto 1 a 6.

7. Dispositivo secondo una qualsiasi delle precedenti rivendicazioni, in cui detti transistori sono scelti tra

transistori NMOS o transistori PMOS.

8. Sistema comprendente un amplificatore operazionale (AO) e un dispositivo secondo una qualsiasi delle precedenti rivendicazioni, in cui detto dispositivo per generare una tensione di riferimento (V_{ref}) viene inserito come coppia differenziale in detto amplificatore operazionale (AO), in cui il terminale di control gate (CGcg) di detta prima cella di memoria non-volatile (NVMCE) è collegato sul ramo invertente di detto amplificatore operazionale (AO) e il terminale di control gate (CGeq) di detta seconda cella di memoria equivalente (EQ) è collegato sul lato non invertente.

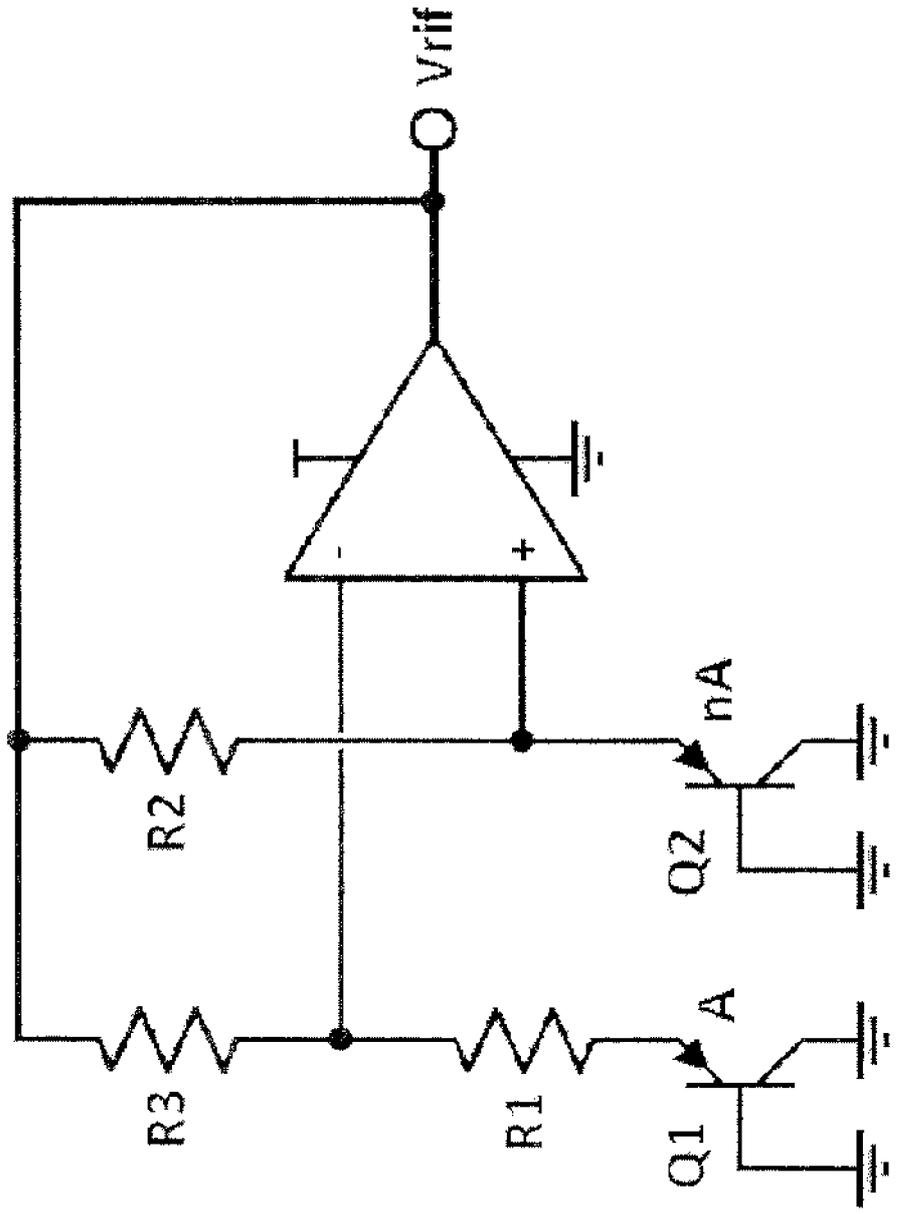


Fig. 1

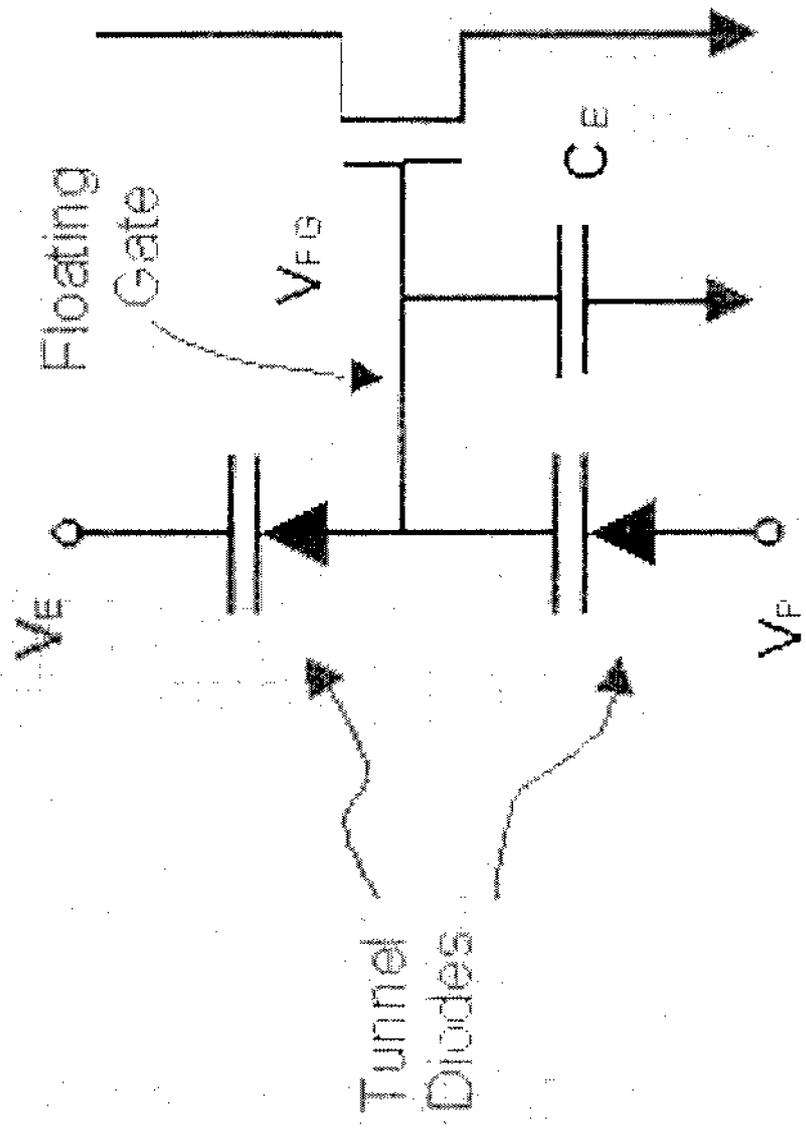


Fig. 2

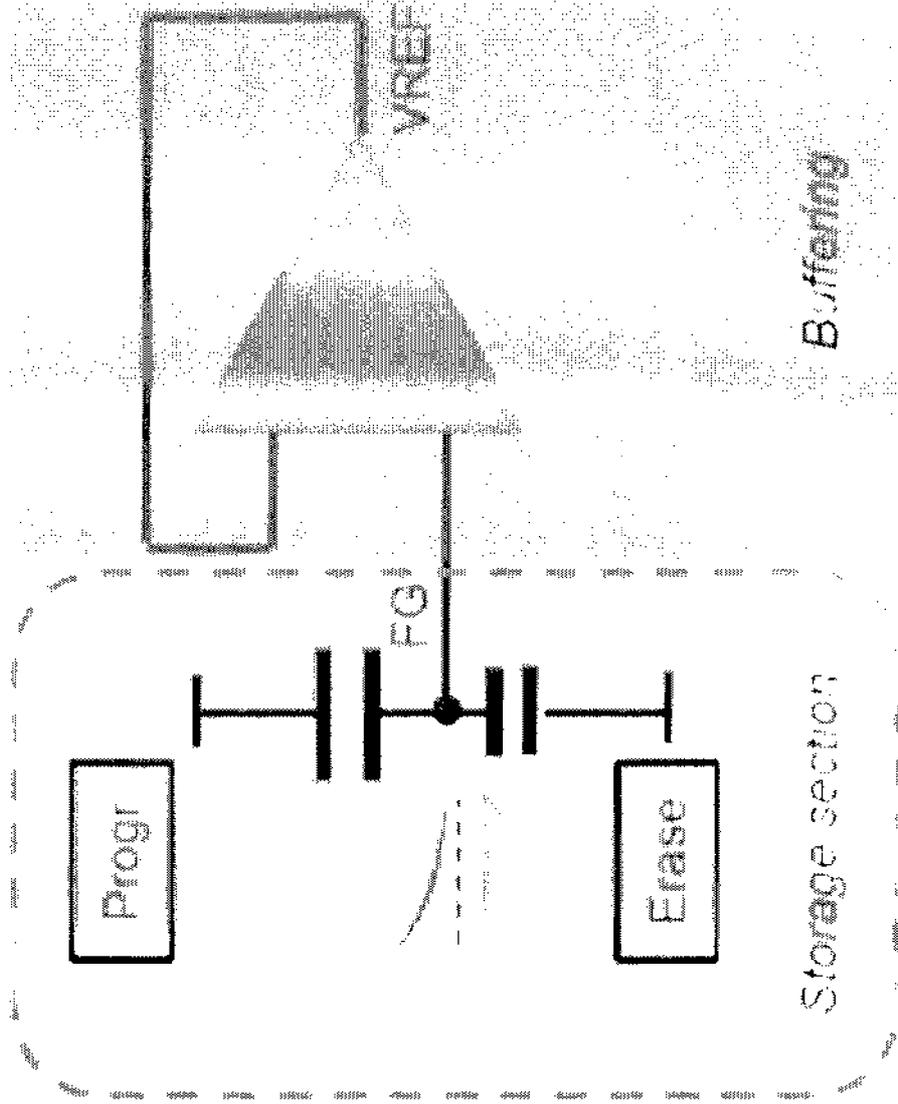


Fig. 3

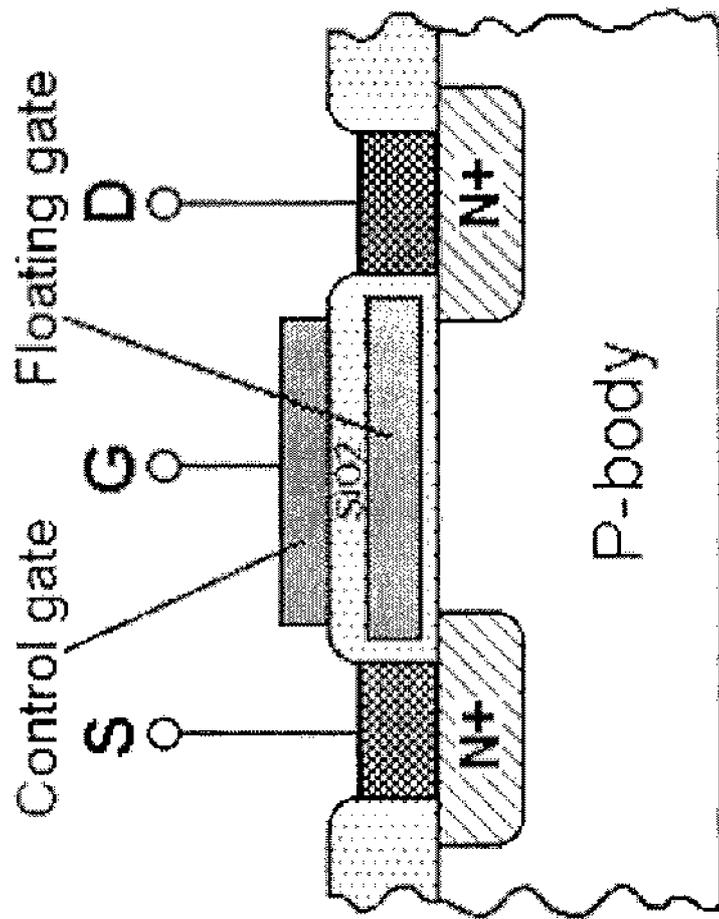


Fig. 4

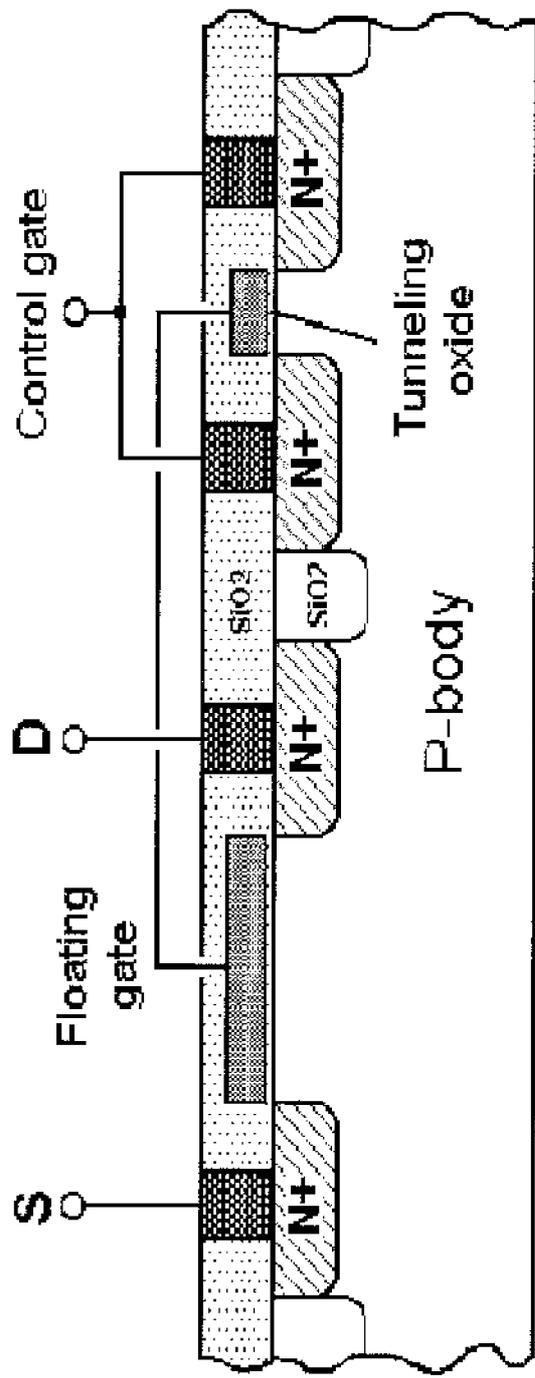


Fig. 5

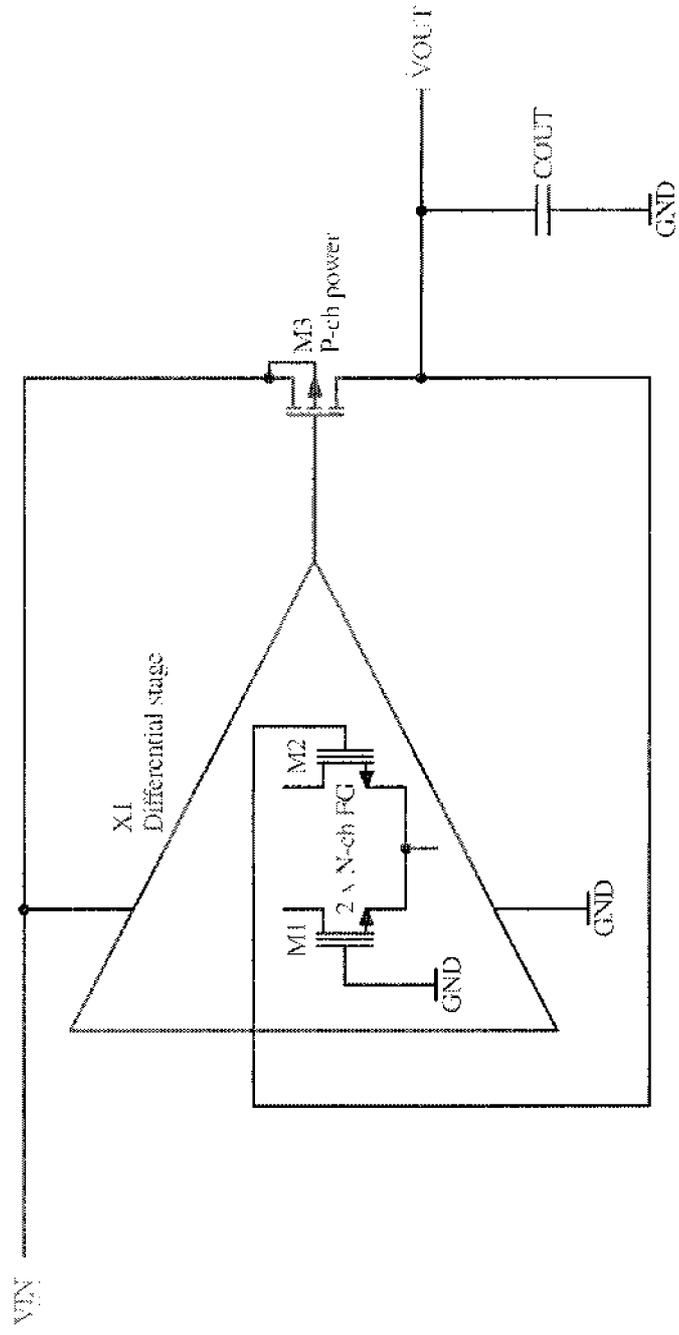


Fig. 6

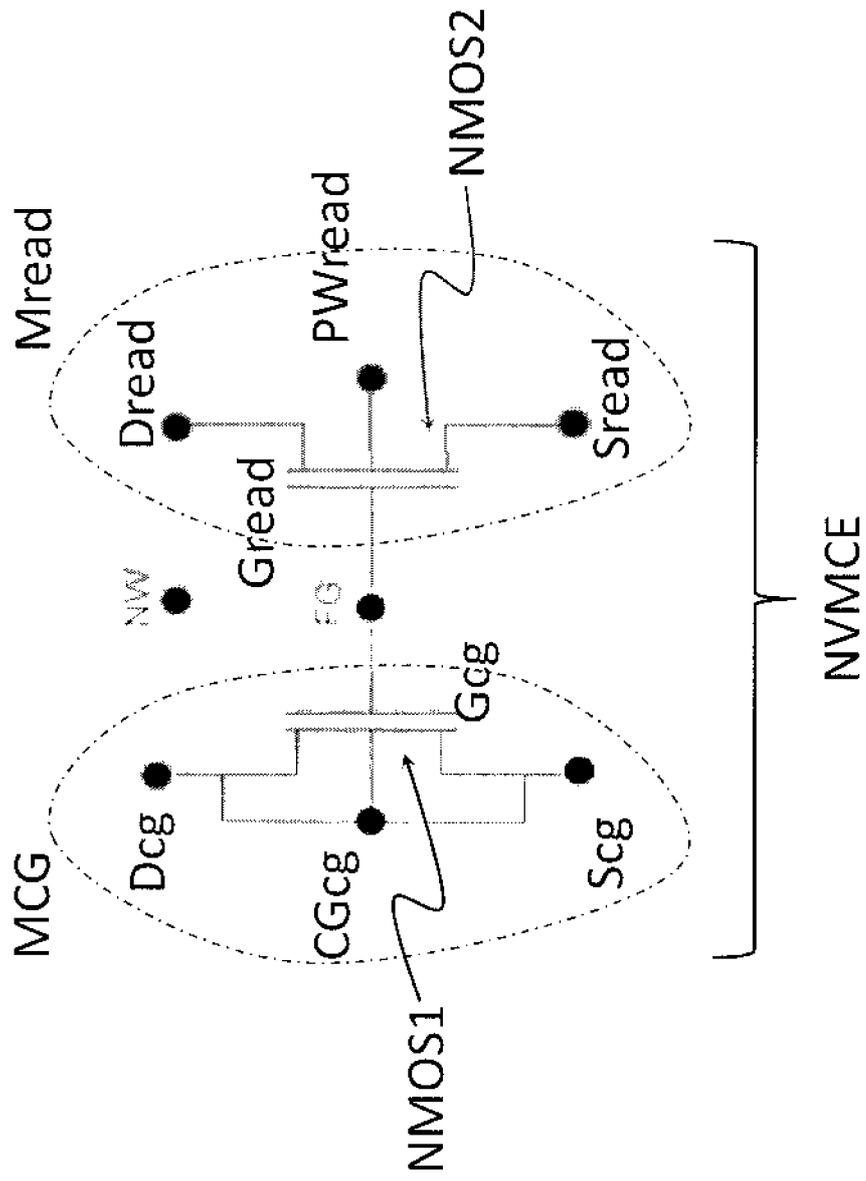


Fig. 7

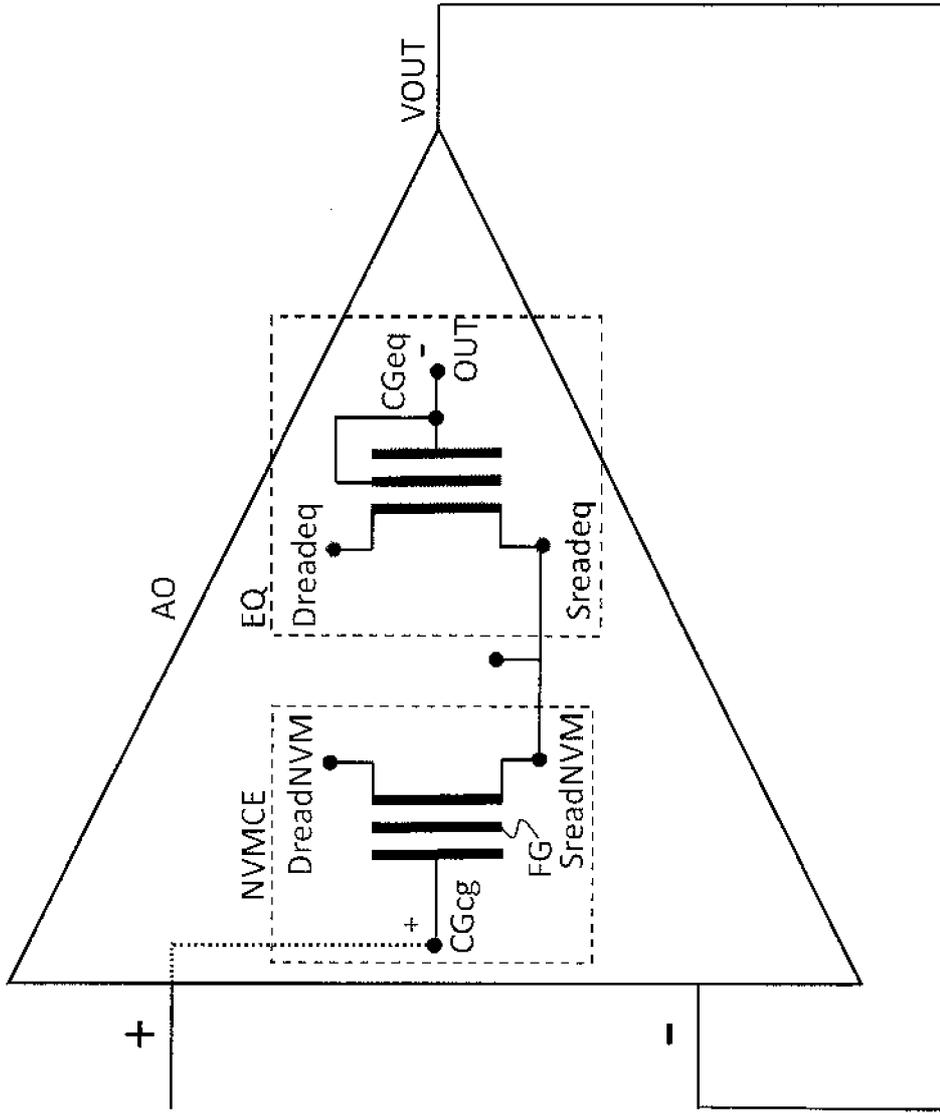


Fig. 8A

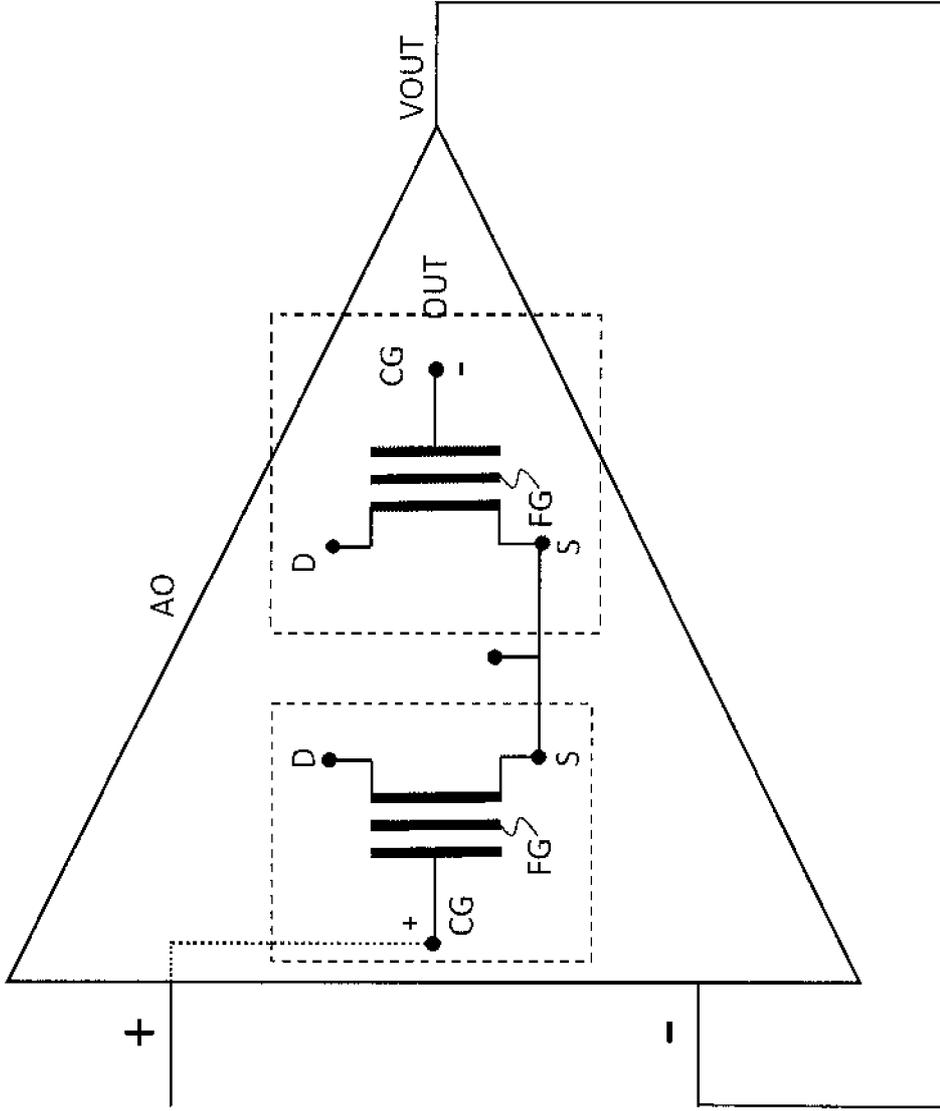


Fig. 8B

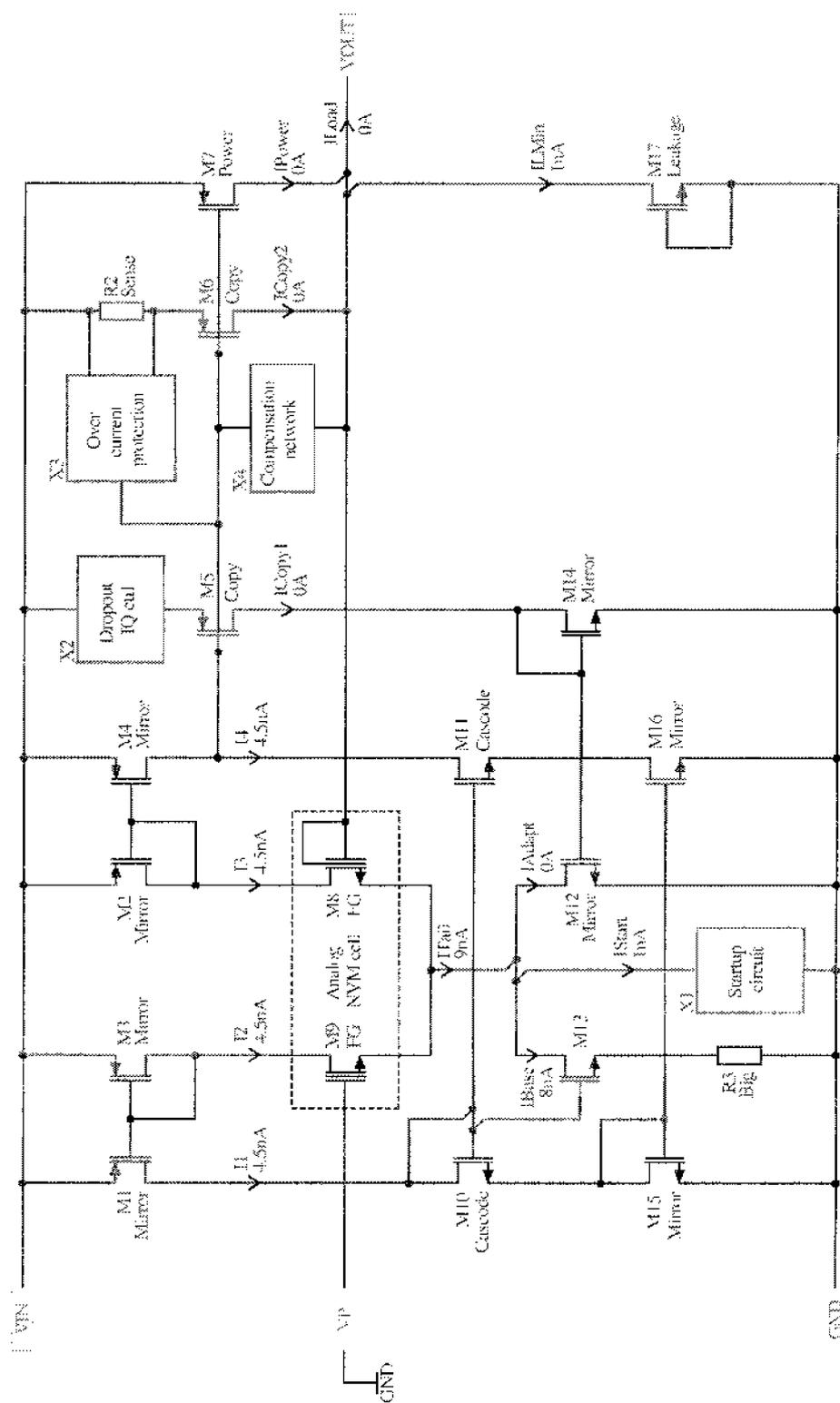


Fig. 9

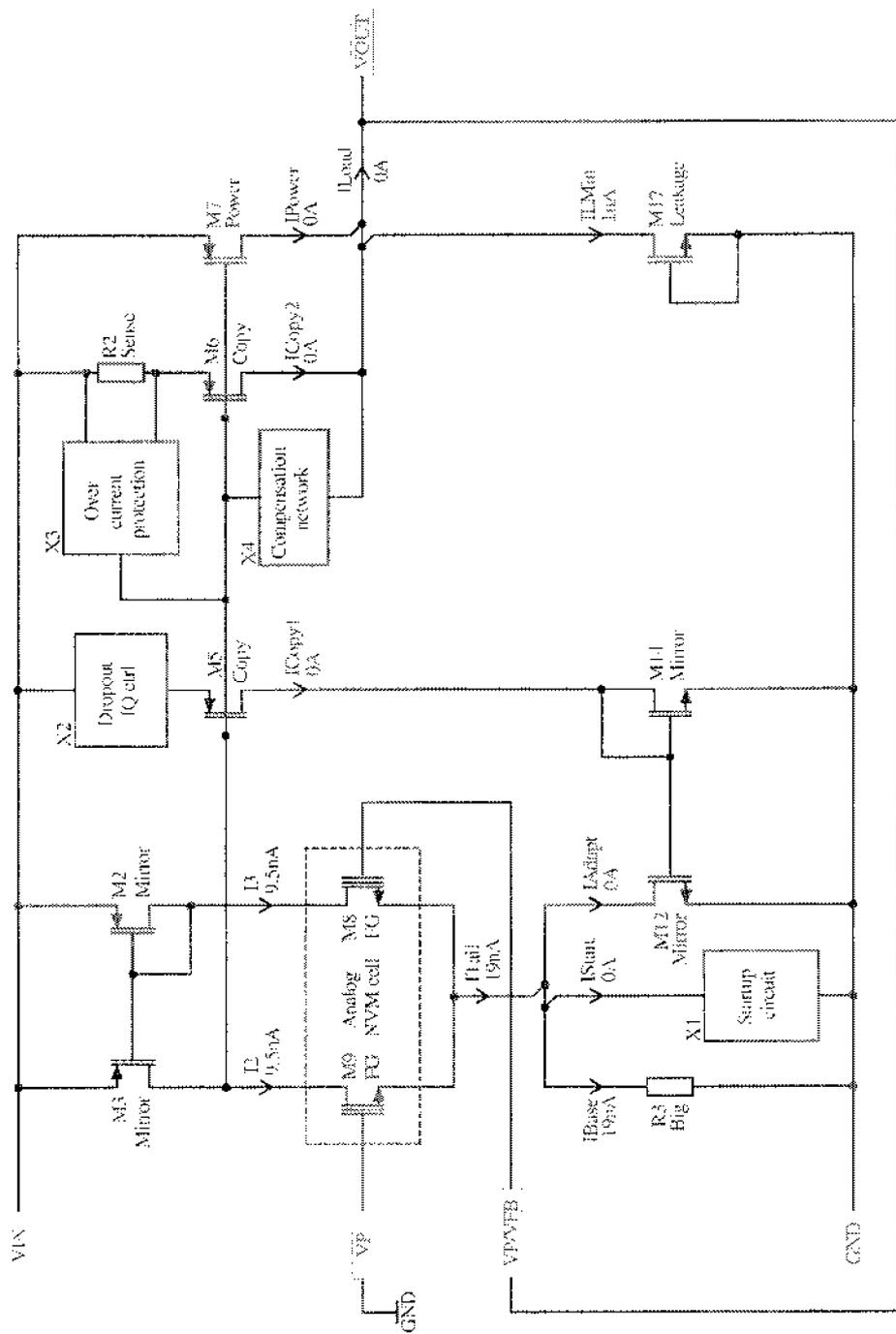


Fig. 10