



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0075396
(43) 공개일자 2017년07월03일

(51) 국제특허분류(Int. Cl.)
G06F 12/08 (2016.01) G06F 11/07 (2006.01)
G06F 13/16 (2006.01)
(52) CPC특허분류
G06F 12/0802 (2013.01)
G06F 11/073 (2013.01)
(21) 출원번호 10-2015-0185001
(22) 출원일자 2015년12월23일
심사청구일자 없음

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이호균
경기도 이천시 부발읍 경충대로 2091
박일
경기도 이천시 부발읍 경충대로 2091
김선욱
경기도 남양주시 도농로 34, 214동 2003호 (도농동, 부영그린타운)
(74) 대리인
특허법인신성

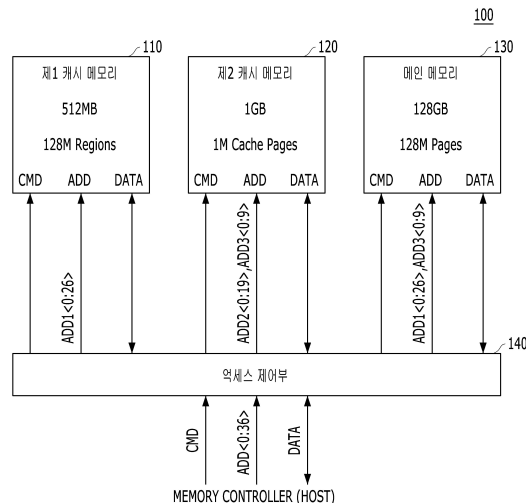
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 메모리 시스템

(57) 요약

메모리 시스템은, 제1어드레스를 이용해 액세스되는 다수의 영역을 포함하고, 각 영역에는 캐시된 데이터의 존재 여부와 제2어드레스가 저장되는 제1캐시 메모리; 상기 제1캐시 메모리의 액세스 결과 캐시된 데이터가 존재하는 경우에 상기 제1캐시 메모리의 액세스된 영역에 저장된 제2어드레스를 이용해 액세스되는 제2캐시 메모리; 및 상기 제1캐시의 액세스 결과 캐시된 데이터가 존재하지 않는 경우에 상기 제1어드레스를 이용해 액세스되는 메인 메모리를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

G06F 12/0871 (2013.01)

G06F 12/0882 (2013.01)

G06F 13/1668 (2013.01)

G06F 2212/1044 (2013.01)

명세서

청구범위

청구항 1

제1어드레스를 이용해 액세스되는 다수의 영역을 포함하고, 각 영역에는 캐시된 데이터의 존재 여부와 제2어드레스가 저장되는 제1캐시 메모리;

상기 제1캐시 메모리의 액세스 결과 캐시된 데이터가 존재하는 경우에 상기 제1캐시 메모리의 액세스된 영역에 저장된 제2어드레스를 이용해 액세스되는 제2캐시 메모리; 및

상기 제1캐시의 액세스 결과 캐시된 데이터가 존재하지 않는 경우에 상기 제1어드레스를 이용해 액세스되는 메인 메모리

를 포함하는 메모리 시스템.

청구항 2

제 1항에 있어서,

상기 제2캐시 메모리와 상기 메인 메모리의 액세스시에는 제3어드레스가 더 사용되는 메모리 시스템.

청구항 3

제 2항에 있어서,

상기 메인 메모리는 다수의 메인 페이지를 포함하고,

상기 제1어드레스는 상기 다수의 메인 페이지 중 하나의 메인 페이지를 선택하기 위해 사용되고, 상기 제3어드레스는 선택된 메인 페이지 내에서 데이터를 선택하기 위해 사용되는

메모리 시스템.

청구항 4

제 2항에 있어서,

상기 제2캐시 메모리는 다수의 캐시 페이지를 포함하고,

상기 제2어드레스는 상기 다수의 캐시 페이지 중 하나의 캐시 페이지를 선택하기 위해 사용되고, 상기 제3어드레스는 선택된 캐시 페이지 내에서 데이터를 선택하기 위해 사용되는

메모리 시스템.

청구항 5

제 1항에 있어서,

상기 다수의 영역 각각에는 더티/클린 정보와 액세스 카운트 정보가 더 저장되는

메모리 시스템.

청구항 6

제 1항에 있어서,
상기 메인 메모리의 동작 속도는 상기 제1캐시 메모리와 상기 제2캐시 메모리의 동작 속도보다 느리고,
상기 메인 메모리의 저장 용량은 상기 제1캐시 메모리와 상기 제2캐시 메모리의 저장 용량보다 큰
메모리 시스템.

청구항 7

제1어드레스를 이용해 액세스되는 다수의 영역을 포함하고, 각 영역에는 결함의 존재 여부와 제2어드레스가 저장되는 제1캐시 메모리;
상기 제1캐시 메모리의 액세스 결과 결함이 존재하는 경우에 상기 제1캐시 메모리의 액세스된 영역에 저장된 제2어드레스를 이용해 액세스되는 스페어 메모리; 및
상기 제1캐시 메모리의 액세스 결과 결함이 존재하지 않는 경우에 상기 제1어드레스를 이용해 액세스되는 메인 메모리
를 포함하는 메모리 시스템.

청구항 8

제 7항에 있어서,
상기 스페어 메모리와 상기 메인 메모리의 액세스시에는 제3어드레스가 더 사용되는
메모리 시스템.

청구항 9

제 8항에 있어서,
상기 메인 메모리는 다수의 메인 페이지를 포함하고,
상기 제1어드레스는 상기 다수의 메인 페이지 중 하나의 메인 페이지를 선택하기 위해 사용되고, 상기 제3어드레스는 선택된 메인 페이지 내에서 데이터를 선택하기 위해 사용되는
메모리 시스템.

청구항 10

제 8항에 있어서,
상기 스페어 메모리는 다수의 스페어 페이지를 포함하고,
상기 제2어드레스는 상기 다수의 스페어 페이지 중 하나의 스페어 페이지를 선택하기 위해 사용되고, 상기 제3어드레스는 선택된 스페어 페이지 내에서 데이터를 선택하기 위해 사용되는
메모리 시스템.

청구항 11

제 7항에 있어서,

상기 메인 메모리와 상기 스페어 메모리의 동작 속도는 상기 제1캐시 메모리의 동작 속도보다 느리고,
상기 메인 메모리의 저장 용량은 상기 제1캐시 메모리와 상기 스페어 메모리의 저장 용량보다 큰
메모리 시스템.

청구항 12

제1어드레스를 이용해 액세스되는 다수의 영역을 포함하고, 각 영역에는 캐시된 데이터의 존재 여부, 결함의 존재 여부 및 제2어드레스가 저장되는 제1캐시 메모리;

상기 제1캐시 메모리의 액세스 결과 캐시된 데이터가 존재하는 경우에 상기 제1캐시 메모리의 액세스된 영역에 저장된 제2어드레스를 이용해 액세스되는 제2캐시 메모리;

상기 제1캐시 메모리의 액세스 결과 캐시된 데이터가 존재하지 않고 결함이 존재하는 경우에 상기 제1캐시 메모리의 액세스된 영역에 저장된 제2어드레스를 이용해 액세스되는 스페어 메모리; 및

상기 제1캐시 메모리의 액세스 결과 캐시된 데이터와 결함이 존재하지 않는 경우에 상기 제1어드레스를 이용해 액세스되는 메인 메모리

를 포함하는 메모리 시스템.

청구항 13

제 12항에 있어서,

상기 제2캐시 메모리, 상기 스페어 메모리 및 상기 메인 메모리의 액세스시에는 제3어드레스가 더 사용되는
메모리 시스템.

청구항 14

제 13항에 있어서,

상기 메인 메모리는 다수의 메인 페이지를 포함하고,

상기 제1어드레스는 상기 다수의 메인 페이지 중 하나의 메인 페이지를 선택하기 위해 사용되고, 상기 제3어드레스는 선택된 메인 페이지 내에서 데이터를 선택하기 위해 사용되는

메모리 시스템.

청구항 15

제 13항에 있어서,

상기 제2캐시 메모리는 다수의 캐시 페이지를 포함하고,

상기 제2어드레스는 상기 다수의 캐시 페이지 중 하나의 캐시 페이지를 선택하기 위해 사용되고, 상기 제3어드레스는 선택된 캐시 페이지 내에서 데이터를 선택하기 위해 사용되는

메모리 시스템.

청구항 16

제 13항에 있어서,

상기 스페어 메모리는 다수의 스페어 페이지를 포함하고,

상기 제2어드레스는 상기 다수의 스페어 페이지 중 하나의 스페어 페이지를 선택하기 위해 사용되고, 상기 제3

어드레스는 선택된 스페어 페이지 내에서 데이터를 선택하기 위해 사용되는 메모리 시스템.

청구항 17

제 12항에 있어서,
상기 다수의 영역 각각에는 더티/클린 정보와 액세스 카운트 정보가 더 저장되는 메모리 시스템.

청구항 18

제 12항에 있어서,
상기 메인 메모리와 상기 스페어 메모리의 동작 속도는 상기 제1캐시 메모리와 상기 제2캐시 메모리의 동작 속도보다 느리고,
상기 메인 메모리의 저장 용량은 상기 스페어 메모리, 상기 제1캐시 메모리 및 상기 제2캐시 메모리의 저장 용량보다 큰 메모리 시스템.

청구항 19

제1어드레스를 이용해 제1캐시 메모리에 액세스하는 단계;
상기 제1캐시 메모리의 액세스 결과 캐시된 데이터의 존재가 확인되는 경우에, 상기 제1캐시 메모리에 저장된 제2어드레스를 이용해 제2캐시 메모리에 액세스하는 단계; 및
상기 제1캐시 메모리의 액세스 결과 캐시된 데이터가 존재하지 않는다고 확인되는 경우에, 상기 제1어드레스를 이용해 메인 메모리에 액세스하는 단계
를 포함하는 메모리 시스템의 동작 방법.

청구항 20

제 19항에 있어서,
상기 제1캐시 메모리의 액세스 결과 캐시된 데이터가 존재하지 않고 결함이 존재한다고 확인되는 경우에, 상기 메인 메모리에 액세스하는 단계를 대신해 상기 제1캐시 메모리에 저장된 제2어드레스를 이용해 스페어 메모리에 액세스하는 단계
를 더 포함하는 메모리 시스템의 동작 방법.

발명의 설명

기술 분야

[0001] 본 특허 문헌은 캐시 메모리, 스페어 메모리 및 메인 메모리 등을 포함하는 메모리 시스템에 관한 것이다.

배경 기술

[0003] 일반적인 셋-어소시에이티브 캐시(set-associative cache)는 액세스하는 데이터의 캐시 히트/미스(hit/miss)를 판별하기 위해 태그 매칭(tag matching)을 필요로 한다. 태그 매칭을 위해 캐시는 메타데이터의 저장소(metadata storage)와 태그 매칭을 위한 로직(logic)을 필요로 하는데 이러한 로직은 매우 복잡해 메모리 시스템의 면적 증가를 유발하게 되고, 태그 매칭을 위한 동작에 의해 레이턴시(latency)가 증가하게 된다. 그러므로, 메모리 시스템의 면적 증가 및 레이턴시 증가를 최소화하는 캐시 구조가 요구된다.

[0004] 한편, 최근 RRAM(Resistive Random Access Memory), PCRAM(Phase-Change Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등의 차세대 메모리들에 대한 연구가 활발하게 수행되고 있는데, 차세대 메모리들의 동작 속도는 아직 원하는 속도에 미치지 못하고 있으며 차세대 메모리들의 결함률도 아직 원하는 수준에 미치지 못하고 있다. 또한, 차세대 메모리들은 내구성(endurance)에 문제가 있어 여러번 액세스되면 수명이 급속도로 줄어드는 문제점을 가지고 있다. 그러므로, 차세대 메모리들의 동작 속도를 보조해줄 캐시 구조 및 차세대 메모리들의 결함을 해소해줄 기술이 요구된다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예들은 메모리 시스템의 면적 증가 및 레이턴시 증가를 최소화하는 캐시 스킴을 제공할 수 있다. 또한, 메모리 시스템의 성능 향상 뿐만이 아니라 메모리 시스템의 결함을 회복 가능하게 하는 캐시 스킴을 제공할 수 있다.

과제의 해결 수단

[0008] 상기 과제를 해결하기 위한 본 발명의 일실시예에 따른 메모리 시스템은, 제1어드레스를 이용해 액세스되는 다수의 영역을 포함하고, 각 영역에는 캐시된 데이터의 존재 여부와 제2어드레스가 저장되는 제1캐시 메모리; 상기 제1캐시 메모리의 액세스 결과 캐시된 데이터가 존재하는 경우에 상기 제1캐시 메모리의 액세스된 영역에 저장된 제2어드레스를 이용해 액세스되는 제2캐시 메모리; 및 상기 제1캐시의 액세스 결과 캐시된 데이터가 존재하지 않는 경우에 상기 제1어드레스를 이용해 액세스되는 메인 메모리를 포함할 수 있다.

[0009] 상기 제2캐시 메모리와 상기 메인 메모리의 액세스시에는 제3어드레스가 더 사용될 수 있다.

[0010] 상기 메인 메모리는 다수의 메인 페이지를 포함하고, 상기 제1어드레스는 상기 다수의 메인 페이지 중 하나의 메인 페이지를 선택하기 위해 사용되고, 상기 제3어드레스는 선택된 메인 페이지 내에서 데이터를 선택하기 위해 사용될 수 있다.

[0011] 상기 제2캐시 메모리는 다수의 캐시 페이지를 포함하고, 상기 제2어드레스는 상기 다수의 캐시 페이지 중 하나의 캐시 페이지를 선택하기 위해 사용되고, 상기 제3어드레스는 선택된 캐시 페이지 내에서 데이터를 선택하기 위해 사용될 수 있다.

[0012] 상기 다수의 영역 각각에는 더티/클린 정보와 액세스 카운트 정보가 더 저장될 수 있다.

[0013] 상기 메인 메모리의 동작 속도는 상기 제1캐시 메모리와 상기 제2캐시 메모리의 동작 속도보다 느리고, 상기 메인 메모리의 저장 용량은 상기 제1캐시 메모리와 상기 제2캐시 메모리의 저장 용량보다 클 수 있다.

[0014] 본 발명의 다른 실시예에 따른 메모리 시스템은, 제1어드레스를 이용해 액세스되는 다수의 영역을 포함하고, 각 영역에는 결함의 존재 여부와 제2어드레스가 저장되는 제1캐시 메모리; 상기 제1캐시 메모리의 액세스 결과 결함이 존재하는 경우에 상기 제1캐시 메모리의 액세스된 영역에 저장된 제2어드레스를 이용해 액세스되는 스페어 메모리; 및 상기 제1캐시 메모리의 액세스 결과 결함이 존재하지 않는 경우에 상기 제1어드레스를 이용해 액세스되는 메인 메모리를 포함할 수 있다.

[0015] 상기 스페어 메모리와 상기 메인 메모리의 액세스시에는 제3어드레스가 더 사용될 수 있다.

[0016] 상기 메인 메모리는 다수의 메인 페이지를 포함하고, 상기 제1어드레스는 상기 다수의 메인 페이지 중 하나의 메인 페이지를 선택하기 위해 사용되고, 상기 제3어드레스는 선택된 메인 페이지 내에서 데이터를 선택하기 위해 사용될 수 있다.

- [0017] 상기 스페어 메모리는 다수의 스페어 페이지를 포함하고, 상기 제2어드레스는 상기 다수의 스페어 페이지 중 하나의 스페어 페이지를 선택하기 위해 사용되고, 상기 제3어드레스는 선택된 스페어 페이지 내에서 데이터를 선택하기 위해 사용될 수 있다.
- [0018] 상기 메인 메모리와 상기 스페어 메모리의 동작 속도는 상기 제1캐시 메모리의 동작 속도보다 느리고, 상기 메인 메모리의 저장 용량은 상기 제1캐시 메모리와 상기 스페어 메모리의 저장 용량보다 클 수 있다.
- [0019] 본 발명의 또 다른 실시예에 따른 메모리 시스템은, 제1어드레스를 이용해 액세스되는 다수의 영역을 포함하고, 각 영역에는 캐시된 데이터의 존재 여부, 결함의 존재 여부 및 제2어드레스가 저장되는 제1캐시 메모리; 상기 제1캐시 메모리의 액세스 결과 캐시된 데이터가 존재하는 경우에 상기 제1캐시 메모리의 액세스된 영역에 저장된 제2어드레스를 이용해 액세스되는 제2캐시 메모리; 상기 제1캐시 메모리의 액세스 결과 캐시된 데이터가 존재하지 않고 결함이 존재하는 경우에 상기 제1캐시 메모리의 액세스된 영역에 저장된 제2어드레스를 이용해 액세스되는 스페어 메모리; 및 상기 제1캐시 메모리의 액세스 결과 캐시된 데이터와 결함이 존재하지 않는 경우에 상기 제1어드레스를 이용해 액세스되는 메인 메모리를 포함할 수 있다.
- [0020] 본 발명의 일실시예에 따른 메모리 시스템의 동작 방법은, 제1어드레스를 이용해 제1캐시 메모리에 액세스하는 단계; 상기 제1캐시 메모리의 액세스 결과 캐시된 데이터의 존재가 확인되는 경우에, 상기 제1캐시 메모리에 저장된 제2어드레스를 이용해 제2캐시 메모리에 액세스하는 단계; 및 상기 제1캐시 메모리의 액세스 결과 캐시된 데이터가 존재하지 않는다고 확인되는 경우에, 상기 제1어드레스를 이용해 메인 메모리에 액세스하는 단계를 포함할 수 있다.
- [0021] 상기 동작 방법은, 상기 제1캐시 메모리의 액세스 결과 캐시된 데이터가 존재하지 않고 결함이 존재한다고 확인되는 경우에, 상기 메인 메모리에 액세스하는 단계를 대신해 상기 제1캐시 메모리에 저장된 제2어드레스를 이용해 스페어 메모리에 액세스하는 단계를 더 포함할 수 있다.

발명의 효과

- [0023] 본 발명의 실시예들에 따르면 메모리 시스템의 면적 증가와 레이턴시 증가를 최소화하고, 메모리 시스템의 결함을 회복할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일실시예에 따른 메모리 시스템의 구성도.
 도 2는 제1캐시 메모리(110)의 영역들 각각에 저장되는 정보를 나타낸 도면.
 도 3은 메모리 시스템(100)의 동작을 도시한 순서도.
 도 4는 본 발명의 다른 실시예에 따른 메모리 시스템의 구성도.
 도 5는 제1캐시 메모리(410)의 영역들 각각에 저장되는 정보를 나타낸 도면.
 도 6은 메모리 시스템(400)의 동작을 도시한 순서도.
 도 7은 본 발명의 또 다른 실시예에 따른 메모리 시스템의 구성도.
 도 8은 제1캐시 메모리(710)의 영역들 각각에 저장되는 정보를 나타낸 도면.
 도 9는 메모리 시스템(700)의 동작을 도시한 순서도.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다. 본 발명을 설명함에 있어서, 본 발명의 요지와 무관한 구성은 생략될 수 있다. 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.

- [0028] 도 1은 본 발명의 일실시예에 따른 메모리 시스템의 구성도이다.
- [0029] 도 1을 참조하면, 메모리 시스템(100)은 제1캐시 메모리(110), 제2캐시 메모리(120), 메인 메모리(130) 및 액세스 제어부(140)를 포함할 수 있다.
- [0030] 메인 메모리(130)는 큰 저장 용량을 가지고, 다수개의 메인 페이지들(Main Pages)을 포함할 수 있다. 예를 들어, 메인 메모리는 전체 128GB(Giga Byte)의 저장 용량을 가지고, 128M개의 메인 페이지를 가지고 각 메인 페이지는 1KB(Kilo Byte)의 저장 용량을 가질 수 있다. 그리고 각 메인 페이지 내에서 바이트 단위로 데이터의 어드레싱이 가능할 수, 즉 각 메인 페이지는 Byte Addressable할 수, 있다. 메인 메모리(130)로 입력되는 제1어드레스(ADD1<0:26>))는 메인 메모리(130)의 128M개의 메인 페이지 중 하나의 메인 페이지를 선택하는데 사용될 수 있다. 그러므로 제1어드레스(ADD1<0:26>)는 27비트일 수 있다($2^{27}=128M$). 메인 메모리(130)로 입력되는 제3어드레스(ADD3<0:9>)는 제1어드레스(ADD1<0:26>)에 의해 선택된 메인 페이지(1KB) 내에서 1바이트의 데이터를 선택하기위해 사용될 수 있다. 그러므로 제3어드레스(ADD3<0:9>)는 10비트일 수 있다($2^{10}=1K$). 메인 메모리(130)는 제1캐시 메모리(110)와 제2캐시 메모리(120)보다 용량은 크고 제1캐시 메모리(110)와 제2캐시 메모리(120)보다 동작 속도는 느린 메모리일 수 있다. 예를 들어, 제1캐시 메모리(110)와 제2캐시 메모리(120)가 DRAM이라면 메인 메모리(130)는 FLASH메모리, PCRAM 및 RRAM 중 하나일 수 있다.
- [0031] 제1캐시 메모리(110)는 메인 메모리(130)의 메인 페이지들과 동일한 개수(128M)의 영역들(Regions)을 포함할 수 있다. 영역들 각각은 메타 데이터(mata data)를 저장하므로 비교적 작은 저장용량(예, 4B)을 가질 수 있다. 제1캐시 메모리(110)의 액세스시 영역들 중 하나의 영역이 제1어드레스(ADD1<0:26>)에 의해 선택되어 액세스될 수 있다. 영역들 각각에는 도 2와 같은 정보들이 저장될 수 있다.
- [0032] 도 2를 참조하면, 캐시 정보(Cached)는 제1캐시 메모리(110)의 해당 영역에 대응하는 메인 메모리(130)의 메인 페이지에 대한 캐시된 데이터가 제2캐시 메모리(120)에 존재하는지의 여부를 나타낼 수 있다. 캐시 정보(Cached)는 1비트일 수 있으며, 캐시 정보(Cached)가 '1'이면 캐시된 데이터가 존재한다는 것을 나타내고 캐시 정보(Cached)가 '0'이면 캐시된 데이터가 존재하지 않는다는 것을 나타낼 수 있다. 더티/클린 정보(Dirty/Clean)는 제2캐시 메모리(120)에 캐시된 데이터와 메인 메모리(130)에 저장된 데이터가 일치하는지/아닌지에 대한 정보를 의미한다. 더티/클린 정보(Dirty/Clean)는 1비트일 수 있으며, 더티/클린 정보(Dirty/Clean)가 '1'이면 더티, 즉 제2캐시 메모리(120)에 캐시된 데이터와 메인 메모리(130)에 저장된 데이터가 일치하지 않음을 의미할 수 있다. 더티/클린 정보(Dirty/Clean)가 '0'이면 클린, 즉 제2캐시 메모리(120)에 캐시된 데이터와 메인 메모리(130)에 저장된 데이터가 일치함을 의미할 수 있다. 카운터 정보(Counter)는 해당 영역의 액세스 회수를 나타낼 수 있다. 카운터 정보(Counter)는 9비트인 것으로 예시했다. 제2어드레스(ADD2<0:19>)는 캐시된 데이터가 저장된 제2캐시 메모리(120)의 어드레스를 나타낼 수 있다. 캐시된 데이터가 존재하는 경우에 제2어드레스(ADD2<0:19>)를 이용해 제2캐시 메모리(120)를 액세스할 수 있다. 제2어드레스(ADD2<0:19>)의 비트 수는 제2캐시 메모리(120) 내의 캐시 페이지의 개수에 따라 결정될 수 있다. 여기서는 제2캐시 메모리(120)가 1M개의 캐시 페이지들을 포함하는 것으로 예시했으므로 제2어드레스(ADD2<0:19>)의 비트 수가 20비트인 것으로 예시했다. 제1캐시 메모리(110)의 영역에서 남는 나머지 1비트는 사용되지 않을 수 있다(Unused).
- [0033] 제2캐시 메모리(120)는 다수의 캐시 페이지들(Cache Pages)을 포함할 수 있다. 캐시 페이지들 각각은 메인 메모리(130)의 메인 페이지들과 동일한 저장 용량(예, 1KB)을 가질 수 있다. 그리고 캐시 페이지들의 개수는 제2어드레스의 비트수에 대응할 수 있다. 여기서는 제2어드레스(ADD2<0:19>)가 20비트인 것으로 예시되었으므로 캐시 페이지들의 개수가 $1M(=2^{20})$ 일 수 있다. 캐시 페이지들에는 대응하는 메인 페이지들의 캐시된 데이터가 저장될 수 있다. 제2어드레스(ADD2<0:19>)는 제2캐시 메모리(120)에서 캐시 페이지들 중 하나의 페이지를 선택하기 위해 사용되고, 제3어드레스(ADD3<0:9>)는 선택된 캐시 페이지(1KB) 내에서 1바이트(1B)의 데이터를 선택하기위해 사용될 수 있다.
- [0034] 액세스 제어부(140)는 메모리 컨트롤러(호스트)(MEMORY CONTROLLER (HOST))로부터 전달되는 커맨드(CMD)와 어드레스(ADD<0:36>)에 응답해 제1캐시 메모리(110), 제2캐시 메모리(120) 및 메인 메모리(130)에 액세스하고, 제1캐시 메모리(110), 제2캐시 메모리(120) 및 메인 메모리(130)의 데이터(DATA)를 메모리 컨트롤러(호스트)(MEMORY CONTROLLER (HOST))와 주고받을 수 있다.
- [0035] 도 3은 메모리 시스템(100)의 동작을 도시한 순서도인데, 이를 참조해 메모리 시스템(100)의 동작에 대해 알아보기로 한다.

- [0036] 먼저, 메모리 컨트롤러(호스트)로부터 메모리 시스템(100)을 액세스하기 위한 커맨드(CMD)(예, 리드 커맨드 또는 라이트 커맨드)와 어드레스(ADD<0:36>)가 인가될 수 있다(S310). 여기서, 커맨드(CMD)가 라이트 커맨드인 경우에는 메모리 시스템(100)에 라이트될 데이터(DATA)도 메모리 시스템(100)으로 인가될 수 있다.
- [0037] 액세스 제어부(140)는 먼저 제1캐시 메모리(110)를 액세스할 수 있다(S320). 액세스 제어부(140)는 메모리 컨트롤러(호스트)로부터 전달된 어드레스(ADD<0:36>) 중 27비트를 제1캐시 메모리(110)를 액세스하기 위한 제1어드레스(ADD1<0:26>)로 사용할 수 있다. 제1캐시 메모리(110)의 액세스시에 제1어드레스(ADD1<0:26>)를 이용해 액세스된 제1캐시 메모리(110)의 선택된 영역의 더티/클린 정보(Dirty/Clean) 및 카운터 정보(Counter)가 업데이트될 수 있다.
- [0038] 제1어드레스(ADD1<0:26>)를 이용해 액세스된 제1캐시 메모리(110)의 선택된 영역에 캐시된 데이터가 존재한다는 정보가 저장되어 있는 경우에(S330에서 Y), 즉 캐시 정보(Cached)='1'인 경우에, 액세스 제어부(140)는 제1캐시 메모리(110)의 선택된 영역에 저장된 제2어드레스(ADD2<0:19>)를 이용해 제2캐시 메모리(120)를 액세스할 수 있다(S340). 제2캐시 메모리(120)의 액세스시에 제2어드레스(ADD2<0:19>)는 제2캐시 메모리(120)에서 캐시 페이지를 선택하기 위해 사용되고, 제3어드레스(ADD3<0:9>)는 선택된 캐시 페이지에서 데이터를 선택하기 위해 사용될 수 있다. 제3어드레스(ADD3<0:9>)는 단계(S310)에서 액세스 제어부(140)가 메모리 컨트롤러(호스트)로부터 수신한 어드레스(ADD<0:36>) 중 제1어드레스(ADD1<0:26>)를 제외한 나머지 어드레스일 수 있다. 단계(S310)에서 액세스 제어부(140)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 리드 커맨드인 경우에 단계(S340)에서 제2캐시 메모리(120)로부터 리드된 데이터가 액세스 제어부(140)를 통해 메모리 컨트롤러(호스트)로 전송될 수 있다. 그리고, 단계(S310)에서 액세스 제어부(140)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 라이트 커맨드인 경우에 단계(S310)에서 액세스 제어부(140)가 메모리 컨트롤러(호스트)로부터 수신한 데이터(DATA)가 단계(S340)에서 제2캐시 메모리(120)로 라이트될 수 있다.
- [0039] 제1어드레스(ADD1<0:26>)를 이용해 액세스된 제1캐시 메모리(110)의 선택된 영역에 캐시된 데이터가 존재하지 않는다는 정보가 저장되어 있는 경우에(S330에서 N), 즉 캐시 정보(Cached)='0'인 경우에, 액세스 제어부(140)는 제1어드레스(ADD1<0:26>)와 제3어드레스(ADD3<0:9>)를 이용해 메인 메모리(130)를 액세스할 수 있다(S350). 제3어드레스(ADD3<0:9>)는 단계(S310)에서 액세스 제어부(140)가 메모리 컨트롤러(호스트)로부터 수신한 어드레스(ADD<0:36>) 중 제1어드레스(ADD1<0:26>)를 제외한 나머지 어드레스일 수 있다. 단계(S310)에서 액세스 제어부(140)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 리드 커맨드인 경우에 단계(S350)에서 메인 메모리(130)로부터 리드된 데이터가 액세스 제어부(140)를 통해 메모리 컨트롤러(호스트)로 전송될 수 있다. 그리고, 단계(S310)에서 액세스 제어부(140)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 라이트 커맨드인 경우에 단계(S310)에서 액세스 제어부(140)가 메모리 컨트롤러(호스트)로부터 수신한 데이터(DATA)가 단계(S350)에서 메인 메모리(130)로 라이트될 수 있다.
- [0040] 메모리 시스템(100)에서는 먼저 제1캐시 메모리(110)가 액세스되어 캐시된 데이터가 존재하는지의 여부가 확인되고, 캐시된 데이터가 존재하는 경우에는 제1캐시 메모리(110)에 저장된 제2어드레스(ADD2<0:19>)를 이용해 제2캐시 메모리(120)가 액세스되어 데이터가 리드 또는 라이트될 수 있다. 그리고, 캐시된 데이터가 존재하지 않는 경우에는 메인 메모리(130)가 액세스되어 데이터가 리드 또는 라이트될 수 있다. 이러한 캐시 스킴은 캐시를 위한 메모리 시스템(100)의 면적 증가를 최소화하면서도 메모리 시스템(100)의 빠른 액세스를 가능하게 할 수 있다.
- [0041] 메모리 시스템(100)에서 제2캐시 메모리(120)에 캐시될 데이터의 추가 및 제2캐시 메모리(120)에 이미 캐시된 데이터의 축출(eviction) 등의 동작은 제1캐시 메모리(110)에 저장된 더티/클린 정보(Dirty/Clean) 및 카운터 정보(Counter) 등을 참조하여 메모리 시스템(100)의 캐시 관리 규정에 따라 수행될 수 있다. 그리고 캐시될 데이터의 추가 및 이미 캐시된 데이터의 축출 등의 동작을 수행하기 위한 캐시 관리 로직(미도시)이 메모리 시스템(100)에 추가되거나 메모리 시스템(100) 외부에 존재할 수 있다.
- [0042] 도 1에 도시된 메모리 시스템(100)의 구성들(110, 120, 130, 140)은 기능적인 분류를 의미하며 물리적인 구별을 의미하는 것이 아니다. 예를 들어, 도 1의 구성들(110, 120, 130, 140) 중 2 이상의 구성들이 하나의 물리적인 반도체 칩에 형성되거나 하나의 반도체 패키지 내에 포함될 수도 있다. 또한, 도 1에서 예시된 제1캐시 메모리(110), 제2캐시 메모리(120) 및 메인 메모리(130)의 전체 용량, 페이지의 개수 및 페이지의 용량은 예시일 뿐이며, 이는 얼마든지 변경될 수 있음은 당연하다.

- [0044] 도 4는 본 발명의 다른 실시예에 따른 메모리 시스템의 구성도이다.
- [0045] 도 4를 참조하면, 메모리 시스템(400)은 제1캐시 메모리(410), 스페어 메모리(420), 메인 메모리(130) 및 액세스 제어부(440)를 포함할 수 있다.
- [0046] 메인 메모리(130)는 큰 저장 용량을 가지고, 다수의 메인 페이지들을 포함할 수 있다. 예를 들어, 메인 메모리는 전체 128GB(Giga Byte)의 저장 용량을 가지고, 128M개의 메인 페이지를 가지고 각 메인 페이지는 1KB(Kilo Byte)의 저장 용량을 가질 수 있다. 그리고 각 메인 페이지 내에서 바이트 단위로 데이터의 어드레싱이 가능할 수, 즉 각 메인 페이지는 Byte Addressable할 수, 있다. 메인 메모리(130)로 입력되는 제1어드레스(ADD1<0:26>)는 메인 메모리(130)의 128M개의 메인 페이지 중 하나의 메인 페이지를 선택하는데 사용될 수 있다. 그러므로 제1어드레스(ADD1<0:26>)는 27비트일 수 있다($2^{27}=128M$). 메인 메모리(130)로 입력되는 제3어드레스(ADD3<0:9>)는 제1어드레스(ADD1<0:26>)에 의해 선택된 메인 페이지(1KB) 내에서 1바이트의 데이터를 선택하기 위해 사용될 수 있다. 그러므로 제3어드레스(ADD3<0:9>)는 10비트일 수 있다($2^{10}=1K$). 메인 메모리(130)는 제1캐시 메모리(410)보다 용량은 크고 제1캐시 메모리(410)보다 동작 속도는 느린 메모리일 수 있다. 예를 들어, 제1캐시 메모리(410)가 DRAM이라면 메인 메모리(130)는 FLASH메모리, PCRAM 및 RRAM 중 하나일 수 있다.
- [0047] 제1캐시 메모리(410)는 메인 메모리(130)의 메인 페이지들과 동일한 개수(128M)의 영역들(Regions)을 포함할 수 있다. 영역들 각각은 메타 데이터(mata data)를 저장하므로 비교적 작은 저장용량(예, 4B)을 가질 수 있다. 제1캐시 메모리(410)의 액세스시 영역들 중 하나의 영역이 제1어드레스(ADD1<0:26>)에 의해 선택되어 액세스될 수 있다. 영역들 각각에는 도 5와 같은 정보들이 저장될 수 있다.
- [0048] 도 5를 참조하면, 불량 정보(Faulty)는 제1캐시 메모리(110)의 해당 영역에 대응하는 메인 메모리(130)의 메인 페이지에 불량이 존재하는지의 여부를 나타낼 수 있다. 불량 정보(Faulty)는 1비트일 수 있으며, 불량 정보(Faulty)가 '1'이면 불량이 존재한다는 것을 나타내고 불량 정보(Faulty)가 '0'이면 불량이 존재하지 않는다는 것을 나타낼 수 있다. 제2어드레스(ADD2<0:19>)는 메인 페이지에 불량이 존재하는 경우에 해당 메인 페이지를 대체할 스페어 메모리(420) 내의 스페어 페이지의 어드레스를 나타낼 수 있다. 메인 페이지에 불량이 존재하는 경우에 제2어드레스(ADD2<0:19>)를 이용해 스페어 메모리(420)를 액세스할 수 있다. 제2어드레스(ADD2<0:19>)의 비트 수는 스페어 메모리(420) 내의 스페어 페이지의 개수에 따라 결정될 수 있다. 여기서는 스페어 메모리(420)가 1M개의 스페어 페이지들을 포함하는 것으로 예시했으므로 제2어드레스(ADD2<0:19>)의 비트 수가 20비트인 것으로 예시했다. 제1캐시 메모리(410)의 영역에서 남은 나머지 11비트는 사용되지 않을 수 있다(Unused).
- [0049] 스페어 메모리(420)는 다수의 스페어 페이지들(Spare Pages)을 포함할 수 있다. 스페어 페이지들 각각은 메인 메모리(130)의 메인 페이지들과 동일한 저장 용량(예, 1KB)을 가질 수 있다. 그리고 스페어 페이지들의 개수는 제2어드레스의 비트수에 대응할 수 있다. 여기서는 제2어드레스(ADD2<0:19>)가 20비트인 것으로 예시되었으므로 캐시 페이지들의 개수가 1M($=2^{20}$)일 수 있다. 스페어 페이지들에는 대응하는 메인 페이지들, 즉 오류가 있는 메인 페이지들, 에 저장되어야 할 데이터가 저장될 수 있다. 즉, 스페어 페이지들은 오류가 있는 메인 페이지들을 대체(리페어)할 수 있다. 제2어드레스(ADD2<0:19>)는 스페어 메모리(420)에서 스페어 페이지들 중 하나의 스페어 페이지를 선택하기 위해 사용되고, 제3어드레스(ADD3<0:9>)는 선택된 스페어 페이지(1KB) 내에서 1바이트(1B)의 데이터를 선택하기 위해 사용될 수 있다. 스페어 메모리(420)는 메인 메모리(130)와 동일한 종류의 메모리일 수 있다.
- [0050] 액세스 제어부(440)는 메모리 컨트롤러(호스트)(MEMORY CONTROLLER (HOST))로부터 전달되는 커맨드(CMD)와 어드레스(ADD<0:36>)에 응답해 제1캐시 메모리(410), 스페어 메모리(420) 및 메인 메모리(130)에 액세스하고, 제1캐시 메모리(410), 스페어 메모리(420) 및 메인 메모리(130)의 데이터(DATA)를 메모리 컨트롤러(호스트)(MEMORY CONTROLLER (HOST))와 주고받을 수 있다.
- [0051] 도 6은 메모리 시스템(400)의 동작을 도시한 순서도인데, 이를 참조해 메모리 시스템(400)의 동작에 대해 알아보기로 한다.
- [0052] 먼저, 메모리 컨트롤러(호스트)로부터 메모리 시스템(400)을 액세스하기 위한 커맨드(CMD)(예, 리드 커맨드 또는 라이트 커맨드)와 어드레스(ADD<0:36>)가 인가될 수 있다(S610). 여기서, 커맨드(CMD)가 라이트 커맨드인 경우에는 메모리 시스템(400)에 라이트될 데이터(DATA)도 메모리 시스템(400)으로 인가될 수 있다.
- [0053] 액세스 제어부(440)는 먼저 제1캐시 메모리(410)를 액세스할 수 있다(S620). 액세스 제어부(440)는 메모리 컨트롤러(호스트)로부터 전달된 어드레스(ADD<0:36>) 중 27비트를 제1캐시 메모리(410)를 액세스하기 위한 제1어드레스(ADD1<0:26>)로 사용할 수 있다.

- [0054] 제1어드레스(ADD1<0:26>)를 이용해 액세스된 제1캐시 메모리(410)의 선택된 영역에 불량이 존재한다는 정보가 저장되어 있는 경우에(S630에서 Y), 즉 불량 정보(Faulty)='1'인 경우에, 액세스 제어부(440)는 제1캐시 메모리(410)의 선택된 영역에 저장된 제2어드레스(ADD2<0:19>)를 이용해 스페어 메모리(420)를 액세스할 수 있다(S640). 스페어 메모리(420)의 액세스시에 제2어드레스(ADD2<0:19>)는 스페어 메모리(420)에서 스페어 페이지를 선택하기 위해 사용되고, 제3어드레스(ADD3<0:9>)는 선택된 스페어 페이지에서 데이터를 선택하기 위해 사용될 수 있다. 제3어드레스(ADD3<0:9>)는 단계(S610)에서 액세스 제어부(640)가 메모리 컨트롤러(호스트)로부터 수신한 어드레스(ADD<0:36>) 중 제1어드레스(ADD1<0:26>)를 제외한 나머지 어드레스일 수 있다. 단계(S610)에서 액세스 제어부(640)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 리드 커맨드인 경우에 단계(S640)에서 스페어 메모리(420)로부터 리드된 데이터가 액세스 제어부(440)를 통해 메모리 컨트롤러(호스트)로 전송될 수 있다. 그리고, 단계(S610)에서 액세스 제어부(440)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 라이트 커맨드인 경우에 단계(S610)에서 액세스 제어부(440)가 메모리 컨트롤러(호스트)로부터 수신한 데이터(DATA)가 단계(S640)에서 스페어 메모리(420)로 라이트될 수 있다.
- [0055] 제1어드레스(ADD1<0:26>)를 이용해 액세스된 제1캐시 메모리(410)의 선택된 영역에 불량이 존재하지 않는다는 정보가 저장되어 있는 경우에(S630에서 N), 즉 불량 정보(Faulty)='0'인 경우에, 액세스 제어부(440)는 제1어드레스(ADD1<0:26>)와 제3어드레스(ADD3<0:9>)를 이용해 메인 메모리(130)를 액세스할 수 있다(S650). 제3어드레스(ADD3<0:9>)는 단계(S610)에서 액세스 제어부(440)가 메모리 컨트롤러(호스트)로부터 수신한 어드레스(ADD<0:36>) 중 제1어드레스(ADD1<0:26>)를 제외한 나머지 어드레스일 수 있다. 단계(S610)에서 액세스 제어부(440)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 리드 커맨드인 경우에 단계(S650)에서 메인 메모리(130)로부터 리드된 데이터가 액세스 제어부(440)를 통해 메모리 컨트롤러(호스트)로 전송될 수 있다. 그리고, 단계(S610)에서 액세스 제어부(440)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 라이트 커맨드인 경우에 단계(S610)에서 액세스 제어부(440)가 메모리 컨트롤러(호스트)로부터 수신한 데이터(DATA)가 단계(S650)에서 메인 메모리(130)로 라이트될 수 있다.
- [0056] 메모리 시스템(400)에서는 먼저 제1캐시 메모리(410)가 액세스되어 불량의 존재 여부가 확인되고, 불량이 존재하는 경우에는 제1캐시 메모리(410)에 저장된 제2어드레스(ADD2<0:19>)를 이용해 스페어 메모리(420)가 액세스되어 불량 없이 데이터가 리드 또는 라이트될 수 있다. 그리고, 불량이 존재하지 않는 경우에는 메인 메모리(130)가 액세스되어 데이터가 리드 또는 라이트될 수 있다. 이러한 리페어 스킴은 리페어를 위한 메모리 시스템(400)의 면적 증가를 최소화하면서도 메인 메모리(130)의 리페어를 가능하게 할 수 있다.
- [0057] 도 4에 도시된 메모리 시스템(400)의 구성들(410, 420, 130, 440)은 기능적인 분류를 의미하며 물리적인 구별을 의미하는 것이 아니다. 예를 들어, 도 4의 구성들(410, 420, 130, 440) 중 2 이상의 구성들이 하나의 물리적인 반도체 칩에 형성되거나 하나의 반도체 패키지 내에 포함될 수도 있다. 또한, 도 4에서 예시된 제1캐시 메모리(410), 스페어 메모리(420) 및 메인 메모리(130)의 전체 용량, 페이지의 개수 및 페이지의 용량은 예시일 뿐이며, 이는 얼마든지 변경될 수 있음은 당연하다.
- [0059] 도 7은 본 발명의 또 다른 실시예에 따른 메모리 시스템의 구성도이다.
- [0060] 도 7을 참조하면, 메모리 시스템(700)은 제1캐시 메모리(710), 제2캐시 메모리(120), 스페어 메모리(420), 메인 메모리(130) 및 액세스 제어부(740)를 포함할 수 있다.
- [0061] 메인 메모리(130)는 큰 저장 용량을 가지고, 다수의 메인 페이지들을 포함할 수 있다. 예를 들어, 메인 메모리는 전체 128GB(Giga Byte)의 저장 용량을 가지고, 128M개의 메인 페이지를 가지고 각 메인 페이지는 1KB(Kilo Byte)의 저장 용량을 가질 수 있다. 그리고 각 메인 페이지 내에서 바이트 단위로 데이터의 어드레싱이 가능할 수, 즉 각 메인 페이지는 Byte Addressable할 수, 있다. 메인 메모리(130)로 입력되는 제1어드레스(ADD1<0:26>)는 메인 메모리(130)의 128M개의 메인 페이지 중 하나의 메인 페이지를 선택하는데 사용될 수 있다. 그러므로 제1어드레스(ADD1<0:26>)는 27비트일 수 있다($2^{27}=128M$). 메인 메모리(130)로 입력되는 제3어드레스(ADD3<0:9>)는 제1어드레스(ADD1<0:26>)에 의해 선택된 메인 페이지(1KB) 내에서 1바이트의 데이터를 선택하기위해 사용될 수 있다. 그러므로 제3어드레스(ADD3<0:9>)는 10비트일 수 있다($2^{10}=1K$). 메인 메모리(130)와 스페어 메모리(420)는 제1캐시 메모리(710)와 제2캐시 메모리(120)보다 동작 속도는 느린 메모리일 수 있다. 예를 들어, 제1캐시 메모리(710)와 제2캐시 메모리(120)가 DRAM이라면 메인 메모리(130)와 스페어 메모리(420)는 FLASH메모리, PCRAM 및 RRAM 중 하나일 수 있다.

- [0062] 제1캐시 메모리(710)는 메인 메모리(130)의 메인 페이지들과 동일한 개수(128M)의 영역들(Regions)을 포함할 수 있다. 영역들 각각은 메타 데이터(meta data)를 저장하므로 비교적 작은 저장용량(예, 4B)을 가질 수 있다. 제1캐시 메모리(710)의 액세스시 영역들 중 하나의 영역이 제1어드레스(ADD1<0:26>)에 의해 선택되어 액세스될 수 있다. 영역들 각각에는 도 8와 같은 정보들이 저장될 수 있다.
- [0063] 도 8을 참조하면, 캐시 정보(Cached)는 제1캐시 메모리(710)의 해당 영역에 대응하는 메인 메모리(130)의 메인 페이지에 대한 캐시된 데이터가 제2캐시 메모리(120)에 존재하는지의 여부를 나타낼 수 있다. 캐시 정보(Cached)는 1비트일 수 있으며, 캐시 정보(Cached)가 '1'이면 캐시된 데이터가 존재한다는 것을 나타내고 캐시 정보(Cached)가 '0'이면 캐시된 데이터가 존재하지 않는다는 것을 나타낼 수 있다. 불량 정보(Faulty)는 제1캐시 메모리(710)의 해당 영역에 대응하는 메인 메모리(130)의 메인 페이지에 불량이 존재하는지의 여부를 나타낼 수 있다. 불량 정보(Faulty)는 1비트일 수 있으며, 불량 정보(Faulty)가 '1'이면 불량이 존재한다는 것을 나타내고 불량 정보(Faulty)가 '0'이면 불량이 존재하지 않는다는 것을 나타낼 수 있다. 더티/클린 정보(Dirty/Clean)는 제2캐시 메모리(120)에 캐시된 데이터와 메인 메모리(130)에 저장된 데이터가 일치하는지/아닌지에 대한 정보를 의미한다. 더티/클린 정보(Dirty/Clean)는 1비트일 수 있으며, 더티/클린 정보(Dirty/Clean)가 '1'이면 더티, 즉 제2캐시 메모리(120)에 캐시된 데이터와 메인 메모리(130)에 저장된 데이터가 일치하지 않음을 의미할 수 있다. 더티/클린 정보(Dirty/Clean)가 '0'이면 클린, 즉 제2캐시 메모리(120)에 캐시된 데이터와 메인 메모리(130)에 저장된 데이터가 일치함을 의미할 수 있다. 카운터 정보(Counter)는 해당 영역의 액세스 회수를 나타낼 수 있다. 카운터 정보(Counter)는 9비트인 것으로 예시했다. 제2어드레스(ADD2<0:19>)는 캐시된 데이터가 저장된 제2캐시 메모리(120)의 어드레스 또는 해당 메인 페이지를 대체할 스페어 메모리(420) 내의 스페어 페이지의 어드레스를 나타낼 수 있다. 캐시된 데이터가 존재하는 경우에는 제2어드레스(ADD2<0:19>)를 이용해 제2캐시 메모리(120)를 액세스할 수 있으며, 불량이 존재하는 경우에는 제2어드레스(ADD2<0:19>)를 이용해 스페어 메모리(420)를 액세스할 수 있다. 제2어드레스(ADD2<0:19>)의 비트 수는 제2캐시 메모리(120) 내의 캐시 페이지의 개수 및 스페어 메모리(420) 내의 스페어 페이지의 개수에 따라 결정될 수 있다. 여기서는 제2캐시 메모리(120)가 1M개의 캐시 페이지들을 포함하고 스페어 메모리(420)가 1M개의 스페어 페이지들을 포함하는 것으로 예시했으므로 제2어드레스(ADD2<0:19>)의 비트 수가 20비트인 것으로 예시했다.
- [0064] 제2캐시 메모리(120)는 다수의 캐시 페이지들(Cache Pages)을 포함할 수 있다. 캐시 페이지들 각각은 메인 메모리(130)의 메인 페이지들과 동일한 저장 용량(예, 1KB)을 가질 수 있다. 그리고 캐시 페이지들의 개수는 제2어드레스의 비트수에 대응할 수 있다. 여기서는 제2어드레스(ADD2<0:19>)가 20비트인 것으로 예시되었으므로 캐시 페이지들의 개수가 1M($=2^{20}$)일 수 있다. 캐시 페이지들에는 대응하는 메인 페이지들의 캐시된 데이터가 저장될 수 있다. 제2어드레스(ADD2<0:19>)는 제2캐시 메모리(120)에서 캐시 페이지들 중 하나의 페이지를 선택하기 위해 사용되고, 제3어드레스(ADD3<0:9>)는 선택된 캐시 페이지(1KB) 내에서 1바이트(1B)의 데이터를 선택하기 위해 사용될 수 있다.
- [0065] 스페어 메모리(420)는 다수의 스페어 페이지들(Spare Pages)을 포함할 수 있다. 스페어 페이지들 각각은 메인 메모리(130)의 메인 페이지들과 동일한 저장 용량(예, 1KB)을 가질 수 있다. 그리고 스페어 페이지들의 개수는 제2어드레스의 비트수에 대응할 수 있다. 여기서는 제2어드레스(ADD2<0:19>)가 20비트인 것으로 예시되었으므로 캐시 페이지들의 개수가 1M($=2^{20}$)일 수 있다. 스페어 페이지들에는 대응하는 메인 페이지들, 즉 오류가 있는 메인 페이지들, 에 저장되어야 할 데이터가 저장될 수 있다. 즉, 스페어 페이지들은 오류가 있는 메인 페이지들을 대체(리페어)할 수 있다. 제2어드레스(ADD2<0:19>)는 스페어 메모리(420)에서 스페어 페이지들 중 하나의 스페어 페이지를 선택하기 위해 사용되고, 제3어드레스(ADD3<0:9>)는 선택된 스페어 페이지(1KB) 내에서 1바이트(1B)의 데이터를 선택하기 위해 사용될 수 있다. 스페어 메모리(420)는 메인 메모리(130)와 동일한 종류의 메모리일 수 있다.
- [0066] 액세스 제어부(740)는 메모리 컨트롤러(호스트)(MEMORY CONTROLLER (HOST))로부터 전달되는 커맨드(CMD)와 어드레스(ADD<0:36>)에 응답해 제1캐시 메모리(710), 제2캐시 메모리(120), 스페어 메모리(420) 및 메인 메모리(130)에 액세스하고, 제1캐시 메모리(710), 제2캐시 메모리(120), 스페어 메모리(420) 및 메인 메모리(130)의 데이터(DATA)를 메모리 컨트롤러(호스트)(MEMORY CONTROLLER (HOST))와 주고받을 수 있다.
- [0067] 도 9는 메모리 시스템(700)의 동작을 도시한 순서도인데, 이를 참조해 메모리 시스템(700)의 동작에 대해 알아보기로 한다.
- [0068] 먼저, 메모리 컨트롤러(호스트)로부터 메모리 시스템(700)을 액세스하기 위한 커맨드(CMD)(예, 리드 커맨드 또는 라이트 커맨드)와 어드레스(ADD<0:36>)가 인가될 수 있다(S910). 여기서, 커맨드(CMD)가 라이트 커맨드인 경

우에는 메모리 시스템(700)에 라이트될 데이터(DATA)도 메모리 시스템(700)으로 인가될 수 있다.

- [0069] 액세스 제어부(740)는 먼저 제1캐시 메모리(710)를 액세스할 수 있다(S920). 액세스 제어부(740)는 메모리 컨트롤러(호스트)로부터 전달된 어드레스(ADD<0:36>) 중 27비트를 제1캐시 메모리(710)를 액세스하기 위한 제1어드레스(ADD1<0:26>)로 사용할 수 있다. 제1캐시 메모리(710)의 액세스시에 제1어드레스(ADD1<0:26>)를 이용해 액세스된 제1캐시 메모리(710)의 선택된 영역의 더티/클린 정보(Dirty/Clean) 및 카운터 정보(Counter)가 업데이트될 수 있다.
- [0070] 제1어드레스(ADD1<0:26>)를 이용해 액세스된 제1캐시 메모리(710)의 선택된 영역에 캐시된 데이터가 존재한다는 정보가 저장되어 있는 경우에(S930에서 Y), 즉 캐시 정보(Cached)='1'인 경우에, 액세스 제어부(740)는 제1캐시 메모리(710)의 선택된 영역에 저장된 제2어드레스(ADD2<0:19>)를 이용해 제2캐시 메모리(120)를 액세스할 수 있다(S940). 제2캐시 메모리(120)의 액세스시에 제2어드레스(ADD2<0:19>)는 제2캐시 메모리(120)에서 캐시 페이지를 선택하기 위해 사용되고, 제3어드레스(ADD3<0:9>)는 선택된 캐시 페이지에서 데이터를 선택하기 위해 사용될 수 있다. 제3어드레스(ADD3<0:9>)는 단계(S910)에서 액세스 제어부(740)가 메모리 컨트롤러(호스트)로부터 수신한 어드레스(ADD<0:36>) 중 제1어드레스(ADD1<0:26>)를 제외한 나머지 어드레스일 수 있다. 단계(S910)에서 액세스 제어부(740)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 리드 커맨드인 경우에 단계(S940)에서 제2캐시 메모리(120)로부터 리드된 데이터가 액세스 제어부(740)를 통해 메모리 컨트롤러(호스트)로 전송될 수 있다. 그리고, 단계(S910)에서 액세스 제어부(740)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 라이트 커맨드인 경우에 단계(S910)에서 액세스 제어부(740)가 메모리 컨트롤러(호스트)로부터 수신한 데이터(DATA)가 단계(S940)에서 제2캐시 메모리(120)로 라이트될 수 있다.
- [0071] 제1어드레스(ADD1<0:26>)를 이용해 액세스된 제1캐시 메모리(710)의 선택된 영역에 캐시된 데이터가 존재하지 않는다는 정보가 저장되어 있는 경우에(S930에서 N), 즉 캐시 정보(Cached)='0'인 경우에, 제1어드레스(ADD1<0:26>)를 이용해 액세스된 제1캐시 메모리(710)의 선택된 영역에 저장된 불량 정보(Faulty)가 확인될 수 있다(S950).
- [0072] 제1어드레스(ADD1<0:26>)를 이용해 액세스된 제1캐시 메모리(710)의 선택된 영역에 불량이 존재한다는 정보가 저장되어 있는 경우에(S950에서 Y), 즉 불량 정보(Faulty)='1'인 경우에, 액세스 제어부(740)는 제1캐시 메모리(710)의 선택된 영역에 저장된 제2어드레스(ADD2<0:19>)를 이용해 스페어 메모리(420)를 액세스할 수 있다(S960). 스페어 메모리(420)의 액세스시에 제2어드레스(ADD2<0:19>)는 스페어 메모리(420)에서 스페어 페이지를 선택하기 위해 사용되고, 제3어드레스(ADD3<0:9>)는 선택된 스페어 페이지 내에서 데이터를 선택하기 위해 사용될 수 있다. 단계(S910)에서 액세스 제어부(740)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 리드 커맨드인 경우에 단계(S960)에서 스페어 메모리(420)로부터 리드된 데이터가 액세스 제어부(740)를 통해 메모리 컨트롤러(호스트)로 전송될 수 있다. 그리고 단계(S910)에서 액세스 제어부(740)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 라이트 커맨드인 경우에 단계(S910)에서 액세스 제어부(740)가 메모리 컨트롤러(호스트)로부터 수신한 데이터(DATA)가 단계(S960)에서 스페어 메모리(420)로 라이트될 수 있다.
- [0073] 제1어드레스(ADD1<0:26>)를 이용해 액세스된 제1캐시 메모리(710)의 선택된 영역에 불량이 존재하지 않는다는 정보가 저장되어 있는 경우에(S950에서 N), 즉 불량 정보(Faulty)='0'인 경우에, 액세스 제어부(740)는 제1어드레스(ADD1<0:26>)와 제3어드레스(ADD3<0:9>)를 이용해 메인 메모리(130)를 액세스할 수 있다(S970). 단계(S910)에서 액세스 제어부(740)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 리드 커맨드인 경우에 단계(S970)에서 메인 메모리(130)로부터 리드된 데이터가 액세스 제어부(740)를 통해 메모리 컨트롤러(호스트)로 전송될 수 있다. 그리고, 단계(S910)에서 액세스 제어부(740)가 메모리 컨트롤러(호스트)로부터 수신한 커맨드(CMD)가 라이트 커맨드인 경우에 단계(S910)에서 액세스 제어부(440)가 메모리 컨트롤러(호스트)로부터 수신한 데이터(DATA)가 단계(S970)에서 메인 메모리(130)로 라이트될 수 있다.
- [0074] 메모리 시스템(700)에서는 먼저 제1캐시 메모리(710)가 액세스되어 캐시된 데이터가 존재하는지의 여부가 확인되고, 캐시된 데이터가 존재하는 경우에는 제1캐시 메모리(710)에 저장된 제2어드레스(ADD2<0:19>)를 이용해 제2캐시 메모리(120)가 액세스되어 데이터가 리드 또는 라이트될 수 있다. 그리고, 캐시된 데이터가 존재하지 않는 경우에는 불량여부의 존재 여부가 확인되고, 불량여부 존재하는 경우에는 제1캐시 메모리(710)에 저장된 제2어드레스(ADD2<0:19>)를 이용해 스페어 메모리(420)가 액세스되어 불량 없이 데이터가 리드 또는 라이트될 수 있다. 그리고, 불량이 존재하지 않는 경우에는 메인 메모리(130)가 액세스되어 데이터가 리드 또는 라이트될 수 있다. 이러한 캐시 및 리페어 스킴은 캐시 및 리페어를 위한 메모리 시스템(700)의 면적 증가를 최소화하면서도 메모리 시스템(700)의 빠른 액세스를 가능하게 할 수 있다.

[0075] 메모리 시스템(700)에서 제2캐시 메모리(120)에 캐시될 데이터의 추가 및 제2캐시 메모리(120)에 이미 캐시된 데이터의 축출(eviction) 등의 동작은 제1캐시 메모리(710)에 저장된 더티/클린 정보(Dirty/Clean) 및 카운터 정보(Counter) 등을 참조하여 메모리 시스템(700)의 캐시 관리 규정에 따라 수행될 수 있다. 그리고 캐시될 데이터의 추가 및 이미 캐시된 데이터의 축출 등의 동작을 수행하기 위한 캐시 관리 로직(미도시)이 메모리 시스템(700)에 추가되거나 메모리 시스템(700) 외부에 존재할 수 있다.

[0076] 도 7에 도시된 메모리 시스템(700)의 구성들(710, 120, 420, 130, 740)은 기능적인 분류를 의미하며 물리적인 구별을 의미하는 것이 아니다. 예를 들어, 도 7의 구성들(710, 120, 420, 130, 740) 중 2 이상의 구성들이 하나의 물리적인 반도체 칩에 형성되거나 하나의 반도체 패키지 내에 포함될 수도 있다. 또한, 도 7에서 예시된 제1캐시 메모리(710), 제2캐시 메모리(120), 스페어 메모리(420) 및 메인 메모리(130)의 전체 용량, 페이지의 개수 및 페이지의 용량은 예시일 뿐이며, 이는 얼마든 변경될 수 있음은 당연하다.

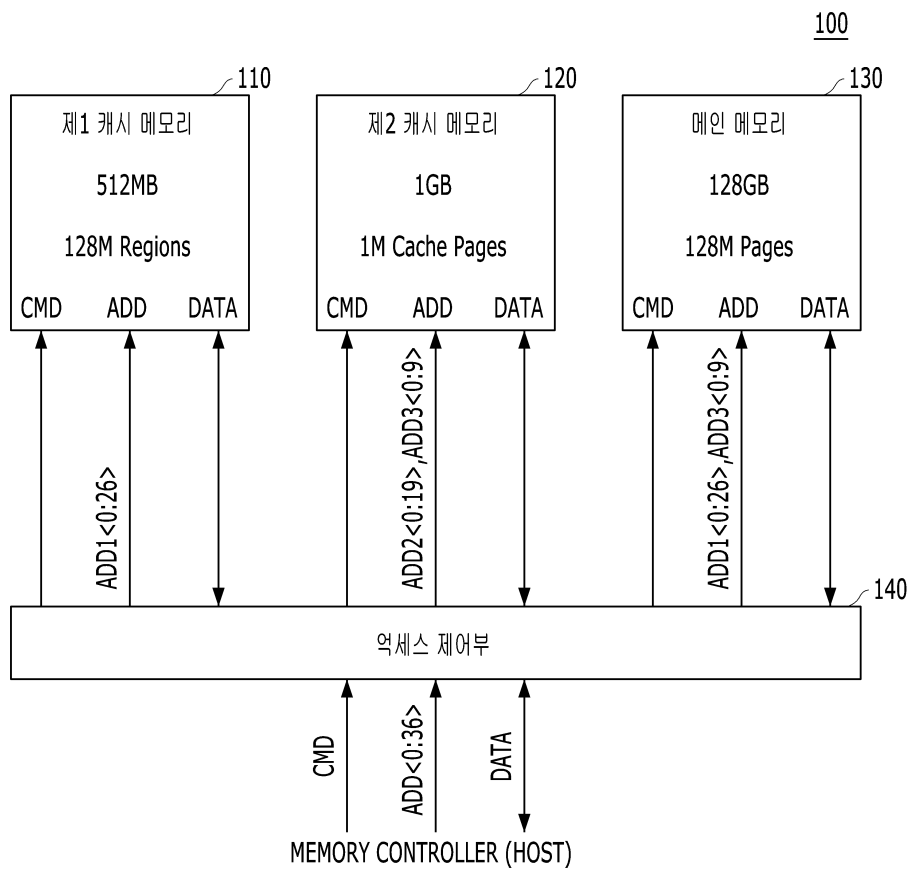
[0078] 본 발명의 기술 사상은 상기 바람직한 실시예들에 따라 구체적으로 기술되었으나, 상기한 실시예들은 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야에서 통상의 지식을 가진 자라면 본 발명의 기술사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

부호의 설명

[0080] 100: 메모리 시스템 110: 제1캐시 메모리(110)
120: 제2캐시 메모리 130: 메인 메모리(130)
140: 액세스 제어부

도면

도면1

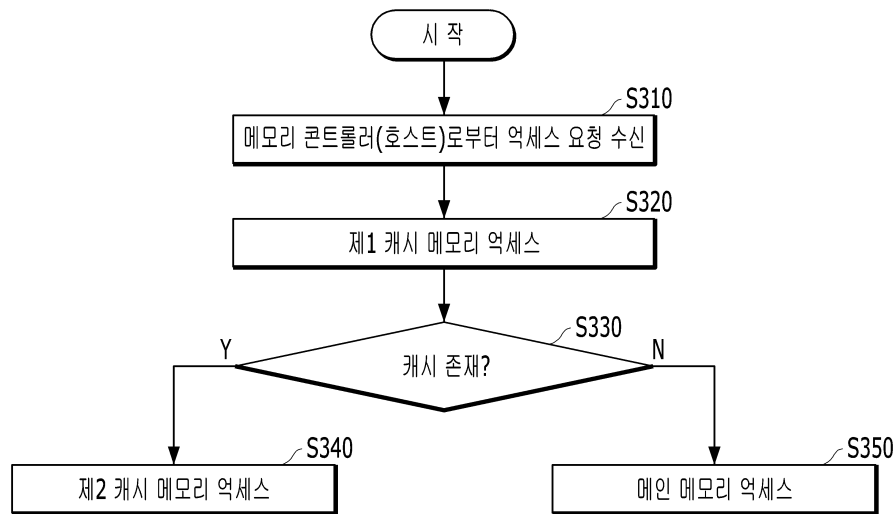


도면2

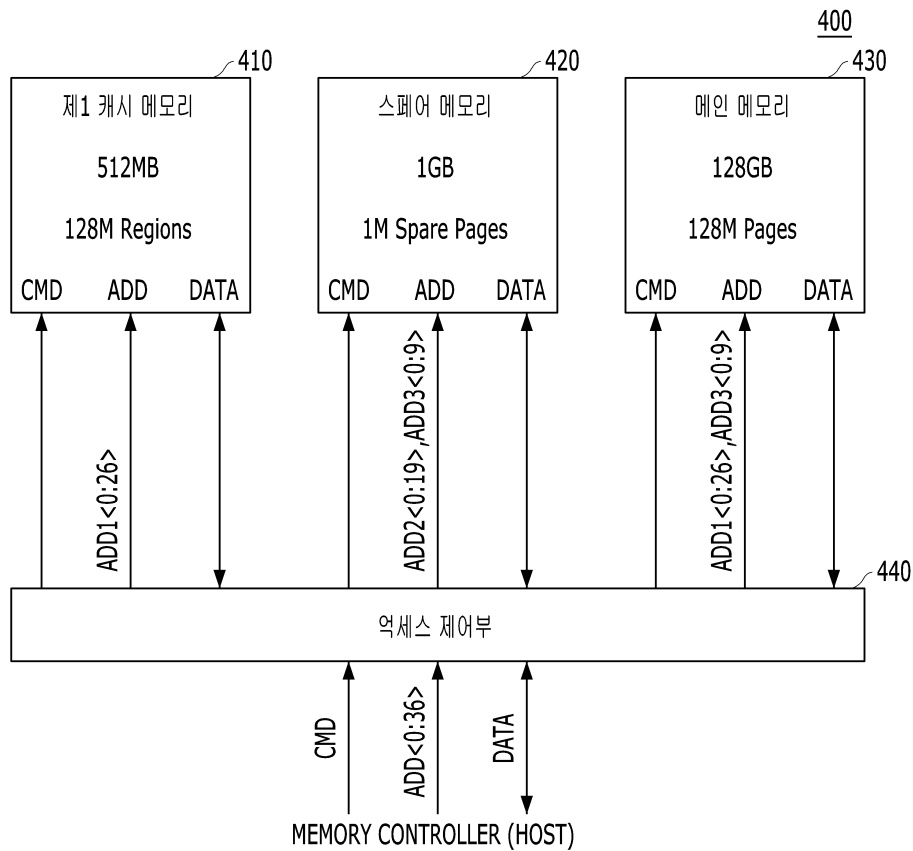
4B (32bit)

Cached	Dirty/Clean	Counter	ADD2	Unused
1bit	1bit	9bit	20bit	1bit

도면3



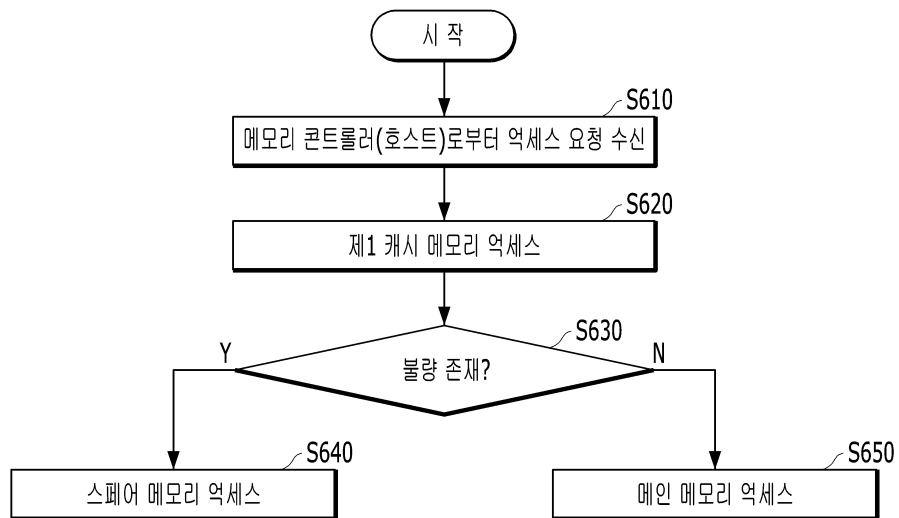
도면4



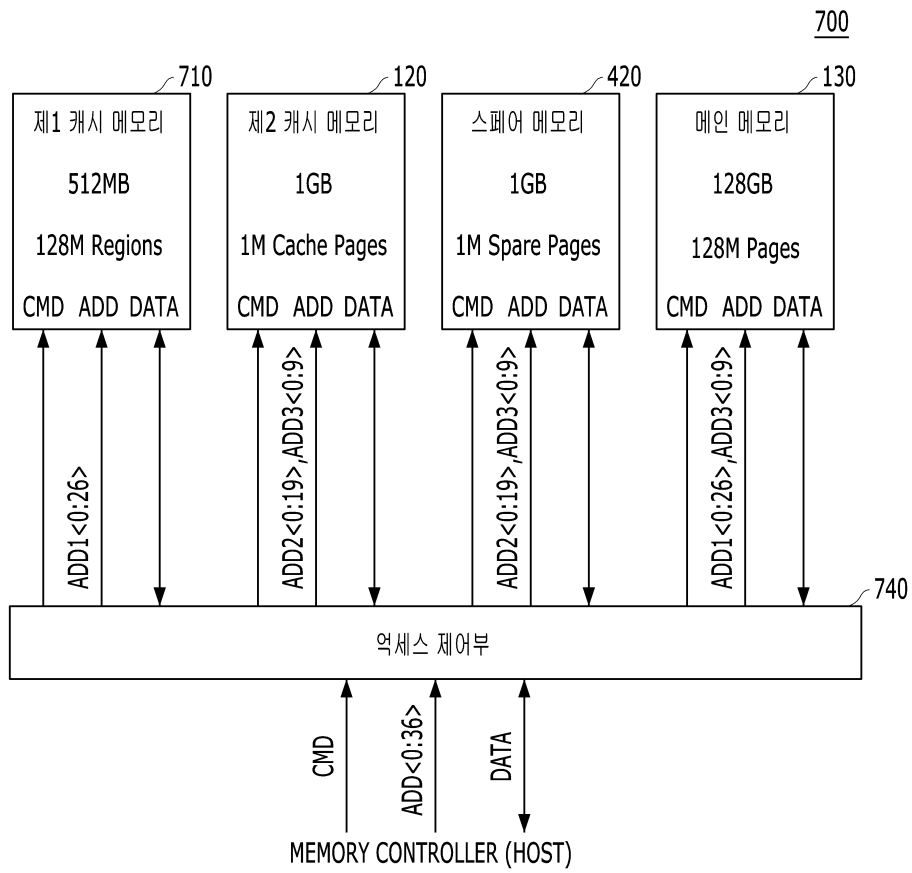
도면5

4B (32bit)		
Faulty	ADD2	Unused
1bit	20bit	11bit

도면6



도면7



도면8

4B (32bit)

Cached	Faulty	Dirty/Clean	Counter	ADD2
1bit	1bit	1bit	9bit	20bit

도면9

