

(21)申請案號：103119019

(22)申請日：中華民國 96 (2007) 年 03 月 15 日

(51)Int. Cl. : **G06F13/37 (2006.01)**

(30)優先權：2006/03/28	美國	60/787,710
2006/07/31	美國	11/496,278
2006/08/23	美國	60/839,534
2006/12/14	美國	11/639,375

(71)申請人：摩賽德科技股份有限公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED
(CA)

加拿大

(72)發明人：金鎮祺 KIM, JIN-KI (CA)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：18 項 圖式數：9 共 46 頁

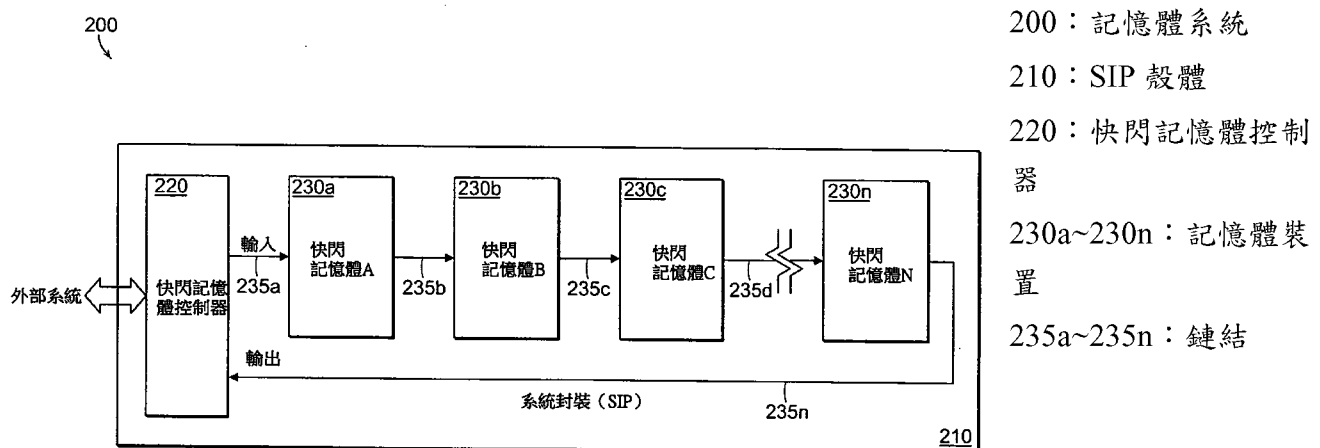
(54)名稱

非揮發性記憶體系統及控制非揮發性記憶體系統之方法

NONVOLATILE MEMORY SYSTEM

(57)摘要

在一系統封裝(SIP)殼體中實施一快閃記憶體系統，該系統包含一快閃記憶體控制器和複數個快閃記憶體裝置。SIP 係有關包含數個積體電路(晶片)的單一封裝和模組。快閃記憶體控制器係組態用以與外部系統和該 SIP 內的複數個記憶體裝置介接。該些記憶體裝置係以菊鍊式串接配置來組態，其藉由經由該菊鍊式串接所傳送的命令而受控於該快閃記憶體控制器。



200：記憶體系統

210：SIP 殼體

220：快閃記憶體控制器

230a~230n：記憶體裝置

235a~235n：鏈結

第2圖

(21)申請案號：103119019

(22)申請日：中華民國 96 (2007) 年 03 月 15 日

(51)Int. Cl. : **G06F13/37 (2006.01)**

(30)優先權：2006/03/28	美國	60/787,710
2006/07/31	美國	11/496,278
2006/08/23	美國	60/839,534
2006/12/14	美國	11/639,375

(71)申請人：摩賽德科技股份有限公司 (加拿大) MOSAID TECHNOLOGIES INCORPORATED
(CA)

加拿大

(72)發明人：金鎮祺 KIM, JIN-KI (CA)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：18 項 圖式數：9 共 46 頁

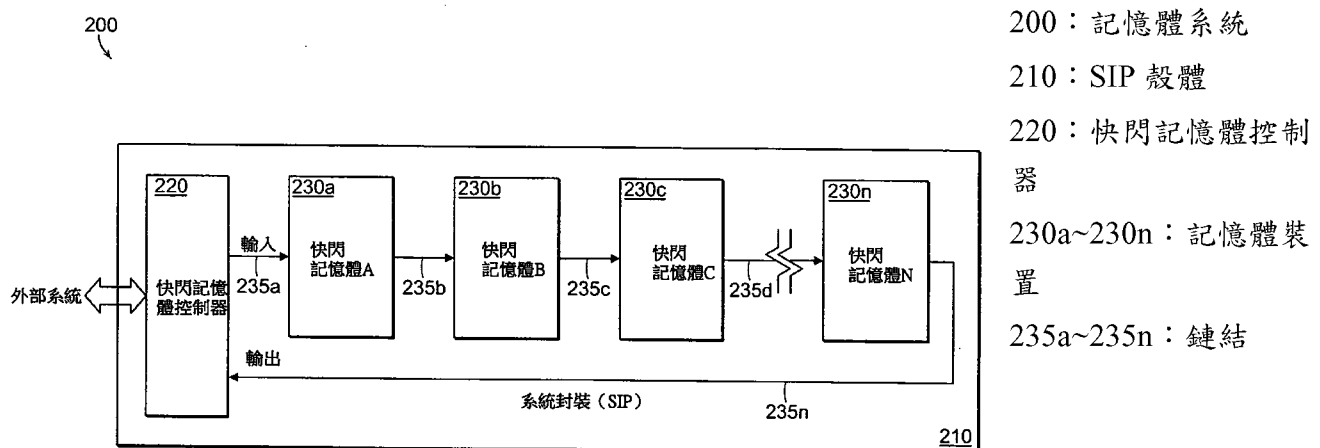
(54)名稱

非揮發性記憶體系統及控制非揮發性記憶體系統之方法

NONVOLATILE MEMORY SYSTEM

(57)摘要

在一系統封裝(SIP)殼體中實施一快閃記憶體系統，該系統包含一快閃記憶體控制器和複數個快閃記憶體裝置。SIP 係有關包含數個積體電路(晶片)的單一封裝和模組。快閃記憶體控制器係組態用以與外部系統和該 SIP 內的複數個記憶體裝置介接。該些記憶體裝置係以菊鍊式串接配置來組態，其藉由經由該菊鍊式串接所傳送的命令而受控於該快閃記憶體控制器。



200：記憶體系統

210：SIP 殼體

220：快閃記憶體控制器

230a~230n：記憶體裝置

235a~235n：鏈結

第2圖

發明摘要

※申請案號：103119019 (由9610897分案)

※申請日：96年3月15日

※IPC分類：G06F13/37 (2006.01)

【發明名稱】(中文/英文)

非揮發性記憶體系統及控制非揮發性記憶體系統之方法

Nonvolatile memory system

【中文】

在一系統封裝（SIP）殼體中實施一快閃記憶體系統，該系統包含一快閃記憶體控制器和複數個快閃記憶體裝置。SIP係有關包含數個積體電路（晶片）的單一封裝和模組。快閃記憶體控制器係組態用以與外部系統和該SIP內的複數個記憶體裝置介接。該些記憶體裝置係以菊鍊式串接配置來組態，其藉由經由該菊鍊式串接所傳送的命令而受控於該快閃記憶體控制器。

【英文】

A Flash memory system is implemented in a system-in-package (SIP) enclosure, the system comprising a Flash memory controller and a plurality Flash memory devices. An SIP relates to a single package or module comprising a number of integrated circuits (chips). The Flash memory controller is configured to interface with an external system and a plurality of memory devices within the SIP. The memory devices are configured in a daisy chain cascade arrangement, controlled by the Flash memory controller through commands transmitted through the daisy chain cascade.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：

200：記憶體系統

210：SIP 殼體

220：快閃記憶體控制器

230a～230n：記憶體裝置

235a～235n：鏈結

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

非揮發性記憶體系統及控制非揮發性記憶體系統之方法

Nonvolatile memory system

【技術領域】

相關申請案

本案係為 2006 年 7 月 31 日所申請之美國申請案 No. 11/496278 的部分延續案，其主張 2006 年 3 月 28 日所申請之美國暫時申請案 No. 60/787710 的優先權，該案係為 2005 年 12 月 30 日所申請之美國申請案 No. 11/324023 的部分延續案，其主張 2005 年 9 月 30 日所申請之美國暫時申請案 No. 60/722368 的優先權。本案主張 2006 年 8 月 23 日所申請之美國暫時申請案 60/839534 的優先權。上述申請案之整體教示包含於此處，以供作參考。

【技術領域】

本發明係有關於一種非揮發性記憶體系統。

【先前技術】

快閃記憶體係為用於消費者應用和行動儲存應用之關鍵授權技術，該些應用例如快閃儲存卡、數位影音播放器、行動電話、USB 快閃驅動器、和固態碟，以作為

HDD 之替代。隨著更高密度儲存的需求增加，快閃記憶體解決方案持續發展，提供更高的密度和更低的製造成本。

二普遍的快閃記憶體解決方案係為 NOR 快閃記憶體和 NAND 快閃記憶體。NOR 快閃記憶體通常具有較長的抹除和寫入時間，然而具有允許隨機存取至任意位置的完整位址和資料介面。記憶體胞元可幾近於可比較的 NAND 快閃記憶體胞元之兩倍尺寸。NOR 快閃記憶體係最為適於需要對於碼儲存的隨機存取性之應用。相對照之下，NAND 快閃記憶體相較於 NOR 快閃記憶體每一位元通常具有較為快速的抹除和寫入時間、較高的密度、和較低的成本；然而，其 I/O 介面僅允許對資料的序列存取，此適於例如音樂檔案和圖像檔案的資料儲存應用。

由於許多應用需要對資料的快速、隨機可存取性，已研發產品以結合兼具 NOR 和 NAND 快閃記憶體的優點。此類解決方式之一係為在單一積體電路（IC）上具有內建快閃控制器的 NAND 快閃記憶體。此裝置利用具有縮減成本和尺寸之 NAND 快閃陣列，用於以高速儲存資料。再者，控制邏輯存取並寫入至快閃陣列，以回應於外部命令，相比於習知 NOR 快閃裝置的介面，其提供具有對資料更高可存取性的介面。因此，具有內建快閃控制器的 NAND 快閃記憶體結合 NAND 快閃記憶體的速度和效能以及 NOR 快閃記憶體的可存取性。

【發明內容】

具有內建記憶體控制器的快閃記憶體裝置呈現數個缺點。在此一裝置中，數個組件組裝在單一矽晶粒上。通常，單一晶粒上的記憶體容量係由處理技術（尤其是最小特徵尺寸）所決定。為了要增加使用相同處理技術的記憶體容量，通常係配置有多晶片封裝（MCP）。舉例而言，二或四個晶片可整合至相同封裝，以增加記憶體容量。

用於控制對包含在一晶片中的記憶體陣列之存取的內建控制器，通常增加晶片尺寸為 15%至 30%。假如多個裝置係整合在一封裝中以增加記憶體容量，由於控制器電路在多個裝置之各個上重複，與記憶體控制器電路相關聯的尺寸負擔可能變為顯著的。再者，晶圓產率（在一晶圓上所製造的加工晶片數量）將趨向為晶片尺寸的函數。由一或多個內建控制器所需的額外空間增加晶片尺寸，且因此可導致整體晶圓產率的下降。

具有內建控制器之快閃記憶體的增加複雜度，在產品多樣性上、研發時間和成本上以及裝置性能上亦可具有不利影響。相對照於分離快閃記憶體，此一裝置需要更為複雜的電路佈局，此導致較長的研發週期。由於對設計的修改必須適用於整個晶片，亦阻礙產品的再設計。性能亦可能藉由此設計而降級。舉例而言，通常快閃記憶體需要高電壓電晶體，以提供程式和抹除操作。記憶體控制器係得益於來自使用高速電晶體；然而，在單一晶粒上實施高電壓和高速電晶體可顯著地增加製造成本。因此，內建控制

器可利用由快閃記憶體所需的高電壓電晶體，因而使控制器的性能變差。

本發明的實施例提供一種記憶體系統，其克服與內建快閃記憶體和其他裝置相關聯的部分缺點。該記憶體系統包含以一菊鍊式串接配置的複數個非揮發性記憶體裝置，其經由該菊鍊式串接所傳送的命令而藉由一記憶體控制器裝置來控制。該記憶體控制器裝置係與一外部系統介接，並藉由經由該菊鍊式串接配置之通訊來控制該些記憶體裝置的讀取、寫入和其他操作。在此一組態中，通訊係由第一記憶體裝置所接收，並以任意回應通訊而傳送至第二記憶體裝置。該處理係針對菊鍊式串接中的所有記憶體裝置重複，因而致使該記憶體控制器控制菊鍊式串接中的記憶體裝置。

記憶體系統的進一步實施例可在共同支援的組件中實施，例如：覆蓋有記憶體控制器和記憶體裝置的系統封裝（SIP）殼體。SIP係為包含數個積體電路（晶片）的單一封裝或模組。在此處所述的實施例中，在SIP內的快閃記憶體控制器係組態以與外部系統以及SIP內的複數個記憶體裝置介接。可選擇地，記憶體系統可在其他單一形狀因子裝置（例如：電路板）中實施。

本發明的進一步實施例包括單向菊鍊式串接，其藉由該單向菊鍊式串接，經由一系列記憶體裝置以單一方向傳送來自控制器的命令和記憶體資料，從該菊鍊式串接中的最後一個裝置返回至控制器。單向串接包括第一信號路

徑，用以運送與控制操作有關的信號；以及第二信號路徑，用以運送由該複數個非揮發性記憶體裝置所產生之對應於該些控制操作的信號。可實施雙向菊鍊式串接，其中命令和記憶體資料經由該些記憶體裝置以單一方向傳送，並經由該些裝置以相反方向返回至控制器。雙向菊鍊式串接可進一步包含鏈結，其組態以經由該串接以二方向運送信號。命令可經由該菊鍊式串接以序列模式而傳送，並伴隨識別一特定記憶體裝置的位址欄位。命令、資料和位址信號可藉由共用信號路徑而以一序列組態來運送。

本發明的實施例可被實施作為快閃記憶體系統，其中記憶體裝置包括快閃記憶體。記憶體控制器可執行快閃控制操作，例如：抹除快閃記憶體的區塊、程式化頁面、和讀取頁面。記憶體控制器可包含控制邏輯，用以提供邏輯位置至各個記憶體裝置上之實體位址的映射。所提供的映射亦可包括提供記憶體裝置上之損耗平衡（wear-leveling）的操作。記憶體控制器亦可經由 NOR 或其他介面而與外部系統相通訊，以及經由非揮發性記憶體裝置來控制該複數個 NAND 記憶體裝置。記憶體控制器裝置亦可包括記憶體陣列，藉此操作為主快閃記憶體。

經由菊鍊式串接所傳送的命令和資料可伴隨對應至該複數個記憶體裝置中的一者之位址。各個裝置藉由將該位址以及在該裝置上所建立的裝置 ID 作比較，來識別該些命令。在接收該些命令之前，記憶體裝置可產生對應於經由該菊鍊式串接所傳送的相關信號之裝置 ID。

【圖式簡單說明】

前述將從本發明的範例實施例之更為詳細的說明並伴隨著後附圖式而清楚得知，在所附圖式中，類似的元件符號係代表相同的元件。相關圖式並未依比例繪製，其作用僅在清楚表現本發明有關定理。

第 1 圖係為具有內建快閃記憶體控制器之習知記憶體裝置的方塊圖。

第 2 圖係為系統封裝（SIP）殼體中之記憶體系統的方塊圖，該記憶體系統具有以單向菊鍊式串接組態的複數個記憶體裝置。

第 3 圖係為系統封裝（SIP）殼體中之記憶體系統的方塊圖，該記憶體系統具有以雙向菊鍊式串接組態的複數個記憶體裝置。

第 4A 圖係為快閃記憶體控制器的方塊圖。

第 4B 圖係為具有 CPU 之快閃記憶體控制器的方塊圖。

第 5 圖係為 SIP 的方塊圖，該 SIP 包括主快閃記憶體以及以單向菊鍊式串接組態的複數個記憶體。

第 6 圖係為 SIP 的方塊圖，該 SIP 包括主快閃記憶體以及以雙向菊鍊式串接組態的複數個記憶體。

第 7 圖係為實施於 SIP 佈局中之記憶體系統的方塊圖。

第 8 圖係為 SIP 殼體中之記憶體系統的方塊圖，該

SIP 具有以單向菊鍊式串接組態並包含多個連接的複數個記憶體裝置。

第 9 圖係為 SIP 殼體中之記憶體系統的方塊圖，該 SIP 具有以雙向菊鍊式串接組態並共享共用埠的複數個記憶體裝置。

【實施方式】

本發明的範例實施例將敘述如下。

第 1 圖說明一積體快閃裝置 100，其具有快閃記憶體 135 和內建於單一積體電路中的控制邏輯。控制邏輯包括：用於與外部系統通訊之主機介面 110、記憶體緩衝器 115、用於與記憶體 135 介接的狀態機 125、內部暫存器 120、和錯誤校正邏輯 130。舉例而言，在讀取操作期間，內部暫存器 120 接收來自主機介面 110 的命令和位址資料。狀態機 125 根據讀取操作而接收此資料並存取快閃記憶體 135。狀態機 125 接收來自快閃記憶體 135 的序列資料，從其中擷取該請求的資料。在由錯誤校正邏輯 130 驗證之後，該請求的資料被傳送至記憶體緩衝器 115，以傳送至外部系統。有關具有內建控制器的快閃記憶體裝置之操作的進一步細節，可在三星電子公司 2005 年 12 月 23 日所發表的「OneNAND™規格書」第 1.2 版得知。

第 2 圖係為說明系統封裝（SIP）殼體 210 中之記憶體系統 200 的方塊圖，該記憶體系統 200 具有以菊鍊式串接組態的複數個記憶體裝置 230a~230n。SIP 係為包含數

個積體電路（晶片）的單一封裝或模組。SIP 可設計為以獨立系統或系統組件來操作，其執行電子系統（例如：行動電話、個人電腦、或數位音樂播放器）的數個或所有功能。晶片在封裝或模組內部可彼此並排地垂直堆疊或水平放置。晶片通常係藉由圍繞封裝之佈線而連接。可選擇地，晶片可使用焊錫凸塊來連接，以將它們以覆晶技術而接合在一起。

SIP 可包含安裝在相同基板上的數個電路組件和被動式組件。舉例而言，SIP 可包括在特殊應用積體電路（ASIC）中實施的處理器、在個別電路晶粒中實施的記憶體、以及與該電路相關聯的電阻和電容。此種組件之組合致使可在單一封裝中建立完整功能性元件，此排除增加數個外部組件以產生功能性系統之需要。利用 SIP 裝置的設計，由於其減低 SIP 之外部系統的複雜性，在侷限環境中（例如：膝上型電腦、MP3 播放器、和行動電話）尤其是有用的。

如第 2 圖所述的快閃記憶體系統 200 係在 SIP 殼體 210 中實施，且包括快閃記憶體控制器 220 和複數個快閃記憶體裝置 230a~230n。根據 SIP 架構，快閃記憶體控制器 220 和快閃記憶體裝置 230a~230n 係在分離的電路晶粒（晶片）中實施，並根據藉由例如圍繞在封裝中的佈線或藉由覆晶接面來連接。快閃記憶體控制器 220 經由系統介面而與外部系統（圖未示）相通訊，例如：電腦系統。系統介面提供介於快閃記憶體控制器 220 和外部系統之間

的複數條信號路徑，該些信號路徑傳送和接收記憶體資料、命令、時脈信號以及其他與控制記憶體系統 200 相關聯的信號。

快閃記憶體控制器 220 可與以單向菊鍊式串接配置的一或多個快閃記憶體裝置 230a~230n 相通訊，以回應與外部系統的通訊或其他指示。在單向菊鍊式串接組態中，菊鍊式串接中的各個裝置將已接收的信號以及已產生的信號傳送至接續的裝置，藉此提供通過該些裝置的信號通訊路徑 235。信號路徑 235 包含介於裝置之間的多個鏈結 235a~235n，且因此表示來自快閃記憶體控制器 220 的通訊，以及經由菊鍊式串接中的快閃記憶體裝置 230a~230n，返回至快閃記憶體控制器 220 之單一、單向流動。可選擇地，鏈結 235a~235n 可為雙向的，其連接至個別裝置上的驅動器和接收器電路。

在此例中，快閃記憶體控制器 220 經由信號路徑 235a 傳送命令和資料信號至菊鍊式串接中的第一快閃記憶體裝置 230a（快閃記憶體 A）。快閃記憶體 230a 根據已接收的命令來回應，其可包括擷取已儲存的資料、寫入資料，或是執行其他操作。接著，快閃記憶體 230a 將與該回應相關聯的任何資料伴隨著已接收的命令而輸出至下一個記憶體裝置 230b。相反地，假如已接收的命令並未定址至快閃記憶體 230a，裝置 230a 輸出已接收的命令而不執行額外的操作。快閃記憶體 230a 可藉由將與該命令相關聯的位址欄位以及儲存在記憶體 230a 上的裝置識別

符作比較，來判定該些命令是否已定址至記憶體 230a。

快閃記憶體 230b 接收來自記憶體 230a 的命令，並伴隨由著記憶體 230a 所產生的任何資料。由於藉由前個的記憶體 230a，快閃記憶體 230b 回應被定址至記憶體 230b 的任何命令，並將該些命令以及任何已產生的資料輸出至下一個裝置 230c。針對信號路徑 235 中的所有裝置重複接續的通訊，直至該些命令係由最後一個快閃記憶體 230n 所接收。快閃記憶體 230n 根據該些命令回應，並伴隨著由記憶體裝置 230a~230n 所產生的任何資料，經由信號路徑 235n 而將該些命令輸出至快閃記憶體控制器 220。因此，記憶體系統 200 的通訊經由信號路徑 235 而被傳送至菊鍊式串接中的所有裝置。信號路徑 235 可包含介於該些裝置之間的一或多個接腳或佈線連接，且可串聯地或並聯地運送信號。參考美國專利申請案 No. 11/324,023（多獨立序列式鏈結記憶體）、美國專利申請案 No. 11/495,278（菊鍊式串接裝置）、美國專利申請案 No. 11/521,734（非同步 ID 產生）、以及美國暫時申請案 No. 60/802,645（記憶體裝置的序列式互連）係為有關記憶體裝置的序列通訊以及菊鍊式串接組態之範例技術。上述申請案的整體教示包含於此處，以供作參考。

在此例中，記憶體系統 200 包含以此一方式組態的複數個快閃記憶體裝置 230a~230n，其中來自快閃記憶體控制器 220 的輸入信號被傳送至第一快閃記憶體裝置 230a，且來自最後一個裝置 230n 被傳送至快閃記憶體控

制器 220。在範例實施例中，所有信號（包括來自快閃記憶體控制器 220 的輸入信號和命令）從第一記憶體裝置 230a 向下流至最後一個記憶體裝置 230n。因此，所有的輸入和輸出信號是單向的、在信號路徑 235 上運送。輸入命令可包括目標裝置（例如：記憶體裝置 230a~230n 的一者）之位址。在系統初始化或電源開啟期間，針對各個快閃記憶體裝置 230a~230n 的獨特裝置位址可藉由快閃記憶體控制器 220 或快閃記憶體裝置 230a~230n 自身來指定，或可經由硬體程式化（例如：一次可程式化 OTP 陣列）而先前已指定。當快閃記憶體控制器 220 發佈伴隨著目標裝置位址的命令時，相對應的快閃記憶體裝置（裝置 230a~230n 的一者）執行已接收的命令。快閃記憶體裝置的其餘裝置以相關於已接收命令之旁通模式來操作，其將命令傳送至菊鍊式串接配置中的接續裝置，而沒有進一步的操作。

目標裝置位址可藉由識別符（ID）產生程序而在各個記憶體裝置 230a~230n 上建立。美國專利申請案 No. 11/521,734（非同步 ID 產生），其整體參照而併入於此，包括用於菊鍊式串接配置中的複數個記憶體裝置上產生 ID 之範例技術。在範例實施例中，菊鍊式串接中的各個裝置 230a~230n 具有一產生電路（圖未示）。當控制器 220 傳送「產生 ID」命令至裝置 230a~230n，第一裝置 230a 上的產生電路從控制器 220 接收第一值，由此值產生一裝置 ID。裝置 ID 可被儲存在第一裝置 230a 上的暫

存器，並被用來判定命令和資料是否被定址至該裝置 230a。此產生電路亦產生第二值，第二值係從第一裝置 230a 傳送至接續裝置 230b 的第一值遞增地修改。第二裝置 230b 上的產生電路從第二值產生裝置 ID，並傳送一修改值至第三裝置 230c。重複此程序，直至菊鍊式串接中的最後一個裝置 230n 建立裝置 ID。

可選擇地，快閃記憶體裝置 230a~230n 可利用裝置選擇信號（圖未示）來定址，其經由連接各個裝置 230a~230n 和快閃記憶體控制器 220 之信號路徑。在此一實施例中，快閃記憶體控制器 220 可將裝置選擇信號傳送至快閃記憶體裝置 230a（命令被定址至裝置 230a），藉此致使裝置 230a 回應已接收的命令，並執行已接收的命令。其餘的快閃記憶體裝置 230b~230n 可不接收裝置選擇信號，並因此將已接收的命令傳送至菊鍊式串接配置中的接續裝置而沒有進一步操作。

快閃記憶體係為非揮發性記憶體中的一種類型，其能夠保持已儲存資料而不需供應的電源或頻繁的更新操作。在供選擇的實施例中，可使用其他類型的非揮發性記憶體，以替代一或多個快閃記憶體裝置 230a~230n，或可併入至快閃記憶體裝置 230a~230n。同樣地，揮發性記憶體（例如：靜態隨機存取記憶體 SRAM 和動態隨機存取記憶體 DRAM）可併入至快閃記憶體裝置 230a~230n。此種供選擇實施例亦可能需要控制器 220 以根據記憶體之規格而操作，或可能需要額外或替代的記憶體控制器。快

閃記憶體控制器的操作將參照第 4 圖而進一步詳細敘述如下。

第 3 圖係為系統封裝（SIP）殼體 310 中之記憶體系統 300 的方塊圖，該記憶體系統 300 具有以菊鍊式串接組態的複數個快閃記憶體裝置 330a~330n。記憶體系統 300 可與第 2 圖的系統 200 比較，在此範圍內，快閃記憶體控制器 320 以及快閃記憶體裝置 330a~330n 可利用如同以上參照第 2 圖所述之控制器 220 和裝置 230a~230n 相同的方式來組態。然而，此系統 300 的控制器 320 和裝置 330a~330n 係經由雙向菊鍊式串接中的信號、包含多個鏈結 334a~334n 和 335a~334n（連接輸入和輸出埠上的裝置）的信號路徑 334 和 335 來相通訊。信號路徑 334、335 表示來自快閃記憶體控制器 320 的通訊信號，以及藉由信號路徑 334 經由菊鍊式串接中的快閃記憶體裝置 330a~330n，經由信號路徑 335 返回至快閃記憶體控制器 320 之流動。

快閃記憶體控制器 320 經由系統介面而與外部系統（圖未示，例如電腦系統）相通訊。該系統介面提供介於快閃記憶體控制器 320 和外部系統之間的複數條信號路徑，該些信號路徑傳送和接收記憶體資料、命令、時脈信號以及其他與控制記憶體系統 300 相關聯的信號。

快閃記憶體控制器 320 可與以雙向菊鍊式串接配置的一或多個快閃記憶體裝置 330a~330n 相通訊，以回應與外部系統的通訊或其他指示。在此處所述之雙向菊鍊式串

接組態中，快閃記憶體控制器 320 經由信號路徑 334a 而將命令和資料傳送至菊鍊式串接中的第一快閃記憶體裝置 330a（快閃記憶體 A）。菊鍊式串接中的各個快閃記憶體裝置 330a~330n 經由信號路徑 334 而將已接收的信號傳送至接續的裝置，直至菊鍊式串接中的最後一個裝置（快閃記憶體 N，330n）接收該些信號。

各個快閃記憶體裝置 330a~330n 回應被定址至該裝置的已接收信號，經由信號路徑 335 將對應的已產生信號傳送至快閃記憶體控制器 320。舉例而言，快閃記憶體控制器 320 可傳送被定址至快閃記憶體裝置 B 330b 的讀取命令，以擷取儲存在該裝置的資料。該命令被傳送通過快閃記憶體 A 330a（經由鏈結 334a~334b）並被快閃記憶體 B 330b 接收。快閃記憶體 B 藉由將已請求資料經由鏈結 335a~335b 而傳送至快閃記憶體控制器 320，以回應該命令。快閃記憶體 B 亦將命令傳送至快閃記憶體 C 330c，並進一步經由該串接而依序傳送至最後一個裝置（快閃記憶體 N，330n）。

在某些狀況下，快閃記憶體控制器 320 可針對一特定命令而定址多於一個記憶體裝置。進一步對於上述範例，該命令亦可請求來自快閃記憶體裝置 C 330c 的資料。在此一案例中，該裝置將接收來自快閃記憶體 B 330b 的命令，並藉由將該資料經由鏈結 335c 輸出而將已請求資料傳送至快閃記憶體控制器 320。因此，快閃記憶體控制器 320 將經由信號路徑 335 接收來自快閃記憶體裝置 B 330b

和快閃記憶體裝置 C 330c 的已請求資料。

因此，快閃記憶體控制器 320 可藉由傳送控制和資料信號該些信號經由雙向菊鍊式串接以第一方向傳送經由裝置 330a~330n（亦即，信號路徑 334），來控制快閃記憶體裝置 330a~330n，且回應通訊係經由雙向菊鍊式串接以第二方向傳送信號（亦即，信號路徑 335）而返回至控制器 320。記憶體裝置 330a~330n 亦可被組態以將控制和資料信號返回至快閃記憶體控制器 320，其中在該串接中的最後一個裝置（快閃記憶體裝置 330n）經由信號路徑 335 傳送控制和資料信號。

記憶體系統 300 的雙向菊鍊式串接提供各個記憶體裝置 330a~330n，沿著信號路徑 334、335 的進入和輸出鏈結至菊鍊式串接中其所連接的裝置。在供選擇的實施例中，該些裝置可經由以其他組態的鏈結來通訊。舉例而言，除了菊鍊式串接中的最後一個裝置以外的記憶體裝置可被組態以將回應通訊傳送至前個裝置。快閃記憶體 B 330b 可接收來自前個裝置 330a 的命令和資料，並將回應通訊回送至前個裝置 330a，用於由快閃記憶體控制器 320 所接收，而不是（或除了）將該通訊傳送至接續裝置 330c。當接收某些類型的通訊時，例如：高優先性命令或資料，快閃記憶體 B 可進一步組態以執行此操作。此一組態可在菊鍊式串接中的一或多個裝置實施，且對於減低記憶體系統 300 之某些操作的延遲是有用的。

第 4A 圖係為範例快閃記憶體控制器 400 的方塊圖。

控制器 400 的實施例可在個別積體電路晶粒上實施，並且可使用於 SIP 中，作為分別如上或如下參考第 2、3、8、和 9 圖所示之個別記憶體系統 200、300、800、和 900 的快閃記憶體控制器 220、320、820、和 920。控制器 400 亦可內建於快閃記憶體晶片中，控制器 400 和記憶體操作為主要快閃記憶體，其可被實施作為如下參考第 5 和 6 圖所示之個別記憶體系統 500、600 中的主要快閃記憶體 520、620。

快閃記憶體控制器 400 可執行對於控制快閃記憶體裝置之特定的部分或所有操作。舉例而言，典型快閃記憶體被讀取和程式化為包含預設數量記憶體位元之個別頁面，並在包含數個頁面的區塊中抹除。對應於此類操作的命令可儲存於快閃記憶體，以經由裝置控制器來擷取。NAND 快閃記憶體係由個別頁面存取。已擷取的頁面可進一步地複製至外部記憶體，例如隨機存取記憶體（RAM），其中在該頁面內的特定資料被擷取。某些寫入和存取操作亦可在快閃記憶體裝置本身內加以執行，因此免除了快閃記憶體控制器 400 上所需的某些功能。

快閃記憶體控制器 400 包括系統介面 480、控制邏輯 410、和快閃記憶體介面 490。系統介面 480 適於與外部主機系統相通訊，且可被組態為 NOR 快閃記憶體介面或是用於其他記憶體裝置（例如：雙資料率 DDR 動態隨機存取記憶體 DRAM）之介面、RAMBUS DRAM 介面、序列 ATA（SATA）介面、IEEE 1394、MMC 介面、或通用

序列匯排流（USB）。可選擇地，系統介面 480 可位於與控制邏輯 410 間隔開，其實施作為與快閃記憶體控制器 400 相通訊的個別裝置或系統之內部。

控制邏輯 410 包括緩衝 RAM 420；模式、時序和資料控制 425；內部暫存器 430；以及錯誤校正碼（ECC）邏輯 435。控制邏輯 410 係經由系統介面 480 和快閃記憶體介面 490 而分別與外部系統以及快閃記憶體裝置相通訊。緩衝 RAM 420 提供與系統介面 480 進入和輸出資料處理之內部緩衝器。內部暫存器 430 可包括位址暫存器、命令暫存器、組態暫存器、和狀態暫存器。模式、時序和資料控制 425 可由一狀態機所驅動，其接收來自快閃記憶體介面 490、ECC 邏輯 435、內部暫存器 430、和緩衝 RAM 420 之輸入。ECC 邏輯 435 提供錯誤偵測和校正給模式、時序和資料控制 425。

快閃記憶體介面 490 係為與菊鍊式串接配置之一或多個快閃記憶體裝置相通訊之實體快閃記憶體介面。範例快閃記憶體介面係如美國暫時申請案 No. 60/839,329（NAND 快閃記憶體裝置）所述，其整體併入於此作為參考。再者，快閃記憶體介面 490 和控制邏輯 410 可被組態以控制 NAND 快閃記憶體裝置，其提供如上述 NOR、DRAM 或系統介面 480 上的其他介面。因此，快閃記憶體控制器 400 可操作為「混合」控制器，其在 NOR 或其他介面上經由與一外部主機系統通訊而提供 NAND 快閃記憶體的 control。

快閃記憶體控制器 400（如本發明之實施例所施行）可操作為系統控制器，其經由該串接所傳送的命令和資料來控制記憶體裝置。此種命令和資料係由各記憶體裝置上的裝置控制器（圖未示）所接收，其依序執行對應於控制個別記憶體陣列之命令的演算法。

控制邏輯 410 可提供檔案記憶體管理，如第 4B 圖中的快閃控制 495 所示。檔案記憶體管理提供邏輯位址至實體位址的映射、判定已請求資料之實體位址。該映射更包括分配和重新分配儲存於該些裝置之資料的演算法，以改善性能或執行損耗平衡（wear-leveling）。

在範例讀取操作中，快閃記憶體控制器 400 從一外部主機系統（圖未示）接收系統介面 480 上的資料請求。該資料請求指示對於儲存於受記憶體控制器 400 所控制之一或多個記憶體裝置中的資料之邏輯位址。控制邏輯 400 判定相對應的實體位址。經由快閃記憶體介面 490，控制器 400 經由該串接之記憶體裝置伴隨著該請求資料的實體位址發佈「讀取命令」。目標記憶體裝置執行「讀取」演算法，以擷取該請求資料，其可包括載入頁面至裝置頁面緩衝器。在快閃記憶體介面 490 上，目標記憶體裝置將該請求資料傳送至快閃記憶體控制器 400。控制邏輯 410 驗證已接收資料並修正在錯誤校正碼（ECC）模組 435 上的錯誤。控制邏輯 410 接著將該請求資料載入至緩衝 RAM 420，其經由系統介面 480 而被傳送至外部主機系統。

程式操作可與上述的讀取操作相比較，其中快閃記憶

體控制器 400 從外部主機系統接收待被儲存至一或多個記憶體裝置中的資料。控制邏輯 410 基於資料映射、分配和損耗平衡機制中的一或多個來判定儲存該資料的實體位址。給定該實體位置，快閃記憶體控制器 400 伴隨著該資料和該判定之實體位址經由該串接之記憶體裝置來傳送「程式命令」。目標記憶體裝置將該資料載入至頁面緩衝器，並初始化「程式」演算法，以將該資料寫入至由該記憶體控制器 400 所判定之實體位址。在寫入操作之後，目標裝置發佈「程式驗證」信號，以指示該寫入是否成功。該目標記憶體裝置重複「程式」和「程式驗證」之循環，直至「程式驗證」指示成功的寫入操作。

在如上所述控制複數個串接記憶體裝置中，記憶體控制器 400 使用一通訊協定，該協定係與用於控制單一記憶體裝置或多點配置中的複數個記憶體裝置之協定不同。舉例而言，記憶體控制器 400 必須發佈對應至記憶體裝置的一位址，以選擇目標記憶體裝置。此位址（或是前述目標裝置 ID）可被整合至控制命令的結構內，藉此致使該串接中的特定裝置被選定。

第 4B 圖係為敘述第二範例快閃記憶體控制器的方塊圖，其可參照上述快閃控制器 400 的一或多個組態而被組態。快閃控制器 401 可與控制器 400 有所區別，在於其包括中央處理單元（CPU）470，其在更為複雜的工作上是有用的。

除了參照第 4A 圖所述之組件以外，快閃記憶體控制

器 401 包括被連接至時脈產生器和控制區塊的晶體振盪器 (Xtal) 476，其提供基礎時脈信號。時脈產生器和控制區塊 475 提供各種時脈信號給 CPU 470、快閃控制 495、和系統介面 465。CPU 470 經由共用匯流排 485 而與其他子系統相通訊。RAM 和 ROM 電路 496 亦被連接至共用匯流排 485，其中 RAM 提供緩衝記憶體且 ROM 儲存可執行碼。快閃控制器 495 包括實體快閃介面、ECC 區塊、和檔案與記憶體管理區塊。快閃記憶體裝置經由實體快閃介面而存取。來自快閃記憶體裝置的已存取資料藉由 ECC 區塊來檢驗和校正。檔案與記憶體管理區塊提供邏輯對實體位址轉換、損耗平衡演算法、和其他功能。

第 5 圖係為封入於 SIP 殼體中的另一範例記憶體系統 500 之方塊圖。該系統包括封入於 SIP 殼體中的數個裝置，該殼體有主要快閃記憶體裝置 520 和沿著信號路徑 535 以單向菊鍊式串接之複數個快閃記憶體裝置 530a～530n。信號路徑 535 包含連接該些裝置的多個鏈結 535a～535n。主要快閃記憶體裝置 520 將鏈結 535a 上的命令和資料傳送至第一記憶體裝置 530a，以及接收在鏈結 535n 上的來自該菊鍊式串接中之最後一個記憶體裝置 530n 的回應通訊。

該系統 500 可包含以上參考第 2 和 3 圖所述之系統 200、300 的特徵。主要快閃記憶體 520 包括內建於單一積體電路晶粒上的快閃記憶體之快閃記憶體控制器。該內建的快閃記憶體控制器可包含以上參考第 4A～4B 所述之

快閃記憶體控制器 400、401 的特徵。主要快閃記憶體裝置 520 經由系統介面而與外部系統相通訊，並控制以單向菊鍊式串接配置的快閃記憶體裝置 530a~530n。再者，主要快閃記憶體裝置亦控制其內部的快閃記憶體，藉此提供由外部系統所使用的額外記憶體。因此，藉由使用主要快閃記憶體 520 而非分離快閃記憶體控制器，達成封入於 SIP 殼體 510 中之記憶體系統 500 的更高記憶體容量是可行的。

第 6 圖係為 SIP 殼體 610 中的供選擇快閃記憶體系統 600 之方塊圖，該系統 600 具有控制複數個快閃記憶體裝置 620a~620n 之主要快閃記憶體 620。該些裝置係沿著信號路徑 634 和 635 以雙向菊鍊式串接來配置，信號路徑 634、635 包含連接該些裝置之鏈結 634a~634n 和 635a~635n。該系統 600 可包含參照第 2、3 和 5 圖所述之系統 200、300 和 500 之特徵。

第 7 圖係為實施於 SIP 佈局中的範例記憶體系統 700 之方塊圖。該系統包含以垂直堆疊安裝在佈線板 750 並封入在 SIP 殼體 710 內的數個晶片，其包括記憶體控制器 720 和複數個記憶體裝置 730a~730c。SIP 殼體 710 可包含密封媒介或樹脂，其將所有側邊上的系統組件包封，藉此提供其中該些組件是固定的硬式封裝。晶片 720、記憶體裝置 730a~730c 藉由佈線 735 而連接，而佈線 735 亦可封入於殼體 710 中。可選擇地，晶片 720、記憶體裝置 730a~730c 可根據設計限制而沿著殼體 710 之內部彼此並

排地水平放置，或可使用「覆晶」技術中的焊錫凸塊將它們接合在一起而連接。

記憶體裝置 730c 經由可傳送和接收裝置 730c 之信號的裝置，藉由多個端子（例如：端子 755）而被連接至佈線板 750。端子 755 被連接至佈線板 750 的對向表面上之外部端子（例如：端子 745），其致使與外部系統相通訊。相同地，記憶體控制器 720 可經由信號路徑而與外部系統相通訊，該信號路徑包含連接至端子 740 的佈線 735，其依序連接至一或多個外部端子 745。

第 7 圖的方塊圖提供實施於 SIP 殼體 710 中之記憶體系統 700 的敘述範例。如上所述之系統 700 的組件和連接可根據特定實施例之設計需求而不同地組態。舉例而言，第 2、3、5、6、8 和 9 圖的記憶體系統 200、300、500、600、800 和 900 可實施作為可與第 7 圖的系統相比較之系統 700 的記憶體系統。因此，此種記憶體系統提供 SIP 殼體，其具有記憶體控制器和以菊鍊式串接配置之複數個記憶體裝置，該控制器經由該串接控制記憶體裝置。

系統封裝（SIP）係為單一形狀因子的實施例之範例之一，其中可實施記憶體系統 200、300、500、600、800 和 900。記憶體系統亦可實施於其他合適的裝置中或共同支援的組件中，其中組件記憶體控制器和記憶體裝置被組態以與外部系統相通訊。舉例而言，記憶體系統可實施為電路板，例如：記憶卡，其中控制器和記憶體裝置包含可耦接至電路板之晶片，並經由電路板上的信號路徑而通

訊。

第 8 圖係為 SIP 殼體 810 中之記憶體系統 800 的方塊圖，其具有以包含多個連接之單向菊鍊式串接組態的複數個記憶體裝置 830a~830n。該些裝置 830a~830n 係經由在信號路徑 834、835 間傳送之命令而受控於快閃記憶體控制器 820，而信號路徑 834、835 包含介於各個記憶體裝置 830a~830n 之間的鏈結。此組態可與第 2 圖的系統 200 之組態相比較，除了各個裝置 830a~830n 係藉由二單向路徑（而非一個）來連接以外。記憶體裝置亦可包含參考第 2 和 3 圖所述的系統 200 和 300 之特徵，其包括定址多個快閃記憶體裝置 830a~830n 的快閃記憶體控制器 820。在此實施例中，經由鏈結 834a 藉由快閃記憶體控制器 820 所傳送的命令和資料，可經由鏈結 834b~834d 之信號路徑 834 所傳送。對應於該些命令的資料經由包含鏈結 835b~835n 之信號路徑 835 而被傳送，並由快閃記憶體控制器 820 所接收。由快閃記憶體控制器所傳送的命令和資料亦可經由鏈結 835n 返回至快閃記憶體控制器。因此，包含單向菊鍊式串接之信號路徑 835 可區分為第一路徑 834a~834d（上部），其可專用於運送來自快閃記憶體控制器 820 之命令和資料；以及第二路徑 835b~835n（下部），其可專用於運送由各個記憶體裝置 830a~830n 所產生的回應資料。

在供選擇的實施例中，記憶體系統 800 可適於實施如上所述之主要快閃記憶體。在此例中，快閃記憶體控制器

820 可以主要快閃記憶體來取代，其參考第 5 圖所述控制快閃記憶體裝置 830a~830n。

第 9 圖係為 SIP 殼體 910 中的記憶體系統 900 之方塊圖，其具有以雙向菊鍊式串接配置並共享共用輸入／輸出埠的複數各記憶體裝置 930a~930n。裝置 930a~930n 係經由在信號路徑 935 之間所傳送之命令而受控於快閃記憶體控制器 920，而信號路徑 935 包含在各個記憶體裝置 930a~930n 之間的鏈結。此組態可與第 3 圖之系統 300 之組態相比較，除了各個鏈結 935b~935n 是單一雙向鏈結而非單向鏈結以外。鏈結 935b~935n 可連接至各個裝置 930a~930n 上的共用輸入／輸出埠，藉此致使經由各個鏈結 935b~935n 之雙向通訊。由快閃記憶體控制器 920 所傳送之命令和資料可經由信號路徑 935a~935n 而傳送至各個記憶體裝置 930a~930n。對應於該些命令之資料亦可經由信號路徑 935b~935n 而被傳送，並在鏈結 935a 上被傳送至快閃記憶體控制器。因此，雙向菊鍊式串接係在包含並共享共用輸入／輸出埠的數個鏈結 935a~935n 之信號路徑 935 上被致能。

在供選擇的實施例中，記憶體系統 900 可適於實施如上所述之主要快閃記憶體。在此例中，快閃記憶體控制器 920 可以主要快閃記憶體來替代，其參考第 6 圖所述控制快閃記憶體裝置 930a~930n。

雖已敘述本發明之某些實施例，但此些實施例僅作為範例而不致限縮本發明之範圍。為了解釋而非限制之目

的，特定細節係被加以說明，以提供對本發明的完全了解。然而，本案之各種態樣可以在沒有特定細節的情形下加以實施。此外，對此處所述之方法與系統進行各種刪減、替代與形式上之改變仍不會脫離所附申請專利範圍中所定義之發明概念的精神及範圍。所附之申請專利範圍可涵蓋各種形式與修改而不脫離本發明之精神與範圍。

【符號說明】

100：積體快閃裝置

110：主機介面

115：記憶體緩衝器

120：內部暫存器

125：狀態機

130：錯誤校正邏輯

135：快閃記憶體

200：記憶體系統

210：SIP 殼體

220：快閃記憶體控制器

230a～230n：記憶體裝置

235：信號路徑

235a～235n：鏈結

300：記憶體系統

310：SIP 殼體

320：快閃記憶體控制器

330a～330n：記憶體裝置
334：信號路徑
334a～334n：鏈結
335：信號路徑
335a～335n：鏈結
400、401：快閃記憶體控制器
410：控制邏輯
420：緩衝 RAM
425：模式、時序和資料控制
430：內部暫存器
435：錯誤校正碼邏輯
465：系統介面
466：系統介面控制
470：中央處理器
475：時脈產生器和控制區塊
476：晶體振盪器
480：系統介面
485：共用匯流排
490：快閃記憶體介面
495：快閃控制
496：RAM 和 ROM 電路
500：記憶體系統
510：SIP 殼體
520：主要快閃記憶體裝置

530a～530n：快閃記憶體裝置

535：信號路徑

535a～535n：鏈結

600：記憶體系統

610：SIP 殼體

620：主要快閃記憶體裝置

630a～630n：快閃記憶體裝置

634：信號路徑

634a～634n：鏈結

635：信號路徑

635a～635n：鏈結

700：記憶體系統

710：SIP 殼體

720：記憶體控制器

730a～730c：記憶體裝置

735：佈線

740：端子

745：外部端子

750：佈線板

755：端子

800：記憶體系統

810：SIP 殼體

820：快閃記憶體控制器

830a～830n：記憶體裝置

834：信號路徑

834a～834d：鏈結

835：信號路徑

835b～835n：鏈結

900：記憶體系統

910：SIP 殼體

920：快閃記憶體控制器

930a～930n：記憶體裝置

935：信號路徑

935a～935n：鏈結

申請專利範圍

1.一種非揮發性記憶體裝置，包含：

非揮發性記憶體陣列，其包含複數個區塊，各區塊包含複數個頁面，該非揮發性記憶體陣列係組態以讀取頁面中的資料、程式化頁面中的資料，及抹除區塊中的資料；

裝置位址暫存器，係組態以儲存建立用於該非揮發性記憶體裝置之裝置位址；

第一埠，係組態以從控制器接收命令，該命令包括位址資訊；

第二埠，係耦合至另一非揮發性記憶體裝置之輸入埠；

第三埠，係組態以從該另一非揮發性記憶體裝置接收第一輸出；

第四埠，係組態以提供第二輸出至該控制器；以及

回應電路，係組態以藉由比較該命令之該位址資訊與儲存在該裝置位址暫存器中的該裝置位址而決定該命令之該位址資訊是否識別該非揮發性記憶體裝置，

該回應電路係進一步組態以回應不匹配決定而將所接收之命令經由該第二埠輸出至該另一非揮發性記憶體裝置，

該回應電路係進一步組態以回應匹配決定而：

在該命令係用於資料讀取的情況下，處理該命令以存取該非揮發性記憶體陣列，回應讀取命令來讀取該非揮發性記憶體陣列之被定址的頁面，

在該命令係用於程式化的情況下，處理該命令以存取該非揮發性記憶體陣列，回應程式化命令來程式化該非揮發性記憶體陣列之被定址的頁面，及

在該命令係用於抹除的情況下，處理該命令以存取該非揮發性記憶體陣列，回應抹除命令來抹除該非揮發性記憶體陣列之被定址的區塊，

該回應電路係進一步組態以經由該控制器之該第四埠傳送該讀取資料和該命令二者作為該第二輸出。

2.如申請專利範圍第 1 項之非揮發性記憶體裝置，其中：

該第三埠係進一步組態以從該另一非揮發性記憶體裝置接收作為該第一輸出之程式化資料；並且

該第四埠係進一步組態以提供所接收之程式化資料至該控制器。

3.如申請專利範圍第 1 項之非揮發性記憶體裝置，其中：

該第一埠係進一步組態以從該控制器接收命令和程式化資料；並且

該第四埠係進一步組態以從該非揮發性記憶體陣列提供讀取資料至該控制器。

4.如申請專利範圍第 1 項之非揮發性記憶體裝置，其中該第一埠、第二埠、第三埠和第四埠為串聯埠。

5.如申請專利範圍第 1 項之非揮發性記憶體裝置，其中該第一埠、第二埠、第三埠和第四埠為並聯埠。

6.如申請專利範圍第 1 項之非揮發性記憶體裝置，其中該回應電路在系統初始化時決定該裝置位址。

7.如申請專利範圍第 1 項之非揮發性記憶體裝置，其中該回應電路係組態以在電源開啟時執行該裝置位址決定。

8.如申請專利範圍第 1 項之非揮發性記憶體裝置，其中該回應電路係組態以在該第一埠上從該控制器接收包含值的該命令時執行該裝置位址決定。

9.如申請專利範圍第 8 項之非揮發性記憶體裝置，其中該回應電路係組態以依據所接收之值產生裝置識別。

10.如申請專利範圍第 9 項之非揮發性記憶體裝置，其中該回應電路係組態以增加該值並在該第二埠上提供結果至該另一非揮發性記憶體裝置。

11.如申請專利範圍第 1 項之非揮發性記憶體裝置，其中該回應電路係組態以依據硬體程式化來決定該裝置位址。

12.如申請專利範圍第 11 項之非揮發性記憶體裝置，其中該回應電路係組態以依據一次可程式化陣列來決定該裝置位址。

13.一種具有非揮發性記憶體裝置之晶片，包含如申請專利範圍第 1 至 12 項之任一項的非揮發性記憶體裝置。

14.一種包含控制器和一或多個如申請專利範圍第 1 至 12 項之任一項的非揮發性記憶體裝置之封裝，該控制

器包含第一埠和第二埠，該第一埠用於提供命令和程式化資料至該一或多個非揮發性記憶體裝置之該第一埠，該第二埠用於從該一或多個非揮發性記憶體裝置之該第四埠接收讀取資料。

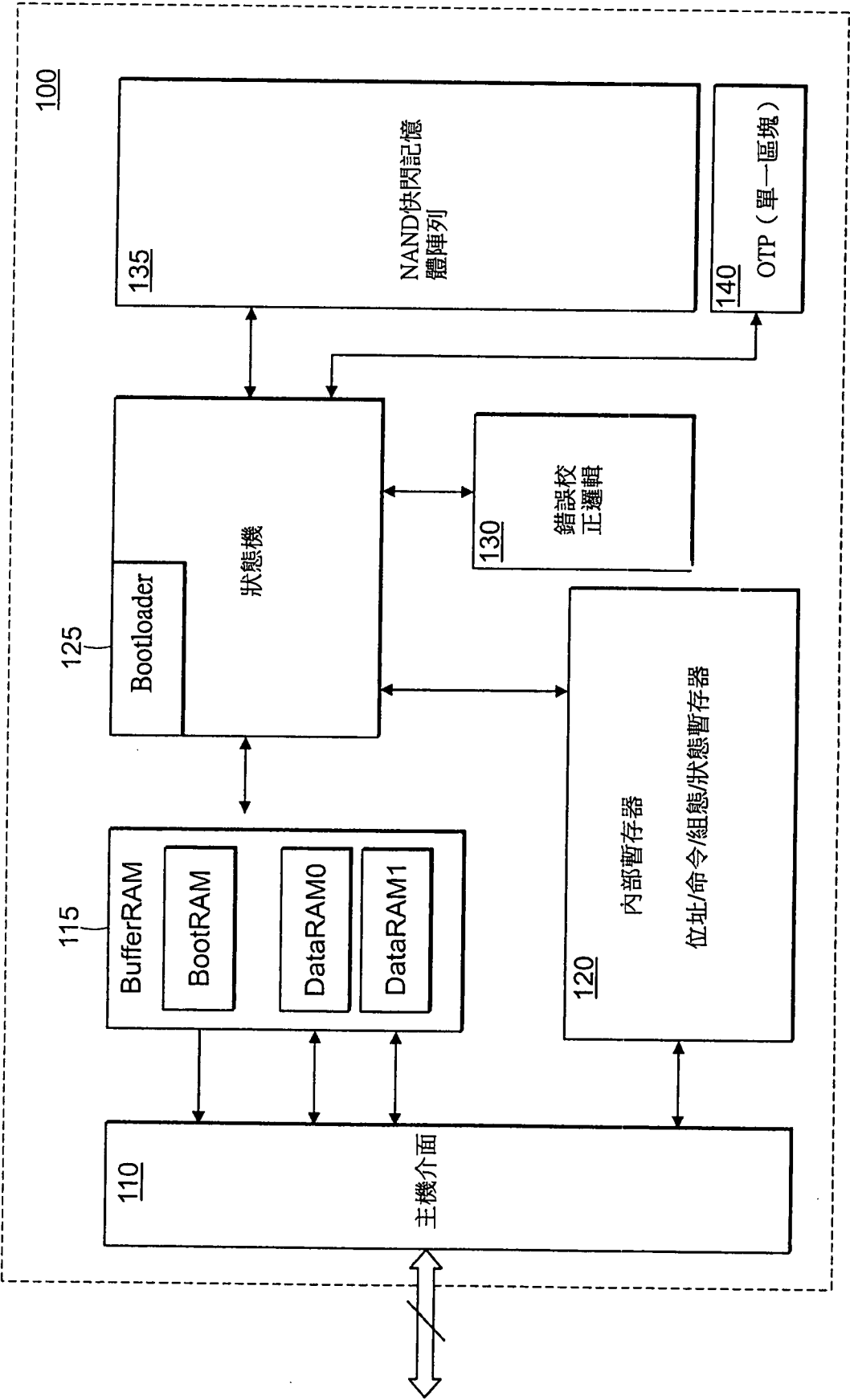
15.如申請專利範圍第 14 項之封裝，其中該一或多個非揮發性記憶體裝置和該控制器係彼此並排地安裝在佈線板上。

16.如申請專利範圍第 14 項之封裝，其中該一或多個非揮發性記憶體裝置和該控制器係以垂直堆疊的方式安裝在佈線板上。

17.如申請專利範圍第 16 項之封裝，其中該一或多個非揮發性記憶體裝置和該控制器之至少一者係以焊錫凸塊連接。

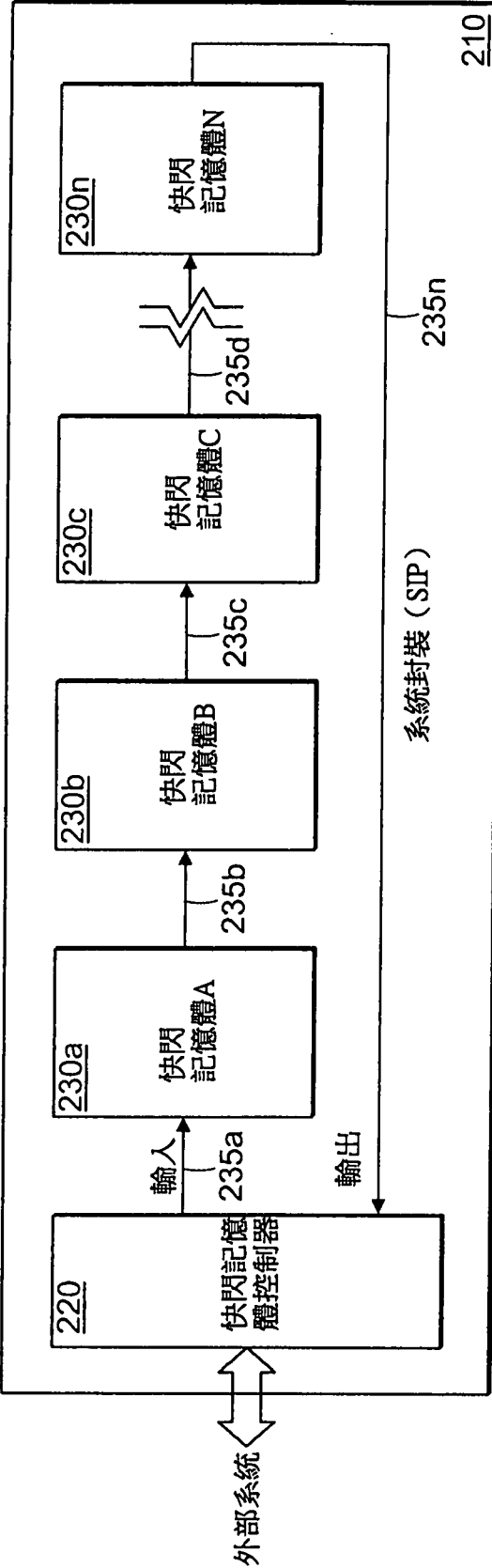
18.如申請專利範圍第 16 項之封裝，其中該一或多個非揮發性記憶體裝置和該控制器之至少一者係以佈線連接。

圖式



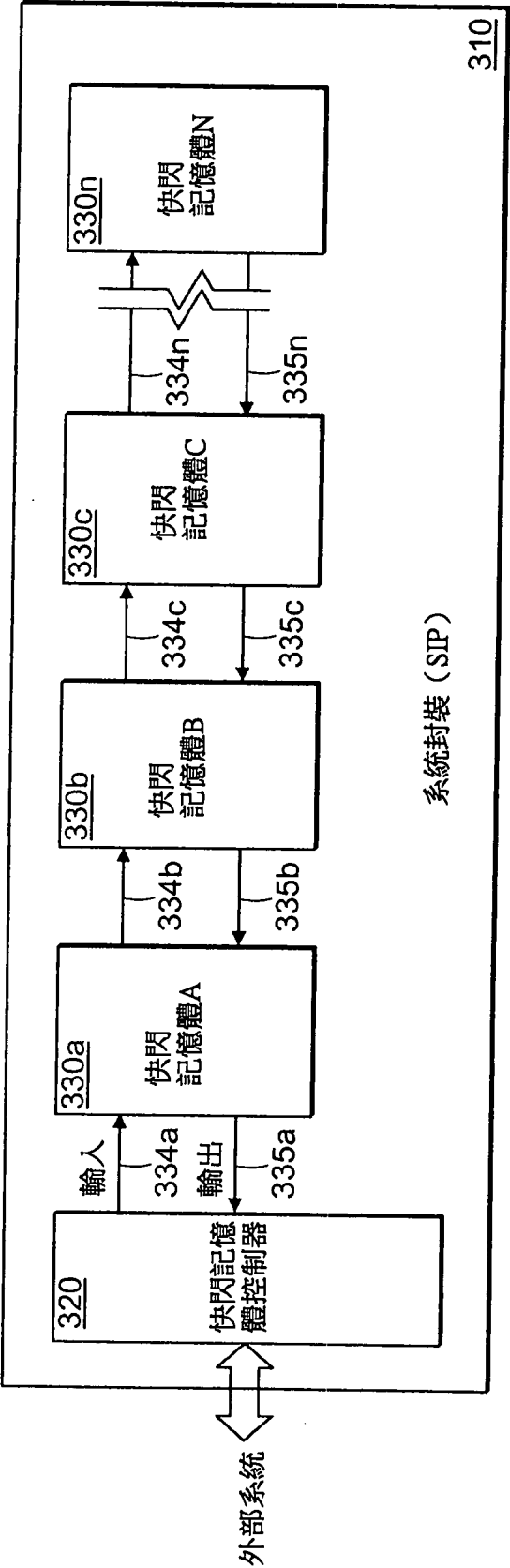
習知技術
第1圖

200 ↗

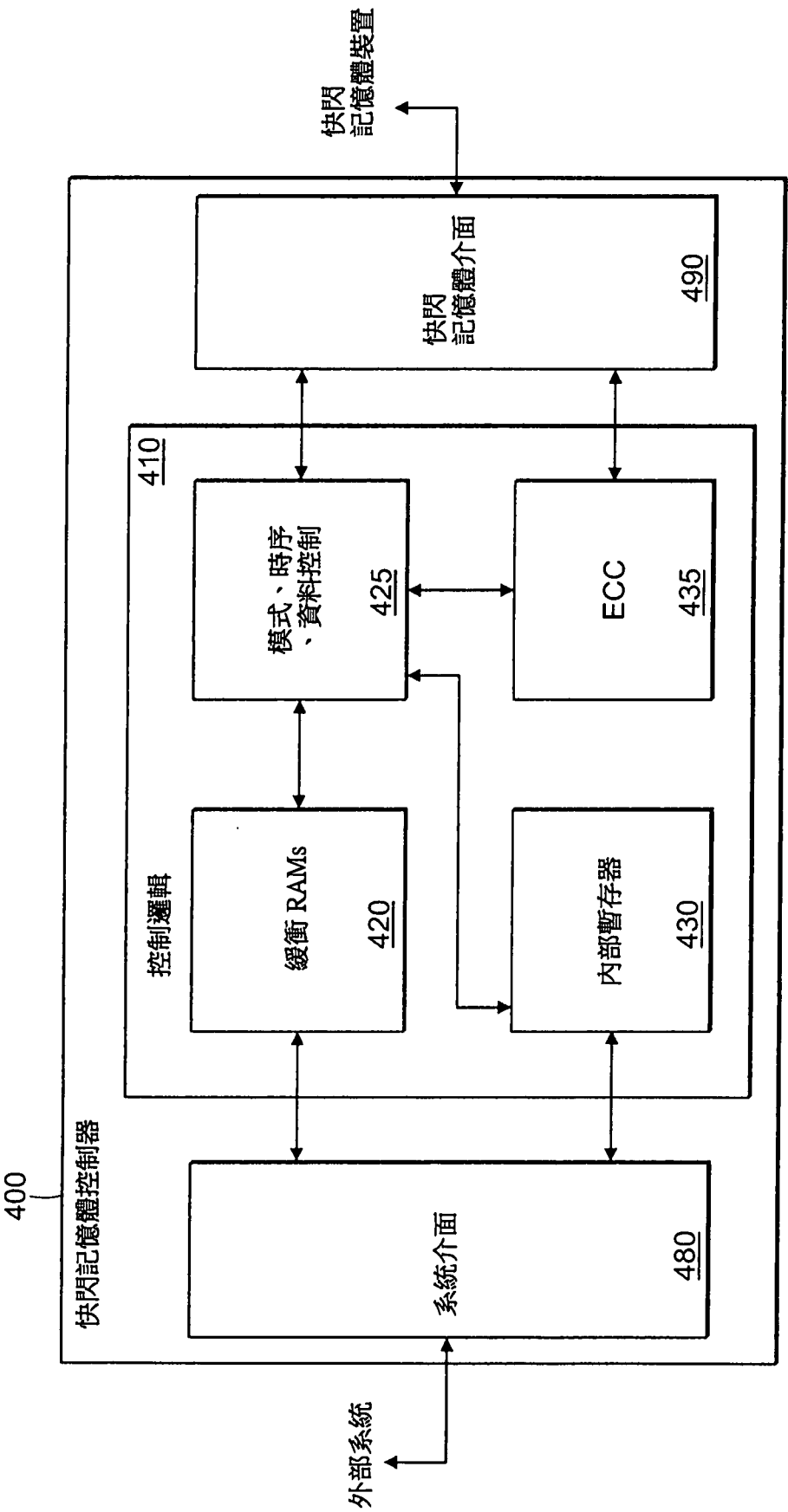


第2圖

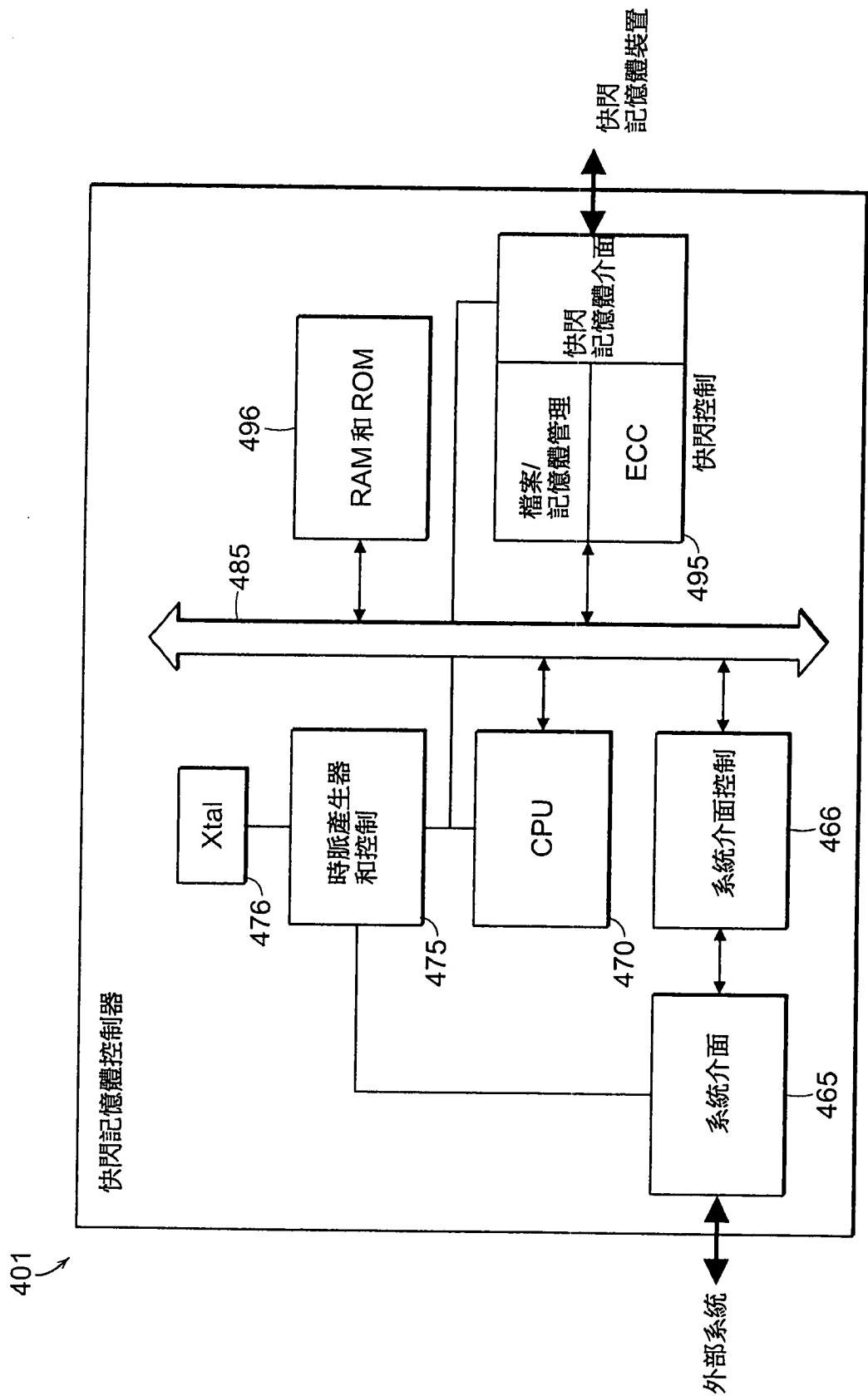
300



第3圖

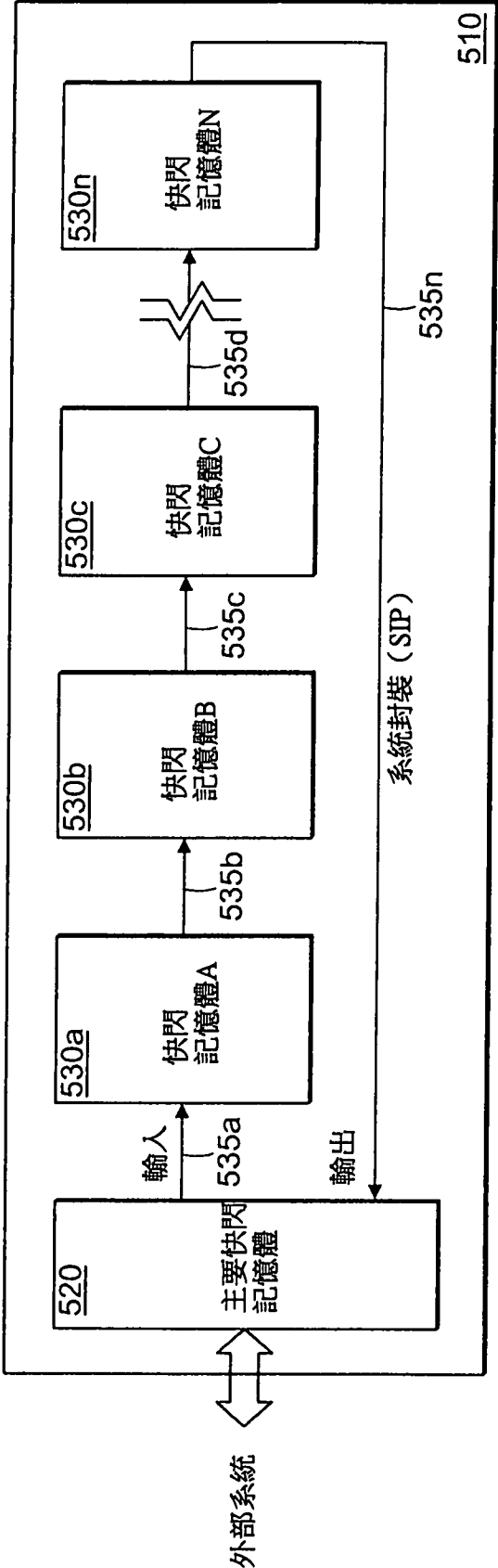


第4A圖



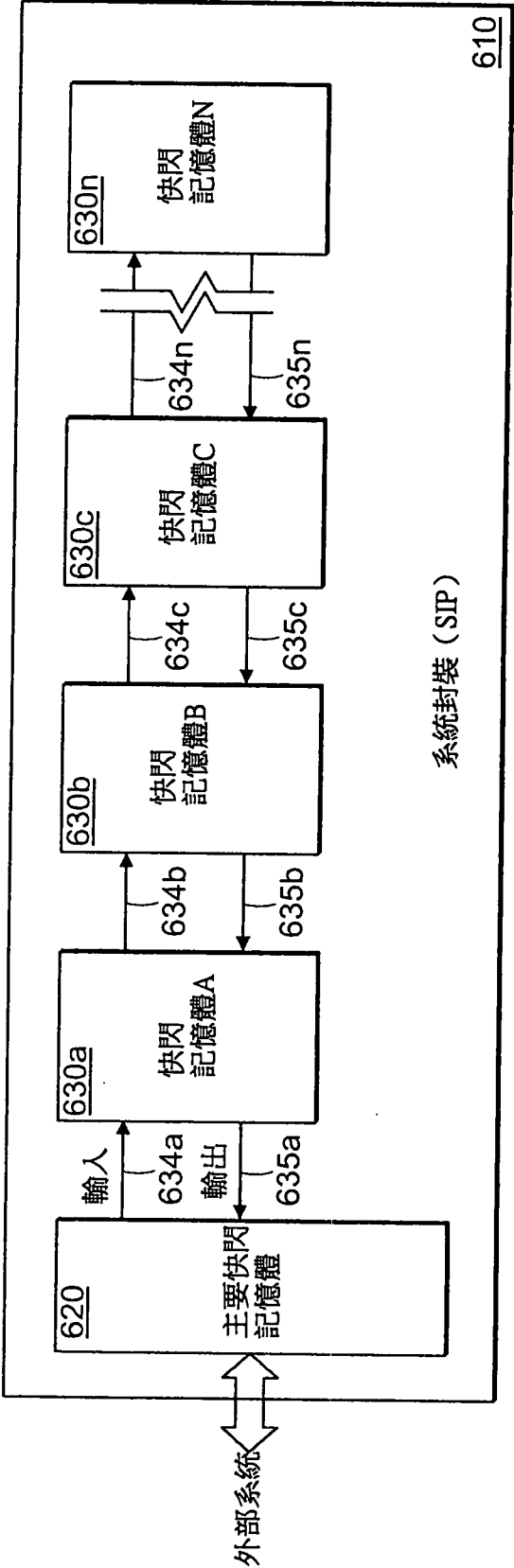
第4B圖

500 ↗

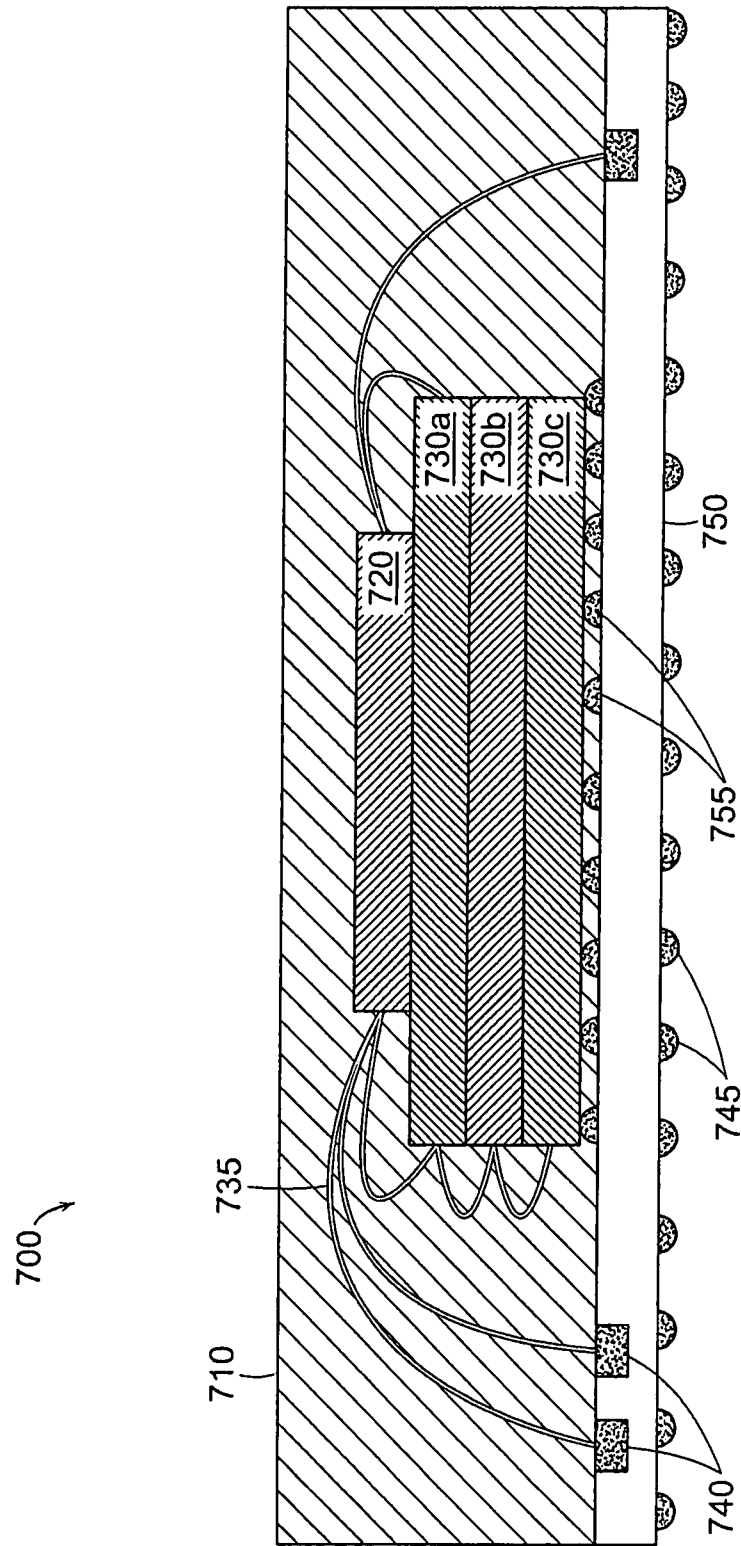


第5圖

600 ↗

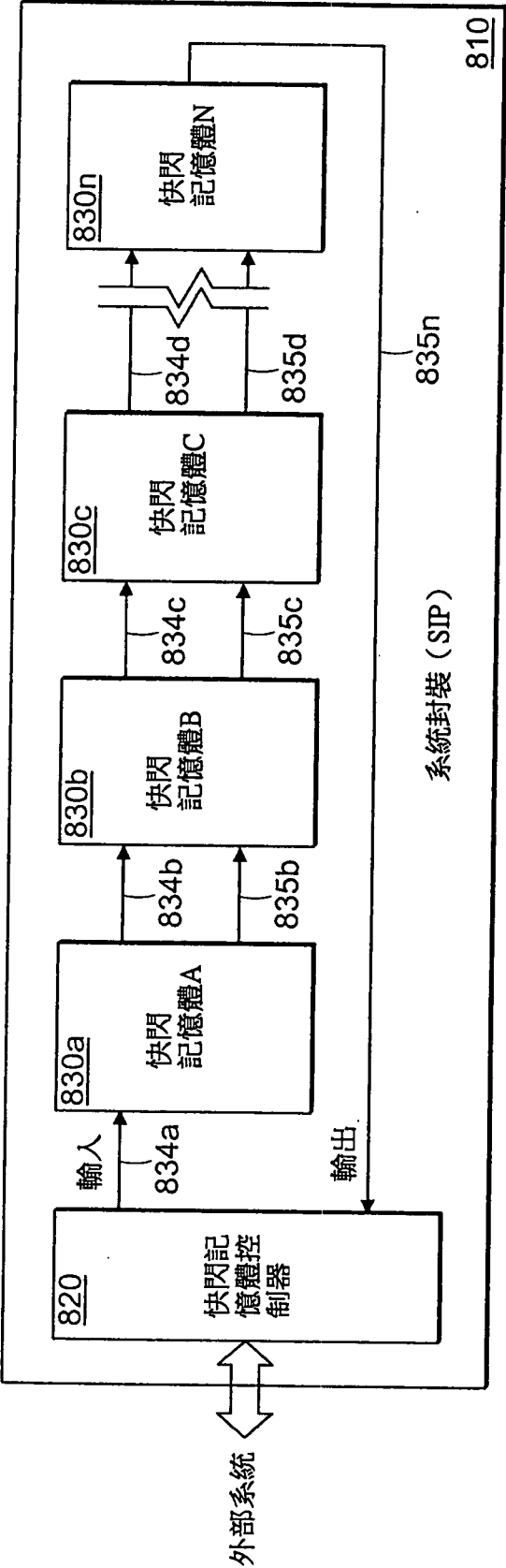


第6圖



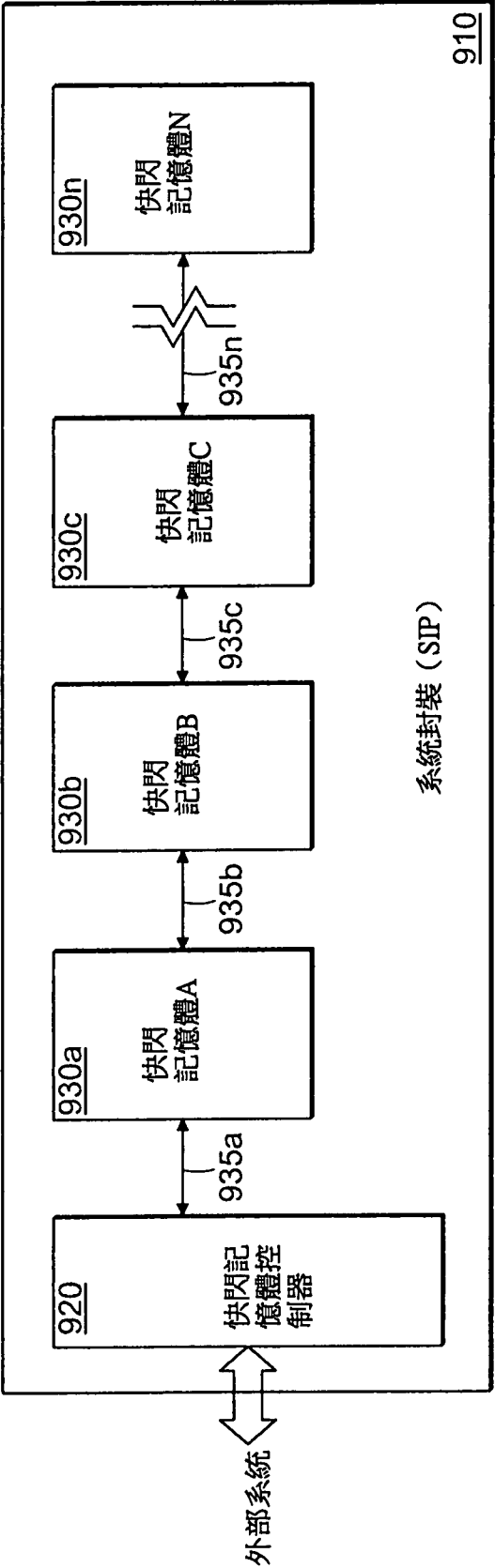
第7圖

800



第8圖

900 ↗



第9圖