

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4030198号

(P4030198)

(45) 発行日 平成20年1月9日(2008.1.9)

(24) 登録日 平成19年10月26日(2007.10.26)

(51) Int. Cl.

F I

H O 1 L 21/8244 (2006.01)

H O 1 L 27/10 3 8 1

H O 1 L 27/11 (2006.01)

請求項の数 9 (全 27 頁)

(21) 出願番号	特願平10-226663	(73) 特許権者	503121103
(22) 出願日	平成10年8月11日(1998.8.11)		株式会社ルネサステクノロジ
(65) 公開番号	特開2000-58675(P2000-58675A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成12年2月25日(2000.2.25)	(74) 代理人	100080001
審査請求日	平成15年2月28日(2003.2.28)		弁理士 筒井 大和
		(72) 発明者	池田 修二
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体事業部内
		(72) 発明者	吉田 安子
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体事業部内
		(72) 発明者	児島 雅之
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体事業部内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

S R A Mのメモリセルを構成する複数の第1のpチャネル型電界効果トランジスタ及び第1のnチャネル型電界効果トランジスタと、論理回路を構成する第2のpチャネル型電界効果トランジスタ及び第2のnチャネル型電界効果トランジスタとを半導体基板に形成する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板に溝を形成する工程と、

(b) 前記溝の形成工程後、前記溝内に絶縁膜を埋め込むことで分離部を形成する工程と、

(c) 前記(b)工程後、前記第2のpチャネル型電界効果トランジスタのしきい値電圧を設定すべく、前記第2のpチャネル型電界効果トランジスタの形成領域及び前記第1のpチャネル型電界効果トランジスタの形成領域に不純物を選択的に導入する不純物導入工程と、

(d) 前記(b)工程後、前記第2のnチャネル型電界効果トランジスタのしきい値電圧を設定すべく、前記第2のnチャネル型電界効果トランジスタの形成領域及び前記第1のnチャネル型電界効果トランジスタの形成領域に不純物を選択的に導入する不純物導入工程と、

(e) 前記(b)工程後、前記複数の第1のpチャネル型電界効果トランジスタのしきい値電圧を、前記第2のpチャネル型電界効果トランジスタのしきい値電圧よりも高くすべく、前記第1のpチャネル型電界効果トランジスタの形成領域に不純物を選択的に導入す

10

20

る不純物導入工程と、

(f) 前記(b)工程後、前記複数の第1のnチャンネル型電界効果トランジスタのしきい値電圧を前記第2のnチャンネル型電界効果トランジスタのしきい値電圧よりも高くすべく、前記第1のnチャンネル型電界効果トランジスタの形成領域に不純物を選択的に導入する不純物導入工程とを有し、

前記第1のpチャンネル型電界効果トランジスタは、負荷用電界効果トランジスタであることを特徴とする半導体集積回路装置の製造方法。

【請求項2】

請求項1記載の半導体集積回路装置の製造方法において、前記第1のnチャンネル型電界効果トランジスタは、駆動用電界効果トランジスタおよび転送用電界効果トランジスタであることを特徴とする半導体集積回路装置の製造方法。

10

【請求項3】

請求項1記載の半導体集積回路装置の製造方法において、前記(c)工程は、前記第2のpチャンネル型電界効果トランジスタの形成領域及び前記第1のpチャンネル型電界効果トランジスタの形成領域に、nウェルを形成するための不純物を選択的に導入する不純物導入工程を含み、前記(d)工程は、前記第2のnチャンネル型電界効果トランジスタの形成領域及び前記第1のnチャンネル型電界効果トランジスタの形成領域に、pウェルを形成するための不純物を選択的に導入する不純物導入工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項4】

20

請求項1記載の半導体集積回路装置の製造方法において、前記(b)工程の前に、前記nチャンネル型電界効果トランジスタの形成領域にp型不純物を選択的に導入する不純物導入工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項5】

請求項1記載の半導体集積回路装置の製造方法において、前記(b)工程の前に、前記pチャンネル型電界効果トランジスタの形成領域にn型不純物を選択的に導入する不純物導入工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項6】

請求項1記載の半導体集積回路装置の製造方法において、前記(f)工程の不純物導入工程は、前記第2のnチャンネル型電界効果トランジスタの形成領域において、リーク電流を制御する必要がある電界効果トランジスタの形成領域に前記不純物を選択的に導入することを含むことを特徴とする半導体集積回路装置の製造方法。

30

【請求項7】

請求項1記載の半導体集積回路装置の製造方法において、前記(e)工程の不純物導入工程は、前記第2のpチャンネル型電界効果トランジスタの形成領域において、リーク電流を制御する必要がある電界効果トランジスタの形成領域に前記不純物を選択的に導入することを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項8】

請求項1記載の半導体集積回路装置の製造方法において、前記論理回路はマイクロプロセッサを構成することを特徴とする半導体集積回路装置の製造方法。

40

【請求項9】

請求項1記載の半導体集積回路装置の製造方法において、前記半導体基板は、絶縁膜上に素子形成用の半導体層を設けたSOIウエハであることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、スタティックメモリ(SRAM; Static Random Access Memory)と論理回路とを有する半導体集積回路装置に適用して有効な技術に関するものである。

50

【 0 0 0 2 】

【従来の技術】

S R A Mは、メモリ素子としてフリップフロップ回路を用い、その双安定状態のそれぞれを情報の“ 1 ”，“ 0 ”に対応させて記憶させるメモリであり、D R A M (Dynamic Random Access Memory) と異なりリフレッシュ動作が不要なので使い易いという特徴がある。このフリップフロップ回路は、2個のインバータ回路で構成され、一方のインバータ回路の出力が他方のインバータ回路の入力に電氣的に接続され、その他方のインバータ回路の出力が一方のインバータ回路の入力に電氣的に接続されている。各インバータ回路は、情報の記憶に寄与する駆動用トランジスタと、その駆動用トランジスタに電源電圧を供給する負荷素子とを有している。また、このフリップフロップ回路は、一对のデータ線間に挟まれて配置されており、そのフリップフロップ回路と各々のデータ線との間には転送用トランジスタが介在され、フリップフロップ回路とデータ線とを電氣的に接続したり、電氣的に切り離したりする構造になっている。

10

【 0 0 0 3 】

ところで、このS R A Mのメモリセルは、上記メモリセルにおける負荷素子の違いにより、高抵抗負荷形とC M I S (Complimentary Metal Insulator Semiconductor) 型との2種類に分けられる。高抵抗負荷形は、負荷素子にポリシリコン抵抗を用いている。この場合、その抵抗の占有面積が小さい上に、その抵抗を駆動用トランジスタ等の上層に重ねて設けることができるので、メモリセル領域の全体面積を最も小さくでき大容量化し易い。一方、C M I S型は、負荷素子にpチャネル型のM I S ・ F E Tを用いており、消費電力が最も小さい。また、C M I S型の場合でもメモリセル領域の全体面積を縮小させるべく、駆動用トランジスタを構成するnチャネル形のM O S ・ F E Tの上層に、2層のポリシリコン層を設け、そのポリシリコン層によって負荷素子用のpチャネル形のM O S ・ F E Tを構成する、いわゆるT F T (Thin Film Transistor) 構造のものもある。

20

【 0 0 0 4 】

なお、S R A Mを有する半導体集積回路装置については、例えば特開平8 - 1 6 7 6 5 5号公報に記載があり、製造プロセスを複雑にすることなく、高性能な論理回路と高集積なフルC M O S型メモリセルアレイを同一チップ内に集積すべく、論理回路は、表面チャネル型のnチャネルM O S F E TとpチャネルM O S F E Tで構成し、メモリセルは、そのnチャネルM O S F E TとpチャネルM O S F E Tのゲート電極を同一の導電性として直接接続する構造が開示されている。

30

【 0 0 0 5 】

また、国際公開番号W O 9 7 / 3 8 4 4 4には、S R A Mのトランスファトランジスタのしきい値電圧を調整することについて開示されている。

【 0 0 0 6 】

【発明が解決しようとする課題】

ところが、上記S R A Mを有する半導体集積回路装置技術においては、以下の課題があることを本発明者は見出した。

【 0 0 0 7 】

すなわち、S R A Mを有する半導体集積回路装置においては、高速化や低消費電力化または素子の高集積化に伴って、そのメモリセルを構成する素子と、それ以外の素子とで別々にしきい値電圧を設定する必要が生じることについて十分に考慮されておらず、その半導体集積回路装置を製造上の容易性のみを考慮して製造してしまうと、メモリ回路において従来顕在化されなかった動作不良が生じるという課題である。例えばS R A Mと論理回路とを同一半導体基板に設ける半導体集積回路装置においては、論理回路およびS R A M周辺回路(以下、論理回路等という)の高速化やその半導体集積回路装置全体の低消費電力化または素子の高集積化が益々進められている。その論理回路等の高速化を図るには、そのしきい値電圧を下げるが行われているが、論理回路等の高速化や半導体集積回路装置の低消費電力化が著しく進められていることを考慮せずに、製造上の容易性等の観点のみを考慮して論理回路等とメモリ回路とのしきい値電圧を同工程時に設定してしまうと、

40

50

論理回路等の動作速度の向上は図れるものの、メモリ回路においてはメモリセルのノイズマージンが低下し、従来、論理回路等とメモリ回路とのしきい値電圧を同工程時に設定したとしても顕在化されなかったメモリ回路の動作不良が生じることが本発明者の研究結果によって見出された。

【0008】

本発明の目的は、SRAMを有する半導体集積回路装置のメモリの動作マージンを向上させることのできる技術を提供することにある。

【0009】

また、本発明の他の目的は、SRAMを有する半導体集積回路装置の消費電力を低減することのできる技術を提供することにある。

10

【0010】

さらに、本発明の他の目的は、SRAMを有する半導体集積回路装置の書き込みマージンを向上させることのできる技術を提供することにある。

【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

20

【0013】

本発明の半導体集積回路装置は、SRAMのメモリセルを構成する複数の第1の電界効果トランジスタと、それ以外の第2の電界効果トランジスタとを半導体基板に設けている半導体集積回路装置であって、前記複数の第1の電界効果トランジスタのうち少なくとも1つの第1の電界効果トランジスタのしきい値電圧を、前記第2の電界効果トランジスタのしきい値電圧よりも相対的に高くしたものである。

【0014】

また、本発明の半導体集積回路装置の製造方法は、SRAMのメモリセルを構成する複数の第1の電界効果トランジスタと、それ以外の第2の電界効果トランジスタとを半導体基板に形成する半導体集積回路装置の製造方法であって、前記複数の第1の電界効果トランジスタのうち少なくとも1つの第1の電界効果トランジスタのしきい値電圧を、前記第2の電界効果トランジスタのしきい値電圧よりも相対的に高くすべく、前記半導体基板において前記少なくとも1つの第1の電界効果トランジスタの形成領域に第1の不純物を選択的に導入する不純物導入工程を有するものである。

30

【0015】

また、本発明の半導体集積回路装置の製造方法は、SRAMのメモリセルを構成する複数の第1の電界効果トランジスタと、それ以外の第2の電界効果トランジスタとを半導体基板に形成する半導体集積回路装置の製造方法であって、前記複数の第1の電界効果トランジスタのうち少なくとも1つの第1の電界効果トランジスタのしきい値電圧を、前記第2の電界効果トランジスタのしきい値電圧よりも相対的に高くすべく、前記半導体基板において、前記第2の電界効果トランジスタの形成領域に選択的に窒素を導入した後、前記半導体基板上にゲート絶縁膜を形成する工程を有するものである。

40

【0016】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【0017】

（実施の形態1）

図1～図4は本発明の半導体集積回路装置の構造を説明するための説明図、図5～図17

50

は図1の半導体集積回路装置の製造方法を説明するための半導体集積回路装置の製造工程中における要部断面図、図18は本実施の形態の効果を説明するための説明図、図19は本実施の形態の効果を説明すべく本発明者が検討した技術の説明図、図20は本実施の形態の効果を説明するための説明図である。

【0018】

なお、本技術思想において、しきい値電圧（以下、 V_{th} と記す）が高いという意味は、チャンネル幅等のような寸法上の違いによる V_{th} の上昇分以上に意識的に V_{th} を上昇させることを意味している。また、本技術思想において、 V_{th} は、単位チャンネル幅当たり（例えば $1\mu\text{m}$ 幅当たり）に $1.0\mu\text{A}$ の電流が流れる時のゲート電圧を言う。

【0019】

本発明の技術思想は、SRAM（Static Random Access Memory）を構成するMIS・FET（Metal Insulator Semiconductor）と、それ以外のMIS・FETとを同一半導体基板に設けている半導体集積回路装置において、SRAMを構成するMIS・FETと、それ以外のMIS・FETとで V_{th} をそれぞれ別々に設定するものである。これは、本発明者の以下のような検討結果によるものである。例えばSRAMと論理回路等とを同一半導体基板に設けている半導体集積回路装置の動作速度の高速化や低消費電力化（すなわち、低電源電圧化）または素子の高集積化に伴いSRAMのメモリセルにおいてランダムビット不良が生じた。本発明者は、その原因を調査した結果、当該不良の主原因として、そのメモリセルの動作マージンが少ないという不良モードを見出した。そして、その原因をさらに調査した結果、当該半導体集積回路装置の動作速度の高速化や低電源電圧化または素子の高集積化に伴って、今まで顕在化されなかった課題が生じることを見出した。

【0020】

すなわち、上記半導体集積回路装置において、その論理回路等の高速化を図るには、通常、その V_{th} を下げるが行われているが、論理回路等の高速化や半導体集積回路装置の低消費電力化または素子の高集積化が著しく進められていることを考慮せずに、製造上の容易性等の観点のみを考慮して論理回路等とメモリ回路との V_{th} を同工程時に設定してしまうと、メモリセル領域のMIS・FETの V_{th} も下がってしまい、従来、論理回路等とメモリ回路との V_{th} を同工程時に設定したとしても顕在化されなかった上記メモリでの動作不良が生じてしまう。

【0021】

特に、素子の高集積化を図るべく、ロコス（Local Oxidation of Silicon）法による分離構造（Shallow Trench Isolation）に代えて溝型の埋め込み分離構造を採用した場合には、MIS・FETが逆狭チャンネル特性を示し V_{th} が低くなるが、それを考慮せずに上述のように製造上の容易性等のみを考慮して論理回路等とメモリ回路との V_{th} を同工程時に設定してしまうと、メモリセル領域のMIS・FETの V_{th} が大幅に低下してしまい、今まで顕在化されなかった上記メモリでの動作不良が生じてしまう。

【0022】

図26は、メモリセルの動作安定性を示す波形であり、例えば6MIS・FET型のSRAMにおけるメモリセルの一方のノードの印加電圧に対する他方のノードの電圧をプロットし、重ね合わせた波形である（トランスファカーブ）。このカーブの重なり部分がノイズに対するマージンを示し、その重なり部分の長さ（45度方向の最長部分）をスタティックノイズマージン（Static Noise Margin：SNMという）とする。そして、その重なりが大きい（すなわち、SNMが大きい）ほどメモリが安定に動作することを示すが、上述のように論理回路等とメモリ回路との V_{th} を同工程時に設定した場合で、特に、メモリセルの駆動用MIS・FETの V_{th} が論理回路等における V_{th} と同程度に低くなる場合には、図27に示すように、SNMが小さく、メモリ動作が不安定となる。

【0023】

また、図28および図29は、メモリセルの転送用MIS・FETおよび負荷抵抗用MIS・FETのドレイン電流を測定した結果を示すグラフである。これらの図から転送用MIS・FETにおいては V_{th} が高過ぎても低過ぎても読み出し不良が生じ、また、負荷

10

20

30

40

50

抵抗用MIS・FETにおいては V_{th} が低過ぎると書き込み不良が生じることが分かる。すなわち、本発明者は、メモリセルの駆動用MIS・FETだけではなく、動作環境や動作条件等によって転送用MIS・FETや負荷抵抗用MIS・FETの V_{th} も論理回路等のMIS・FETの V_{th} とは別に設定するほうが好ましいことを見出した。

【0024】

次に、このような本発明の技術思想を、例えばキャッシュメモリ用のSRAMを有するマイクロプロセッサに適用した場合を例として、本実施の形態の半導体集積回路装置の構造を説明する。

【0025】

図1には、本実施の形態の半導体チップ1C内に設けられた主な回路ブロックが示されている。すなわち、半導体チップ1Cには、例えば入出力回路I/O、ロジック回路2A~2C、キャッシュメモリ用のSRAM、位相同期ループ回路PLL(Phase Locked Loop)およびクロックパルス発生回路CPG(Clock Pulse Generator)等が設けられている。なお、この半導体集積回路装置の高電位側の電源電圧は、例えば2.5V以下である。また、この半導体集積回路装置を構成するMIS・FETの最小のゲート長は、例えば0.25 μ m程度である。また、高速性が要求されるMIS・FETの V_{th} は、例えば0.25V以下である。

【0026】

このSRAMのメモリセル領域には、例えば図2に示すような6MIS・FET(Metal Insulator Semiconductor Field Effect Transistor)型のメモリセルMCが複数個配置されている。このメモリセルMCは、一对の相補性のデータ線DL1,DL2(DL)と、ワード線WLとの交差部近傍に配置され、一对の駆動用MIS・FETQd1,Qd2(Qd;第1の電界効果トランジスタ)と、一对の負荷抵抗用MIS・FETQL1,QL2(QL;第1の電界効果トランジスタ)と、一对の転送用MIS・FETQt1,Qt2(Qt;第1の電界効果トランジスタ)とを有している。なお、一对の相補性のデータ線DL1,DL2は、互いに反転された信号が伝送される。

【0027】

上記一对の駆動用MIS・FETQd1,Qd2および一对の負荷抵抗用MIS・FETQL1,QL2は、フリップフロップ回路を構成している。このフリップフロップ回路は、1ビットの情報("1"または"0")を記憶する記憶素子であり、その一端(負荷抵抗用MIS・FETQL1,QL2側)は高電位側の電源Vddと電氣的に接続され、他端(駆動用MIS・FETQd1,Qd2側)は接地側の電源GNDと電氣的に接続されている。なお、高電位側の電源Vddの電圧は、例えば1.8V程度、接地側の電源GNDの電圧は、例えば0Vである。

【0028】

また、一对の転送用MIS・FETQt1,Qt2は、フリップフロップ回路をデータ線DL1,DL2に電氣的に接続したり、切り離したりするためのスイッチング素子であり、それぞれフリップフロップ回路の入出力端子(蓄積ノードN1,N2)とデータ線DL1,DL2との間に介在されている。なお、一对の転送用MIS・FETQt1,Qt2のゲート電極は、ワード線WLと電氣的に接続されている。

【0029】

次に、このメモリセル領域の要部平面図を図3および図4に示す。なお、図4は平面的には図3と同一平面位置を示しているが、断面的には図3の層よりも上層の第1層配線およびその上層の第2層配線を示している。

【0030】

半導体基板3は、例えばp型のシリコン(Si)単結晶からなる。半導体基板3には、後述するpウエルおよびnウエルが形成されている。また、半導体基板3の主面には分離部4が形成されている。この分離部4に囲まれた活性領域には、転送用MIS・FETQt、駆動用MIS・FETQdおよび負荷抵抗用MIS・FETQLが形成されている。このうち、転送用MIS・FETQtおよび駆動用MIS・FETQdは、例えばnチャネ

10

20

30

40

50

ル型のMIS・FETで構成され、負荷抵抗用MIS・FETQLは、例えばpチャンネル型のMIS・FETで構成されている。なお、図3中のnMISはnチャンネル型のMIS・FETの形成領域を示し、pMISはpチャンネル型のMIS・FETの形成領域を示している。本実施の形態では、これら駆動用MIS・FETQd、転送用MIS・FETQtおよび負荷抵抗用MIS・FETQLの設計上のチャンネル幅が、論理回路やSRAM周辺回路を構成するMIS・FET(第2の電界効果トランジスタ)の設計上のチャンネル幅よりも小さくなっている。なお、設計上とは、誤差を含むことを意味している。

【0031】

転送用MIS・FETQtはn型の半導体領域5およびゲート電極6gtを有しており、駆動用MIS・FETQdはn型の半導体領域5およびゲート電極6gdを有しており、さらに、負荷抵抗用MIS・FETQLはp型の半導体領域7およびゲート電極6gLを有している。

10

【0032】

n型の半導体領域5は、転送用MIS・FETQtおよび駆動用MIS・FETQdのソース・ドレインを形成する領域であり、上記pウエルに、例えばリン(P)またはヒ素(As)が導入され形成されている。このn型の半導体領域5の一方は転送用MIS・FETQtおよび駆動用MIS・FETQdの共有の領域となっており、双方のMIS・FETを電氣的に接続する配線としての機能を有している。転送用MIS・FETQtのn型の半導体領域5の他方は、データ線用の接続孔8Aを通じてデータ線DL(図4参照)と電氣的に接続されている。このデータ線DLは、例えばアルミニウムまたはアルミニウム-シリコン-銅合金等からなり、第2配線層に形成されている。また、転送用MIS・FETQtと駆動用MIS・FETQdとの共有のn型の半導体領域5は、接続孔8Bを通じて、対となる他の駆動用MIS・FETQdおよび負荷抵抗用MIS・FETQLのゲート電極6gd,6gLと接続され、かつ、第1層配線9L(図4参照)と電氣的に接続されている。この第1層配線9Lは、例えばアルミニウムまたはアルミニウム-シリコン-銅合金等からなり、接続孔8Cを通じて負荷抵抗用MIS・FETQLの一方のp型の半導体領域7と電氣的に接続されている。さらに、駆動用MIS・FETQdのn型の半導体領域5の他方は、接続孔8Dを通じて低電位側の電源GND(図2参照)用の第1層配線9LG(図4参照)と電氣的に接続されている。また、負荷抵抗用MIS・FETQLの他方のp型の半導体領域7は、接続孔8Eを通じて高電位側の電源Vdd(図2参照)用の第1層配線9LV(図4参照)と電氣的に接続されている。

20

30

【0033】

転送用MIS・FETQtのゲート電極6gtは、ワード線WLの一部で構成されており、図3の横方向に伸びる平面帯状のパターンで形成されている。また、駆動用MIS・FETQdおよび負荷抵抗用MIS・FETQLのゲート電極6gd,6gLは一体的なゲートパターンの一部に形成されている。このゲートパターンは、その一部が、ゲート電極6gd,6gL同士を繋ぐゲートパターン部分に対して斜め方向に伸び、全体的に平面Y字状に形成されている。そのゲートパターンの斜方延在部の端部は上記接続孔8Bを通じてn型の半導体領域5および第1層配線9Lと電氣的に接続されており、配線としての機能を有している。そして、1つのメモリセルMCは、図3の横方向に隣接する2つのゲートパターンを有している。これらゲート電極6gt,6gd,6gLは、後述するゲート絶縁膜上に形成されており、例えば低抵抗ポリシリコンの単体膜、低抵抗ポリシリコン膜上にタングステンシリサイド等のようなシリサイド層を設けた積層膜または低抵抗ポリシリコン膜上に窒化チタンや窒化タングステン等を介してタングステン等のような金属膜を設けた積層膜で構成されている。

40

【0034】

次に、本実施の形態の半導体集積回路装置の製造方法の一例を図5~図17によって説明する。なお、図中のI/O・NMISは入出力回路形成用のnチャンネル型のMIS・FETの形成領域、I/O・PMISは入出力回路形成用のpチャンネル型のMIS・FETの形成領域、論理NMISは論理回路用のnチャンネル型のMIS・FETの形成領域および

50

論理PMISは論理回路用のpチャネル型のMIS・FETの形成領域を意味している。また、図5～図17のメモリセル領域には駆動用MIS・FETおよび負荷抵抗用MIS・FETの形成領域が例示されている。

【0035】

まず、図5に示すように、例えばp型で比抵抗が $10\ \Omega\text{-cm}$ 程度の半導体基板（この段階では半導体ウエハ）3を800℃程度でウェット酸化してその表面に膜厚10nm程度の薄い酸化シリコン膜10を形成した後、その上にCVD（Chemical Vapor Deposition）法で膜厚200nm程度の窒化シリコン膜11を堆積する。酸化シリコン膜10は、後の工程で素子分離溝の内部に埋め込まれる酸化シリコン膜をシンタリング（焼き締め）するときなどに半導体基板3に加わるストレスを緩和するために形成される。窒化シリコン膜11は酸化され難い性質を持つので、その下部（活性領域）の基板表面の酸化を防止するマスクとして利用される。

10

【0036】

続いて、フォトリソ膜をマスクにして窒化シリコン膜11、酸化シリコン膜10および半導体基板3をドライエッチングすることにより、素子分離領域の半導体基板3に深さ300～400nm程度の分離溝4aを形成する。分離溝4aを形成するには、フォトリソ膜をマスクにして窒化シリコン膜11をドライエッチングし、次いでフォトリソ膜を除去した後、パターニングされた窒化シリコン膜11をマスクにして酸化シリコン膜10および半導体基板3をドライエッチングしても良い。

【0037】

次に、本実施の形態においては、SRAMのメモリセルを構成する駆動用MIS・FET、転送用MIS・FETおよび負荷抵抗用MIS・FETの V_{th} をSRAM周辺回路や論理回路の所定のMIS・FETの V_{th} よりも相対的かつ意識的に高くすべく、以下の処理を行う（以下、第1の処理という）。

20

【0038】

まず、分離溝形成用のフォトリソ膜を除去した後、駆動用MIS・FETおよび転送用MIS・FETの V_{th} を相対的かつ意識的に高くすべく、図6に示すように、半導体基板3上に駆動用MIS・FETQdの形成領域および転送用MIS・FETQtの形成領域が露出され、それ以外の領域が被覆されるようなフォトリソパターン12Aを形成する。なお、図6は図3と同じメモリセル領域を示すものである。この図6の段階では未だ素子等は形成されていないが、フォトリソパターン12Aの形成位置関係を分かり易くするため図示してある。また、図6においては図面を見易くするためフォトリソパターン12Aにハッチングを付す。また、フォトリソパターン12Aのパターン形状は、これに限定されるものではなく、例えば駆動用MIS・FETQdおよび転送用MIS・FETQtの形成領域と、半導体基板3に形成するnチャネル型のMIS・FETであって特にソース・ドレイン間のリーク電流を抑制することが必要とされるMIS・FETの形成領域とが露出され、それ以外の領域が被覆されるようなパターン形状に形成しても良い。

30

【0039】

続いて、フォトリソパターン12Aをマスクとして、例えば2フッ化ホウ素（ BF_2 ）を半導体基板3にイオン打ち込みする。この際の条件は、特に限定されるものではないが、例えば次の通りである。すなわち、イオン打ち込みエネルギーは、40keV程度、ドーズ量は、 $1 \times 10^{12} / \text{cm}^2$ 程度、イオン打ち込み角度は、10度程度である。イオン打ち込み角度をつけている理由は、不純物イオンを分離溝4aの側面にも導入することで、活性領域全体において V_{th} を上昇させるためである。なお、イオン打ち込み角度とは、半導体基板3の主面に対する不純物イオンの入射角度である。

40

【0040】

次いで、フォトリソパターン12Aを除去した後、負荷抵抗用MIS・FETQLの V_{th} を相対的かつ意識的に高くすべく、図7に示すように、半導体基板3上に負荷抵抗用MIS・FETQLの形成領域が露出され、それ以外の領域が被覆されるようなフォ

50

レジストパターン12Bを形成する。なお、図7も図3と同じメモリセル領域を示すものであり、この段階では未だ素子等は形成されていないが、フォトレジストパターン12Bの形成位置関係を分かり易くするため図示してある。また、図7においても図面を見易くするためフォトレジストパターン12Bにハッチングを付す。また、フォトレジストパターン12Bのパターン形状は、これに限定されるものではなく、例えば負荷抵抗用MIS・FETQLの形成領域と、半導体基板3に形成するpチャネル型のMIS・FETであって特にソース・ドレイン間のリーク電流を抑制することが必要とされるMIS・FETの形成領域とが露出され、それ以外の領域が被覆されるようなパターン形状に形成しても良い。

【0041】

続いて、フォトレジストパターン12Bをマスクとして、例えばリン(P)を半導体基板にイオン打ち込みする。この際の条件は、特に限定されるものではないが、上記した駆動用MIS・FETQdのV_{th}を相対的かつ意識的に上昇させるための不純物導入条件と同じで良い。その後、フォトレジストパターン12Bを除去する。

【0042】

なお、上述のような駆動用MIS・FETQd等のV_{th}を上昇させるための不純物導入工程と、負荷抵抗用MIS・FETQLのV_{th}を上昇させるための不純物導入工程との順序は逆でも良い。

【0043】

このような一連の処理を施すことにより、駆動用MIS・FETQd、転送用MIS・FETQtおよび負荷抵抗用MIS・FETQLのV_{th}を相対的かつ意識的に上昇させる。

【0044】

このような第1の処理の後、前記エッチングで分離溝4aの内壁に生じたダメージ層を除去するために、半導体基板3を1000程度でドライ酸化して分離溝4aの内壁に膜厚30nm程度の薄い酸化シリコン膜を形成する。続いて、図8に示すように、半導体基板3上に膜厚400nm程度の酸化シリコン膜13を堆積した後、半導体基板3をウェット酸化することにより、分離溝4aに埋め込んだ酸化シリコン膜13の膜質を改善するためのシントリング(焼き締め)を行う。この酸化シリコン膜13は、例えばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。

【0045】

次いで、その酸化シリコン膜13の上部にCVD法で膜厚200nm程度の窒化シリコン膜を堆積した後、フォトレジスト膜をマスクにして窒化シリコン膜をドライエッチングすることにより、例えばメモリアレイと周辺回路の境界部のように、相対的に広い面積の分離溝4aの上部のみに窒化シリコン膜14を残す。分離溝4aの上部に残った窒化シリコン膜14は、次の工程で酸化シリコン膜13を化学的機械研磨(Chemical Mechanical Polishing; CMP)法で研磨して平坦化する際、相対的に広い面積の分離溝4aの内部の酸化シリコン膜13が相対的に狭い面積の分離溝4aの内部の酸化シリコン膜13に比べて深く研磨される現象(ディッシング; dishing)を防止するために形成される。

【0046】

続いて、窒化シリコン膜14のパターニング用のフォトレジスト膜を除去した後、窒化シリコン膜11, 14をストップに用いたCMP法で酸化シリコン膜13を研磨して分離溝4aの内部に残すことにより分離部4を形成する。本実施の形態では、分離部4の構造として溝型の分離構造を採用しているため通常ならば逆狭チャネル特性によりメモリセルを構成するMIS・FETのV_{th}が低下してしまうはずであるが、上記第1の処理または後述するようなメモリセルを構成するMIS・FETのV_{th}を相対的かつ意識的に上昇させるための処理を施しているため、そのような問題も生じない。

【0047】

その後、窒化シリコン膜11, 14を除去し、半導体基板3に対してプレ酸化処理を施し、厚さ10nm程度のゲート絶縁膜を半導体基板3上に形成する。その後、図9に示すよ

10

20

30

40

50

うに、半導体基板 3 の主面上に、埋込領域が露出され、それ以外の領域が被覆されるようなフォトリソパターン 1 2 C を形成した後、半導体基板 3 に n 型の埋込領域 1 5 を形成すべく、そのフォトリソパターン 1 2 C をマスクとして、例えばリンを半導体基板 3 にイオン打ち込みする。なお、この段階では不純物の活性化等のための熱処理を半導体基板 3 に施していないので n 型の埋込領域 1 5 は形成されていないが、説明を分かり易くするために図示する。

【 0 0 4 8 】

次いで、そのフォトリソパターン 1 2 C を除去した後、半導体基板 3 の主面上に、全領域における n ウエル領域が露出され、それ以外の領域が被覆されるようなフォトリソパターンを形成する。続いて、そのフォトリソパターンをマスクとして、半導体基板 3 に、例えばリンをイオン打ち込みする。ここでは、少なくとも n ウエル 1 6 N W を形成するための上記不純物の導入工程と、メモリセル領域以外の n ウエル 1 6 N W に形成される M I S ・ F E T の V t h を設定するための上記不純物の導入工程との 2 種の不純物導入工程をそれぞれ別々に行う。その後、そのフォトリソパターンを除去する。

10

【 0 0 4 9 】

次いで、図 1 0 に示すように、半導体基板 3 の主面上に、全領域における p ウエル領域が露出され、それ以外の領域が被覆されるようなフォトリソパターン 1 2 D を形成する。続いて、そのフォトリソパターン 1 2 D をマスクとして、半導体基板 3 に、例えばホウ素または 2 フッ化ホウ素をイオン打ち込みする。ここでは、少なくとも p ウエル 1 6 P W を形成するための上記不純物の導入工程と、メモリセル領域以外の p ウエル 1 6 P W に形成される M I S ・ F E T の V t h を設定するための上記不純物の導入工程との 2 種の不純物導入工程をそれぞれ別々に行う。その後、そのフォトリソパターン 1 2 D を除去する。

20

【 0 0 5 0 】

ここで、上記ウエル等の不純物導入工程の後、上記した第 1 の処理に代えて、上記駆動用 M I S ・ F E T 、転送用 M I S ・ F E T および負荷抵抗用 M I S ・ F E T の V t h を、S R A M 周辺回路や論理回路の所定の M I S ・ F E T の V t h よりも相対的かつ意識的に高くすべく、以下の処理を行っても良い（以下、第 2 の処理という）。

【 0 0 5 1 】

まず、駆動用 M I S ・ F E T および転送用 M I S ・ F E T の V t h を相対的かつ意識的に高くすべく、上記図 6 に示したフォトリソパターン 1 2 A （またはその変形例のフォトリソパターン）を形成する。なお、この段階においても素子等は形成されていないが、フォトリソパターン 1 2 A の形成位置関係を分かり易くするため図示する。

30

【 0 0 5 2 】

続いて、そのフォトリソパターン 1 2 A をマスクとして、例えば 2 フッ化ホウ素（ $B F_2$ ）を半導体基板 3 にイオン打ち込みする。この際の条件は、特に限定されるものではないが、例えば次の通りである。すなわち、イオン打ち込みエネルギーは、6 0 k e V 程度、ドーズ量は、 $3 \times 1 0^{12} / c m^2$ 程度、イオン打ち込み角度は、9 0 度（すなわち、半導体基板 3 の主面に対して垂直）程度である。

【 0 0 5 3 】

次いで、フォトリソパターン 1 2 A を除去した後、負荷抵抗用 M I S ・ F E T Q L の V t h を相対的かつ意識的に高くすべく、上記図 7 に示したフォトリソパターン 1 2 B （またはその変形例）を形成する。なお、この段階においても素子等は形成されていないが、フォトリソパターン 1 2 B の形成位置関係を分かり易くするため図示する。

40

【 0 0 5 4 】

続いて、フォトリソパターン 1 2 B をマスクとして、例えばリン（P）を半導体基板 3 にイオン打ち込みする。この際の条件は、特に限定されるものではないが、イオン打ち込みエネルギーが、例えば 4 0 k e V 程度である他は、この第 2 の処理における上記駆動用 M I S ・ F E T Q t 等の V t h を上昇させるための不純物導入条件と同じで良い。

【 0 0 5 5 】

50

なお、この場合も上記した駆動用MIS・FETQd等におけるVthを上昇させるための不純物導入工程と、負荷抵抗用MIS・FETQLにおけるVthを上昇させるための不純物導入工程との順序は逆でも良い。

【0056】

このような一連の処理を施すことにより、駆動用MIS・FETQd、転送用MIS・FETQtおよび負荷抵抗用MIS・FETQLのVthを相対的かつ意識的に上昇させる。

【0057】

このような第2の処理の後、半導体基板3に対して熱処理を施すことにより、半導体基板3に導入した不純物の活性化等を行い、半導体基板3にnウエル16NW、pウエル16PWおよびn型の埋込領域15を形成する。

10

【0058】

続いて、ゲート絶縁膜の形成工程に移行するが、本実施の形態においては、そのゲート絶縁膜の形成工程に先立って、上記駆動用MIS・FET、転送用MIS・FETおよび負荷抵抗用MIS・FETのVthを、SRAM周辺回路や論理回路の所定のMIS・FETのVthよりも相対的かつ意識的に高くすべく、上記した第1の処理または第2の処理に代えて以下の処理を行っても良い(以下、第3の処理という)。

【0059】

まず、半導体基板3上に、周辺回路領域および論理回路領域において、動作速度の高速化が要求されるMIS・FETの形成領域が露出され、かつ、メモリセル領域の全領域、周辺回路領域および論理回路領域においてソース・ドレイン間のリーク電流を抑えることが要求されるMIS・FETの形成領域が被覆されるようなフォトレジストパターンを形成する。

20

【0060】

続いて、そのフォトレジストパターンをマスクとして、例えば窒素(N)を半導体基板3にイオン打ち込みする。この際の条件は、特に限定されるものではないが、例えば次の通りである。すなわち、イオン打ち込みエネルギーは、5keV程度、ドーズ量は、 $4 \times 10^{14} / \text{cm}^2$ 程度、イオン打ち込み角度は、90度程度である。

【0061】

これにより、メモリセル領域における駆動用MIS・FET、転送用MIS・FETおよび負荷抵抗用MIS・FETのVthを相対的かつ意識的に高く設定することが可能となっている。これは、次の理由からである。すなわち、ゲート絶縁膜に窒素が含有されるとMIS・FETのVthが下がるからである。また、窒素が導入された領域ではゲート絶縁膜が窒素に耐酸化性が増す結果、窒素を導入しなかった領域のゲート絶縁膜よりも薄くなるので、その面からも窒素を導入した領域に形成されたゲート絶縁膜を持つMIS・FETの方が、そうしなかった領域に形成されたゲート絶縁膜を持つMIS・FETよりもVthを相対的に低くできる。

30

【0062】

また、窒素を導入した領域には、ゲート絶縁膜と半導体基板3との界面に窒素が偏析される結果、ゲート絶縁膜の信頼性を向上できるという効果も得られる。これは、ゲート絶縁膜が薄くなると、半導体基板3との熱膨張係数差に起因してゲート絶縁膜と半導体基板3との接触界面に生じる歪みが顕在化し、ホットキャリアの発生を誘発することが知られているが、半導体基板3との界面に偏析した窒素はこの歪みを緩和するからである。なお、メモリセル領域では、ホットキャリアの問題が生じ難いので、メモリセル領域に窒素を導入しなくとも特に不具合は生じない。

40

【0063】

なお、本実施の形態では、上記第1の処理や第2の処理に置き換えて上記第3の処理を行う場合について説明したが、これに限定されるものではなく、この第3の処理については、第1の処理または第2の処理と組み合わせて行っても良い。

【0064】

50

このような第3の処理の後、例えば次のようなゲート絶縁膜の形成工程に移行する。

【0065】

まず、半導体基板3に形成される高耐圧MIS・FETのゲート絶縁膜を形成するための酸化処理を施し、半導体基板3の主面上に、例えば厚さ9nm以上の相対的に最も厚いゲート絶縁膜を形成する。続いて、そのゲート絶縁膜上に、高耐圧MIS・FETの形成領域が被覆され、それ以外の領域が露出されるようなフォトレジストパターンを形成した後、そのフォトレジストパターンから露出する厚いゲート絶縁膜を除去し、さらにそのフォトレジストパターンを除去する。

【0066】

その後、通常は、高耐圧MIS・FET以外のMIS・FETにおけるゲート絶縁膜の形成工程に移行するが、本実施の形態においては、上記駆動用MIS・FET、転送用MIS・FETおよび負荷抵抗用MIS・FETの V_{th} を、SRAM周辺回路や論理回路の所定のMIS・FETの V_{th} よりも相対的かつ意識的に高くすべく、上記した第1の処理、第2の処理または第3の処理に加えて、以下の処理を行っても良い(以下、第4の処理という)。

【0067】

まず、メモリセルを構成するMIS・FETおよびソース・ドレイン間のリーク電流の抑制が要求されるMIS・FETのゲート絶縁膜を形成するための酸化処理を施し、半導体基板3の主面上に、例えば厚さ5nm程度の相対的に中位程度の厚さのゲート絶縁膜を形成する。このゲート絶縁膜の厚さは、周辺回路領域および論理回路領域において、動作速度の高速化が要求されるMIS・FETの形成領域に形成するゲート絶縁膜の厚さよりも厚くなるようにする。これにより、メモリセルを構成するMIS・FETおよび上記リーク電流の抑制が要求されるMIS・FETにおける V_{th} を相対的かつ意識的に高くすることが可能となる。

【0068】

続いて、その中位程度の厚さのゲート絶縁膜上に、メモリセル領域の全領域、周辺回路領域および論理回路領域において上記リーク電流の抑制が要求されるMIS・FETの形成領域が被覆され、かつ、それ以外の領域が露出されるようなフォトレジストパターンを形成した後、そのフォトレジストパターンから露出する中位程度の厚さのゲート絶縁膜を除去し、さらにそのフォトレジストパターンを除去する。

【0069】

その後、半導体基板3に対して、高速動作が要求されるMIS・FETのゲート絶縁膜を形成するための酸化処理を施し、半導体基板3の主面上に、例えば厚さが5nmより薄い相対的に最も薄いゲート絶縁膜を形成する。

【0070】

次に、図11に示すように、上述のようにして形成されたゲート酸化膜17および分離部4の上面が覆われるように半導体基板3上にゲート電極形成用の導体膜18をCVD法等によって形成する。この導体膜18は、例えば低抵抗ポリシリコンの単体膜、低抵抗ポリシリコン上にタングステンシリサイド膜を被着してなる積層膜または低抵抗ポリシリコン上に窒化タングステンや窒化チタン等のようなバリア金属膜を介してタングステン等のような金属膜を被着した積層膜等からなる。なお、上記バリア金属膜は、高温熱処理時にタングステン膜とポリシリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。

【0071】

続いて、メモリセル領域およびそれ以外の領域におけるnチャネル型のMIS・FETの形成領域が露出され、それ以外が被覆されるようなフォトレジストパターン12Eを導体膜18上に形成した後、それをマスクとして導体膜18に、例えばリンをイオン打ち込みする。その後、フォトレジストパターン12Eを除去した後、導体膜18上に、例えば酸化シリコンまたは窒化シリコンからなるキャップ用絶縁膜をCVD法等によって被着する。

10

20

30

40

50

【 0 0 7 2 】

次いで、キャップ用絶縁膜をフォトレジストパターンをマスクとしてドライエッチング法等によってパターニングした後、そのフォトレジストパターンを除去し、パターニングされたキャップ用絶縁膜をマスクとして導体膜 1 8 をパターニングし、さらにキャップ用絶縁膜 1 9 を除去して図 1 2 に示すようにゲート電極 6 g を形成する。また、キャップ用絶縁膜および導体膜 1 8 を 1 度のフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることによりゲート電極 6 g (6 g d, 6 g L) およびキャップ用絶縁膜を形成しても良い。この場合はゲート電極 6 g 上にキャップ用絶縁膜が残される。このゲート電極 6 g のうちの最小のゲート長は、M I S ・ F E T の短チャネル効果を抑制して、V t h を一定値以上に確保できる許容範囲内の最小寸法 (例えば 0 . 2 4 μ m) で設定される。

10

【 0 0 7 3 】

次いで、図 1 3 に示すように、フォトレジストパターンをマスクとして p ウエル 1 6 P W に、例えばリン (P) をイオン打ち込みしてゲート電極 6 g の両側の p ウエル 1 6 P W に n⁻ 型の半導体領域 5 a を形成する。なお、この段階では活性化等のための熱処理を施していないので n⁻ 型の半導体領域 5 a は形成されていないが、説明を分かり易くするため図示する。

【 0 0 7 4 】

続いて、そのフォトレジストパターンを除去した後、新たに形成したフォトレジストパターン 1 2 F をマスクとして、n ウエル 1 6 N W に、例えばホウ素 (B) をイオン打ち込みしてゲート電極 6 g の両側の n ウエル 1 6 N W に p⁻ 型の半導体領域 7 a を形成する。なお、この段階では活性化等のための熱処理を施していないので p⁻ 型の半導体領域 7 a は形成されていないが、説明を分かり易くするため図示する。

20

【 0 0 7 5 】

次いで、フォトレジストパターン 1 2 F を除去した後、半導体基板 3 に導入した不純物の活性化等のための熱処理を施した後、図 1 4 に示すように、半導体基板 3 上に C V D 法で膜厚 5 0 n m 程度の窒化シリコン膜を堆積した後、その窒化シリコン膜を異方性エッチングすることにより、ゲート電極 6 g の側壁にサイドウォールスペーサ 1 9 を形成する。このエッチングは、ゲート絶縁膜 1 7 や分離部 4 に埋め込まれた酸化シリコン膜の削れ量を最少とするために、酸化シリコン膜に対する窒化シリコン膜のエッチングレートが大きくなるようなエッチングガスを使用して行う。また、ゲート電極 6 g 上に窒化シリコン膜からなるキャップ用絶縁膜を形成した場合にもその削れ量を最少とするために、オーバーエッチング量を必要最小限にとどめるようにする。

30

【 0 0 7 6 】

次いで、フォトレジストパターンをマスクとして、p ウエル 1 6 P W に、例えばヒ素 (A s) をイオン打ち込みして n チャネル型の M I S ・ F E T の n⁺ 型の半導体領域 5 b を形成する。なお、この段階では活性化等のための熱処理を施していないので n⁺ 型の半導体領域 5 b は形成されていないが、説明を分かり易くするため図示する。また、図 3 等で示した n 型の半導体領域 5 は、n⁻ 型の半導体領域 5 a と n⁺ 型の半導体領域 5 b とで構成される。

40

【 0 0 7 7 】

続いて、そのフォトレジストパターンを除去した後、新たに形成されたフォトレジストパターン 1 2 G をマスクとして、n ウエル 1 6 N W に、例えばホウ素 (B) をイオン打ち込みして p チャネル型の M I S ・ F E T の p⁺ 型の半導体領域 7 b を形成する。なお、この段階では活性化等のための熱処理を施していないので p⁺ 型の半導体領域 7 b は形成されていないが、説明を分かり易くするため図示する。また、図 3 等で示した p 型の半導体領域 7 は、p⁻ 型の半導体領域 7 a と p⁺ 型の半導体領域 7 b とで構成される。

【 0 0 7 8 】

その後、フォトレジストパターン 1 2 G を除去した後、半導体基板 3 に不純物活性化のための熱処理を施すことにより、p チャネル型の M I S F E T Q p , Q L および n チャネル

50

型のMISFETQn, Qdが形成される。

【0079】

次いで、半導体基板3上に、例えば窒化チタン(TiN)またはコバルト(Co)等のような導体膜をスパッタリング法等によって被着した後、熱処理を施すことにより、図15に示すように、その導体膜と半導体基板3およびゲート電極6gとの接触界面にシリサイド層20を形成する。続いて、シリサイド化されなかった導体膜をエッチング除去した後、再び熱処理を施す。

【0080】

次いで、半導体基板3上に、例えば窒化シリコン膜等からなる絶縁膜21aをCVD法等によって被着した後、その上に、例えばPSG(Phospho Silicate Glass)等からなる絶縁膜21bをCVD法等によって被着し、さらに、その上に、例えば酸化シリコンからなる絶縁膜21cを被着する。続いて、その絶縁膜21cの上面をCMP法によって平坦化した後、絶縁膜21a~21cの一部に接続孔8を穿孔する。その後、半導体基板3上に、例えばチタン、窒化チタンおよびタングステンを下層から順に被着した後、これをCMP法によってエッチバックすることにより、接続孔8内に導体膜22を埋め込み形成する。

10

【0081】

次いで、半導体基板3上に、例えばチタン、アルミニウムまたはアルミニウム合金、チタンおよび窒化チタンを下層から順に被着した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターンングすることにより第1層配線9Lを形成する。続いて、図17に示すように、上記第1層配線9Lと同様にして第2層配線23Lおよび第3層配線24Lを形成する。なお、符号の21d, 21eは、例えば酸化シリコンからなる絶縁膜を示している。これ以降は、通常の半導体集積回路装置の製造方法を適用して、キャッシュメモリ用のSRAMを内蔵するマイクロプロセッサを製造する。

20

【0082】

次に、本実施の形態の効果を図18~図20によって説明する。

【0083】

図18は本実施の形態のようにメモリセルを構成するMIS・FETのVthを相対的かつ意識的に上昇させた場合のトランスファカーブを示し、図19はそのVthを上昇させなかった場合のトランスファカーブを示している。また、図20は駆動用MIS・FETのVthに対するSNMを示す。

30

【0084】

図18および図19のトランスファカーブを比較することで分かるように本実施の形態によれば、SNMを大幅に向上させることが可能となる。特に、図18~図20で分かるように、駆動用MIS・FETQdのVthを上昇させるべく第1の処理または第2の処理を施すと、SNMは急激に大きくなり、メモリセルの動作マージンを充分確保できることが分かる。

【0085】

このように、本実施の形態1によれば、以下の効果が得られる。

【0086】

(1). SRAM内蔵型のマイクロプロセッサにおいて、SRAMのメモリセルを構成する駆動用MIS・FET、転送用MIS・FETおよび負荷抵抗用MIS・FETのVthを相対的かつ意識的に上昇させたことにより、そのマイクロプロセッサの動作速度の向上、電源電圧の低下(すなわち、消費電力の低減)および溝型の分離構造を採用したことによる素子集積度の向上を実現しつつ、SRAMのSNMを向上させることが可能となる。

40

【0087】

(2). SRAM内蔵型のマイクロプロセッサにおけるメモリの読み出し不良や書き込み不良の発生率を低減させることが可能となる。

【0088】

(3). 上記(1),(2)により、小型・高機能で、かつ、低消費電力で高速動作が可能なSRA

50

M内蔵型のマイクロプロセッサの動作信頼性を向上させることが可能となる。

【0089】

(実施の形態2)

図21は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部平面図である。

【0090】

前記実施の形態1においては、SRAMのメモリセルを構成する全てのMIS・FETのV_{th}を相対的かつ意識的に上昇させた場合について説明したが、これに限定されるものではなく、SRAMのメモリセルの所定のMIS・FETのV_{th}を相対的かつ意識的に上昇させても良い。

10

【0091】

本実施の形態2は、それを説明するものであり、例えば転送用MIS・FETのV_{th}を相対的かつ意識的に上昇させたい場合には、前記実施の形態1で説明した前記第1の処理または第2の処理に際し、図6に示したフォトレジストパターン12Aに代えて、図21に示すように、転送用MIS・FETの形成領域が露出され、それ以外の領域が被覆されるようなフォトレジストパターン12A2を半導体基板3上に形成すれば良い。なお、図21は図3や図6等と同じメモリセル領域を示すものであり、上述の説明と同じくフォトレジストパターン12A2の形成位置関係を分かり易くするため素子等も図示してある。また、図21においても図面を見易くするためフォトレジストパターン12A2にハッチングを付す。さらに、フォトレジストパターン12A2のパターン形状は、これに限定されるものではなく、例えば転送用MIS・FETQ_tの形成領域と、半導体基板3に形成するnチャンネル型のMIS・FETであって特にソース・ドレイン間のリーク電流を抑制することが必要とされるMIS・FETの形成領域とが露出され、それ以外の領域が被覆されるようなパターン形状に形成しても良い。

20

【0092】

このような本実施の形態2においては、特に、SRAM内蔵型のマイクロプロセッサの動作速度の向上、電源電圧の低下(すなわち、消費電力の低減)および素子集積度の向上を実現しつつ、メモリの読み出し不良の発生率を低減させることが可能となる。したがって、小型・高機能で、かつ、低消費電力で高速動作が可能なSRAM内蔵型のマイクロプロセッサの動作信頼性を向上させることが可能となる。

30

【0093】

(実施の形態3)

図22は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部平面図である。

【0094】

本実施の形態3では、駆動用MIS・FETのV_{th}を相対的かつ意識的に上昇させたい場合であり、この場合には、前記実施の形態1で説明した前記第1の処理または第2の処理に際し、フォトレジストパターン12A(図6参照)に代えて、図22に示すように、駆動用MIS・FETの形成領域が露出され、それ以外の領域が被覆されるようなフォトレジストパターン12A3を半導体基板3上に形成すれば良い。なお、図22も図3や図6等と同じメモリセル領域を示すものであり、上述の説明と同じく、フォトレジストパターン12A3の形成位置関係を分かり易くするため素子等も図示してある。また、図22においても図面を見易くするためフォトレジストパターン12A3にハッチングを付す。さらに、フォトレジストパターン12A3のパターン形状は、これに限定されるものではなく、例えば駆動用MIS・FETQ_dの形成領域と、半導体基板3に形成するnチャンネル型のMIS・FETであって特にソース・ドレイン間のリーク電流を抑制することが必要とされるMIS・FETの形成領域とが露出され、それ以外の領域が被覆されるようなパターン形状に形成しても良い。

40

【0095】

本実施の形態3においては、特に、SRAM内蔵型のマイクロプロセッサの動作速度の向

50

上、電源電圧の低下（すなわち、消費電力の低減）および素子集積度の向上を実現しつつ、S R A MのS N Mを向上させることが可能となる。したがって、低消費電力で高速動作が可能なS R A M内蔵型のマイクロプロセッサの動作信頼性を向上させることが可能となる。

【 0 0 9 6 】

（実施の形態 4）

図 2 3 ~ 図 2 5 は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【 0 0 9 7 】

本実施の形態 4 は、前記実施の形態 1 で説明した第 3 の処理の変形例を説明するものである。すなわち、前記第 3 の処理では、窒素をイオン打ち込み法によって半導体基板に導入した場合について説明したが、本実施の形態 4 では、熱処理雰囲気中に窒素ガスを混入することでゲート絶縁膜と半導体基板との接触界面に窒素を偏析させるものであり、その具体的な方法は次の通りである。

【 0 0 9 8 】

まず、図 2 3 に示すように、半導体基板 3 の主面上に、例えば酸化シリコンからなるゲート絶縁膜 1 7 を通常のゲート酸化処理によって形成した後、半導体基板 3 の主面上に、メモリセル領域が被覆され、それ以外の領域が露出されるようなフォトレジストパターン 1 2 H を形成し、それをエッチングマスクとして、そこから露出するゲート絶縁膜 1 7 を除去する。

【 0 0 9 9 】

続いて、フォトレジストパターン 1 2 H を除去し、図 2 4 に示すように、メモリセル領域のみにゲート絶縁膜 1 7 を残す。その後、例えば N O（酸化窒素）あるいは N₂ O（亜酸化窒素）雰囲気中で半導体基板 3 に対してゲート酸化処理を施すことにより、図 2 5 に示すように、ゲート絶縁膜 1 7（1 7 a, 1 7 b）を形成する。これにより、ゲート絶縁膜 1 7 と半導体基板 3 との界面に窒素を偏析させる（酸窒化処理）。

【 0 1 0 0 】

ところで、この場合には、メモリセル領域のゲート絶縁膜 1 7 a の方が、それ以外の領域のゲート絶縁膜 1 7 b よりも厚くなるので、薄い側のゲート絶縁膜 1 7 b 中の窒素濃度の方が、厚い側のゲート絶縁膜 1 7 a の窒素濃度よりも相対的に高くなる。この結果、メモリセル領域に形成される M I S ・ F E T の V_{t h} の方が、それ以外の領域に形成された M I S ・ F E T の V_{t h} よりも相対的かつ意識的に高くすることができる。これ以降は、前記実施の形態 1 と同じなので説明を省略する。

【 0 1 0 1 】

このような本実施の形態 4 によれば、前記実施の形態 1 と同様の効果を得ることが可能となる。

【 0 1 0 2 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 1 0 3 】

例えば半導体ウエハはシリコン単結晶の単体膜に限定されるものではなく種々変更可能であり、例えばシリコン単結晶の半導体基板の表面に薄い（例えば 1 μ m 以下の）エピタキシャル層を形成したエピタキシャルウエハまたは絶縁層上に素子形成用の半導体層を設けた S O I（Silicon On Insulator）ウエハを用いても良い。

【 0 1 0 4 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である S R A M メモリセルを内蔵するマイクロプロセッサに適用した場合について説明したが、それに限定されるものではなく、例えば S R A M 単体の半導体集積回路装置等に適用できる。また、前記実施の形態では、6 M I S ・ F E T 型の S R A M セルを採用した場合に

10

20

30

40

50

ついて説明したが、これに限定されるものではなく、例えば負荷抵抗素子にポリシリコン抵抗を用いる高抵抗負荷型のSRAMセルや駆動用MIS・FETの上層に2層のポリシリコン層を設け、そのポリシリコン層によって負荷抵抗素子用のpチャンネル形のMOS・FETを構成する、いわゆるTFT構造のSRAMセルを採用しても良い。また、半導体基板にSRAMや他の回路を構成するMIS・FETおよびバイポーラトランジスタを設ける半導体装置にも適用できる。

【0105】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

10

【0106】

(1) 本発明によれば、SRAM内蔵型のマイクロプロセッサの動作速度の向上および電源電圧の低下(すなわち、消費電力の低減)を実現しつつ、SRAMのスタティックノイズマージン(SNM)を向上させることが可能となる。

【0107】

(2) 本発明によれば、SRAM内蔵型のマイクロプロセッサにおけるメモリの読み出し不良や書き込み不良の発生率を低減させることが可能となる。

【0108】

(3) 上記(1)、(2)により、低消費電力で高速動作が可能なSRAM内蔵型のマイクロプロセッサの動作信頼性を向上させることが可能となる。

20

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の回路ブロック構成を説明するための説明図である。

【図2】図1の半導体集積回路装置のSRAMにおけるメモリセルの回路図である。

【図3】図1の半導体集積回路装置のSRAMのメモリセル領域における要部平面図である。

【図4】図1の半導体集積回路装置のSRAMのメモリセル領域における図3の上層の要部平面図である。

【図5】図1の半導体集積回路装置の製造工程における要部断面図である。

【図6】図1の半導体集積回路装置の図5に続く製造工程における要部平面図である。

30

【図7】図1の半導体集積回路装置の図6に続く製造工程におけるSRAMのメモリセル領域の要部平面図である。

【図8】図1の半導体集積回路装置の図7に続く製造工程における要部断面図である。

【図9】図1の半導体集積回路装置の図8に続く製造工程における要部断面図である。

【図10】図1の半導体集積回路装置の図9に続く製造工程における要部断面図である。

【図11】図1の半導体集積回路装置の図10に続く製造工程における要部断面図である。

【図12】図1の半導体集積回路装置の図11に続く製造工程における要部断面図である。

40

【図13】図1の半導体集積回路装置の図12に続く製造工程における要部断面図である。

【図14】図1の半導体集積回路装置の図13に続く製造工程における要部断面図である。

【図15】図1の半導体集積回路装置の図14に続く製造工程における要部断面図である。

【図16】図1の半導体集積回路装置の図15に続く製造工程における要部断面図である。

【図17】図1の半導体集積回路装置の図16に続く製造工程における要部断面図である。

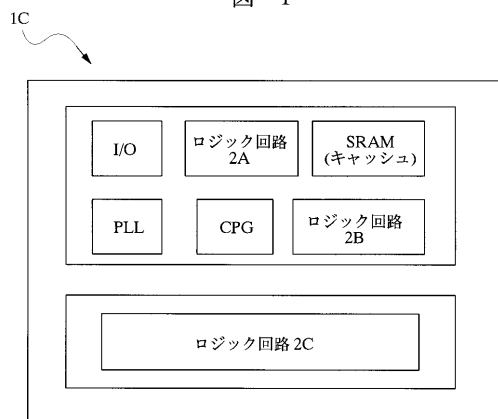
50

- 【図18】図1の半導体集積回路装置のS N M特性の説明図である。
- 【図19】図1の半導体集積回路装置の効果を説明すべく本発明者が比較のために検討した技術のS N M特性の説明図である。
- 【図20】図1の半導体集積回路装置のS R A Mにおける駆動用電界効果トランジスタのしきい値電圧とS N Mとの関係を示すグラフ図である。
- 【図21】本発明の他の実施の形態である半導体集積回路装置の製造工程中におけるS R A Mのメモリセルの要部平面図である。
- 【図22】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程中におけるS R A Mのメモリセルの要部平面図である。
- 【図23】本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。 10
- 【図24】図23に続く半導体集積回路装置の製造工程中における要部断面図である。
- 【図25】図24に続く半導体集積回路装置の製造工程中における要部断面図である。
- 【図26】S R A MのS N M特性を説明するためのグラフ図である。
- 【図27】本発明者が検討した半導体集積回路装置のS N M特性のグラフ図である。
- 【図28】本発明者が検討した半導体集積回路装置のS R A Mを構成する転送用電界効果トランジスタのドレイン電流と負荷抵抗用電界効果トランジスタのドレイン電流との関係を示すグラフ図である。
- 【図29】本発明者が検討した半導体集積回路装置のS R A Mを構成する転送用電界効果トランジスタのドレイン電流と負荷抵抗用電界効果トランジスタのドレイン電流との関係を示すグラフ図である。 20
- 【符号の説明】
- 1 C 半導体チップ
 - 2 A ~ 2 C ロジック回路
 - 3 半導体基板
 - 4 分離部
 - 4 a 分離溝
 - 5 n型の半導体領域
 - 5 a n⁻型の半導体領域
 - 6 g t ゲート電極 30
 - 7 p型の半導体領域
 - 7 a p⁻型の半導体領域
 - 8, 8 A ~ 8 E 接続孔
 - 9 L, 9 L G, 9 L V 第1層配線
 - 10 酸化シリコン膜
 - 11 窒化シリコン膜
 - 12 A, 12 A2, 12 A3 フォトレジストパターン
 - 12 B, 12 B2 フォトレジストパターン
 - 12 C ~ 12 H フォトレジストパターン
 - 13 酸化シリコン膜 40
 - 14 窒化シリコン膜
 - 15 n型の埋込領域
 - 16 nウエル
 - 17 ゲート絶縁膜
 - 18 導体膜
 - 19 サイドウォールスペーサ
 - 20 シリサイド層
 - 21 a ~ 21 e 絶縁膜
 - 22 導体膜
 - I / O 入出力回路 50

- P L L 位相同期ループ回路
- C P G クロックパルス発生回路
- M C メモリセル
- D L 1, D L 2 データ線
- W L ワード線
- Q d 1, Q d 2 駆動用 M I S ・ F E T (第 1 の 電 界 効 果 ト ラ ン ジ ス タ)
- Q t 1, Q t 2 転送用 M I S ・ F E T (第 1 の 電 界 効 果 ト ラ ン ジ ス タ)
- Q L 1, Q L 2 負荷抵抗用 M I S ・ F E T (第 1 の 電 界 効 果 ト ラ ン ジ ス タ)
- V d d 電 源
- G N D 電 源

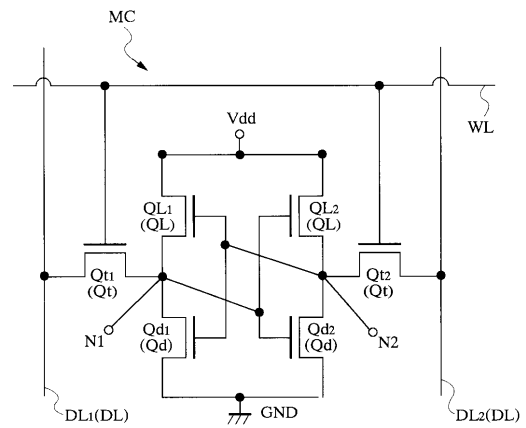
【 図 1 】

図 1

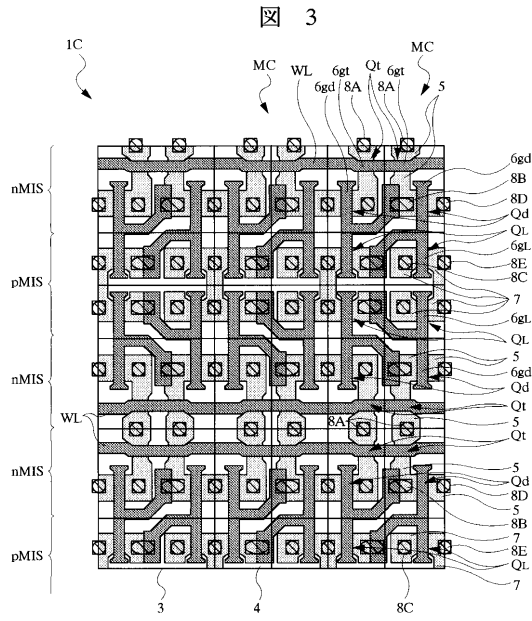


【 図 2 】

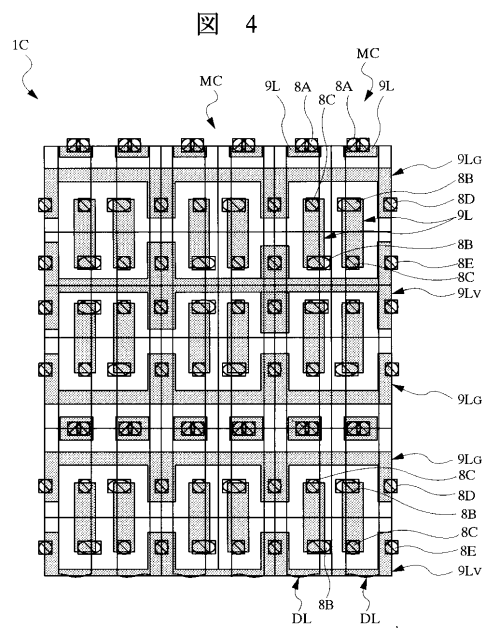
図 2



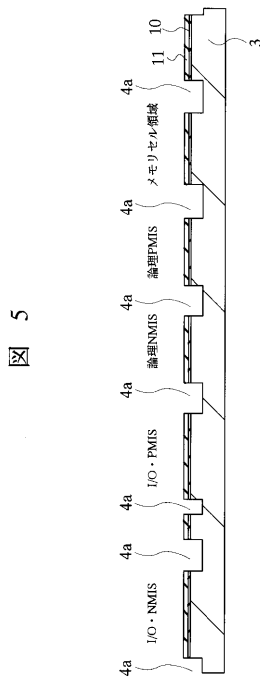
【 図 3 】



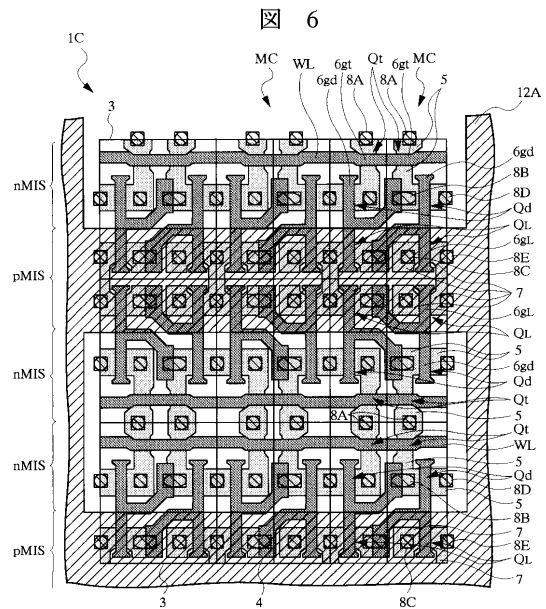
【 図 4 】



【 図 5 】

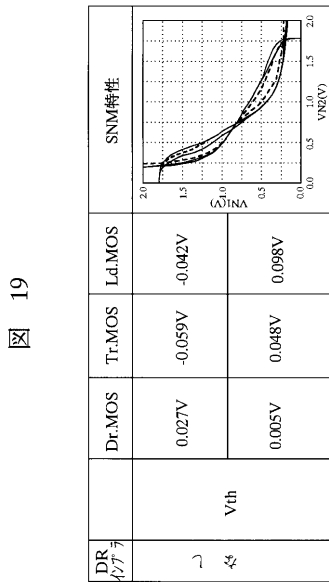


【 図 6 】

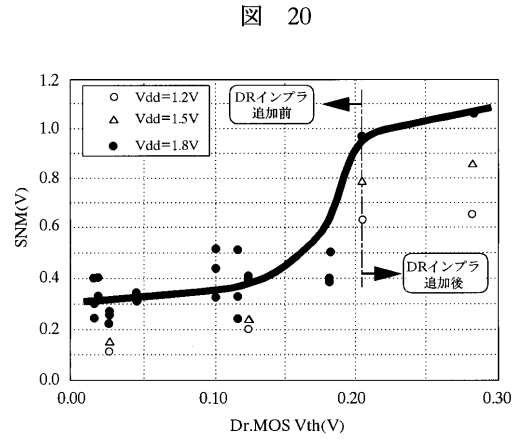


3: 半導体基板
 MC: メモリセル
 Qd: 駆動用MIS・FET(第1の電界効果トランジスタ)
 Qt: 転送用MIS・FET(第1の電界効果トランジスタ)
 Ql: 負荷抵抗用MIS・FET(第1の電界効果トランジスタ)

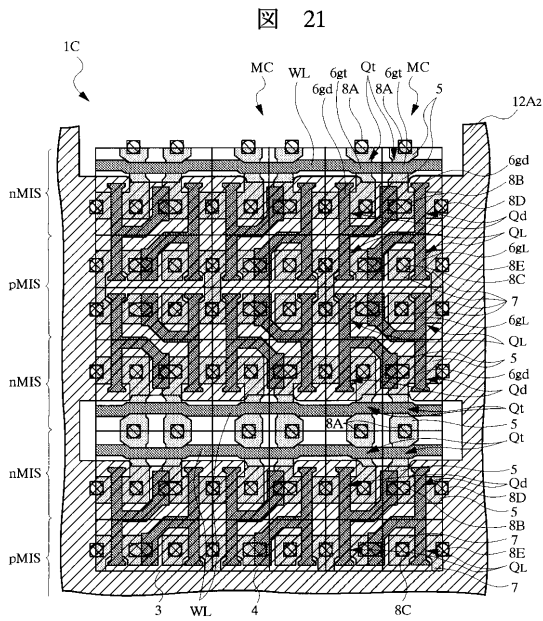
【 図 19 】



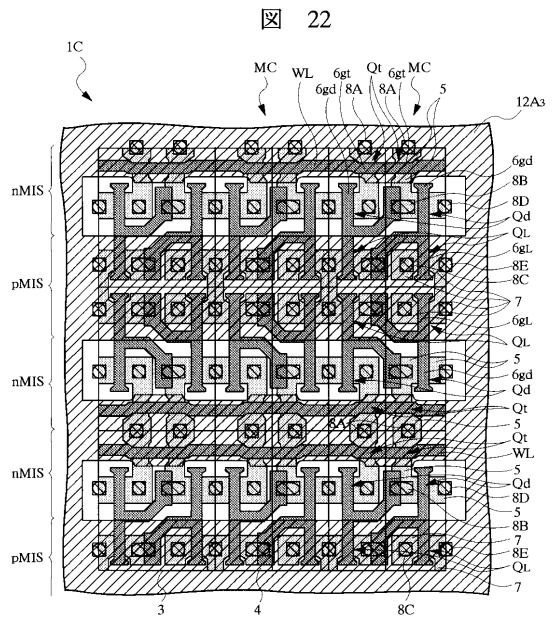
【 図 20 】



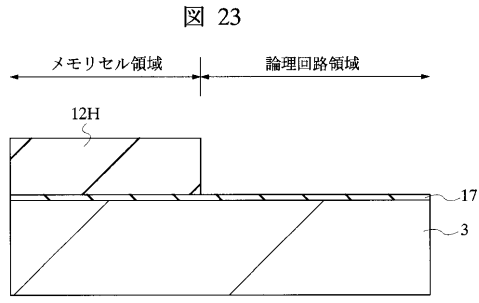
【 図 21 】



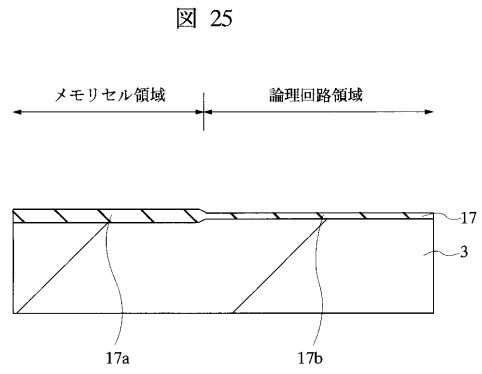
【 図 22 】



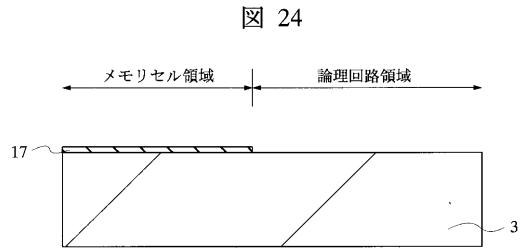
【図 23】



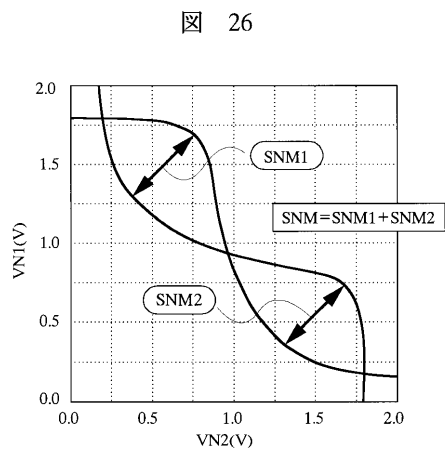
【図 25】



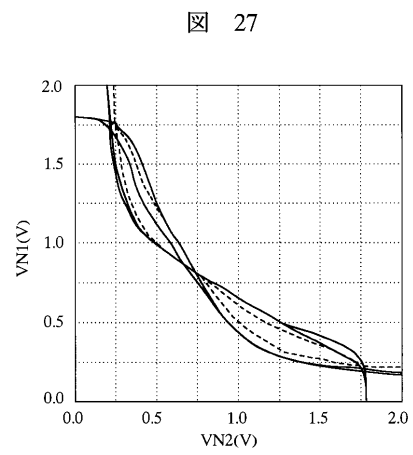
【図 24】



【図 26】

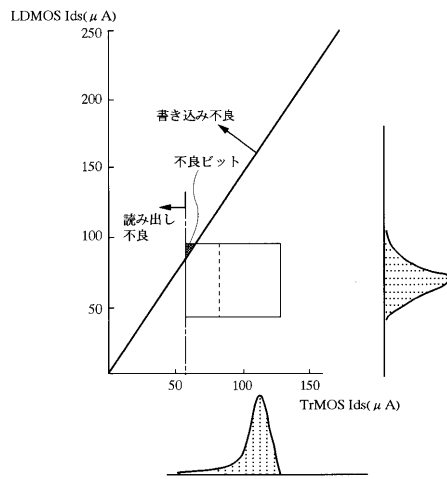


【図 27】



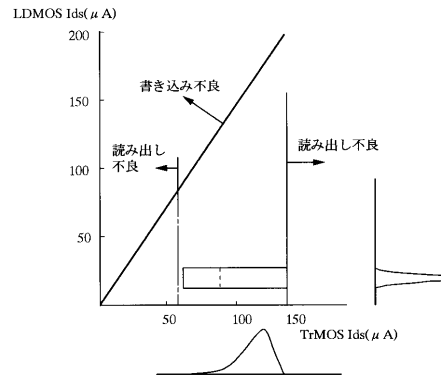
【 図 28 】

図 28



【 図 29 】

図 29



フロントページの続き

- (72)発明者 塩沢 健治
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内
- (72)発明者 木村 光行
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内
- (72)発明者 中川 典夫
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内
- (72)発明者 石橋 孝一郎
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 島崎 靖久
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内
- (72)発明者 長田 健一
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 内山 邦男
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

審査官 北島 健次

- (56)参考文献 特開平08-111462(JP,A)
特開昭56-021360(JP,A)
特開平05-160368(JP,A)
特開平10-070197(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8244

H01L 27/11