



**URZĄD
PATENTOWY
PRL**

Patent tymczasowy dodatkowy
do patentu nr _____

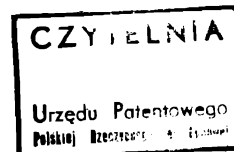
Int. Cl.³ G01R 15/10

Zgłoszono: 82 04 08 (P. 235922)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 83 02 14

Opis patentowy opublikowano: 1986 08 30



Twórca wynalazku: Zygmunt Wróbel

Uprawniony z patentu tymczasowego: Uniwersytet Śląski,
Katowice (Polska)

Sposób i układ cyfrowej linearyzacji charakterystyk przetworników

Przedmiotem wynalazku jest sposób oraz układ cyfrowej linearyzacji charakterystyk przetworników.

Linearyzacja charakterystyk przetworników służących do przetwarzania wielkości wejściowych elektrycznych lub nieelektrycznych w wielkość wyjściową — sygnał elektryczny, to istotne zagadnienie w miernictwie elektronicznym a ogólniej w systemach pomiarowych.

Wiele przetworników ma wyraźnie nieliniową charakterystykę, bowiem wielkość na wyjściu przetwornika nie jest proporcjonalna do wielkości doprowadzonej do jego wejścia, co może być źródłem dużych błędów o charakterze systematycznym jeśli wpływ nieliniowości przetwornika na wynik pomiaru nie zostanie odpowiednio wyeliminowany.

Linearyzować tor pomiarowy to znaczy tak kształtować jego wypadkową charakterystykę przenoszenia, aby wielkość wyjściowa była liniowo zależna od wielkości wejściowej. Można to zrobić zarówno w części analogowej jak i w części cyfrowej toru pomiarowego przetwornika, nie wyłączając przy tym umieszczonego między nimi przetwornika A/C. Stąd też wyróżnia się analogowe, cyfrowo-analogowe (lub analogowo-cyfrowe) i cyfrowe metody linearyzacji. We wszystkich wyżej wymienionych sposobach linearyzacji, włącza się szeregowo lub równolegle z przetwornikiem, blok korekcyjny o odpowiednio dobranej charakterystyce przenoszenia.

Istnieje wiele metod linearyzacji charakterystyk przetworników. Jednym z nich to układ według polskiego opisu patentowego nr 129 744.

Układ zawiera wyjściowy wzmacniacz stabilizujący, którego wyjście przez rezystor połączone jest z wejściem nie odwracającym fazę wyjściowego wzmacniacza, na którego wyjściu uzyskuje się wyjściowy sygnał prądowy. Między wejścia odwracające i nie odwracające fazę wzmacniacza wyjściowego włączone są gałęzie sterujące z rezystorów i złącza kolektor-emiter tranzystorów sterujących, których bazy połączone są z wejściami wzmacniaczy sterujących. Wejścia nie odwracające fazę wzmacniaczy sterujących połączone są z kolektorami tranzystorów sterujących, a do wejść odwracających fazę wzmacniaczy sterujących doprowadzone są zadane napięcia. Poszczególne tory linearyzatora programuje się indywidualnie dla każdego przetwornika. W tym układzie linearyzacja charakterystyk przetworników za pomocą odpowiednio dobranych bloków korekcyjnych ma tę podstawową wadę, że dla każdego rodzaju przetwornika trzeba eksperymentalnie „nastroić” blok korekcyjny aby nastąpiło dopasowanie do danej charakterystyki przetwornika.

Zgodnie z wynalazkiem istota cyfrowej linearyzacji charakterystyk przetworników transformujących ich nieliniową charakterystykę w zależność liniową na drodze porównywania sygnałów elektrycznych polega na tym, że cyfrowo porównuje się charakterystkę działającego przetwornika z jego charakterystyką zapisaną w układzie pamięci, a wynikiem tego porównania steruje się pracą cyfrowego generatora schodkowego.

Dzięki temu eliminuje się blok korekcyjny stosowany w dotychczasowych rozwiązaniach. W przypadku uszkodzenia lub zmiany rodzaju przetwornika należy wraz z przetwornikiem wymienić blok pamięci w którym zapisana jest charakterystyka pracującego przetwornika i cały układ linearyzatora działa poprawnie.

Układ elektroniczny do cyfrowej linearyzacji przetworników ma dwa obwody, obwód pomiarowo-porównujący składający się z komparatorów cyfrowych połączonych z wyjściem przetwornika poprzez układ analogowo-cyfrowy i wejściem danych układu pamięci oraz obwód kontrolno-wyjściowy składający się z układu sterującego połączonego z komparatorami cyfrowymi oraz z wejściem adresowym pamięci oraz wejściem sterowanego cyfrowego generatora schodkowego.

Sposób i układ elektroniczny według wynalazku umożliwia nadążną i dokładną linearyzację charakterystyk przetworników, a ponadto w przypadku uszkodzenia lub zmiany rodzaju przetwornika, wraz z przetwornikiem wymienia się tylko blok pamięci i cały układ jest ponownie gotowy do pracy.

Przedmiot wynalazku jest uwidoczniony schematycznie w przykładowym wykonaniu na rysunku, na którym fig. 1 przedstawia nieliniową charakterystykę przetwornika skwantowaną w „m” punktach, fig. 2 — sygnał wyjściowy z elektronicznego układu linearyzatora, a fig. 3 — schemat blokowy układu elektronicznego do cyfrowej linearyzacji charakterystyk przetworników.

Układ elektroniczny cyfrowej linearyzacji charakterystyk przetworników według wynalazku ma dwa obwody, obwód pomiarowo-porównujący 1 składający się z komparatorów cyfrowych DC_1 i DC_2 połączonych z wyjściem przetwornika T poprzez układ analogowo-cyfrowy A/C i wejściem danych układu pamięci M, oraz obwód kontrolno-wyjściowy 2 składający się z układu sterującego μC połączonego z komparatorami cyfrowymi DC_1 i DC_2 oraz wejściem adresowym pamięci M oraz wejściem sterowanego cyfrowego generatora schodkowego DG. Sygnał wyjściowy X z przetwornika T poprzez układ A/C jest podawany na wejścia komparatorów cyfrowych DC_1 i DC_2 . Układ sterujący — mikroprocesor μC podaje cyklicznie na pozostałe wejścia komparatorów cyfrowych DC_1 i DC_2 wartości dyskretne $X_0, X_1, X_2, \dots, X_{n-1}, X_n, X_{n+1}, \dots, X_m$ charakteryzujące przetwornik T zapisane w bloku pamięci M.

Cyfrową linearyzację charakterystyk przetworników, zgodnie z wynalazkiem można przeprowadzić w następujący sposób.

Sygnał wyjściowy X przetwornika T poprzez układ A/C porównuje się z dyskretnymi wartościami ($X_0, X_1, X_2, X_3, \dots, X_{n-1}, X_n, X_{n+1}, \dots, X_m$) zapisanymi w układzie pamięci M.

Jeśli na przykład wartość sygnału wyjściowego X z przetwornika T spełnia zależność

$$X_n \leq X < X_{n+1}$$

gdzie:

X_n — dyskretna wartość charakteryzująca dany przetwornik zapisana w „n” komórce pamięci M to zgodnie z fig. 2 generowany jest sygnał o wartości

$$U_{wy} = n \times Q$$

gdzie:

n — numer komórki pamięci

Q — stała wartość określająca wielkość jednego schodka.

Zastrzeżenia patentowe

1. Sposób cyfrowej linearyzacji charakterystyk przetworników transformujących ich nieliniową charakterystykę w zależność liniową na drodze porównywania sygnałów elektrycznych, **znamienny tym**, że cyfrowo porównuje się charakterystykę działającego przetwornika z jego charakterystyką zapisaną w układzie pamięci a wynikiem tego porównania steruje się pracą cyfrowego generatora schodkowego.

2. Układ cyfrowej linearyzacji charakterystyk przetworników składający się z komparatorów cyfrowych, przetwornika analogowo-cyfrowego pamięci oraz elementu sterującego, **znamienny tym**, że ma obwód pomiarowo-porównujący (1) składający się z dwóch komparatorów cyfrowych (DC_1 i DC_2) połączonych z wyjściem przetwornika (T) poprzez przetwornik analogowo-cyfrowy (A/C) i wejściem danych układu pamięci (M) oraz obwód kontrolno-wyjściowy (2) składający się z elementu sterującego (μC) połączonych z komparatorami cyfrowymi (DC_1 , DC_2) i z wejściem adresowym pamięci (M) oraz z wejściem sterowanego cyfrowego generatora schodkowego (DG).

Fig. 1

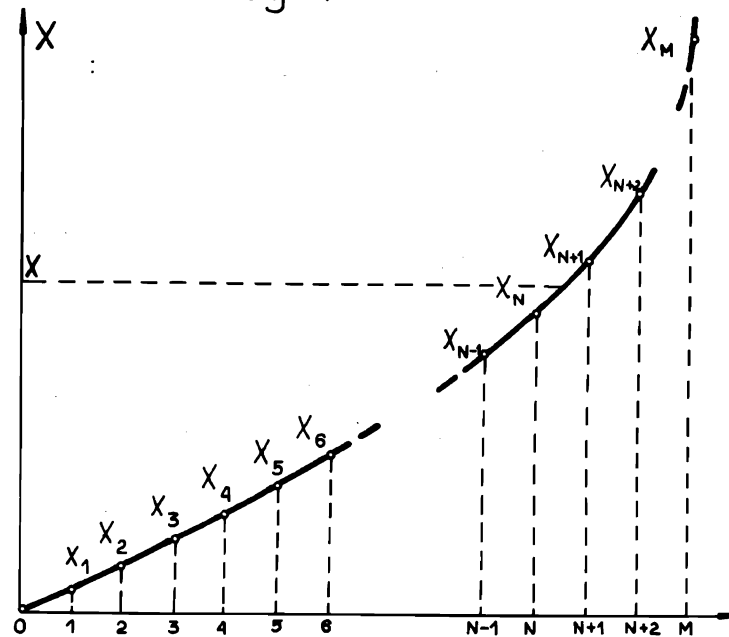
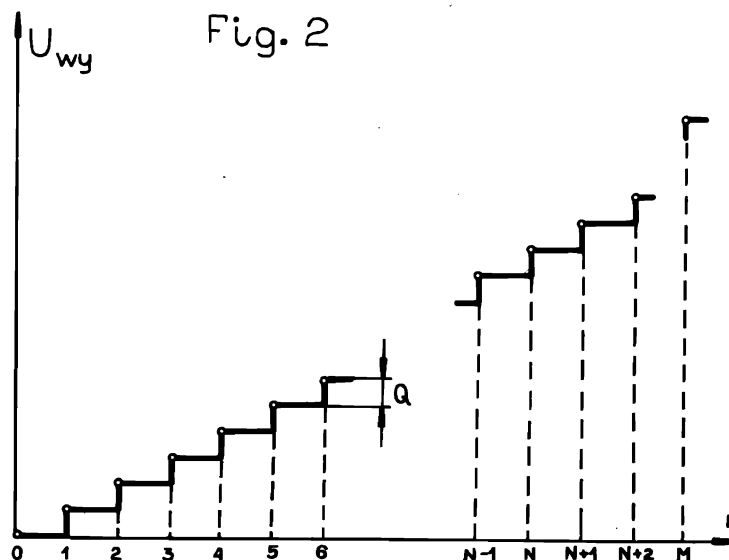


Fig. 2



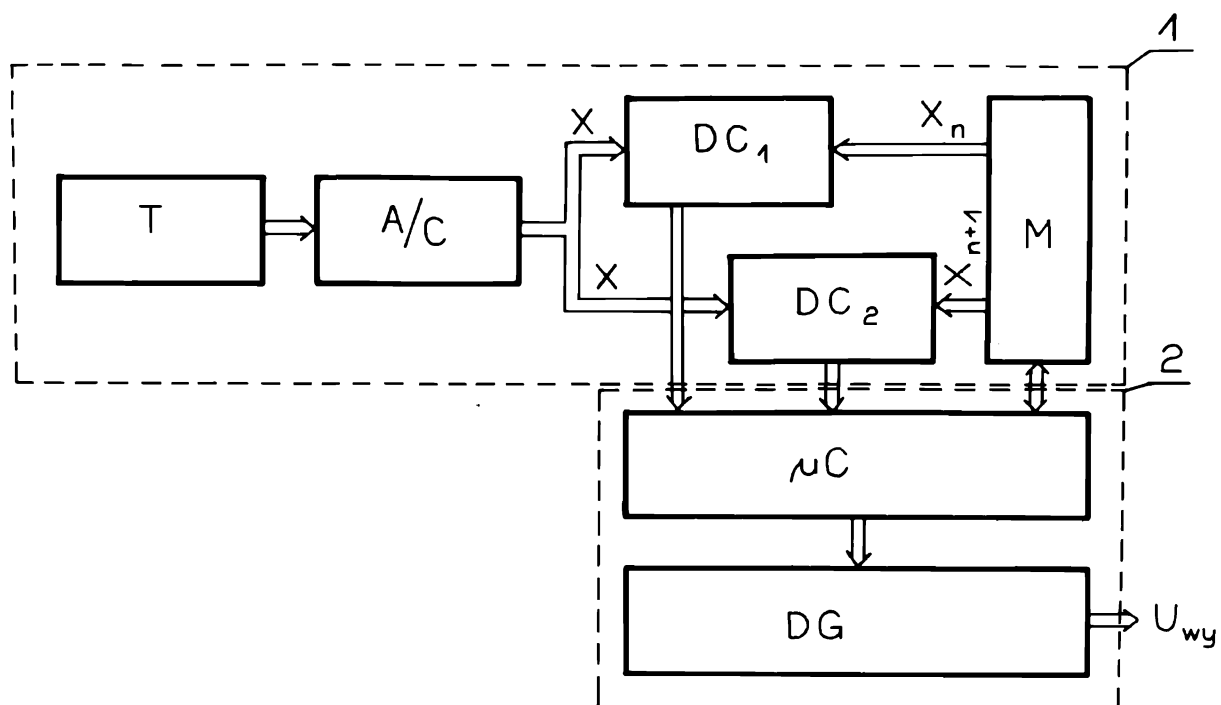


Fig. 3