(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0024085
(43) 공개일자 2019년03월08일

(51) 국제특허분류(Int. Cl.)
H01L 33/58 (2010.01) *H01L 21/033* (2006.01)
H01L 33/50 (2010.01)
(52) CPC특허분류
H01L 33/58 (2013.01)
H01L 21/0337 (2013.01)
(21) 출원번호 10-2017-0110692
(22) 출원일자 2017년08월31일
심사청구일자 없음

(71) 출원인
엘지이노텍 주식회사
서울특별시 중구 후암로 98 (남대문로5가)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
강대성
서울특별시 중구 후암로 98 (남대문로5가, LG서울역빌딩) 17층
오정탁
서울특별시 중구 후암로 98 (남대문로5가, LG서울역빌딩) 17층
(뒷면에 계속)
(74) 대리인
허용록

전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **반도체소자 및 반도체소자 제조방법**

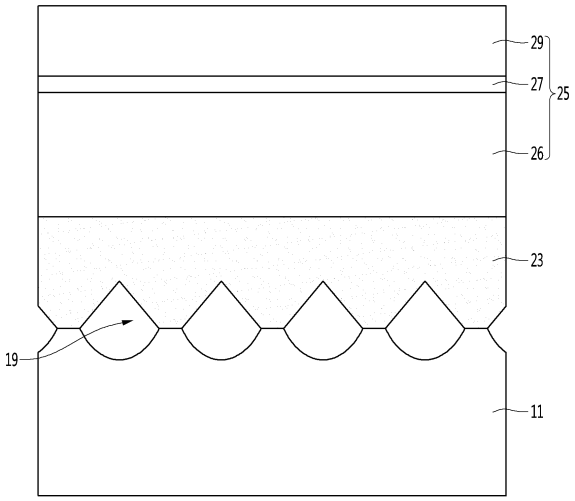
(57) 요 약

반도체소자는 기판과, 기판 상에 반도체층과, 기판과 반도체층 사이에 굴절률변환층을 포함한다. 굴절변환층은 서로 마주보는 제1 패턴과 제2 패턴에 의해 둘러쌓여지고 공기를 포함하는 다수의 공간영역을 포함할 수 있다.

제1 패턴은 기판의 상면에 배치되고, 제2 패턴은 반도체층의 하면에 배치될 수 있다.

제1 패턴은 기판의 하면으로부터 내부로 들어간 음각패턴이고, 제2 패턴은 반도체층의 상면으로부터 내부로 들어간 음각패턴인 포함할 수 있다.

대 표 도 - 도1g



(52) CPC특허분류
H01L 33/50 (2013.01)
(72) 발명자
성영훈
경기도 용인시 수지구 신봉2로 26, 108동 303호(신봉동, 신봉마을엘지자이1차아파트)
이헌
서울특별시 서초구 동광로22길 23, 302호(방배동, 그랑씨엘)

명 세 서

청구범위

청구항 1

기판;

상기 기판 상에 반도체층; 및

상기 기판과 상기 반도체층 사이에 굴절률변환층을 포함하고,

상기 굴절변환층은 서로 마주보는 제1 패턴과 제2 패턴에 의해 둘러쌓여지고 공기를 포함하는 다수의 공간영역을 포함하고,

상기 제1 패턴은 상기 기판의 상면에 배치되고, 상기 제2 패턴은 상기 반도체층의 하면에 배치되며,

상기 제1 패턴은 상기 기판의 하면으로부터 내부로 들어간 음각패턴이고, 상기 제2 패턴은 상기 반도체층의 상면으로부터 내부로 들어간 음각패턴인 포함하는 반도체소자.

청구항 2

제1항에 있어서,

상기 제1 및 제2 패턴은 서로 비대칭적인 구조를 갖는 반도체소자.

청구항 3

제1항에 있어서,

상기 제2 패턴은 반구형 렌즈형상, 원추 형상 및 원뿔 형상 중 하나를 갖는 반도체소자.

청구항 4

제1항에 있어서,

상기 제1 및 제2 패턴은 서로 간에 부분적으로 접하는 반도체소자.

청구항 5

제1항에 있어서,

상기 제2 패턴의 종횡비는 1/4 내지 4인 반도체소자.

청구항 6

제1항에 있어서,

상기 공간영역의 직경과 상기 공간영역 사이의 간격의 비는 2 내지 15인 반도체소자.

청구항 7

제1항에 있어서,

상기 반도체층은,

상기 기판 상에 제1 반도체층;

상기 제1 반도체층 상에 활성층; 및

상기 활성층 상에 제2 반도체층을 포함하는 반도체소자.

청구항 8

제7항에 있어서,

상기 제1 반도체층은,

상기 기판 상에 제3 반도체층; 및

상기 제3 반도체층 상에 배치되고 제1 도펀트를 포함하는 제4 반도체층을 포함하고,

상기 제2 반도체층은 상기 제1 도펀트와 상이한 제2 도펀트를 포함하는 반도체소자.

청구항 9

기판 상에 금속패턴을 형성하는 단계;

상기 금속패턴을 마스크로 하여 상기 기판을 식각하여 제1 패턴을 형성하는 단계;

상기 금속패턴을 제거하는 단계; 및

상기 제1 패턴에 부분적으로 접하도록 성장시켜 상기 제1 패턴에 마주하는 제2 패턴을 포함하는 반도체층을 형성하는 단계를 포함하고,

상기 제1 및 제2 패턴에 의해 둘러쌓여져 공기가 채워진 다수의 공간영역을 포함하는 굴절률변환층이 형성되는 반도체소자의 제조방법.

청구항 10

기판 상에 감광패턴을 형성하는 단계;

상기 감광패턴을 마스크로 하여 상기 기판을 식각하여 제1 패턴을 형성하는 단계;

상기 감광패턴을 제거하는 단계; 및

상기 제1 패턴에 부분적으로 접하도록 성장시켜 상기 제1 패턴에 마주하는 제2 패턴을 포함하는 반도체층을 형성하는 단계를 포함하고,

상기 제1 및 제2 패턴에 의해 둘러쌓여져 공기가 채워진 다수의 공간영역을 포함하는 굴절률변환층이 형성되는 반도체소자의 제조방법.

발명의 설명

기 술 분 야

[0001] 실시예는 반도체소자 및 반도체소자 제조방법에 관한 것이다.

배 경 기 술

[0002] GaN, AlGaN 등의 화합물을 포함하는 반도체소자는 넓고 조정이 용이한 밴드 갭 에너지를 가지는 등의 많은 장점을 가져서 발광소자, 수광소자 및 각종 다이오드 등으로 다양하게 사용될 수 있다.

[0003] 특히, 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드(Light Emitting Diode)나 레이저 다이오드(Laser Diode)와 같은 발광소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색 및 자외선 등과 같은 다양한 색을 구현할 수 있다. 발광소자는 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하다. 이러한 발광소자는 형광등, 백열등 등 기존의 광원에 비해 저 소비전력, 반영구적인 수명, 빠른 응답속도, 안전성, 환경 친화성의 장점을 가진다.

[0004] 예를 들어, 발광소자 중에 질화물 반도체는 높은 열적 안정성과 폭 넓은 밴드갭에너지에 의해 광소자 및 고출력 전자소자 개발 분야에서 큰 관심을 받고 있다. 특히, 질화물 반도체를 이용한 청색(Blue) 발광소자, 녹색(Green) 발광소자, 자외선(UV) 발광소자, 적색(RED) 발광소자 등은 상용화되어 널리 사용되고 있다.

발명의 내용

해결하려는 과제

[0005] 실시예는 광 추출 효율을 향상시킬 수 있는 반도체소자 및 반도체소자 제조방법을 제공한다.

[0006] 실시예는 막질을 향상시킬 수 있는 반도체소자 및 반도체소자 제조방법을 제공한다.

과제의 해결 수단

[0007] 실시예에 따른 반도체소자는, 기판; 상기 기판 상에 반도체층; 및 상기 기판과 상기 반도체층 사이에 굴절률변환층을 포함한다. 상기 굴절변환층은 서로 마주보는 제1 패턴과 제2 패턴에 의해 둘러쌓여지고 공기를 포함하는 다수의 공간영역을 포함할 수 있다. 상기 제1 패턴은 상기 기판의 상면에 배치되고, 상기 제2 패턴은 상기 반도체층의 하면에 배치될 수 있다. 상기 제1 패턴은 상기 기판의 하면으로부터 내부로 들어간 음각패턴이고, 상기 제2 패턴은 상기 반도체층의 상면으로부터 내부로 들어간 음각패턴인 포함할 수 있다.

[0008] 실시예에 따른 반도체소자의 제조방법은, 기판 상에 금속패턴을 형성하는 단계; 상기 금속패턴을 마스크로 하여 상기 기판을 식각하여 제1 패턴을 형성하는 단계; 상기 금속패턴을 제거하는 단계; 및 상기 제1 패턴에 부분적으로 접하도록 성장시켜 상기 제1 패턴에 마주하는 제2 패턴을 포함하는 반도체층을 형성하는 단계를 포함한다. 상기 제1 및 제2 패턴에 의해 둘러쌓여져 공기가 채워진 다수의 공간영역을 포함하는 굴절률변환층이 형성될 수 있다.

[0009] 실시예에 따른 반도체소자의 제조방법은, 기판 상에 감광패턴을 형성하는 단계; 상기 감광패턴을 마스크로 하여 상기 기판을 식각하여 제1 패턴을 형성하는 단계; 상기 감광패턴을 제거하는 단계; 및 상기 제1 패턴에 부분적으로 접하도록 성장시켜 상기 제1 패턴에 마주하는 제2 패턴을 포함하는 반도체층을 형성하는 단계를 포함한다. 상기 제1 및 제2 패턴에 의해 둘러쌓여져 공기가 채워진 다수의 공간영역을 포함하는 굴절률변환층이 형성될 수 있다.

발명의 효과

[0010] 실시예에 따르면, 기판과 반도체층 사이에 공기가 채워진 다수의 공간영역을 포함하는 굴절률변환층을 형성함으로써, 반도체층 상에 배치된 발광구조물에서 생성되어 진행된 광을 전반사시키거나 굴절률변환층의 제2 패턴에서 보다 큰 각도로 굴절률변환층 내로 출사되고, 굴절률변환층으로 출사된 광은 예컨대 제1 패턴에 의해 반사됨으로써, 광 추출 효율이 획기적으로 향상될 수 있다

[0011] 실시예에 따르면, 기판의 상면에 형성된 제1 패턴에 부분적으로 접하도록 성장시켜 제2 패턴을 포함하는 반도체층을 형성함으로써, 제1 패턴의 일부 영역으로부터 국부적으로 반도체층이 형성되어 전위(dislocation)의 발생을 최대한 억제시켜 발광구조물의 막질을 향상시킬 수 있다.

도면의 간단한 설명

[0012] 도 1은 제1 실시예에 따른 반도체소자의 제조방법을 설명하는 공정도이다.

도 2는 제1 실시예에 따른 반도체소자를 도시한 평면도이다.

도 3은 제2 실시예에 따른 반도체소자의 제조방법을 설명하는 공정도이다.

도 4는 실시예에 따른 반도체소자 패키지를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0013] 실시예의 설명에 있어서, 각 구성(element)이 " 상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 구성이 서로 직접(directly)접촉되거나 하나 이상의 다른 구성이 상기 두 구성 사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)(on or under)"으로 표현되는 경우 하나의 구성을 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.

[0014] 반도체소자는 발광소자, 수광소자 등 각종 전자 소자 포함할 수 있으며, 발광소자와 수광소자는 모두 적어도 제1 반도체층과 활성층 및 제2 반도체층을 포함하는 발광구조물을 포함할 수 있다. 실시예에 따른 반도체소자는 발광소자일 수 있다. 발광소자는 제1 캐리어, 즉 전자(electrons)와 제2 캐리어, 즉 정공(holes)이 재결합함으로써 빛을 방출하게 되고, 이 빛의 파장은 물질 고유의 밴드갭에너지(Bandgap Energy)에 의해서 결정된다. 따라서, 방출되는 빛은 상기 물질의 조성에 따라 다를 수 있다.

[0016] 도 1은 제1 실시예에 따른 반도체소자의 제조방법을 설명하는 공정도이다.

[0017] 도 1a에 도시한 바와 같이, 기판(11)이 마련될 수 있다.

[0018] 기판(11)은 3-5족 또는 2-6족 화합물 반도체 물질의 성장에 적합한 물질로 형성될 수 있다. 기판(11)은 나중에 형성될 제1 반도체층(도 1f의 23)과 격자 상수가 유사하고 열적 안정성을 갖는 재질로 형성될 수 있다.

[0019] 예컨대, 기판(11)은 전도성 기판 또는 절연성 기판일 수 있다. 예컨대, 기판(11)은 사파이어(Al2O3), SiC, Si, GaAs, GaN, ZnO, GaP, InP 및 Ge로 이루어지는 그룹으로부터 선택된 적어도 하나로 형성될 수 있다.

[0020] 도시되지 않았지만, 기판(11) 상에 버퍼층이 형성될 수 있다. 버퍼층은 기판(11)과 제1 반도체층(도 1f의 23) 사이의 격자 상수 차이를 완화시켜주는 역할을 할 수 있다. 격자 상수에 의해 기판(11)과 제1 반도체층(도 1f의 23) 사이의 격자 상수 차이가 완화되므로, 나중에 설명될 발광구조물(25)이 불량 없이 안정적으로 성장될 수 있다. 버퍼층은 3-5족 또는 2-6족 화합물 반도체 물질을 포함할 수 있다.

[0021] 기판(11)은 세정 공정을 통해 기판(11) 상에 잔존하는 이물질이 제거될 수 있다.

[0022] 도 1b에 도시한 바와 같이, 기판(11) 상에 금속층(13)이 형성될 수 있다.

[0023] 금속층(13)으로는 크롬(Cr)이 사용될 수 있지만, 이에 대해서는 한정하지 않는다.

[0024] 도 1c에 도시한 바와 같이, 금속층(13) 상에 감광패턴(15)이 형성될 수 있다.

[0025] 구체적으로, 금속층(13) 상에 감광막이 형성될 수 있다. 포토리쏘그라피(lithography) 공정, 즉 노광 공정 및 현상 공정을 이용하여 감광막이 패턴닝되어 감광막으로부터 감광패턴(15)이 형성될 수 있다.

[0026] 도 1d에 도시한 바와 같이, ICP-RIE 장비를 이용한 건식 식각 공정을 이용하여 감광패턴(15)을 마스크로 하여 금속층(13)을 식각하여 금속패턴(13a)이 형성될 수 있다.

[0027] 도 1e에 도시한 바와 같이, 금속패턴(13a)을 마스크로 하여 기판(11)을 패터닝하여 제1 패턴(17)이 형성될 수 있다.

[0028] 제1 패턴(17)은 음각패턴을 포함할 수 있다. 즉, 제1 패턴(17)은 기판(11)의 상면으로부터 내부로 움푹 들어간 형상을 가질 수 있다. 제1 패턴(17)은 옆에서 보았을 때, 라운드 형상을 가질 수 있지만, 이에 대해서는 한정하지 않는다.

[0029] 기판(11)에서 금속패턴(13a)에 대응되는 영역은 패터닝되지 않고 금속패턴(13a) 사이에 대응되는 영역이 패터닝될 수 있다. 따라서, 제1 패턴(17)은 금속패턴(13a) 사이에 대응되는 기판(11)의 영역에 형성되는 패턴과 금속패턴(13a)에 대응되는 영역에 형성되는 비패턴을 포함할 수 있다. 패턴은 상술한 바와 같이, 기판(11)의 내부로 움푹 들어간 음각패턴이고, 비패턴은 평면을 가질 수 있다. 평면은 기판(11)의 상면일 수 있다.

[0030] 도 1f에 도시한 바와 같이, 금속패턴(13a)이 제거된 후, 기판(11) 상에 제1 반도체층(23)이 성장될 수 있다.

[0031] 구체적으로, 제1 패턴(17)의 패턴 사이에 배치되는 비패턴인 평면으로부터 제1 반도체층(23)이 성장될 수 있다.

[0032] 이에 따라, 제1 반도체층(23)의 하면에는 제2 패턴(21)이 형성될 수 있다. 제2 패턴(21)은 음각패턴일 수 있다. 제2 패턴(21)은 제1 반도체층(23)의 하면으로부터 내부로 움푹 들어간 형상을 가질 수 있다.

[0033] 제1 패턴(17)과 제2 패턴(21)은 서로 마주보도록 배치될 수 있다.

[0034] 제2 패턴(21)은 옆에서 보았을 때, 각을 갖는 직선 형상을 가질 수 있지만, 이에 대해서는 한정하지 않는다. 즉, 제2 패턴(21)은 최상부에 각을 갖는 피크와 그 피크로부터 하부 방향을 따라 양측으로 서로 거리가 멀어지는 직선면을 가질 수 있다.

[0035] 제2 패턴(21)은 위에서 보았을 때, 반구형 렌즈형상, 원추 형상 또는 원뿔 형상을 가질 수 있지만, 이에 대해서는 한정하지 않는다.

[0036] 제1 반도체층(23)에서 제1 패턴(17)의 패턴에 대응되는 영역은 패턴이 형성되지 않고 제1 패턴(17)의 패턴 사이에 대응되는 영역은 패턴이 형성될 수 있다. 따라서, 제2 패턴(21)은 제1 패턴(17)의 패턴 사이에 대응되는 제1 반도체층(23)의 영역에 형성되는 패턴과 제1 패턴(17)의 패턴에 대응되는 영역에 형성되는 비패턴을 포함할 수 있다. 패턴은 상술한 바와 같이, 기판(11)의 내부로 움축 들어간 음각패턴이고, 비패턴은 평면을 가질 수 있다.

평면은 기판(11)의 상면일 수 있다. 제2 패턴(21)의 비패턴은 제1 패턴(17)의 비패턴과 접할 수 있다.

[0037] 제2 패턴(21)의 종횡비(V/H)는 1/4 내지 4일 수 있다. 여기서, H는 제2 패턴(21)의 패턴의 폭이고, V는 제2 패턴(21)의 패턴의 깊이일 수 있다. H가 V보다 클 수도 있고, V가 H보다 클 수도 있다.

[0038] 예컨대, 제1 반도체층(23)은 기판(11)의 각 상면으로부터 수직방향과 수평방향을 따라 성장될 수 있다. 이때, 수평 방향의 성장속도는 수직 방향의 성장속도에 비해 2배 내지 10배일 수 있다. 수평 방향의 성장속도는 수직 방향의 성장속도에 비해 2배 이하인 경우, 제1 반도체층(23)을 관통하여 나중에 형성될 제2 반도체층(26)의 막질을 저하시킬 수 있다. 수평 방향의 성장속도는 수직 방향의 성장속도에 비해 10배 이상인 경우, 제2 패턴(21)이 형성되지 않을 수 있다.

[0039] 제1 반도체층(23)은 도펀트를 포함하지 않을 수 있다. 또는, 제1 반도체층(23)은 Si, Ge, Sn, Se, Te와 같은 n형 도펀트를 포함할 수 있다.

[0040] 실시예에 따르면, 기판(11)과 반도체층 사이에 공기가 채워진 다수의 공간영역을 포함하는 굴절률변환층(19)을 형성함으로써, 반도체층 상에 배치된 발광구조물(도 1g의 25)에서 생성되어 진행된 광을 전반사시키거나 굴절률변환층(19)의 제2 패턴(21)에서 보다 큰 각도로 굴절률변환층(19) 내로 출사되고, 굴절률변환층(19)으로 출사된 광은 예컨대 제1 패턴(17)에 의해 반사됨으로써, 광 추출 효율이 획기적으로 향상될 수 있다.

[0041] 실시예에 따르면, 기판(11)의 상면에 형성된 제1 패턴(17)에 부분적으로 접하도록 성장시켜 제2 패턴(21)을 포함하는 반도체층을 형성함으로써, 제1 패턴(17)의 일부 영역으로부터 국부적으로 반도체층이 형성되어 전위(dislocation)의 발생을 최대한 억제시켜 발광구조물(도 1g의 25)의 막질을 향상시킬 수 있다.

[0042] 한편, 제1 패턴(17)과 제2 패턴(21)에 의해 굴절률변환층(19)이 형성될 수 있다. 굴절률변환층(19)은 나중에 형성될 발광구조물(도 1g의 25)에서 생성되어 진행된 광의 굴절률을 변환시켜 반사 또는 산란되도록 하여 광 추출 효율을 향상시킬 수 있다.

[0043] 즉, 굴절률변환층(19)은 공기가 채워진 다수의 공간영역을 포함할 수 있다. 공기의 굴절률은 1인데 반해, 제1 반도체층(23)은 적어도 1보다 큰 굴절률을 갖는다. 따라서, 발광구조물(도 1g의 25)에서 진행된 광이 굴절률변환층(19)에 의해 전반사되거나 굴절률변환층(19)의 제2 패턴(21)에서 보다 큰 각도로 굴절률변환층(19) 내로 출사되고, 굴절률변환층(19)으로 출사된 광은 예컨대 제1 패턴(17)에 의해 반사됨으로써, 광 추출 효율이 획기적으로 향상될 수 있다.

[0044] 제1 패턴(17)과 제2 패턴(21)은 제1 패턴(17)과 제2 패턴(21) 사이의 경계에 위치된 수평라인을 기준으로 서로 비대칭적인 구조를 가질 수 있지만, 이에 대해서는 한정하지 않는다. 예컨대, 제1 패턴(17)은 라운드 형상을 갖는데 반해, 제2 패턴(21)은 각을 갖는 각을 갖는 직선 형상을 가질 수 있다.

[0045] 굴절률변환층(19)은 제1 패턴(17)과 제2 패턴(21)에 의해 둘러쌓여 형성된 공간영역을 더 포함할 수 있다. 공간영역에 공기(air)가 채워질 수 있다.

[0046] 도 2에 도시한 바와 같이, 기판(11)과 제1 반도체층(23) 사이에 형성된 굴절률변환층(19)은 다수의 공간영역을 포함할 수 있다. 공간영역은 규칙적으로 배열되거나 랜덤하게 배열될 수 있다. 따라서, 다수의 공간영역 각각에 채워진 공기는 서로 간에 고립될 수 있다.

[0047] 공간영역의 직경을 D라고 하고, 공간영역 사이의 간격을 L이라고 한다. 공간영역의 직경(D)은 제1 패턴(17) 또는 제2 패턴(21)의 폭(H)일 수 있다. 공간 영역 사이의 간격(L)은 제1 패턴(17) 사이의 간격 또는 제2 패턴(21) 사이의 간격일 수 있다.

[0048] 이러한 경우, 직경(D)과 간격(L)의 비은 2 내지 15일 수 있다. 직경(D)과 간격(L)의 비가 2이하인 경우, 공기가 채워진 공간영역이 사이즈가 작아 광 추출 효율이 떨어질 수 있다. 직경(D)과 간격(L)의 비가 15 이상인 경우 간격이 매우 좁아 그 간격의 기판(11)의 상면을 통해 제1 반도체층(23)이 용이하게 성장되기 어렵다.

[0049] 예컨대, 공간영역의 직경(D)은 500nm 내지 5000nm일 수 있다. 예컨대, 공간 영역 사이의 간격(L)은 50nm 내지 300nm일 수 있다.

[0050] 도 1g에 도시한 바와 같이, 제1 반도체층(23) 상에 발광구조물(25)이 성장될 수 있다. 구체적으로, 제1 반도체층(23) 상에 제2 반도체층(26)이 성장되고, 제2 반도체층(26) 상에 활성층(27)이 성장되며, 활성층(27) 상에 제3 반도체층(29)이 성장될 수 있다.

[0051] 제1 반도체층(23), 제2 반도체층(26), 활성층(27) 및 제3 반도체층(29)은 3-5족 또는 2-6족의 화합물 반도체 물질을 포함할 수 있다.

[0052] 제1 반도체층(23)은 $Al_xIn_yGa_{(1-x-y)}N(0\leq x\leq 1,\ 0\leq y\leq 1,\ 0\leq x+y\leq 1)$의 화합물 반도체 물질로 형성될 수 있지만, 이에 대해서는 한정하지 않는다. 제1 반도체층(23)은 도펀트를 포함하지 않는 언도프트(undoped) 반도체층일 수 있지만, 이에 대해서는 한정하지 않는다.

[0053] 제2 반도체층(26)은 $Al_xIn_yGa_{(1-x-y)}N(0\leq x\leq 1,\ 0\leq y\leq 1,\ 0\leq x+y\leq 1)$의 화합물 반도체 물질로 형성될 수 있지만, 이에 대해서는 한정하지 않는다. 예컨대, 제2 반도체층(26)은 InAlGaN, GaN, AlGaN, InGaN, AlN, InN, AlInN, GaAs, AlGaAs, GaAsP GaP, InP, GaInP 및 AlGaInP로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함할 수 있지만, 이에 대해서는 한정하지 않는다.

[0054] 제2 반도체층(26)은 Si, Ge, Sn, Se, Te와 같은 n형 도펀트를 포함할 수 있다. 제2 반도체층(26)은 활성층(27)에 제1 캐리어, 즉 전자를 제공하여 줄 수 있다.

[0055] 활성층(27)은 제2 반도체층(26)과 제3 반도체층(29) 사이에 공급된 전기신호를 빛으로 변환하는 전계 발광(EL: Electro Luminescence)을 수행할 수 있다. 즉, 활성층(27)은 전기신호에 응답하여 특정 파장영역의 광을 생성할 수 있다. 이러한 특정 파장영역의 광은 스스로 생성되지 않고, 제2 반도체층(26)과 제3 반도체층(29) 사이에 전기신호가 인가될 때 생성될 수 있다.

[0056] 활성층(27)은 다중 양자 우물 구조(MQW), 양자점 구조 또는 양자선 구조 중 어느 하나를 포함할 수 있다. 활성층(27)은 우물층과 배리어층을 한 쌍으로 하여 우물층과 배리어층이 반복적으로 형성될 수 있다.

[0057] 우물층과 배리어층의 반복주기는 반도체소자의 특성에 따라 변형 가능하므로, 이에 대해서는 한정하지 않는다. 예컨대, 활성층(27)은 예컨대, 1쌍 내지 20쌍의 우물층과 배리어층을 포함할 수 있지만, 이에 대해서는 한정하지 않는다.

[0058] 활성층(27)은 예를 들면, InGaN/InGaN, InGaN/GaN, InGaN/AlGaN과 같은 우물층과 배리어층을 포함할 수 있다.

[0059] 제3 반도체층(29)은 $Al_xIn_yGa_{(1-x-y)}N(0\leq x\leq 1,\ 0\leq y\leq 1,\ 0\leq x+y\leq 1)$의 화합물 반도체 물질로 형성될 수 있지만, 이에 대해서는 한정하지 않는다. 예컨대, 제3 반도체층(29)은 InAlGaN, GaN, AlGaN, InGaN, AlN, InN, AlInN, GaAs, AlGaAs, GaAsP GaP, InP, GaInP 및 AlGaInP로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함할 수 있지만, 이에 대해서는 한정하지 않는다.

[0060] 제3 반도체층(29)은 Mg, Zn, Ca, Sr, Ba와 같은 p형 도펀트를 포함할 수 있다. 제3 반도체층(29)은 활성층(27)에 제2 캐리어, 즉 정공을 제공하여 줄 수 있다.

[0061] 제1 반도체층(23), 제2 반도체층(26), 활성층(27) 및 제3 반도체층(29)은 증착 장비를 이용하여 성장될 수 있다.

[0062] 증착 장비로는 예컨대, MOCVD(Metal Organic Chemical Vapor Deposition) 장비, CVD 장비(Chemical Vapor Deposition), PECVD 장비(Plasma-Enhanced Chemical Vapor Deposition), MBE 장비(Molecular Beam Epitaxy), HVPE 장비(Hydride Vapor Phase Epitaxy)가 사용될 수 있지만, 이에 대해서는 한정하지 않는다.

[0063] 한편, 제1 반도체층(23)이 생략되고 제2 반도체층(26)과 기판(11) 사이에 굴절률변환층(19)이 형성될 수도 있다. 이러한 경우, 굴절률변환층(19)은 제1 패턴(17), 제2 패턴(21) 및 제1 및 제2 패턴(17, 21)에 의해 둘러싸여진 공간영역을 포함할 수 있다. 제1 패턴(17)은 기판(11)의 상면으로부터 하부 방향으로 형성된 음각패턴이고, 제2 패턴(21)은 제2 반도체층(26)의 하면으로부터 상부 방향으로 형성된 음각패턴일 수 있다.

[0064] 이와 같은 공정에 의해, 광이 발광되는 반도체소자가 제조될 수 있다. 상술한 바와 같이, 기판(11)과 제1 반도체층(23) 사이에 굴절률변환층(19)을 포함하는 반도체소자의 구성에 의해, 도 2에 도시한 바와 같이 발광구조물(25)에서 생성되어 하부 방향으로 진행되는 광이 굴절률변환층(19)에 의해 전반사되거나 굴절률변환층(19)의 제2 패턴(21)에서 보다 큰 각도로 굴절률변환층(19) 내로 출사되고, 굴절률변환층(19)으로 출사된 광은 예컨대 제1 패턴(17)에 의해 반사됨으로써, 광 추출 효율이 획기적으로 향상될 수 있다.

[0066] 도 3은 제2 실시예에 따른 반도체소자의 제조방법을 설명하는 공정도이다.

[0067] 제2 실시예는 금속층(13)이나 금속패턴(13a)이 생략된 것을 제외하고는 제1 실시예와 동일하다. 제2 실시예에서 제1 실시예와 동일한 형상, 구조 및 기능을 갖는 구성요소에 대해서는 동일한 도면부호를 부여하고 상세한 설명을 생략한다.

[0068] 도 3a 내지 도 3e에서, 도 3a는 도 1a에 동일하고, 도 3d 및 도 3e 각각은 도 1f 및 도 1g와 동일하다.

[0069] 도 3a에 도시한 바와 같이, 기판(11)이 마련될 수 있다.

[0070] 도 3b에 도시한 바와 같이, 기판(11) 상에 감광패턴(15)이 형성될 수 있다. 제2 실시예에서는 제1 실시예와 달리, 감광패턴(15)이 금속층(13) 상에 형성되는 것이 아니라 기판(11) 상에 직접 형성될 수 있다.

[0071] 도 3c에 도시한 바와 같이, 감광패턴(15)을 마스크로 하여 기판(11)을 식각하여 기판(11)의 상면 상에 제1 패턴(17)이 형성될 수 있다.

[0072] 기판(11)을 식각할 때, 감광패턴(15)의 일부 영영 아래에 대응되는 기판(11)의 상면도 식각되어 제1 패턴(17)의 일부로 형성될 수 있다. 이와 같이, 기판(11)이 과식각(over-etch)되기 위해서는 장시간 식각 공정이 수행되어야 한다. 이에 따라, 식각 공정이 오래 진행됨에 따라 감광패턴(15) 또한 부분적으로 식각되어 감광패턴(15)의 높이와 폭이 줄어들게 된다.

[0073] 따라서, 제1 패턴(17)의 폭과 깊이를 고려하여 감광패턴(15)의 높이와 폭이 미리 설정될 수 있다.

[0074] 도 3d에 도시한 바와 같이, 감광패턴(15)이 제거된 후, 기판(11) 상에 제1 반도체층(23)이 성장될 수 있다. 제1 반도체층(23)은 제1 패턴(17)의 비패턴, 즉 국부적인 상면으로부터 서로 상이한 성장속도를 기반으로 수직 방향과 수평 방향을 따라 성장되므로, 제1 반도체층(23)의 하면에 제2 패턴(21)이 형성될 수 있다. 아울러, 제1 패턴(17)과 제2 패턴(21)에 의해 둘러쌓여진 공간영역이 형성되고, 공간영역에 공기가 채워질 수 있다.

[0075] 따라서, 제1 패턴(17), 제2 패턴(21) 및 공간영역에 의해 굴절률변환층(19)이 형성될 수 있다.

[0076] 도 3e에 도시한 바와 같이, 제1 반도체층(23) 상에 제2 반도체층(26), 활성층(27) 및 제3 반도체층(29)을 포함하는 발광구조물(25)이 형성될 수 있다.

[0078] 도 4는 실시예에 따른 반도체소자 패키지를 도시한다.

[0079] 도 4에 도시된 바와 같이, 실시예에 따른 반도체소자 패키지는 캐비티(cavity, 315)를 갖는 몸체(311), 몸체(311) 내에 배치된 제1 리드프레임(321) 및 제2 리드프레임(323), 반도체소자(100), 와이어들(331) 및 몰딩부재(341)를 포함할 수 있다.

[0080] 몸체(311)는 전도성 재질 또는 절연성 재질을 포함할 수 있다. 몸체(311)는 수지 재질, 실리콘 재질, 금속 재질, PSG(photo sensitive glass), 사파이어(Al2O3), 인쇄회로기판(PCB) 중 적어도 하나로 형성될 수 있다. 수지 재질은 폴리프탈아미드(PPA: Polyphthalamide), 또는 에폭시일 수 있다.

[0081] 몸체(311)는 상부가 개방되고, 측면과 바닥으로 이루어진 캐비티(315)를 갖는다. 캐비티(315)는 몸체(311)의 상면으로부터 오목한 컵(cup) 구조 또는 리세스(recess) 구조를 포함할 수 있으며, 이에 대해 한정하지는 않는다.

[0082] 제1 리드프레임(321)은 캐비티(315)의 바닥 영역 중 제1 영역에 배치되며, 제2리드프레임(323)은 캐비티(315)의 바닥 영역 중 제2 영역에 배치된다. 제1 리드프레임(321)과 제2 리드프레임(323)은 캐비티(315) 내에서 서로 이격될 수 있다.

[0083] 제1 및 제2 리드프레임(321, 323)은 금속 재질, 예를 들어, 티타늄(Ti), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈늄(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P) 중 적어도 하나를 포함할 수 있다. 제1 및 제2 리드프레임(321, 323)은 단일 금속층 또는 다층 금속층으로 형성될 수 있다.

[0084] 반도체소자(100)는 제1 및 제2 리드프레임(321, 223) 중 적어도 하나의 위에 배치될 수 있다. 반도체소자(100)는 예컨대, 제1 리드프레임(321) 위에 배치되고, 와이어(331)로 제1 및 제2 리드프레임(321, 223)과 연결된다.

[0085] 반도체소자(100)는 가시광선 대역부터 자외선 대역의 범위 중에서 선택적으로 발광할 수 있으며, 예컨대 레드 LED 칩, 블루 LED 칩, 그린 LED 칩, 엘로우 그린(yellow green) LED 칩 중에서 선택될 수 있다. 반도체소자(100)은 3족-5족 또는 2족-6족의 화합물 반도체를 포함할 수 있다. 반도체소자(100)는 도 1 내지 도 8의 기술적 특징을 채용할 수 있다.

[0086] 몸체(311)의 캐비티(315)에는 몰딩부재(341)가 배치될 수 있다. 몰딩부재(341)는 실리콘 또는 에폭시와 같은 투광성 수지층을 포함할 수 있다. 몰딩부재(341)는 단층 또는 다층으로 형성될 수 있다. 몰딩부재(341)는 반도체소자(100) 상에서 방출되는 빛의 파장을 변화하기 위한 형광체를 포함할 수 있으며, 형광체는 반도체소자(100)에서 방출되는 빛의 일부를 여기시켜 다른 파장의 빛으로 방출하게 된다. 형광체는 YAG, TAG, Silicate, Nitride, Oxy-nitride 계 물질 중에서 선택적으로 형성될 수 있다. 형광체는 적색 형광체, 황색 형광체, 녹색 형광체 중 적어도 하나를 포함할 수 있으며, 이에 대해 한정하지는 않는다. 몰딩부재(341)의 표면은 플랫한 형상, 오목한 형상, 볼록한 형상 등으로 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0087] 몸체(311)의 상부에는 렌즈가 더 형성될 수 있으며, 다. 오목 또는/및 볼록 렌즈의 구조를 포함할 수 있으며, 반도체소자(100)가 방출하는 빛의 배광(light distribution)을 조절할 수 있다.

[0088] 반도체소자 패키지 내에는 보호소자가 배치될 수 있다. 보호소자는 싸이리스터, 제너 다이오드, 또는 TVS(Transient voltage suppression)로 구현될 수 있다.

[0090] 한편, 실시 예에 따른 반도체소자 패키지는 광원 장치에 적용될 수 있다.

[0091] 또한, 광원 장치는 산업 분야에 따라 표시 장치, 조명 장치, 헤드 램프 등을 포함할 수 있다.

[0092] 광원 장치의 예로, 표시 장치는 바텀 커버와, 바텀 커버 위에 배치되는 반사판과, 광을 방출하며 발광 소자를 포함하는 발광 모듈과, 반사판의 전방에 배치되며 발광 모듈에서 발산되는 빛을 전방으로 안내하는 도광판과, 도광판의 전방에 배치되는 프리즘 시트들을 포함하는 광학 시트와, 광학 시트 전방에 배치되는 디스플레이 패널과, 디스플레이 패널과 연결되고 디스플레이 패널에 화상 신호를 공급하는 화상 신호 출력 회로와, 디스플레이 패널의 전방에 배치되는 컬러 필터를 포함할 수 있다. 여기서 바텀 커버, 반사판, 발광 모듈, 도광판, 및 광학 시트는 백라이트 유닛(Backlight Unit)을 이룰 수 있다. 또한, 표시 장치는 컬러 필터를 포함하지 않고, 적색(Red), 녹색(Gren), 청색(Blue) 광을 방출하는 발광 소자가 각각 배치되는 구조를 이룰 수도 있다.

[0093] 광원 장치의 또 다른 예로, 헤드 램프는 기판 상에 배치되는 반도체소자 패키지를 포함하는 발광 모듈, 발광 모듈로부터 조사되는 빛을 일정 방향, 예컨대, 전방으로 반사시키는 리플렉터(reflector), 리플렉터에 의하여 반사되는 빛을 전방으로 굴절시키는 렌즈, 및 리플렉터에 의하여 반사되어 렌즈로 향하는 빛의 일부분을 차단 또는 반사하여 설계자가 원하는 배광 패턴을 이루도록 하는 쉐이드(shade)를 포함할 수 있다.

[0094] 광원 장치의 다른 예인 조명 장치는 커버, 광원 모듈, 방열체, 전원 제공부, 내부 케이스, 소켓을 포함할 수 있다. 또한, 실시 예에 따른 광원 장치는 부재와 홀더 중 어느 하나 이상을 더 포함할 수 있다. 상기 광원 모듈은 실시 예에 따른 반도체소자 패키지를 포함할 수 있다.

[0096] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

[0097] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0098] 11: 기판

13: 금속층

13a: 금속패턴

15: 감광패턴

17, 21: 패턴

19: 굴절률변환층

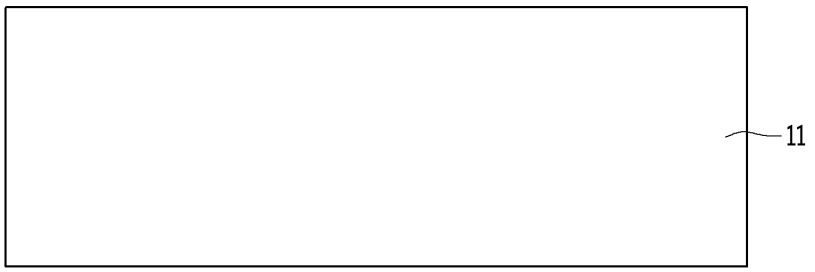
23, 26, 29: 반도체층

25: 발광구조물

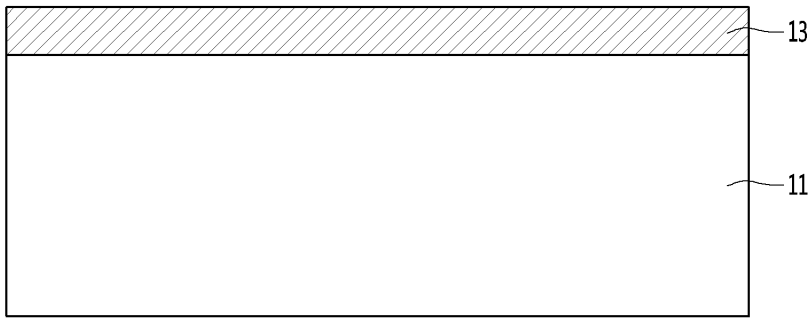
27: 활성층

도면

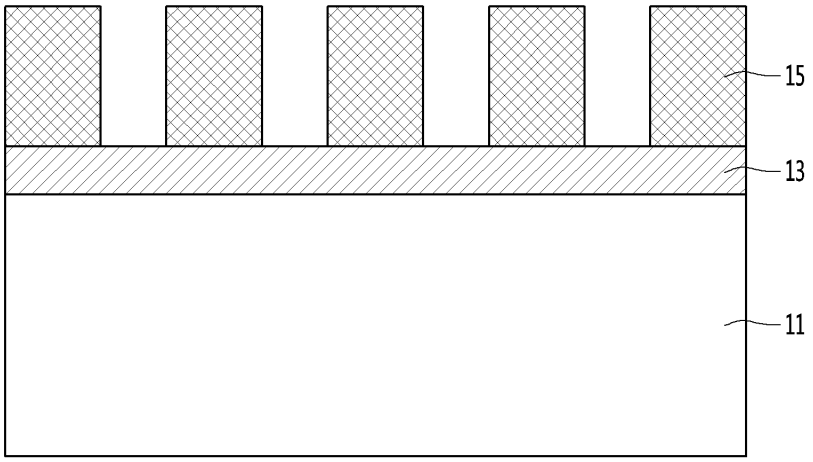
도면1a



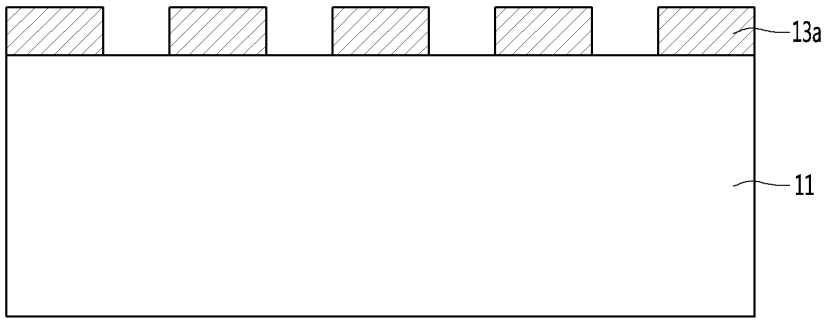
도면1b



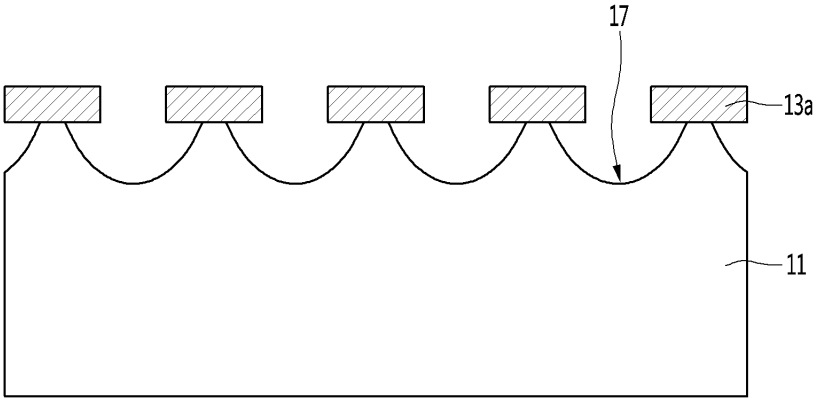
도면1c



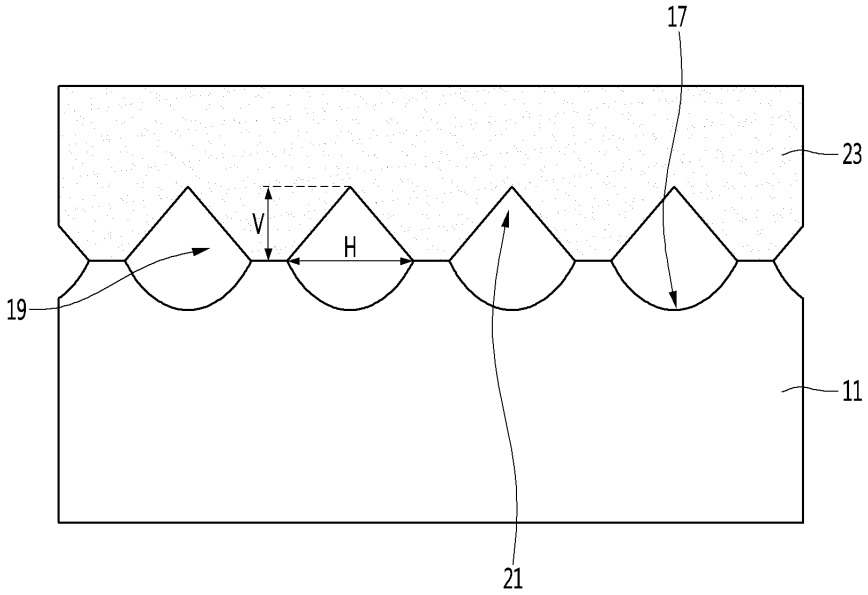
도면1d



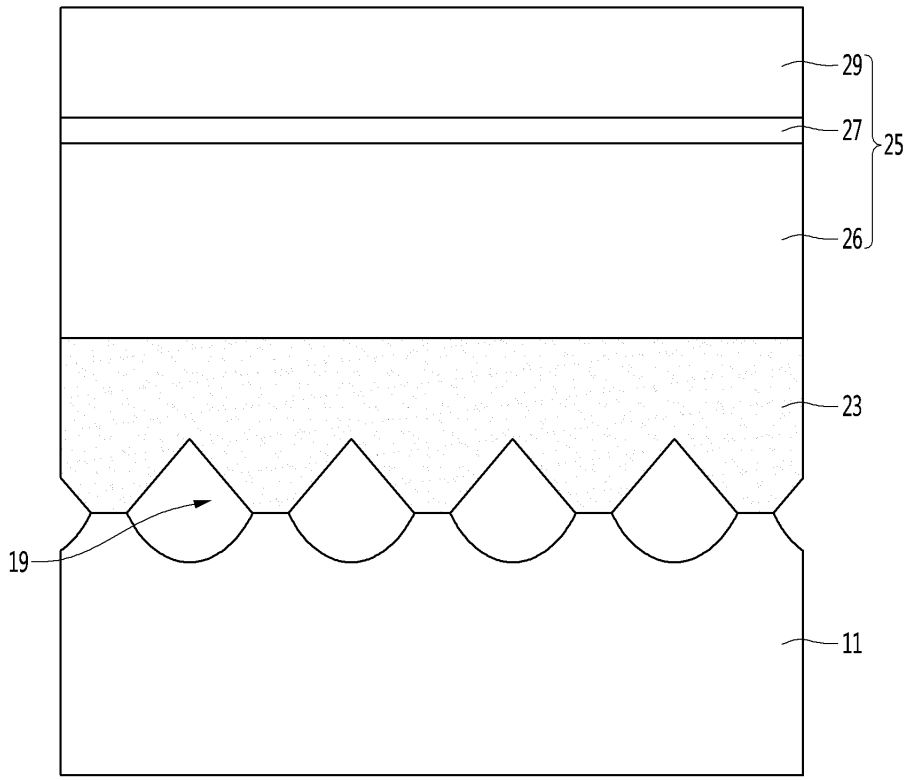
도면1e



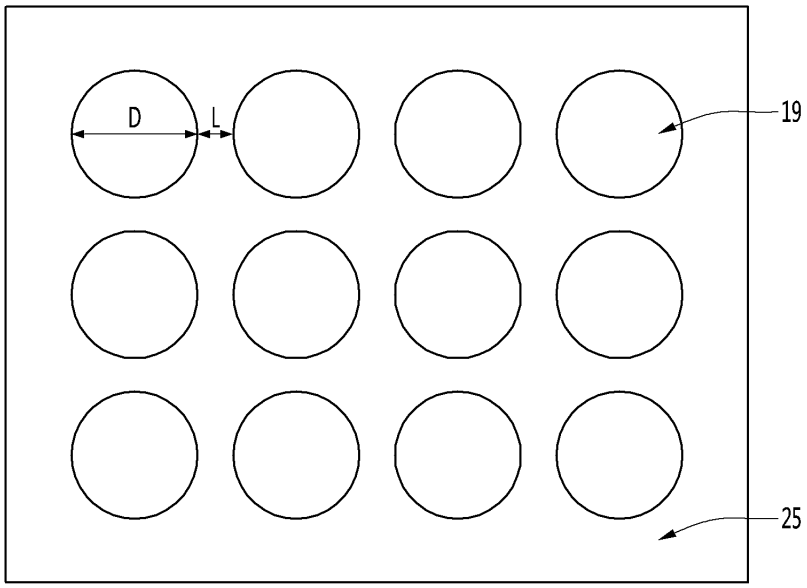
도면1f



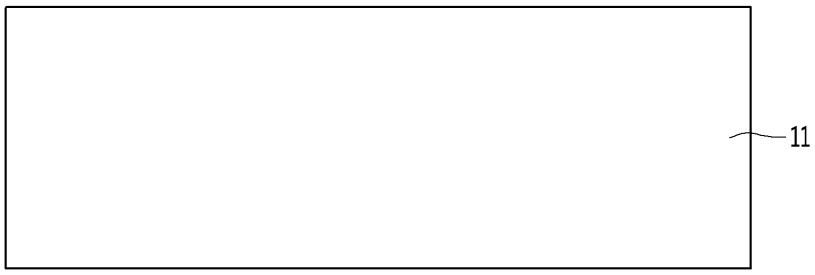
도면1g



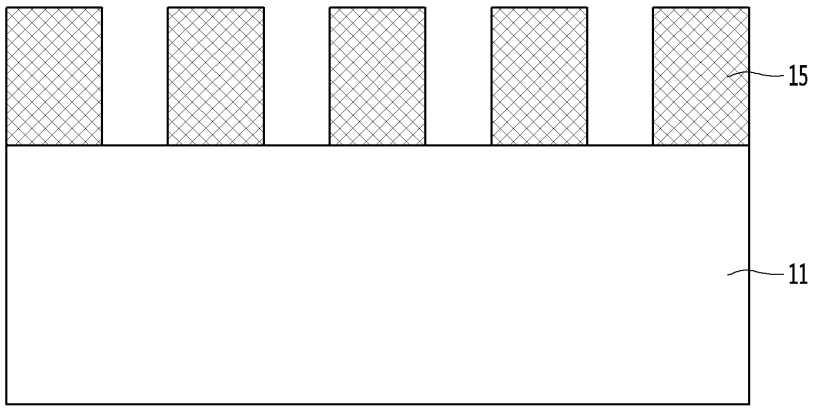
도면2



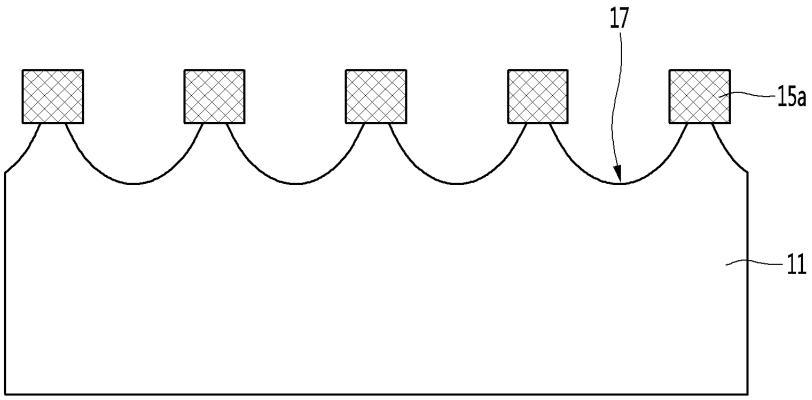
도면3a



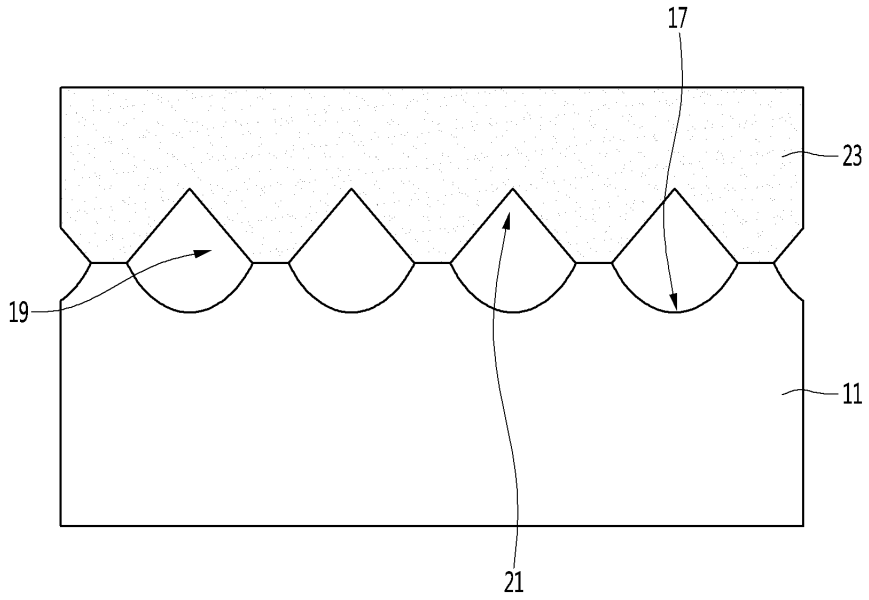
도면3b



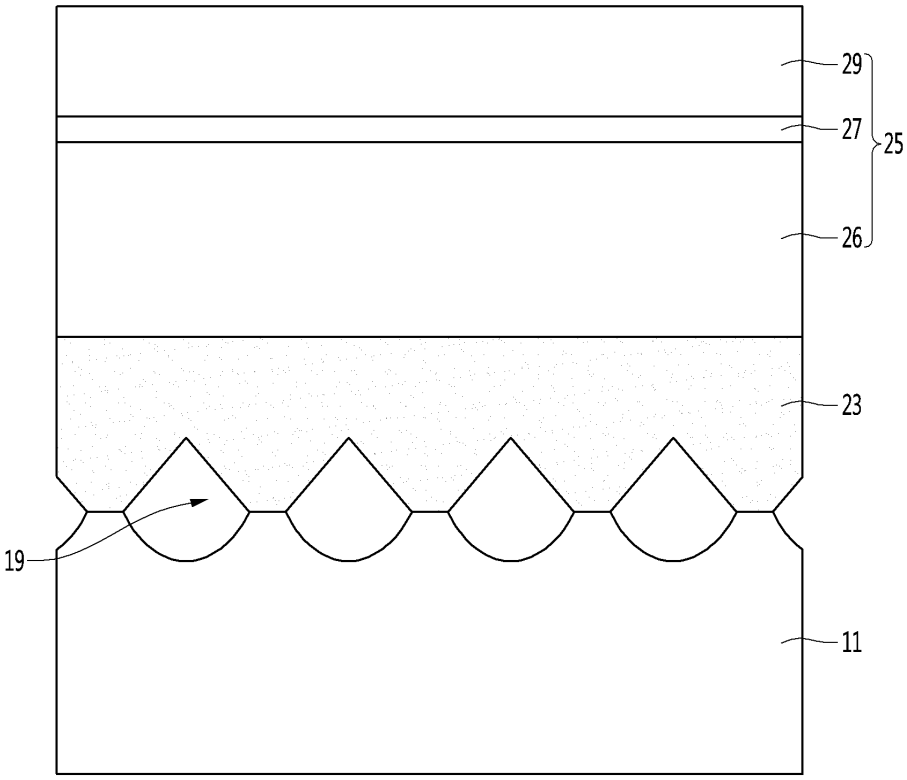
도면3c



도면3d



도면3e



도면4

