(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0003368
(43) 공개일자 2009년01월09일

(51) Int. Cl.
H01L 21/768 (2006.01) *H01L 21/3205* (2006.01)
(21) 출원번호 10-2008-7029046
(22) 출원일자 2008년11월27일
심사청구일자 2008년11월27일
번역문제출일자 2008년11월27일
(86) 국제출원번호 PCT/JP2007/061450
국제출원일자 2007년06월06일
(87) 국제공개번호 WO 2007/148535
국제공개일자 2007년12월27일
(30) 우선권주장
JP-P-2006-174429 2006년06월23일 일본(JP)

(71) 출원인
도쿄엘렉트론가부시키가이샤
일본 도쿄도 미나토쿠 아카사카 5쵸메 3반 1고
(72) 발명자
호리고메 마사히로
일본, 야마나시켄, 니라사키시, 호사카쵸, 미츠자와, 650번지, 도쿄 엘렉트론 가부시키가이샤 내
(74) 대리인
신동헌

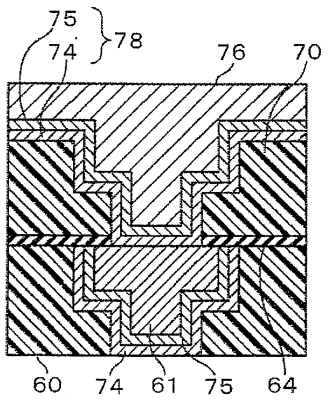
전체 청구항 수 : 총 2 항

(54) 반도체 장치 및 반도체 장치의 제조 방법

(57) 요 약

본 발명의 반도체 장치는, 기판과, 상기 기판 상에 성막된, 불소 첨가 탄소막으로 이루어진 절연막과, 상기 절연막에 매립된 구리 배선과, 상기 절연막과 상기 구리 배선과의 사이에 형성된 배리어막을 구비하고 있다. 상기 배리어막은, 불소의 확산을 억제하기 위한 티탄으로 이루어진 제 1 막과, 상기 제 1 막과 상기 구리 배선과의 사이에 형성된, 구리의 확산을 억제하기 위한 탄탈로 이루어진 제 2 막을 갖고 있다.

대 표 도 - 도2c



특허청구의 범위

청구항 1

기판과,

상기 기판 상에 성막된, 불소 첨가 탄소막으로 이루어진 절연막과,

상기 절연막에 매립된 구리 배선과,

상기 절연막과 상기 구리 배선과의 사이에 형성된 배리어막을 구비하고,

상기 배리어막은,

불소의 확산을 억제하기 위한 티탄으로 이루어진 제 1 막과,

상기 제 1 막과 상기 구리 배선과의 사이에 형성된, 구리의 확산을 억제하기 위한 탄탈로 이루어진 제 2 막

을 갖고 있는 것을 특징으로 하는 반도체 장치.

청구항 2

기판 상에 불소 첨가 탄소막으로 이루어진 절연막을 성막하는 공정과,

상기 절연막에 오목부를 형성하는 공정과,

상기 오목부 내에 티탄으로 이루어진 제 1 막을 성막하는 공정과,

상기 제 1 막의 표면에 탄탈로 이루어진 제 2 막을 성막하는 공정과,

상기 제 2 막의 표면에 구리로 이루어진 배선을 형성하는 공정

을 구비한 것을 특징으로 하는 반도체 장치의 제조 방법.

명 세 서

기 술 분 야

<1> 본 발명은, 불소 첨가 탄소막이 절연막, 예를 들면, 층간 절연막으로서 이용되고, 해당 절연막에 구리 배선이 형성되는 반도체 장치 및 그 제조 방법에 관한 것이다.

배 경 기 술

<2> 최근, 반도체 장치의 고집적화를 도모하기 위하여 다층 배선 구조가 채용되고 있으나, 반도체 장치의 미세화 및 고집적화가 진전됨에 따라, 배선을 통과하는 전기 신호의 지연(배선 지연)이, 디바이스 동작의 고속화에 대하여 문제가 되고 있다. 이 배선 지연은, 배선의 저항과 배선 간의 용량과의 곱에 비례한다.

<3> 상기 배선 지연을 단축시키기 위하여, 전극 배선 재료의 저저항화(低抵抗化)와, 각 층간을 절연하는 층간 절연막의 저유전율화(低誘電率化)를 도모하는 것이 요구되고 있다. 이에 따라, 배선 재료로서는, 저저항의 구리(Cu)가 바람직한 재료로서 사용되고 있다.

<4> 그러나, 구리는 확산되기 쉬운 원소로서, 구리의 확산에 의해 층간 절연막 중의 절연성이 저하된다는 것이 알려져 있다. 따라서, 구리 배선과 층간 절연막과의 사이에는, 구리의 확산 방지를 위한 배리어막을 개재(介在)시킬 필요가 있다.

<5> 일본특허공개공보 제2005-109138호에는, 구리의 확산을 방지하기 위한 배리어막으로서 탄탈(Ta) 또는 질화 탄탈(TaN) 등이 기재되어 있다.

<6> 한편, 층간 절연막으로서는, 비유전율을 낮추기 위해, 실리콘, 탄소, 산소 및 수소를 포함하는 막(SiCOH막)이 주목을 받고 있다. 또한, 본건 발명자는 SiCOH막보다 더욱 비유전율이 낮은, 탄소(C) 및 불소(F)의 화합물인 불소 첨가 탄소막(플루오로카본막)의 채용을 검토하고 있다.

<7> 그러나, 불소 첨가 탄소막은, 가열에 의해 불소가 이탈되기 쉬운 성질을 가지고 있다.

<8> 그런데, 반도체 장치는, 디바이스로서 완성된 후에, 그 내부의 결정(結晶)의 결함을 안정화시키기 위하여, 예를 들면, 400℃ 정도의 열처리가 행해진다. 절연막으로서 불소 첨가 탄소막이 이용되며, 또한, 구리 배선으로부터 절연막으로의 구리의 확산을 억제하기 위한 배리어막으로서 탄탈막이 이용되고 있는 경우에는, 열처리에 의해 불소 첨가 탄소막으로부터 불소가 탄탈막 중으로 확산되어, 불화 탄탈(TaF_5)이 생성된다. 이 불화 탄탈은 증기압이 높아, 상기의 열처리 중에 증발된다. 이 때문에, 탄탈막의 밀도가 저하되고, 구리에 대한 배리어 성능이 저하된다. 또한, 시트 저항이 증가되고, 또한, 불소 첨가 탄소막과 탄탈막과의 밀착성도 저하된다.

<9> 이러한 점으로부터, 박막이면서 구리 및 불소의 확산을 방지하는 배리어막이 요구되고 있다.

<10> 일본특허공개공보 제2005-302811호에는, 불소 첨가 탄소막에 대하여 기재되어 있으나, 상기의 과제 및 그 해결에 대해서는 언급되어 있지 않다.

발명의 상세한 설명

<11> 이상과 같은 문제를 감안하여, 본 발명은, 불소 첨가 탄소막이 절연막, 예를 들면, 층간 절연막으로서 이용되고, 해당 절연막에 구리 배선이 형성되는 반도체 장치에 있어서, 절연막과 구리 배선과의 사이에서의 불소 및 구리의 확산을 효과적으로 억제할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

<12> 본 발명은, 기판과, 상기 기판 상에 성막된, 불소 첨가 탄소막으로 이루어진 절연막과, 상기 절연막에 매립된 구리 배선과, 상기 절연막과 상기 구리 배선과의 사이에 형성된 배리어막을 구비하고, 상기 배리어막은, 불소의 확산을 억제하기 위한 티탄으로 이루어진 제 1 막과, 상기 제 1 막과 상기 구리 배선과의 사이에 형성된, 구리의 확산을 억제하기 위한 탄탈로 이루어진 제 2 막을 갖고 있는 것을 특징으로 하는 반도체 장치이다.

<13> 이 특징에 의하면, 절연막과 구리 배선과의 사이에서의 불소 및 구리의 확산을 효과적으로 억제할 수 있으며, 또한, 배리어막의 두께 감소도 효과적으로 억제할 수 있다.

<14> 또한, 본 발명은, 기판 상에 불소 첨가 탄소막으로 이루어진 절연막을 성막하는 공정과, 상기 절연막에 오목부를 형성하는 공정과, 상기 오목부 내에 티탄으로 이루어진 제 1 막을 성막하는 공정과, 상기 제 1 막의 표면에 탄탈로 이루어진 제 2 막을 성막하는 공정과, 상기 제 2 막의 표면에 구리로 이루어진 배선을 형성하는 공정을 구비한 것을 특징으로 하는 반도체 장치의 제조 방법이다.

<15> 이 특징에 의하면, 절연막과 구리 배선과의 사이에서의 불소 및 구리의 확산을 효과적으로 억제할 수 있으며, 또한, 배리어막의 두께 감소도 효과적으로 억제할 수 있는 반도체 장치를 비교적 용이하게 제조할 수 있다.

실 시 예

<25> 본 발명에 의한 반도체 장치의 제조 방법의 일 실시예에 대하여, 이하에 설명한다. 여기에서는, 다층 배선 구조를 제조하기 위하여, 기판 상의 절연막 내에서, 금속, 예를 들면, 구리로 이루어진 n(n은, 1 이상의 정수) 번째의 배선층 상에, (n+1) 번째의 배선층을 형성하는 경우를 설명한다.

<26> 도 1a는, 절연막인 불소 첨가 탄소막(이하, 「CF막」이라고 함)(60) 내에, n 번째의 배선층인 Cu 배선(61)이 형성된 기판, 예를 들면, 반도체 웨이퍼(이하, 웨이퍼)(W)의 개략 단면도를 도시하고 있다. 이 경우, n 번째의 회로층의 표면에, 해당 n 번째의 Cu 배선(61)으로부터 다음 단의 (n+1) 번째의 층간 절연막(CF막(70))으로 구리가 확산되지 않도록, 절연막, 예를 들면, SiN막으로 이루어진 배리어막 (64)이 형성되어 있다.

<27> 본 실시예에서는, 후술하는 바와 같이, 탄소와 불소를 포함하는 화합물의 성막 가스, 예를 들면, C_5F_8 가스가 플라즈마화되고, 웨이퍼(W)가 재치(載置)되어 있는 분위기가 플라즈마 분위기라고 여겨진다. 이에 의해, C_5F_8 가스로부터 생성된 활성종(活成種)이 웨이퍼(W)의 표면에 퇴적되고, 도 1b에 도시한 바와 같이, CF막(70)으로 이루어진 층간 절연막이, 예를 들면, 200 nm의 막 두께로 성막된다.

<28> 이어서, 해당 CF막(70)에, 도 1c에 도시한 바와 같이, 종래의 수법, 예를 들어, 포토레지스트 마스크 또는 하드 마스크 등을 이용한 드라이 에칭에 의해, 다마신 구조의 트렌치홈과 비아홀로 이루어진 오목부(71)가 형성된다. 여기에서는, 이들 공정의 상세한 설명은 생략한다.

<29> 그 후, 도 2a에 도시한 바와 같이, 웨이퍼(W)의 표면 전체에, 배리어막(78)의 일부를 이루는 제 1 막인 Ti막(74)이, 예를 들면, 스퍼터링에 의해 성막된다. 이 스퍼터링 공정에 있어서는, Ti 타겟에 대해, 예를 들면, Ar 등의 이온을 충돌시킴으로써, 해당 Ti 타겟으로부터 티탄의 미립자가 생성되어 분리되고, 웨이퍼(W)의 표면(CF

막(70)의 노출면 및 Cu 배선(61)의 표면)에 퇴적되며, 이에 의해 Ti막(74)이 성막된다. 이 Ti막(74)은, 후술하는 바와 같이, CF막(70) 내의 불소가 Ti막(74)의 상층측으로 확산되는 것을 억제하는 배리어 기능을 갖는 막이며, 예를 들면, 막 두께가 3 ~ 10 nm 정도로 충분한 배리어 기능을 얻을 수 있다.

<30> 이어서, 도 2b에 도시한 바와 같이, Ti막(74)의 표면에, 제 2 막인 Ta막(75)이 성막된다. 이 Ta막(75)은, 상술한 Ti막(74)과 마찬가지로, 스퍼터 장치를 이용하여 성막된다. 이 막 두께는 5 ~ 10 nm 정도인 것이 바람직하다. 이 Ta막(75)은, 후술하는 바와 같이, 해당 Ta막(75)에 접하는 Cu 배선(76) 내의 구리가 Ti막(74)측으로 확산되는 것을 억제하는 배리어 기능을 갖는 막이다. 이상과 같이 하여, Ti막(74) 및 Ta막(75)으로 이루어진 배리어막(78)이 형성된다.

<31> 그 후, 도 2c에 도시한 바와 같이, Cu 배선(76)이 매립된다. 해당 Cu 배선(76)은, 예를 들면, 구리를 포함하는 유기 재료를 기화한 가스를 이용하여, CVD법에 의해 형성되어도 좋다. 또는, 무전해 도금법에 의해 구리의 시드층을 형성하고, 이를 전극으로서 이용하여 전해 도금을 행함으로써 형성되어도 좋다.

<32> 이어서, CF막(70)의 상면에 성막된 Ti막(74), Ta막(75) 및 Cu 배선(76)이, 예를 들면, CMP(Chemical Mechanical Polishing)로 불리우는 연마에 의해 제거되고, (n+1) 층째의 Cu 배선(76)이 형성된다(도 3a 참조). 그리고, 전술한 도 1a와 마찬가지로, 웨이퍼(W)의 표면에 절연막, 예를 들면, SiN막으로 이루어진 배리어막(64)이 성막된다(도 3b 참조).

<33> 이후, 이상의 도 1b 내지 도 3b의 공정을 반복함으로써, 소정의 계층분의 회로가 형성된다. 그리고, 원하는 반도체 장치(다층 배선 구조)의 제조가 완성된 후, 해당 반도체 장치 내의 결정의 결함을 종단(終端)시켜 물성(物性)을 안정시키기 위하여, 예를 들면 400℃의 열처리가 행해진다.

<34> 이상의 실시예에서는, 예를 들어, (n+1) 층째의 배선 구조에 대하여 설명하면, CF막(70)과 Cu 배선(76)과의 사이에, 제 1 막인 Ti막(74)과 제 2 막인 Ta막(75)이, CF막(70)측으로부터 해당 순서로 적층되어 배리어막(78)을 형성하고 있다. 이 때문에, 후술의 실험 결과로부터도 알 수 있듯이, 예를 들어, 반도체 장치의 제조 공정이 완료된 후에 행해지는 어닐링 처리 등의 열처리를 받아도, 불소가 CF막(70)으로부터 Ta막(75) 또는 Cu 배선(76)으로 확산되는 것이 억제되고, 또한, 구리가 Cu 배선(76)으로부터 Ti막(74) 또는 CF막(70)으로 확산되는 것이 억제된다. 이 때문에, 열처리에 의해 불소와 탄탈 및 구리가 반응하는 것이 억제되어, 후술의 실험 결과로부터도 알 수 있듯이, 불소와 탄탈 및 구리와의 반응에 의한 시트 저항의 증가를 억제할 수 있다. 이에 의해, 반도체 장치의 전기적 특성의 열화(劣化)를 억제할 수 있다. 또한, Ti막(74) 및 Ta막(75)은, 400℃ 정도에서는 화학 반응을 일으키지 않으므로, 합금을 형성하지 않는다(서로 섞이지 않는다). 이 때문에, 열처리를 받은 후에도, 상술한 배리어 성능을 계속 유지할 수 있다.

<35> 또한, Ti막(74) 및 Ta막(75)은, 각각 대략 10 nm 이하로 얇다. 즉, 배리어막(78) 전체의 막 두께를 20 nm 이하로 억제할 수 있다. 이 때문에, 반도체 장치의 박층화(薄層化)를 막을 우려도 없다.

<36> 이어서, CF막(70)을 성막하기 위하여 바람직한 성막 장치의 일례에 대하여, 도 4를 참조하면서 간단하게 설명한다. 도 4에 도시한 바와 같이, 성막 장치(10)는, 진공 챔버인 처리 용기(11), 온도 조절 수단을 구비한 재치대(12) 및 해당 재치대(12)에 접속된, 예를 들면, 13.56 MHz의 바이어스용의 고주파 전원(13)을 구비하고 있다.

<37> 처리 용기(11)의 상부에는, 재치대(12)와 대향하도록, 예를 들어, 대략 원 형상의 예를 들면, 알루미나로 이루어진 제 1 가스 공급부(14)가 설치되어 있다. 이 제 1 가스 공급부(14)에서의 재치대(12)와 대향하는 면에는, 다수의 제 1 가스 공급홀(15)이 형성되어 있다. 제 1 가스 공급홀(15)은, 가스 유로(16) 및 제 1 가스 공급로(17)를 거쳐, 플라즈마 발생용의 가스의 공급원, 예를 들면, 아르곤(Ar) 가스 등의 희(希)가스 공급원에 접속되어 있다.

<38> 또한, 재치대(12)와 제 1 가스 공급부(14)와의 사이에는, 예를 들면, 대략 원 형상의 도전체로 이루어진 제 2 가스 공급부(18)가 설치되어 있다. 이 제 2 가스 공급부(18)에서의 재치대(12)와 대향하는 면에는, 다수의 제 2 가스 공급홀(19)이 형성되어 있다. 제 2 가스 공급부(18)의 내부에는, 제 2 가스 공급홀(19)에 연통(連通)되는 가스 유로(20)가 형성되어 있으며, 해당 가스 유로(20)는, 제 2 가스 공급로(21)를 거쳐, C_5F_8 가스 등의 원료 가스의 공급원에 접속되어 있다.

<39> 또한, 제 2 가스 공급부(18)에는, 해당 제 2 가스 공급부(18)를 상하로 관통하도록, 다수의 개구부(22)가 형성되어 있다. 이 개구부(22)는, 제 2 가스 공급부(18) 내에서는 제 2 가스 공급홀(19)과는 연통하지 않고, 제 2 가스 공급부(18)의 상방에서 생성된 플라즈마를 제 2 가스 공급부(18)의 하측의 공간으로 통과시키기 위해 설치

되어 있다. 예를 들면, 개구부(22)는, 인접하는 두 개의 제 2 가스 공급홀(19)의 사이에 형성된다.

<40> 또한, 처리 용기(11)의 하단에는, 재치대(12)를 둘러싸는 링 형상의 개구가 설치되어 있으며, 해당 개구에는 배기관(26)을 거쳐 진공 배기 수단(27)이 접속되어 있다.

<41> 또한, 제 1 가스 공급부(14)의 상방에는, 예를 들면, 알루미나 등의 유전체로 구성된 커버 플레이트(28)를 거쳐 안테나부(30)가 설치되어 있다. 이 안테나부(30)는, 원형의 안테나 본체(31)와, 이 안테나 본체(31)의 하단에 매설된 평면 안테나 부재(슬릿판)(32)를 구비하고 있다. 평면 안테나 부재(32)에는, 원편파(円扁波)를 발생시키기 위한 다수의 슬릿(도시하지 않음)이 형성되어 있다. 이들 안테나 본체(31)와 평면 안테나 부재(32)는 도체로 구성되어, 편평한 중공(中空)의 원형 도파관을 구성하고 있다.

<42> 또한, 안테나 본체(31)와 평면 안테나 부재(32)와의 사이에는, 예를 들면, 알루미나 또는 산화 규소, 질화 규소 등의 저손실 유전체 재료로 구성된 지상판(遲相板)(33)이 설치되어 있다. 이 지상판(33)은, 마이크로파의 파장을 단축시켜, 상기 원형 도파관 내의 관내 파장을 단축시키기 위한 것이다.

<43> 이상과 같이 구성된 안테나부(30)는, 동축 도파관(35)을 거쳐, 예를 들면, 2.45 GHz 또는 8.4 GHz의 주파수의 마이크로파를 발생하는 마이크로파 발생 수단(34)에 접속되어 있다. 또한, 동축 도파관(35)의 외측의 도파관(35A)이 안테나 본체(31)에 접속되고, 동축 도파관(35)의 중심 도체(35B)가 지상판(33)에 형성된 개구부를 거쳐, 평면 안테나 부재(32)에 접속되어 있다.

<44> 이어서, 상기의 성막 장치(10)를 이용한 CF막(70)의 성막 방법에 대하여 설명한다. 우선, 웨이퍼(W)가 처리 용기(11) 내로 반입되어 재치대(12) 상에 재치된다. 그리고, 진공 배기 수단(27)을 이용하여 처리 용기(11) 내가 배기되고, 처리 용기(11) 내로, 예를 들면, Ar 가스와 C_5F_8 가스가 각각 소정의 유량으로 공급된다. 그리고, 처리 용기(11) 내가 소정의 프로세스 압력으로 설정되고, 재치대(12)에 설치된 온도 조절 수단에 의해 웨이퍼(W)가 가열된다.

<45> 한편, 마이크로파 발생 수단(34)으로부터, 주파수가 2.45 GHz의 고주파(마이크로파)가, 커버 플레이트(28)와 제 1 가스 공급부(14)를 거치고, 또한, 평면 안테나 부재(32)에 형성된 도시하지 않은 슬릿을 거쳐, 하측의 처리 공간을 향하여 방사된다.

<46> 이 마이크로파에 의하여, 제 1 가스 공급부(14)와 제 2의 가스 공급부(18)와의 사이의 공간에, 고밀도이며 균일한 Ar 가스의 플라즈마가 여기된다. 한편, 제 2 가스 공급부(18)로부터 재치대(12)를 향하여 방출되는 C_5F_8 가스는, 개구부(22)를 거쳐 상측으로부터 유입되는 Ar 가스의 플라즈마와 접촉하여 활성종을 생성한다. 이 활성종이 웨이퍼(W)의 표면에 퇴적되고, 배리어막(64) 상에 CF막(70)이 형성된다.

<47> 불화 첨가 탄소막의 원료가 되는 가스로서는, C_5F_8 가스에 한정되지 않고, CF_4 가스, C_2F_6 가스, C_3F_8 가스, C_3F_9 가스 또는 C_4F_8 가스 등을 이용해도 좋다.

<48> 또한, Ti막(74)을 성막하기 위해서는, 전술한 바와 같이, 공지의 다양한 스퍼터 장치를 이용할 수 있다. 스퍼터 장치는, 일반적으로, 방전에 의하여 티탄을 스퍼터하기 위한 금속원으로서의 Ti판을 구비하고 있으며, 해당 Ti판으로부터 발생되는 티탄의 미립자를 퇴적시킴으로써 Ti막(74)을 형성하는 장치이다.

<49> 티탄의 미립자는 활성이 매우 높다. 이 때문에, CF막(70)의 표면에 퇴적되었을 경우에, CF막(70) 중의 원소(탄소 및 불소)와 반응하여, 탄화 티탄 및 불화 티탄을 생성한다. 불화 티탄(TiF4)은, 전술한 불화 탄탈과 마찬가지로 증기압이 높다. 이 때문에, 불화 티탄의 생성이 진행되면, Ti막(74)의 밀도 저하 또는 시트 저항의 상승이 초래된다. 한편, 탄화 티탄은, 증기압이 낮고 안정적이다. 상기의 반응은, 열처리, 예를 들면, 전술한 반도체 장치의 제조 완성 후의 어닐링 처리 등에 의하여 진행된다. 그러나, 후술의 실험 결과에서 알 수 있듯이, 탄화 티탄이 선택적으로 생성되어 불화 티탄의 생성이 억제됨으로써, Ti막(74)의 밀도 저하 또는 시트 저항의 상승이 억제될 수 있다. 이에 의하여, 본 실시예의 Ti막(74)은 불소에 대하여 높은 배리어성을 가질 수 있다.

<50> Ti막(74)은 반드시 스퍼터링에 의해 형성되는 막에 한정되지 않고, 그 밖의 성막 방법, 예를 들면, 상술한 성막 장치(10) 등을 이용하여 성막되어도 좋다.

<51> Ti막(74)의 성막에 이어서 Ta막(75)의 성막이 행해진다. Ta막(75)을 성막하기 위해서는, 상술한 Ti막(74)과 마찬가지로, 공지의 다양한 스퍼터 장치를 이용할 수 있다.

<52> 본 발명에 의한 반도체 장치의 제조 방법은, 다마신법에 한정되지 않고, Cu 배선(76)을 처음에 형성하고, 그 후

Cu 배선(76)을 둘러싸도록 CF막(70)을 형성하는 수법에도 적용할 수 있다.

<53> <실험의 설명>

<54> 구리와 불소에 대한 배리어막의 효과에 대하여, 어떠한 원소가 최적인지를 확인하기 위해, 이하의 실험을 행하였다.

<55> 실험에 이용된 No.1 ~ No.6의 웨이퍼(이하, 웨이퍼 1 ~ 6이라 함)의 개략 단면이 도 5에 도시되어 있다. 이들 웨이퍼 1 ~ 6는, 실험용의 베어 실리콘 웨이퍼인 Si 기판(81) 상에, 상술한 성막 장치(10)를 이용하여 막 두께 150 nm의 CF막(82)이 성막되어 있는 점은 공통적이지만, 각 웨이퍼마다, CF막(82) 상에, 이하의 표 1에 나타낸 배리어막이 형성된 것이다.

표 1

<56> (표 1)

웨이퍼 No.	1	2	3	4	5	6
원소종	Ta	Ta TaN	Ni	Ta Ni	Ti	Ta Ti
막두께(nm)	8	8 8	6	8 6	13	8 3

<57> 표 1에 나타낸 각 원소종(元素種)의 성막에는, 전술한 스퍼터 장치가 이용되었다. 그 성막 조건의 상세에 대해서는, 여기서는 설명을 생략한다. 또한, 표 1에서 두 종류의 막이 형성된 경우(웨이퍼 2, 4 및 6)에 대해서는, Ta막(84)이 상측에 적층되었다.

<58> 또한, 이하의 각 실험에서, 웨이퍼 1 ~ 6에 대하여 열처리를 행하였다. 그 조건은 이하와 같다.

<59> (열처리 조건)

<60> 열처리 온도 : 400℃

<61> 열처리 시간 : 15분

<62> 압력 : 266.7 Pa(2000 mTorr)

<63> 분위기 : Ar = 500 sccm

<64> <실험 1 : 열처리에 의한 시트 저항의 변화>

<65> 도 5에 도시한 각 웨이퍼 1 ~ 6에 대해, 최상층의 금속(Ta, Ni, Ti 등) 상에, 전술의 방법에 의하여 Cu막(87)(도시하지 않음)이 성막되었다.

<66> 그 후, 상기의 조건으로 각 웨이퍼 1 ~ 6에 열처리가 실시되었다. 그리고, 각 웨이퍼 1 ~ 6가 대기 중으로 취출되어, 각각 시트 저항이 측정되었다. 그 결과를 표 2에 나타낸다.

표 2

<67> (표 2)

웨이퍼 No.	1	2	3	4	5	6
열처리 전	47.7	122.9	89.1	47.2	170.4	37.1
열처리 후	300.1	150.8	80.0	44.3	362.2	48.9

<68> 표 2에 의하면, 웨이퍼 1 및 웨이퍼 5의 시트 저항이 열처리에 의해 크게 증가하고 있으므로 바람직하지 않음을 알 수 있다.

<69> 웨이퍼 1에 대해서는, 웨이퍼 2와의 비교로부터, Ta막(84)이 CF막(82)과 직접 접촉하는 것은 좋지 않다는 것을 도출할 수 있다. 웨이퍼 1의 경우, 열처리에 의해 CF막(82)으로부터 Ta막(84)으로 불소가 확산되고, 증기압이 높은 불화 탄탈이 생성되어, 해당 불화 탄탈이 증발됨으로써 시트 저항이 증가되었다고 생각된다.

<70> 웨이퍼 5에 대해서는, 웨이퍼 6과의 비교로부터, Ti막(83)이 Cu막(87)과 직접 접촉하는 것이 좋지 않다는 것을 도출할 수 있다. 웨이퍼 5의 경우, 열처리에 의해 구리가 Ti막 중으로 확산되고, 또한, CF막(82)의 불소와 반응하여, 시트 저항이 높은 화합물이 생성된 것이라고 생각된다.

<71> <실험 2 : 열처리에 의한 X 선 강도의 변화>

<72> 웨이퍼 2, 3, 4 및 6에 대하여, 실험 1과 마찬가지로 Cu막(87)이 성막되었다.

<73> 그 후, 상기의 조건으로 각 웨이퍼에 열처리가 실시되었다. 그리고, 형광 X 선 분석(XRF : X-ray Fluorescence Analysis)에 의해 각 금속의 X 선 강도가 측정되어, 열처리 전후의 각 금속막 중의 금속 원자 수의 비를 구하였다. 그 결과를 표 3에 나타내었다.

표 3

<74> (표 3)

웨이퍼 No.	2	3	4	6
Ta	0.93		0.95	1.0
Ni		0.99	1.0	
Ti				1.0

<75> 표 3에 의하면, 웨이퍼 2 및 웨이퍼 4의 Ta의 원자수가 열처리에 의하여 감소되고 있으므로 바람직하지 않음을 알 수 있다.

<76> 웨이퍼 2의 TaN막(86), 웨이퍼 4의 Ni막(85)은, CF막(82)으로부터의 불소를 약간이지만 투과시킨다. 이 때문에, Ta막(84)에서 불화 탄탈이 생성되고, 이것이 증발되었다고 생각된다. 또한, 투과형 전자 현미경(TEM : Transmission Electron Microscope)에 의한 측정 결과, Si 기판(81) 상에 퇴적된 막의 전체적인 막 두께는 변함이 없었다. 이에 의해, 이른바 감막(減膜)은 발생하지 않고, 단지 막 중의 원소가 누락된 것으로 생각된다.

<77> <실험 3 : 원소 분석>

<78> 이어서, 웨이퍼 3과 웨이퍼 6에 대해, 최상층의 금속 상에, 전술한 방법에 의해 Cu막(87)(도시하지 않음)이 성막되었다.

<79> 그 후, 상기의 조건으로 각 웨이퍼에 열처리가 실시되었다. 그리고, 2 차 이온 질량 분석 장치(SIMS : Secondary Ion Mass Spectroscopy)를 이용하여, 깊이 방향의 각 원소(Cu, Ta, Ni, F)의 양이 측정되었다. 열처리 전후에 있어서의 웨이퍼 3의 원소 분석의 결과가 도 6에 도시되어 있다. 이와 마찬가지로, 열처리 전후에 있어서의 웨이퍼 6의 원소 분석의 결과가 도 7에 도시되어 있다.

<80> 도 6에 대하여 고찰하면, 열처리 전에서 인정된 Cu, Ni의 피크는, 열처리 후에 소멸되어 있다. 이들 두 금속은 열처리에 의해 합금화된 것으로 생각된다. 또한, 합금화된 금속으로의 불소의 확산도 인정된다. 이상으로부터, Ni는 Cu, F의 두 원소에 대해 충분한 배리어성을 갖고 있지 않음을 알 수 있다.

<81> 한편, 도 7에 대하여 고찰하면, 웨이퍼 6의 각 원소의 2 차 이온 강도는, 깊이 방향에 있어서, 열처리 전후로 거의 변함이 없다. 즉, Cu, F의 확산은 발생되지 않고, 웨이퍼 6의 배리어막이 배리어막으로서 최적인 것임을 알 수 있다.

<82> <실험 4 : 결합 에너지>

<83> 이어서, 이상의 각 실험에 있어서 양호한 결과를 나타낸 웨이퍼 6에 대해, 웨이퍼 6 중의 Ti막(83)이 어떻게 이루어져 있는지를 조사하기 위해, 이하의 실험을 행하였다. 본 실험에서는, X 선 광전자 분광법(XPS : X-ray Photoelectron Spectroscopy)을 이용하여, Ti막(83)의 상층(Ta막(84) 부근)과 Ti막(83)의 하층(CF막(82) 부근)과의 티탄 화합물의 결합 에너지가 열처리 전후에서 측정되었다. 또한, 이 실험은 Cu막(87)이 성막되지 않은 상태에서 행해졌다.

<84> 열처리 전의 실험 결과를 도 8a에 나타내고, 열처리 후의 실험 결과를 도 8b에 나타내고 있다. 도 8a에 나타낸 바와 같이, 열처리 전의 Ti막(83)의 하층에서, 탄화 티탄과 산불화 티탄(TiOF)에 귀속되는 피크가 확인되었다. 이는, 전술한 바와 같이, Ti막(83)이 성막될 때에 티탄의 표면이 활성화되어, CF막(82) 중의 원소(탄소 및 불소)와 반응을 일으킨 것으로 생각된다. 한편, 도 8b에 나타낸 바와 같이, 열처리 후에는 탄화 티탄의 피크 강

도는 증가되어 있었으나, 산불화 티탄의 피크 강도의 변화는 볼 수 없었다. 이 점으로부터, Ti막(83)의 하층에서는 열처리에 의해 탄화 티탄이 선택적으로 생성된다고 생각된다.

<85> 또한, Ti막(83)의 상층에서는, 열처리의 전후에 있어서, 산불화 티탄의 피크 강도는 변화하지 않았다. 이 점으로부터, CF막(82) 중의 불소는, Ti막(83)의 성막 시에는 Ti막(83)의 두께 방향에서 전체에 걸쳐 확산되고 있으나, 열처리에 의한 확산은 진행되지 않았음을 알 수 있다. 즉, Ti막(83)은 불소에 대한 배리어막으로서 효과적으로 작용하고 있음을 알 수 있다. 또한, Ti막(83)의 상층의 Ti의 피크 강도는 열처리에 의해 감소되고 있다. 이는, Ti막(83)의 하층에서 선택적으로 생성되는 탄화 티탄을 위해, 상층의 티탄이 하층으로 공급되었기 때문으로 생각된다.

<86> 또한, CF막(82)과 접하는 Ti막(83)은, 예를 들면, 웨이퍼(1)의 Ta막(84)이 증기압이 높은 불화 탄탈을 형성한 것과 마찬가지로, 증기압이 높은 불화 티탄을 형성한다고 하는 추측도 성립할 수 있다. 그러나, 실제로는 CF막(82)과 Ti막(83)과의 계면 부근에는 탄화 티탄이 선택적으로 형성되는 것이다. 즉, Ti, Ta는, 고융점 금속이라고 하는 공통성이 높은 금속이면서, Ta막은 불소에 대해 충분한 배리어성을 나타내지 않고, Ti막은 불소에 대해 양호한 배리어성을 나타낸다.

도면의 간단한 설명

<16> 도 1a 내지 도 1c는, 본 발명에 의한 반도체 장치의 제조 방법의 일 실시예를 설명하기 위한 반도체 장치의 단면도이다.

<17> 도 2a 내지 도 2c는, 도 1c에 이어서, 본 발명에 의한 반도체 장치의 제조 방법의 일 실시예를 설명하기 위한 반도체 장치의 단면도이다.

<18> 도 3a 및 도 3b는, 도 2c에 이어서, 본 발명에 의한 반도체 장치의 제조 방법의 일 실시예를 설명하기 위한 반도체 장치의 단면도이다.

<19> 도 4는, 본 발명에 의한 반도체 장치의 제조 방법을 실시하기 위한 제조 장치의 일례를 도시하는 개략 종단면도이다.

<20> 도 5는, 각 실험에 이용된 웨이퍼 1 ~ 6의 개략 단면도이다.

<21> 도 6은, 실험 3의 웨이퍼 3의 결과를 나타내는 특성도이다.

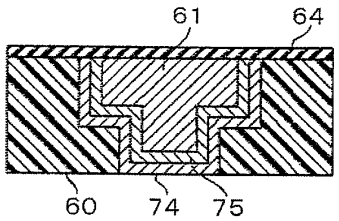
<22> 도 7은, 실험 3의 웨이퍼 6의 결과를 나타내는 특성도이다.

<23> 도 8a는, 실험 4의 열처리 전의 결과를 나타내는 특성도이다.

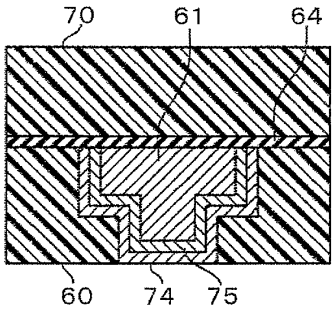
<24> 도 8b는, 실험 4의 열처리 후의 결과를 나타내는 특성도이다.

도면

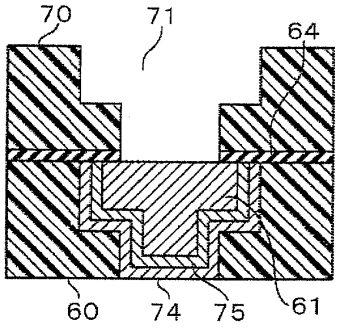
도면1a



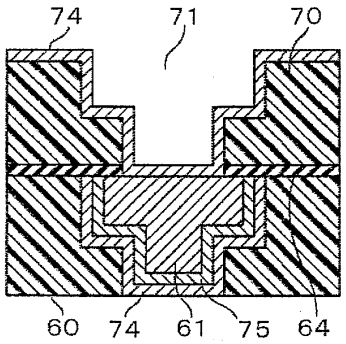
도면1b



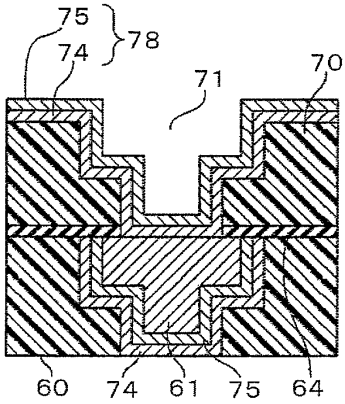
도면1c



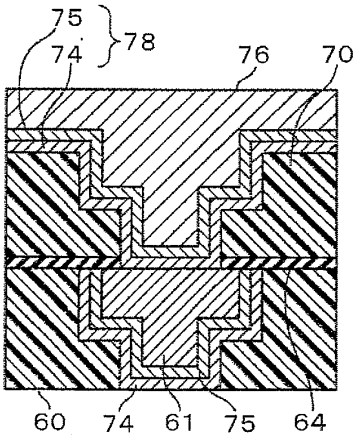
도면2a



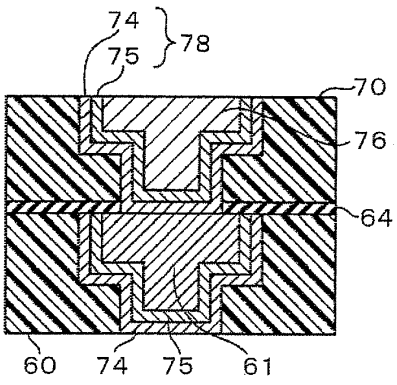
도면2b



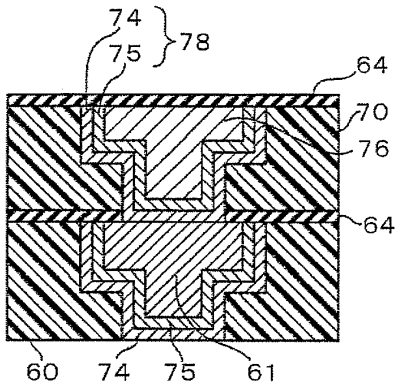
도면2c



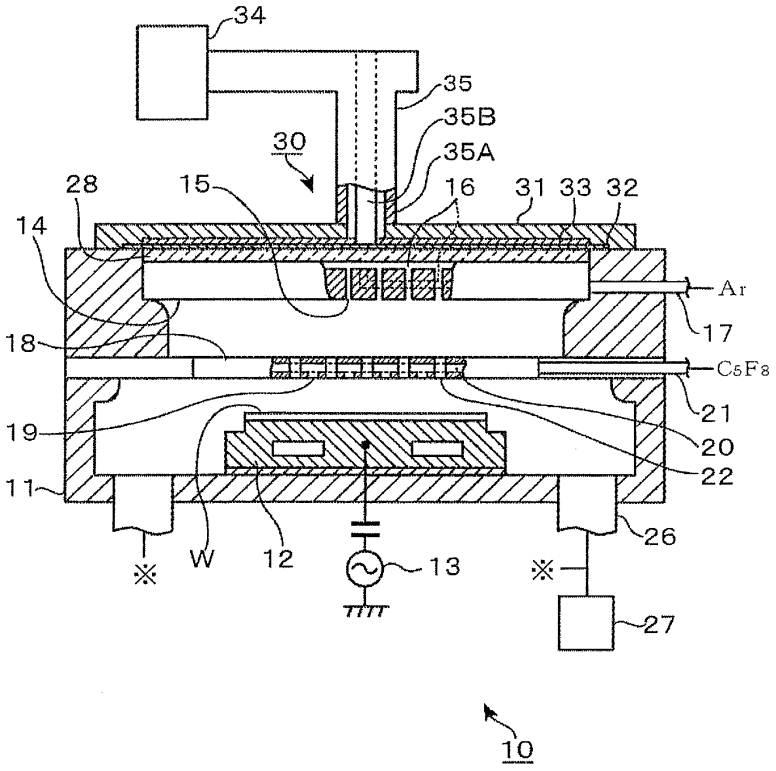
도면3a



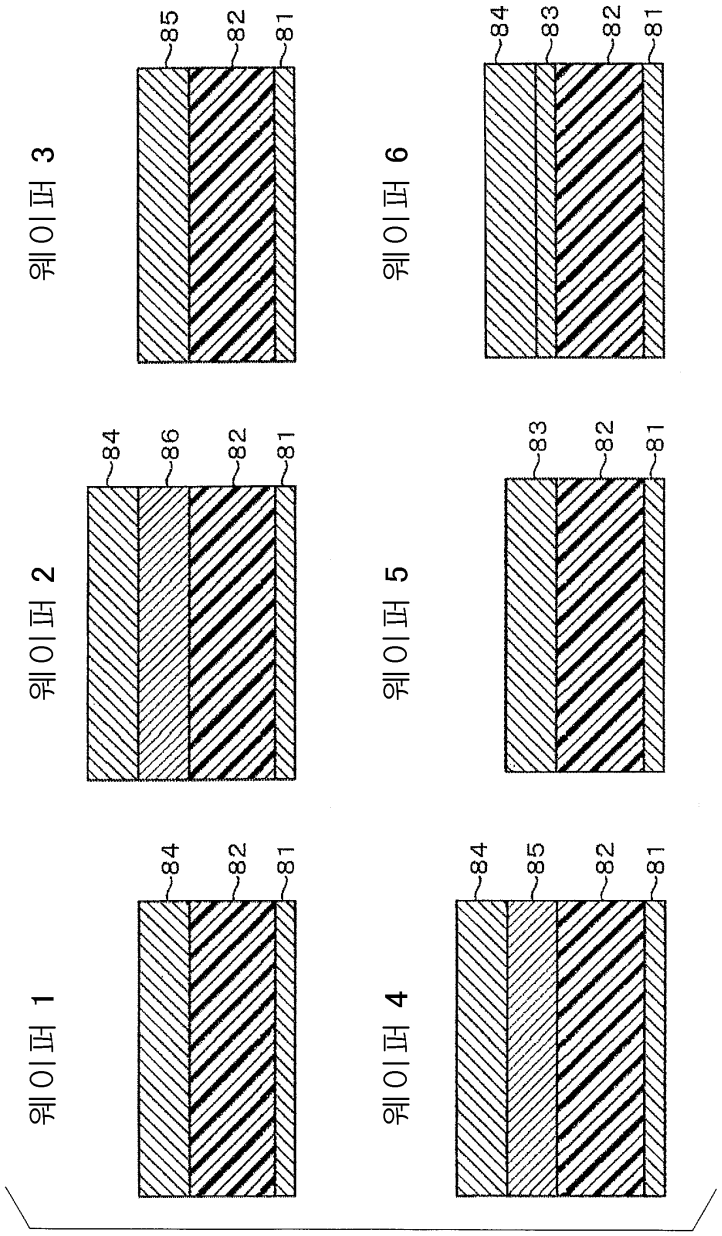
도면3b


74
75
78
64
70
76
64
60
74
75
61

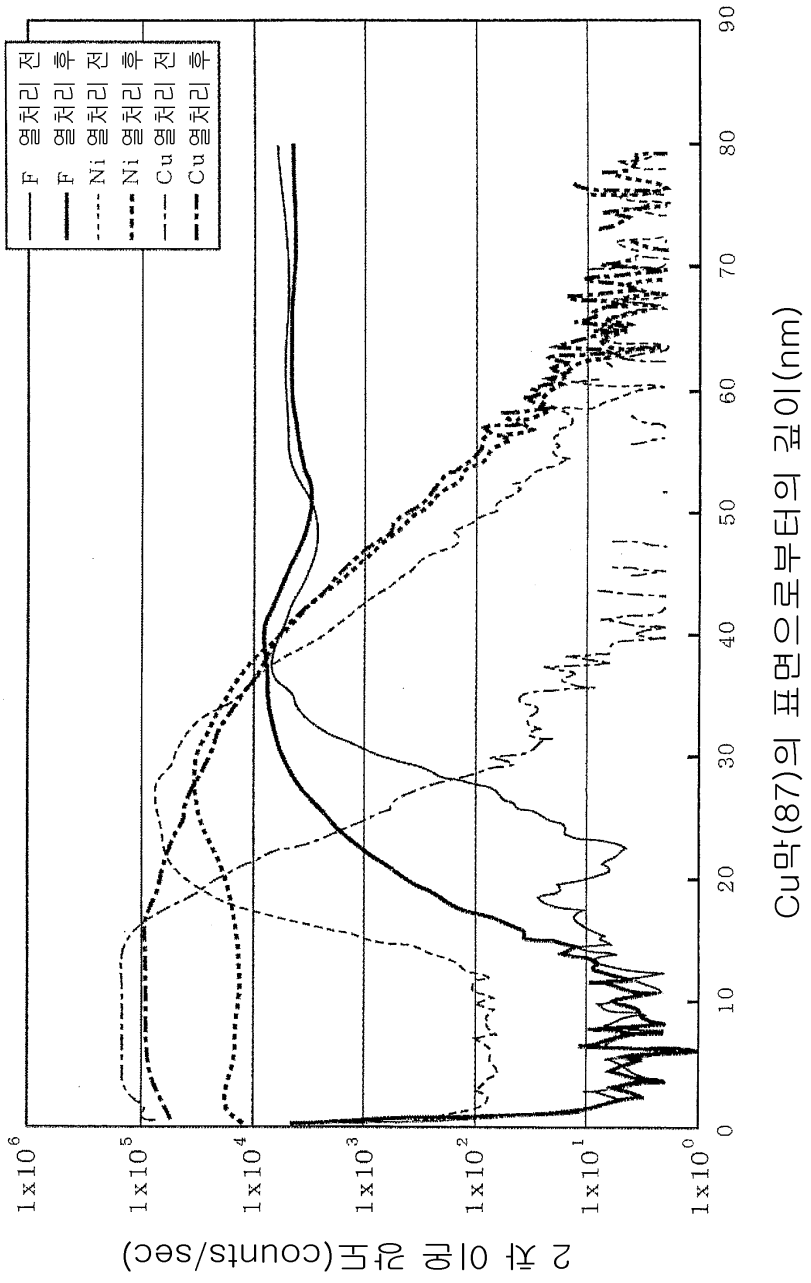
도면4


34
35
35B
35A
30
28
15
16
31
33
32
14
Ar
17
18
C5F8
21
19
20
22
11
W
12
13
26
27
10

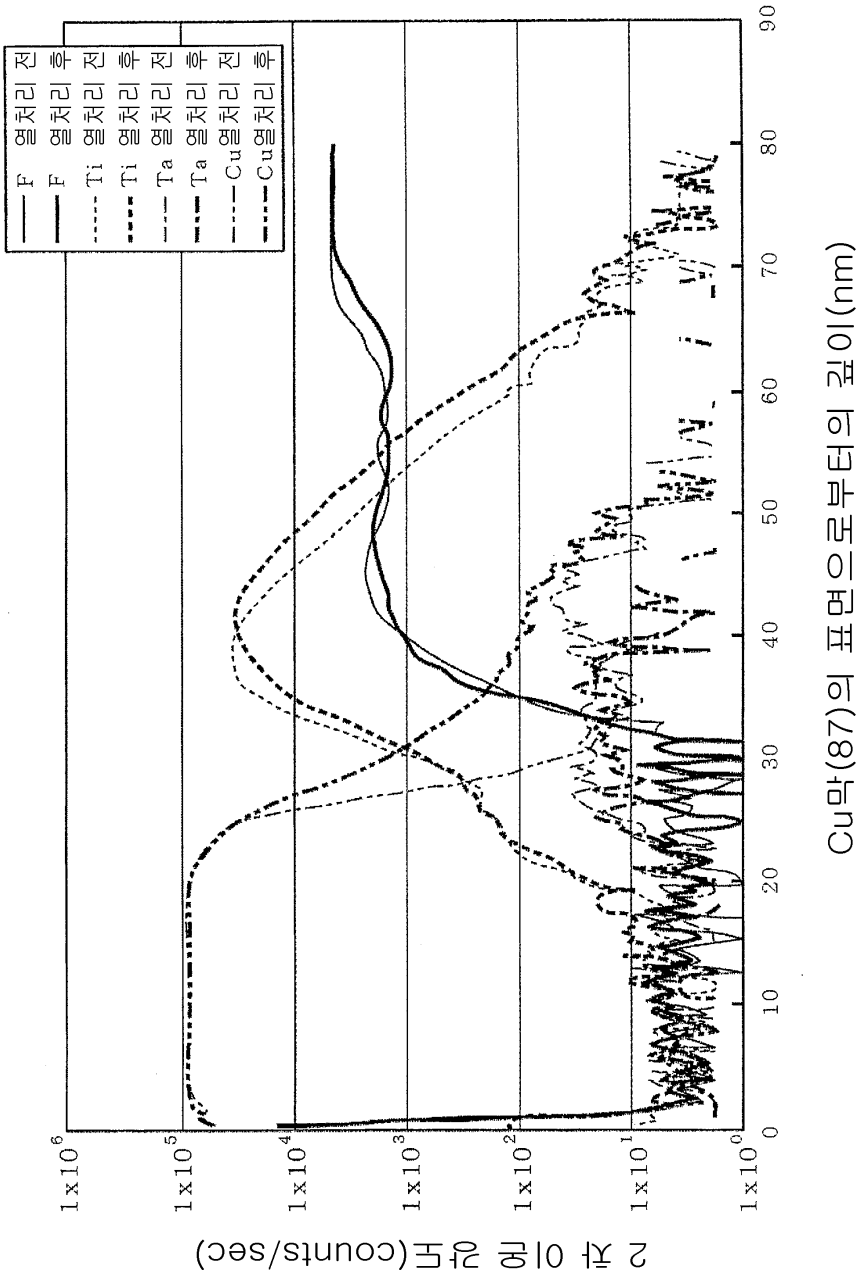
도면5


웨이퍼 1
84
82
81
웨이퍼 2
84
86
82
81
웨이퍼 3
85
82
81
웨이퍼 4
84
85
82
81
웨이퍼 5
83
82
81
웨이퍼 6
84
83
82
81

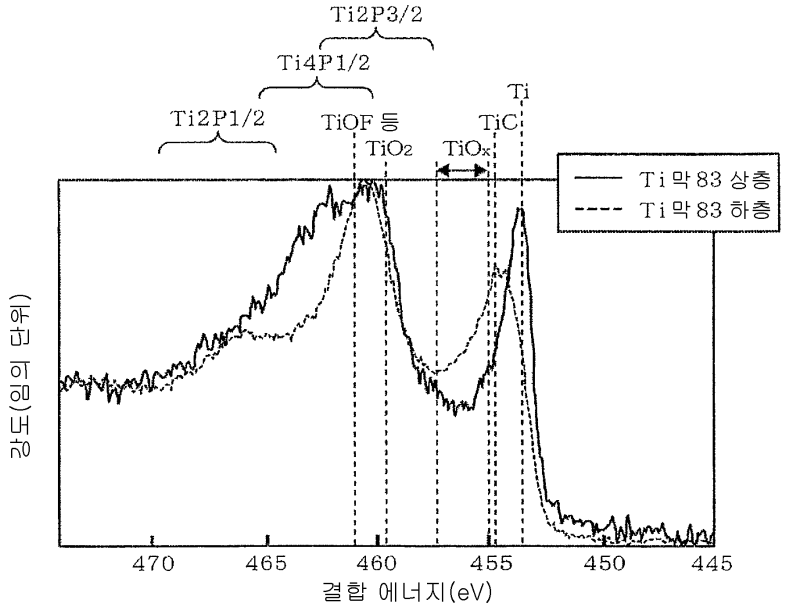
도면6


F 열처리 전
F 열처리 후
Ni 열처리 전
Ni 열처리 후
Cu 열처리 전
Cu 열처리 후
2 차 이온 강도(counts/sec)
1x10^6
1x10^5
1x10^4
1x10^3
1x10^2
1x10^1
1x10^0
0
10
20
30
40
50
60
70
80
90
Cu막(87)의 표면으로부터의 깊이(nm)

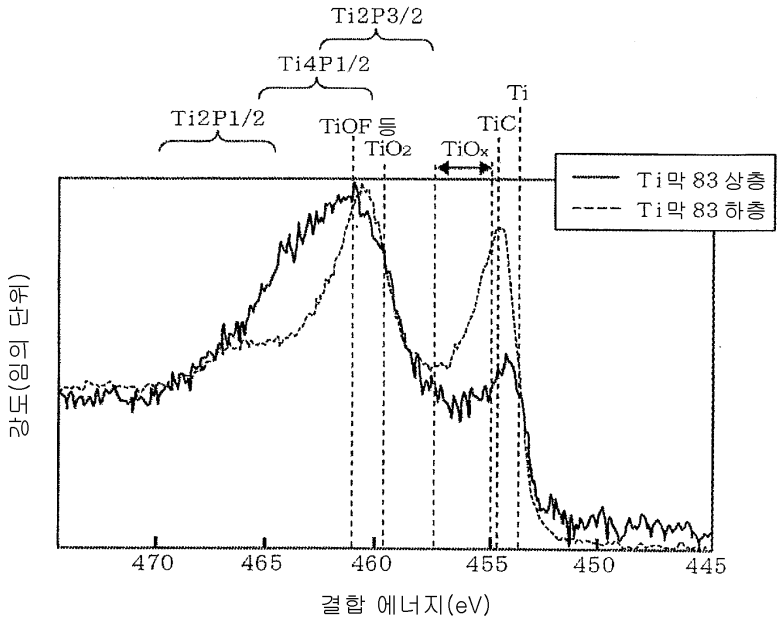
도면7


F 열처리 전
F 열처리 후
Ti 열처리 전
Ti 열처리 후
Ta 열처리 전
Ta 열처리 후
Cu열처리 전
Cu열처리 후
2 차 이온 강도(counts/sec)
1x10^6
1x10^5
1x10^4
1x10^3
1x10^2
1x10^1
1x10^0
0
10
20
30
40
50
60
70
80
90
Cu막(87)의 표면으로부터의 깊이(nm)

도면8a


Ti2P3/2
Ti4P1/2
Ti2P1/2
TiOF 등
TiO2
TiOx
TiC
Ti
Ti막 83 상층
Ti막 83 하층
강도(임의 단위)
470
465
460
455
450
445
결합 에너지(eV)

도면8b


Ti2P3/2
Ti4P1/2
Ti2P1/2
TiOF 등
TiO2
TiOx
TiC
Ti
Ti막 83 상층
Ti막 83 하층
강도(임의 단위)
470
465
460
455
450
445
결합 에너지(eV)