

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年6月17日 (17.06.2004)

PCT

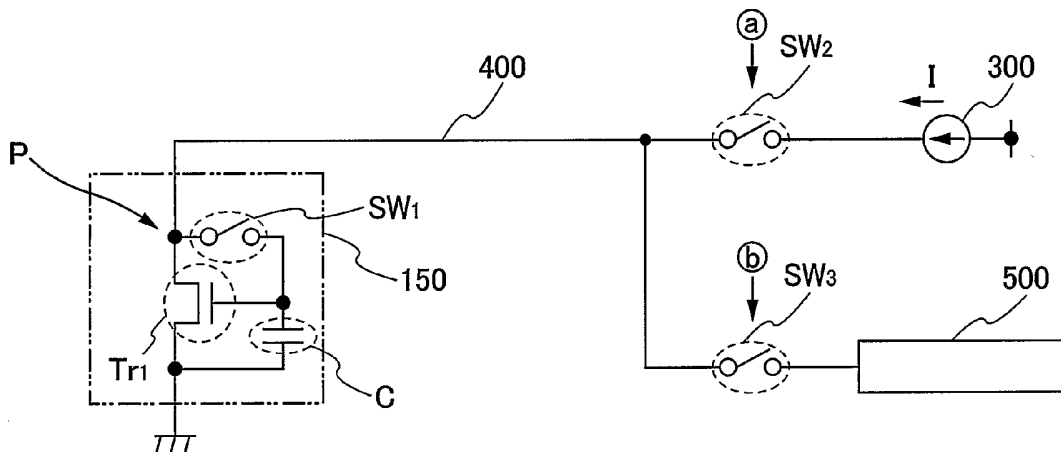
(10) 国際公開番号
WO 2004/051615 A1

- (51) 国際特許分類: G09G 3/30, 3/20
- (21) 国際出願番号: PCT/JP2003/015140
- (22) 国際出願日: 2003年11月27日 (27.11.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-348673
2002年11月29日 (29.11.2002) JP
特願2003-019240 2003年1月28日 (28.01.2003) JP
- (71) 出願人: 株式会社半導体エネルギー研究所 (SEMI-CONDUCTOR ENERGY LABORATORY CO., LTD.)
[JP/JP]; 〒243-0036 神奈川県厚木市長谷398番地 Kanagawa (JP).
- (72) 発明者: 木村肇 (KIMURA, Hajime); 〒243-0036 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内 Kanagawa (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: CURRENT DRIVE CIRCUIT AND DISPLAY USING SAME

(54) 発明の名称: 電流駆動回路及びこれを用いた表示装置



(57) Abstract: A current drive circuit wherein the signal writing speed and the device driving speed can be improved even when a signal current is small and a display using such a current drive circuit are disclosed. A current drive circuit for supplying a signal current to a node of a circuit to be driven through a signal line is provided with a precharge means for supplying a precharge voltage to the node through the signal line. The precharge means comprises a supply means for supplying the precharge voltage to the node and the signal line before the supply of the signal current.

(57) 要約: 信号電流が小さな場合であっても信号の書き込み速度や素子駆動速度を向上させることのできる電流駆動回路及びこれを用いた表示装置を提供する。駆動対象回路のノードに信号線を介して信号電流を供給する電流駆動回路において、前記信号線を介して前記ノードにプリチャージ電圧を供給するプリチャージ手段を設け、前記プリチャージ手段は、前記信号電流の供給に先立って前記ノード及び前記信号線に前記プリチャージ電圧を供給する供給手段を有する。

WO 2004/051615 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

電流駆動回路及びこれを用いた表示装置

5 技術分野

本発明は電流駆動回路とこれを用いた表示装置に係り、特に電流によって輝度が増加する電流駆動型発光素子を画素の表示素子として用いるアクティブマトリクス型表示装置の画素回路やソースドライバ回路に用いられる電流駆動回路に関する。

10

背景技術

近年画素の表示素子として、発光ダイオード（LED）などの自発光素子を用いた、いわゆる自発光型の表示装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード（OLED）などが注目を集めており、ディスプレイ装置や携

15 帯電話の表示画面などに用いられるようになってきている。

OLEDなどの発光素子は自発光型であるため、液晶ディスプレイに比べて画素の視認性が高い点、バックライトが不要である点、応答速度が速い点等の利点がある。また、発光素子の輝度は、発光素子を流れる

20 電流値によって制御される。

このような自発光型の発光素子を用いた表示装置では、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが知られ

ている。単純マトリックス方式の構造は簡単であるが、大型かつ高輝度のディスプレイの実現が難しい等の問題があるため、近年は発光素子に流れる電流を画素回路内部に設けた薄膜トランジスタ（TFT）によって制御するアクティブマトリックス方式の開発が盛んに行われている。

- 5 このようなアクティブマトリックス方式の表示装置の場合、駆動TFTの特性のバラツキにより、発光素子に流れる電流が変化し輝度がばらついてしまうという問題があった。アクティブマトリックス方式の表示装置の場合、画素回路100には発光素子に流れる電流を駆動する駆動TFTが用いられているが、これらの駆動TFTの特性がばらつくこと
- 10 によって発光素子に流れる電流が変化し、輝度がばらつく。そこで画素回路内の駆動TFTの特性がばらついていても発光素子に流れる電流は変化せず、輝度のバラツキを抑えるための種々の回路が提案されている。

特許文献1：特表2002-517806号公報

特許文献2：国際公開第01/06484号公報

- 15 特許文献3：特表2002-514320号公報

特許文献4：国際公開第02/39420号公報

- 特許文献1乃至4は、いずれもアクティブマトリックス型表示装置の構成を開示したもので、特許文献1乃至3には、画素回路内に配置された駆動TFTの特性のバラツキによって発光素子に流れる電流が変化し
- 20 ないような回路構成が開示されている。また特許文献4には、ソースドライバ回路内のTFTのバラツキによる駆動電流の変化を抑制するための回路構成が開示されている。

図30は、特許文献1に開示されている従来のアクティブマトリクス型表示装置の一例を示す回路図である。

この表示装置は、マトリクス状に配置された複数の画素回路100と、この画素回路100を駆動するためのソースドライバ回路200とから構成されている。画像情報に応じた信号レベルを有する信号電流を画素毎に信号線20から供給し、この信号電流に比例する駆動電流を電源線30から画素回路100内の発光素子40に供給するように構成されている。

画素回路100は、電流駆動型発光素子であるOLED40と、制御線10cの制御信号に応じてON、OFFの切り替えを行う発光TFT52と、制御線10bの制御電圧に応じてON、OFFを行い、信号線に供給される画像情報に応じた電流レベルの信号電流を通過させる選択TFT51と、電源線30からの駆動電流を供給する駆動TFT50と、駆動TFT50のゲートとソースとの間に接続された保持容量60と、制御線10aの制御信号に応じてON、OFFの切り替えを行い、駆動TFT50のゲートとドレインとを選択的に接続する保持TFT53で構成されている。また、ソースドライバ回路200は、画像情報に応じた信号レベルを有する信号電流 I_{vid} 。を出力する画像信号入力電流源70を有している。

次に、その回路動作を説明する。

まず、図31に示すように、保持TFT53と選択TFT51とを制御線10a、10bに印加される制御電圧によりONにする。すると、

画像信号入力電流源 70 で定められる所定の信号電流 I_{vide} は図中の点線で示されるように、電源線 30 から駆動 T F T 5 0 及び選択 T F T 5 1 を通って流れる。

この時、駆動 T F T 5 0 のゲート・ソース間には、信号電流 I_{vide} が流れるのに必要なゲート・ソース間電圧 V_{gs} がかかり、この電圧は保持容量 60 に保持される。保持容量 60 に電圧は保持され、定常状態に達すると保持 T F T 5 3 には電流は流れなくなる。

次に図 3 2 に示すように、保持 T F T 5 3 を OFF にする。

すると、ゲート・ソース間電圧 V_{gs} は保持容量 60 に保持され、この保持電圧 V_{gs} により駆動 T F T 5 0 には信号電流 I_{vide} が流れ続ける。その後、図 3 3 に示すように選択 T F T 5 1 を OFF にし、発光 T F T 5 2 を ON にする。すると、信号電流 I_{vide} が O L E D 4 0 に流れ始める。

ここで、駆動 T F T 5 0 のドレイン・ソース間電圧 V_{ds} は、図 3 2 の場合と図 3 3 の場合とではその値が異なる。しかし、駆動 T F T 5 0 が飽和領域で動作している場合は、ソース・ドレイン間電圧 V_{ds} が変化しても、ゲート・ソース間電圧 V_{gs} は同じである限り、同一の電流 I_{vide} が流れる。したがって、O L E D の特性が劣化して電流電圧特性が変化しても、常に O L E D に流れる電流は一定となるため、輝度は劣化しにくいという利点がある。

また、駆動 T F T 5 0 のドレイン・ソース間電圧が変化しても、保持容量 60 に保持される電圧は一定である限り、常に同一の電流が流れる。

したがって、駆動 T F T 5 0 の製造上のバラツキによって信号電流が変化
化する問題もない。

以上の例は、画素回路内での O L E D 4 0 や駆動 T F T 5 0 のバラツ
キによる信号電流の変化を補正するための技術に関するものであるが、
5 ソースドライバ回路内においても同一の問題が発生する。

特許文献 4 には、ソースドライバ回路内での T F T の製造上のバラツ
キによる信号電流の変化を防止するための回路構成が開示されている。

発明の開示

10 このように、従来の電流駆動回路やこれを用いた表示装置においては、
信号電流と T F T を駆動するための電流あるいは信号電流と発光時に発
光素子に流れる電流とが等しいか、あるいは比例関係を保つように構成
されている。

ところが、発光素子を駆動するための駆動 T F T の駆動電流が小さい
15 場合や、発光素子で暗い階調の表示を行おうとする場合、信号電流もそ
れに比例して小さくなってしまふ。また、一般に信号電流を駆動 T F T
や発光素子に供給するために用いられる配線の寄生容量は極めて大きい
ため、配線の寄生容量を充電する時定数が大きくなり、信号電流が小さ
いと信号書き込み速度や素子駆動速度が遅くなってしまふ問題が起こる。

20 本発明は上記の課題を解決するためになされたもので、信号電流が小
さな場合であっても信号の書き込み速度や素子駆動速度を向上させるこ
とのできる電流駆動回路及びこれを用いた表示装置を提供することを目

的とする。

本発明では、電流源を有する回路内に、信号を書き込む対象の駆動対象回路の回路構成と同様な回路（プリチャージ回路）を形成する。

5 信号書き込み時において定常状態になった時の信号線に加わる電圧をプリチャージ回路において決定する。仮にその電圧を V_p とすると、この電圧をプリチャージ電圧として信号電流を信号線に供給するに先立って、プリチャージ電圧として電圧 V_p を加えるようにする。

このプリチャージ電圧 V_p の印加時には、信号線には一定電流ではなく大きな電流が流れるため、急速に信号線の電位がプリチャージ電圧 V_p に充電される。その後、信号線に画像情報に応じた電流レベルを有する信号電流を印加する。これにより、バラツキの影響を除去し、正確な信号を駆動対象回路に入力することができる。また、予め信号線の電位がプリチャージ電圧 V_p に充電されているため、信号電流の大きさは小さくても信号を書き込む速度が遅くなることはない。

15 なお、信号線に印加する信号電流は、画像情報に応じた電流レベルを有するとは、限定されない。必要な大きさの電圧でプリチャージを行い、必要な電流レベルを有する電流を印加すればよい。

また、プリチャージ電圧は、駆動対象回路の回路構成と同様な回路（プリチャージ回路）のみに従って決定されるものではない。別の手段
20 を用いて、プリチャージ電圧を決定してもよい。

なお、このような回路の構成や、その手法（駆動方法）は、表示装置だけでなく、さまざまな回路に適用することが出来る。

本発明の電流駆動回路は、駆動対象回路のノード（複数の配線間の結節点）に信号線を介して信号電流を供給する電流駆動回路において、前記信号線を介して前記ノードにプリチャージ電圧を供給するプリチャージ手段を設け、前記プリチャージ手段は、前記信号電流の供給に先立って前記ノード及び前記信号線に前記プリチャージ電圧を供給する供給手段を有することを特徴とする。

前記電流駆動回路において、前記プリチャージ手段は、前記プリチャージ電圧を前記駆動対象回路に前記信号電流を供給した時の定常状態下の前記ノードのノード電位に等しい値又はそれに準ずる値に設定する設定手段を有することが出来る。

また前記電流駆動回路において、前記プリチャージ手段は、前記プリチャージ電圧を複数設定する複数設定手段と、前記信号電流の大きさに応じて選択的に前記ノード及び前記信号線に前記プリチャージ電圧を供給する選択供給手段を有することも出来る。

さらに、本発明は、駆動対象回路のノードに信号線を介して信号電流を供給する電流駆動回路において、前記ノード及び前記信号線にプリチャージ電圧を供給するプリチャージ回路と、前記信号電流を前記プリチャージ回路に供給して前記プリチャージ電圧を発生させる発生手段と、前記信号電流の前記駆動対象回路への供給に先立って前記ノード及び前記信号線に前記プリチャージ電圧を供給する供給手段とを有することを特徴とする。

また、本発明は、駆動対象回路のノードに信号線を介して信号電流を

供給する電流駆動回路において、前記ノードにプリチャージ電圧を供給するプリチャージ回路と、前記信号電流に対応する電流を前記プリチャージ回路に供給して前記プリチャージ電圧を予め発生させておき、前記信号電流の前記駆動対象回路への供給に先立って前記ノード及び信号線に前記プリチャージ電圧を供給する供給手段とを有することを特徴とする。

前記電流駆動回路において、前記駆動対象回路は第1の駆動素子を含み、前記プリチャージ回路は第2の駆動素子を含み、前記第1及び前記第2の駆動素子は同サイズ又はそれに準ずるサイズであることが出来る。

より詳しくは、前記第1及び第2の駆動素子はそれぞれ第1のトランジスタ及び第2のトランジスタであり、前記第1のトランジスタのチャンネル幅 W とチャンネル長 L との比と、前記第2のトランジスタのチャンネル幅 W とチャンネル長 L の比が概ね等しいことが望ましい。

さらに、前記電流駆動回路において、前記プリチャージ電圧をインピーダンス変換用アンプを介して前記ノード及び前記信号線に供給する手段を有することも出来る。

また、前記電流駆動回路において、前記プリチャージ電圧を複数設定する複数設定手段と、前記信号電流の大きさに応じて選択的に前記ノード及び前記信号線に前記プリチャージ電圧を供給する選択供給手段を有することも出来る。

前記プリチャージ電圧を前記ノード及び前記信号線に供給するプリチャージ期間 T_0 を前記信号線の配線抵抗 R_L と寄生容量 C_L とに基づき、

$T_b = R_L \times C_L$ に設定する手段を有することが出来る。

前記信号電流の前記駆動対象回路への供給期間 T_a が $T_a < T_b$ の関係にある場合には、 $T_a = T_b$ となるように設定する手段を有することが出来る。

- 5 また、本発明は、画像情報が電流線を介して電流の形で与えられる画像回路と、前記画像情報を信号電流として前記電流線に供給する電流駆動回路とを具備した表示装置において、前記電流駆動回路は、前記画像情報に応じた信号電流をノードから前記電流線に供給するソースドライバ電流源と、前記ノード及び前記電流線にプリチャージ電圧を供給する
- 10 プリチャージ回路と、前記信号電流の供給に先立って前記ノード及び前記電流線に前記プリチャージ電圧を供給する供給手段とを有することを特徴とする。

前記表示装置において、前記プリチャージ電圧をインピーダンス変換用アンプを介して前記電流線に供給する手段を有することが出来る。

- 15 さらに、本発明は、画像情報を信号電流として伝送する信号線と、前記信号電流に比例する駆動電流を電源線から供給する第1の駆動素子とを含む画素回路と、前記信号電流を前記信号線に供給する画像信号入力電流源を含むソースドライバ回路とを具備した表示装置において、前記
- 20 信号電流を前記信号線に供給するに先立って、前記信号線をプリチャージするプリチャージ回路を前記ソースドライバ回路に内蔵したことを特徴とする。

前記プリチャージ回路は、前記画像信号入力電流源と前記電源線との

間に選択的に接続され前記信号電流に応じたプリチャージ電圧を出力する第2の駆動素子を含むことが出来る。

前記プリチャージ電圧をインピーダンス変換用アンプを介して前記信号線に供給する手段を有することも出来る。

- 5 さらに、画像情報を信号電流として伝送する信号線と、前記信号電流に比例する駆動電流を電源線から供給する第1の駆動素子とを含む画素回路と、前記信号電流を前記信号線に供給する画像信号入力電流源を含むソースドライバ回路とを具備した表示装置において、前記信号電流を前記信号線に供給するに先立って、前記信号線をプリチャージするプリ
- 10 チャージ回路を前記ソースドライバ回路に内蔵し、前記プリチャージ回路は、前記画像信号入力電流源と前記電源線との間に選択的に接続され前記信号電流に応じたプリチャージ電圧を出力する第2の駆動素子を含み、前記第1及び前記第2の駆動素子は同サイズ又はそれに準ずるサイズとすることも出来る。より詳しくは、前記第1及び第2の駆動素子は
- 15 それぞれ第1のトランジスタ及び第2のトランジスタであり、前記第1のトランジスタのチャンネル幅 W とチャンネル長 L との比と、前記第2のトランジスタのチャンネル幅 W とチャンネル長 L の比が概ね等しいことが望ましい。

- 前記プリチャージ電圧を、前記第1又は前記第2の駆動素子に前記信号電流を供給した時の定常状態下の電圧に等しい値又はそれに準ずる値
- 20 に設定する手段を有することも出来る。

なお、本発明において、接続されているとは、電氣的に接続されてい

ることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電氣的な接続を可能とする他の素子（例えば、別の素子やスイッチなど）が配置されていてもよい。

5 図面の簡単な説明

図 1 は、本発明に係る電流駆動回路の一実施例を示す図であり、（A）はその回路図、（B）はプリチャージ動作を説明する図、（C）は電流入力時の動作を説明する図である。

図 2 は、本発明の電流駆動回路の他の実施例を示す図である。

10 図 3 は、本発明の電流駆動回路の更に他の実施例を示す図である。

図 4 は、本発明の電流駆動回路の更に他の実施例を示す図である。

図 5 は、図 4 の実施例におけるプリチャージ電圧 V_{p1} 乃至 V_{p4} を自動的に作成するための回路構成を示す図である。

15 図 6 は、プリチャージ期間 T_p とプリチャージ期間終了後の信号電流の駆動対象回路への供給期間 T_a との関係を示すための図である。

図 7 は、駆動対象回路を構成するトランジスタ T_{r1} の極性が p チャンネル型に変更された場合の電流駆動回路を示す図である。

20 図 8 は、プリチャージ回路内のトランジスタ T_{r2} を駆動対象回路内のトランジスタ T_{r1} の極性と一致させ p チャンネル型に変更した場合の回路構成を示す図である。

図 9 は、電流駆動動作をプリチャージを行わない場合と比較して説明するための図である。

図 1 0 は、本発明の電流駆動回路を用いた表示装置の回路構成を示した図である。

図 1 1 は、本発明に係る表示装置内の電流駆動回路の一実施例を示す図である。

5 図 1 2 は、本発明に係る表示装置内の電流駆動回路の他の実施例を示す図である。

図 1 3 は、本発明に係る表示装置の電流駆動回路の更に他の実施例を示す図である。

10 図 1 4 は、本発明に係る表示装置の電流駆動回路の更に他の実施例を示す図である。

図 1 5 は、ソースドライバ回路に本発明の電流駆動回路を組み込んだ場合の電流線上の電圧変化を示す特性図である。

図 1 6 は、本発明の電流駆動回路の動作原理を説明するための図である。

15 図 1 7 は、本発明に係る電流駆動回路の実施例を示す図である。

図 1 8 は、本発明の一実施例に係るアクティブマトリクス型表示装置の回路図である。

図 1 9 は、プリチャージ時の図 1 8 の回路の回路動作を説明するための図である。

20 図 2 0 は、信号電流書き込み時の図 1 8 の回路動作を説明するための図である。

図 2 1 は、本発明の他の実施例の回路構成を示す図である。

図 2 2 は、本発明の更に他の実施例の回路構成を示す図である。

図 2 3 は、本発明に使用されるソースフォロア回路の回路構成の一例を示す図である。

図 2 4 は、デジタル階調回路方式の場合の本発明の回路構成の実施
5 例を示した図である。

図 2 5 は、図 2 4 に示すデジタル階調方式の回路構成におけるプリ
チャージ回路を改良した図である。

図 2 6 は、図 2 5 に示す演算回路とメモリ回路の具体的構成を示した
図である。

10 図 2 7 は、図 2 6 に示すメモリ回路を制御するメモリ制御信号と、メ
モリ回路を制御するラッチパルスの制御信号とを示した図である。

図 2 8 は、図 2 5 に示すプリチャージ制御線の制御動作を説明する図
である。

15 図 2 9 は、アクティブマトリックス型表示装置の基本構成を示す図で
ある。

図 3 0 は、従来のアクティブマトリックス型表示装置の一例を示す回
路図である。

図 3 1 は、図 3 0 の回路動作を説明する第 1 の図である。

図 3 2 は、図 3 0 の回路動作を説明する第 2 の図である。

20 図 3 3 は、図 3 0 の回路動作を説明する第 3 の図である。

図 3 4 は、本発明の電流駆動回路の他の実施例を示す図である。

図 3 5 は、本発明が適用される表示装置の構成を示す図である。

図 3 6 は、本発明が適用される電子機器の図である。

図 3 7 は、図 3 5 の第 1 ラッチ回路に、ビデオ信号が入力される構成の一例を示す図である。

図 3 8 は、図 3 7 の詳細な構成を示す図である。

5 図 3 9 は、図 3 8 において、第 2 ラッチ回路が存在しない構成の一例を示す図である。

図 4 0 は、図 3 9 の詳細な説明を示す図である。

図 4 1 は、リファレンス用電流源回路の中に、プリチャージ回路を配置した構成の一例を示す図である。

10 図 4 2 は、プリチャージ回路と駆動対象回路のそれぞれに異なる電流源を設けた構成の一例を示す図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を実施例に基づいて詳細に説明する。

15 図 1 6 を用いて、本発明の電流駆動回路の動作原理を説明する。

電流駆動回路は、駆動対象回路 1 5 0 のノード P に信号線 4 0 0 を介して信号電流源 3 0 0 から信号電流 I を供給するように構成されている。

20 駆動対象回路 1 5 0 は薄膜トランジスタ $T r_1$ とそのゲート・ソース間に接続された保持容量 C とゲート・ドレイン間を開閉可能に制御するスイッチ $S W_1$ とから構成されている。トランジスタ $T r_1$ のドレインはノード P において信号線 4 0 0 と接続されている。

なお、1本の信号線に複数の駆動対象回路 1 5 0 が接続されている場

合は、ノードPと信号線400との間に切り替え用のスイッチを設ければ良い。ただし、切り替え用のスイッチの配置は、信号電流の導通と非導通を制御できる場所であれば、どこに配置してもよい。

5 信号電流源300からは信号電流IがスイッチSW₂を介して信号線400に供給される。また信号線400はスイッチSW₃を介してプリチャージ回路500に接続されている。プリチャージ回路500は種々の回路構成が可能であり、駆動対象回路150に信号電流Iが供給され、定常状態になった状態のノードPのノード電位にほぼ等しい値のプリチャージ電圧V_pを供給する。

10 図9を用いて図16の動作を、プリチャージを行わない場合と比較しながら説明する。

図9(A)に示すようにスイッチSW₁をONし、ノードPに対してプリチャージを行わずに信号電流I₀を駆動対象回路に供給すると、トランジスタTr₁に電流I₁が、保持容量Cに電流I₂が流れる。図9
15 (C)は、駆動対象回路に流れる電流I₁、I₂の時間変化の関係を示す図である。また図9(D)は、時間に対するノードPでの電圧変化を示す図である。なお、V_{t_h}はトランジスタTr₁のスレッシュホールド電圧(しきい値電圧)を示す。

このように、プリチャージを行わない場合は、ノードPの電位が定常
20 状態になって一定電圧になるまでの時間が非常に長くなる。これは信号線400やトランジスタTr₁の寄生容量が大きく、これを充電するのに時間がかかるためである。信号電流I₀の大きさが小さい場合は、

ノードPの電位を変化させるのに必要な電荷の単位時間当たりの供給量は小さくなる。その結果、信号線400やトランジスタ Tr_1 の寄生容量の充電に、より多くの時間がかかる。反対に、信号電流 I_0 の大きさが大きい場合は、ノードPの電位を変化させるのに必要な電荷の単位時間当たりの供給量が多くなる。そのため、信号線400やトランジスタ Tr_1 の寄生容量の充電は、より短い時間で終わる。

図9(B)は、スイッチ SW_3 をONして、プリチャージ回路500を用いて定常状態になった時のノードPの電位よりわずかに低いプリチャージ電圧 V_p を用いてノードPを予めプリチャージした後、スイッチ SW_2 をONに、スイッチ SW_3 をOFFにして、信号電流 I_0 を信号線400を介してノードPに供給する場合の電流駆動回路を示している。また図9(E)は、その時の時間変化に対する駆動対象回路のノードPの電圧変化を示している。

なお、図9(E)において、プリチャージ電圧は、定常状態になった時のノードPの電位と同電位にすることが望ましい。ただし、同電位になっていなくても、定常状態の電位に準ずる電位にプリチャージすることは、定常状態になるまでの時間を少しでも短縮できるため有益である。つまり、プリチャージ電圧が、プリチャージする前のノードPの電位よりも定常状態になった時のノードPの電位に近ければ、プリチャージすることは効果があると言える。

プリチャージ時にはスイッチ SW_1 とスイッチ SW_3 とをONし、プリチャージ電圧 V_p をノードPに供給する。次いでノードPがプリ

チャージ電圧 V_p の電位に上昇した時点で、スイッチ SW_3 を OFF に、
スイッチ SW_2 を ON にして、信号電流 I_0 をノード P に供給する。す
ると、トランジスタ Tr_1 は短時間で定常状態に移行する。従って、図
9 (E) に示すように、極めて短時間で駆動対象回路 150 は定常状態
5 に達する。

このように、信号電流の供給に先立って、ノード P や信号線 400 に
プリチャージ電圧 V_p を供給するプリチャージ期間を設け、このプリ
チャージ期間終了後に信号電流 I_0 を供給するようにすれば、信号電流
が小さい場合でも、信号書き込み速度を速くすることができる。

10 なお、定常状態になった時のノード P の電位は、信号電流 I_0 の大き
さや、トランジスタ Tr_1 の特性（移動度、しきい値電圧など）やサイ
ズ（ゲート幅 W 、ゲート長 L など）に依存する。したがって、前述した
個々のパラメータに見合ったプリチャージ電圧 V_p を用いてプリチャー
15 ジすることが望ましい。なぜなら、定常状態になった時のノード P の電
位とプリチャージ電圧 V_p とがずれていれば、定常状態になるまでに余
分な時間がかかってしまうからである。最も望ましいのは、プリチャー
ジ電圧を定常状態になった時のノード P の電位と同電位にすることであ
る。その場合は、プリチャージが終了すれば、それと同時に定常状態と
なるからである。よって、信号電流 I_0 の大きさが変われば、それに合
20 わせてプリチャージ電圧を最適な値に変えることが望ましい。

なお、図 9 (D) では、ノード P の電位は、最初は低電位にあり、そ
の後、電位が高くなって定常状態になる場合を示しているが、最初に高

電位にあった後に、電位が低くなって定常状態になる場合も考えられる。その場合は、保持容量Cの電荷は、トランジスタ T_{r1} を通して、放電されていく。そして、ノードPの電位が徐々に低くなっていき、定常状態に到達する。

- 5 ただし、信号電流 I_0 の大きさが非常に小さい値の場合は、ノードPの電位が低くなってくると、トランジスタ T_{r1} のゲート・ソース間電圧が小さくなるため、ソース・ドレイン間を流れる電流値も小さくなる。その結果、保持容量Cの電荷を放電するまでに多くの時間が必要となる。したがって、信号電流 I_0 の大きさが非常に小さい値の場合は、定常状態になった時のノードPの電位よりわずかに低いプリチャージ電圧 V_p を用いてノードPをプリチャージすることが望ましい。その後、保持容量Cに電荷を充電すると、すばやく定常状態にすることが出来る。例えば、信号電流 I_0 の大きさが、ある値よりも小さい場合は、トランジスタ T_{r1} のゲート・ソース間電圧（の絶対値）がしきい値電圧以下（例
- 10
- 15 例えば、0Vなど）になるように、プリチャージを行えばよい。

- なお、図16や図9に示した図は、本発明の概念を示したものであるため、実際の回路は、この構成に限定されない。例えば、各スイッチの配置場所や、各スイッチの有無、保持容量Cの配置場所、各保持容量Cの有無などは、この構成に限定されない。また、電流の流れる向きやト
- 20 ランジスタの極性もこの構成に限定されない。また、信号電流源300の個数やプリチャージ回路500の個数も、この構成に限定されず、容易に別の構成に変形することが出来る。例えば、保持容量Cは配置しな

くてもよいし、スイッチ SW_1 をなくして、ドレイン端子とゲート端子を短絡させてもよい。また、保持容量 C は、ゲート端子とソース端子とに接続されているが、ゲート端子と何か別の配線と接続させてもよい。

5 なお、図 16 や図 9 では、プリチャージ電圧をノード P に供給してから、信号電流を供給しているが、これには限定されず、別のプリチャージ手法と組み合わせてもよい。例えば、プリチャージ電圧を供給した後に別のプリチャージを行い、その後、信号電流を供給してもよい。または、複数のプリチャージ電圧を順次供給した後に信号を供給してもよい。

(実施例 1)

10 17 は、本発明の実施例を示す電流駆動回路の回路図である。図 17 は、図 16 に示したプリチャージ回路 500 に関して、具体的な構成の一例を示している。

前述したように、プリチャージ電圧 V_p は定常状態でのノード P の電位とは等しくない場合もあるが、これに近い電圧に設定することができる。このプリチャージ電圧 V_p は信号電流 I の大きさによって適切な値
15 を定めることができる。そこで、プリチャージ電圧 V_p を信号電流 I の大きさに応じて複数設定して選択的にノード P に供給するようにしたのが図 17 の回路である。

例えば、信号電流 I が $0 \sim 10 \text{ mA}$ の時にはプリチャージ電圧 V_{p1}
20 を与え、 $10 \text{ mA} \sim 20 \text{ mA}$ の時はプリチャージ電圧 V_{p2} を与え、 $20 \text{ mA} \sim 30 \text{ mA}$ の時にはプリチャージ電圧 V_{p3} を与えるように設計し、これらのプリチャージ電圧を与えるプリチャージ回路を端子 A 、 B 、

Cに接続するように構成しておく。そして、切り替え回路501を用いて信号電流Iの大きさに従ってSW₄乃至SW₆を逐次切り替えて、ノードPに供給するようにすれば良い。

5 なお、前述したように、信号電流Iの大きさが変われば、最適なプリチャージ電圧（つまり、定常状態になったときのノードPの電位）も変わる。したがって、例えば、10mA～20mAの時に与えるプリチャージ電圧V_{p2}の大きさは、信号電流Iが10mAの時に最適なプリチャージ電圧（定常状態になったときのノードPの電位）と、信号電流Iが20mAの時に最適なプリチャージ電圧との間に属する大きさに
10 なっていることが望ましい。

例えば、プリチャージ電圧V_{p2}の大きさは、10mAの時に最適なプリチャージ電圧と20mAの時に最適なプリチャージ電圧との中間値の電圧でも、10mAの時に最適なプリチャージ電圧でも、20mAの時に最適なプリチャージ電圧でもよい。ただし、10mAの時に最適な
15 プリチャージ電圧と20mAの時に最適なプリチャージ電圧のいずれかをV_{p2}に適用する場合、信号電流の大きさが小さい方のプリチャージ電圧（この場合には10mAのときの最適なプリチャージ電圧）にすることが望ましい。なぜなら、大きさの大きい信号電流が入力されて、定常状態になっていて（大きい信号電流に最適なプリチャージ電圧になっ
20 ていて）、その後、大きさの小さい信号電流を入力する場合よりも、大きさの小さい信号電流が入力されて、その後、大きさの大きい信号電流を入力する場合の方が、素早く定常状態にすることができるからである。

つまり、20 mAの時に最適なプリチャージ電圧でプリチャージするよりも、10 mAの時に最適なプリチャージ電圧でプリチャージした方が、素早く定常状態にすることができる。それは、前述したように、20 mAの時に最適なプリチャージ電圧でプリチャージした場合、トランジスタ T_{r1} のゲート・ソース間電圧の絶対値は、定常状態になったときのゲート・ソース間電圧の絶対値よりも大きいからである。従って、プリチャージした後、トランジスタ T_{r1} のゲート・ソース間電圧の絶対値は徐々に小さくなっていく。そのため、保持容量 C の電荷は、トランジスタ T_{r1} を通って放電されにくくなる。従って、定常状態になるまでの時間が長くなる。よって、小さい信号電流に最適なプリチャージ電圧でプリチャージすることが望ましい。

なお、図17では、端子A、B、Cという3つを用いてプリチャージ電圧を供給しているが、これに限定されない。端子の個数はどのような値をとってもよい。

また、端子A、B、Cに接続する場合、その電流の範囲は必ずしも等間隔にする必要はない。例えば、信号電流 I が0～5 mAの時にはプリチャージ電圧 V_{p1} を与え、5 mA～15 mAの時はプリチャージ電圧 V_{p2} を与え、15 mA～30 mAの時にはプリチャージ電圧 V_{p3} を与えるようにしてもよい。このように、信号電流が小さい場合は、その電流範囲を細かく分割して、プリチャージ電圧を供給することが望ましい。なぜなら、信号電流が小さい場合は、定常状態になるまでに、より多くの時間がかかってしまうからである。そのため、プリチャージ電圧の刻

み値を小さくして、定常状態になったときのノードPの電位と、プリチャージ電圧との差を、出来るだけ小さくすることが望ましい。

なお、図17は、図9、図16で説明した構成の一部を、より詳しくした場合の一例を示している。したがって、図9、図16で説明した内容は、図17においても適用することができる。

(実施例2)

図1は、本発明に係る電流駆動回路の一実施例を示す図で、(A)はその回路図を、(B)はプリチャージ動作を説明する図、また(C)は電流入力時の動作を説明する図である。つまり、図1は、図16に示したプリチャージ回路500に関して、図17とは異なる、具体的な構成の一例を示した図である。

本実施例の場合、プリチャージ回路500は、駆動対象回路150内のトランジスタ T_{r1} のサイズとほぼ同様のサイズ（もしくは、同様のゲート幅 W とゲート長 L の比率： W/L ）を持ち、同じ導電型であるトランジスタ T_{r2} によって構成されている。このように構成することにより、プリチャージ回路500に信号電流源300から信号電流が供給されて発生するプリチャージ電圧 V_p の大きさは、駆動対象回路150に信号電流が供給されて定常状態になった時のノードPの電位とほぼ等しくなる。

このように、プリチャージ電圧 V_p を駆動対象回路150に信号電流が供給された時の定常状態下のノードPのノード電位とほぼ等しい値に設定することにより書き込み速度を一層向上させることができる。

プリチャージ動作時には、図1(B)に示すようにスイッチ SW_4 及びスイッチ SW_5 を閉じ(ONにし)、プリチャージ回路500に信号電流を供給する。すると、プリチャージ電圧 V_p がトランジスタ Tr_2 のドレインに発生する。さらに、スイッチ SW_4 が閉じている(ONに
5 になっている)ため、信号線400は信号電流300により寄生容量などが充電され、その電位はプリチャージ電圧 V_p に達する。この状態に達した後にスイッチ SW_4 とスイッチ SW_5 とをOFFにし、スイッチ SW_3 をONにする。さらに、駆動対象回路150内のスイッチ SW_1 とスイッチ SW_2 とをONにする。

10 すると、図1(C)に示すように、信号電流は信号線400を介して駆動対象回路150に供給され、トランジスタ Tr_1 と保持容量Cとに電流が供給される。

定常状態に達するとノードPの電位はトランジスタ Tr_1 が信号電流と同じ大きさの電流を流すのに必要な電位と等しくなる。その後、 SW_1 をOFFにしても保持容量Cに電荷が蓄積されているため、信号電流
15 源300からの信号電流が保持された状態で電流はトランジスタ Tr_1 を流れ続ける。

このように、トランジスタ Tr_2 を用いることにより、信号電流の大きさに応じた最適なプリチャージ電圧を発生させることが出来る。つまり、信号電流の大きさが変わっても、それに応じて、プリチャージ電圧も最適な大きさに変わる。その結果、信号電流の大きさが変わっても、
20 すばやくプリチャージを行うことが出来る。また、トランジスタ Tr_2

とトランジスタ $T r_1$ の特性にばらつきが無ければ、プリチャージ後すぐに、定常状態にすることが出来る。

なお、図 1 (B) におけるプリチャージの時の信号電流の大きさと、図 1 (C) における信号電流の大きさと、一致していることが望ましいが、それに限定されない。例えば、プリチャージのときだけ信号電流の大きさを少し小さくしてもよい。その結果、プリチャージ電圧を理想的な値よりも低い値にすることが出来る。

あるいは、トランジスタ $T r_2$ のサイズを調節して（例えばゲート幅 W を大きくしたり、ゲート長 L を小さくして）、プリチャージ電圧を低めの値にすることが出来る。この場合は、プリチャージのときだけ信号電流の大きさを少し小さくすることと同様の効果が得られる。このように、プリチャージ電圧を理想的な値よりも低い値にすることは、前述したように、信号電流の大きさが小さいときにより有効である。

また、駆動対象回路 150 が複数配置されていて、順次信号電流を入力していくような場合、例えば、画素が複数配置されているような場合では、駆動対象回路 150 として機能していない回路をトランジスタ $T r_2$ として用いてもよい。つまり、ある場所の駆動対象回路 150 に信号電流を入力する場合、別の場所の駆動対象回路 150 をトランジスタ $T r_2$ として使用し、プリチャージ電圧を生成させてもよい。

図 1 は、図 9、図 16 で説明した構成の一部をより詳しく記載した場合の一例を示しているため、図 9、図 16 で説明した内容を図 1 に適用できる。つまり、スイッチの配置や接続関係などを変更しても、同様な

回路を構成することが出来る。

(実施例 3)

図 2 は、図 1 において、スイッチの配置や接続関係を変更した例を示している。図 2 と図 1 の同一部分には同一符号が付されている。図 2 に示す実施例の場合には、図 1 の場合と異なり、スイッチ SW_5 が省略された回路構成となっているが、他の構成は同一である。

図 2 (B) に示すように、プリチャージ時にはスイッチ SW_3 と SW_4 とを ON にし、プリチャージ回路 500 にプリチャージ電圧 V_p を発生させる。信号電流源 300 により V_p になるまで充電して、プリチャージを行う。電流入力動作は、スイッチ SW_3 は ON にしたままスイッチ SW_4 を OFF にして、図 1 に示す場合と同様に行う。

本実施例の場合には、スイッチの個数が図 1 の場合に比べて少なくなる利点がある。

このように、スイッチの個数や配置場所は種々のバリエーションがあり、図 1 や図 2 と同様の動作をするものであれば、図 1、図 2 に示される構成に限定されるものではない。

また、図 3 4 に示すように、図 1、図 2 のようなプリチャージ回路と、図 1 7 のようなプリチャージ回路を組み合わせてもよい。図 3 4 において、スイッチ SW_7 と SW_8 とトランジスタ Tr_2 の部分が、図 1 や図 2 でのプリチャージ回路の部分に相当する。まず、切り替え回路 501 やスイッチ $SW_3 \sim SW_6$ を用いて、端子 A、B、C から供給される電荷でプリチャージを行い、その後、スイッチ SW_7 と SW_8 とトランジス

タ Tr_2 の部分を用いてプリチャージを行い、それから、信号電流を入力する動作を行ってもよい。また、それ以外のプリチャージ方法を、さらに組み合わせてもよい。

(実施例 4)

- 5 図 3 は、本発明の電流駆動回路の更に他の実施例を示す図である。図 1 に示す実施例と異なる点は、プリチャージ回路 500 とスイッチ SW_4 との間にインピーダンス変換用アンプ 600 が挿入されている点である。他の回路構成は、図 1 に示す場合と同様であり、その動作も同様であるため詳細説明は省略する。
- 10 インピーダンス変換用アンプ 600 は電圧フォロア回路、アナログバッファ回路、ソースフォロワ回路、オペアンプ等により構成することができる。インピーダンス変換用アンプ 600 は入力側のインピーダンスと出力側のインピーダンスとを変換する機能を有し、入力電圧と出力電圧とは同一電位に保たれる。
- 15 従って、プリチャージ回路 500 のプリチャージ電圧 V_p はアンプ 600 の出力側でも同電位の電圧 V_p に保たれるが、アンプ 600 の出力インピーダンスは非常に低くなっているため電流駆動能力が増加し、信号線 400 を高速で充電することが可能となる。これにより、プリチャージ動作を短時間で行うことができるという利点がある。
- 20 なお、図 3 4 と同様に、図 3 と図 1 7 や、図 1、図 2 などを組み合わせて構成してもよい。

なお、図 3 は、図 9、図 1 6 で説明した構成の一部を、より詳しくし

た場合の一例を示している。また、図 1、図 2 の一部を改良した場合の一例を示している。したがって、図 1、図 2、図 9、図 16、で説明した内容は、ここでも、適用できる。

(実施例 5)

- 5 図 4 は、本発明の電流駆動回路の更に他の実施例を示している。信号電流 I_a をその電流範囲によって切り替え選択して信号線 400 に供給する。その場合に信号電流の大きさに応じて予めプリチャージ電圧 V_p を複数設定しておき、信号電流 I_a の大きさに応じてこれを選択して切り替えるようにしたものである。
- 10 すなわち、図 4 は、図 17 の構成をより詳しく説明した一例である。図 17 において信号電流を出力する回路は、信号電流源 300 で示されている。つまり、信号電流源 300 が、信号電流の大きさを様々に変化させるものとして概念的に記述している。それに対して図 4 では、4 つの電流源があり、デジタル的に電流値を制御する方式の場合について示
- 15 している。ここでは、4 つの電流源のそれぞれの電流値は、 I 、 $2I$ 、 $4I$ 、 $8I$ というように、2 のべき乗になっており、これが各々、各ビットに対応している。そして、各ビットに対応した電流原から電流が出力されるかどうかを、スイッチ $SW_6 \sim SW_9$ によって各々制御する。スイッチ $SW_6 \sim SW_9$ は、デジタルデータ $D1 \sim D4$ によって制御さ
- 20 れる。そして、出力された電流の合計値によって、電流値が決定される。これにより、4 ビット分 (16 種類) の大きさの電流値を制御できる。
- なお、図 4 では、4 ビットになっているが、本発明はこれに限定され

ない。電流源の数や電流の大きさを変えることによって、容易にビット数を変更することが出来る。

また、図17では、信号電流の大きさに応じて、プリチャージ電圧を選択するための回路として、切り替え回路501を用いている。信号電流の大きさに従って、 SW_4 乃至 SW_6 を切り替え回路501によって逐次切り替えて、プリチャージ電圧を供給する。図4では、切り替え回路501の詳細な構成の一例として、プリチャージ選択回路700を記述している。

すなわち、図4に示すように、信号電流 I_a の大きさを4種類（4ビット）の電流源を用いて設定し、これに対してプリチャージ電圧 V_{p1} から V_{p4} を対応させておき、プリチャージ選択回路700によって信号電流 I_a の大きさに応じたプリチャージ電圧 $V_{p1} \sim V_{p4}$ を駆動対象回路150に供給するようにしたものである。プリチャージ選択回路700はインバータとアンド論理素子とを組み合わせることにより構成される。

なお、プリチャージ選択回路700の構成は、図4の構成に限定されない。電流源300の構成やプリチャージ電圧の大きさや電圧の数などにあわせて、さまざまな回路を用いて構成することが出来る。

デジタルデータD1～D4を用いて、信号電流の大きさを制御しているが、同じデジタルデータを用いて、プリチャージ電圧の選択を行っている。プリチャージ電圧の選択は、信号電流の大きさに応じて決定するものであるため、デジタルデータD1～D4を用いてプリチャージ電圧

の選択を行っている。つまり、デジタルデータは、信号電流の大きさとプリチャージ電圧の大きさを両方とも制御していることになる。

なお、図4に示したプリチャージ選択回路（切り替え回路）700では、電流の大きさによって、4つの領域に等間隔で分類している。つまり、Aとして0～4Iまで、Bとして4I～8Iまで、Cとして8I～12Iまで、Dとして12I～16Iまでである。一方、デジタルデータD1～D4の大きさによって信号電流の大きさが決定される。そこで、信号電流の大きさが領域A～Dのどの領域に入っているかを、プリチャージ選択回路（切り替え回路）700において制御する。そして、その結果によって、スイッチSW₁₀～SW₁₃のオンオフを制御して、プリチャージ電圧を供給している。

なお、電流の大きさによってA：0～4I，B：4I～8I，C：8I～12I，D：12I～16Iというふうに、領域を等間隔の刻みで分類しているが、これに限定されない。図17において述べたように、信号電流が小さいところでは、より細かく分類することが望ましい。なぜなら、信号電流が小さい方が、定常状態になるまでに、より多くの時間を必要とするからである。また、図17では、3種類のプリチャージ電圧から選択して出力していたが、図4では、4種類のプリチャージ電圧から選択して出力している。ただし、これに限定されない。もっと細かくしてプリチャージ電圧を供給してもよい。その場合、プリチャージ選択回路700は、領域の数、各領域における信号電流の刻み幅、プリチャージ電圧の数、などに依存する。どのような構成にするかは、各々

の場合に合わせて、容易に設計することが可能である。

図4では、電流値 I の電流源から電流が流れるかどうかをスイッチ SW_6 で制御し、電流値 $2I$ の電流源から電流が流れるかどうかをスイッチ SW_7 で制御し、・・・という構成になっているが、これに限定されない。
5 各ビットの電流源から電流が流れるかどうかを制御できるような構成になっていれば、どのような構成でもよい。

次に、駆動対象回路150を画素、デジタルデータ $D_1 \sim D_4$ をビデオ信号（画像信号）だと想定する。そして、デジタルデータ $D_1 \sim D_4$ がデジタルの電圧信号であるとする。

10 このとき、デジタル電圧のビデオ信号によって、信号電流源300やスイッチ $SW_3 \sim SW_9$ を制御することにより、信号線400にアナログの信号電流が供給されていることになる。すなわち、信号電流源300やスイッチ $SW_3 \sim SW_9$ は、デジタルビデオ電圧をアナログビデオ電流に変換していることになる。よって、信号電流源300やスイッチ
15 SW_3 、 $SW_6 \sim SW_9$ は、DA変換回路と電圧電流変換回路を一体化した回路であると考えられ、画素（駆動対象回路150）や信号線400にビデオ信号を供給する信号線駆動回路（ソースドライバ）である（もしくはその一部である）とみなすことが出来る。

また、プリチャージ選択回路700、各プリチャージ電圧、スイッチ
20 SW_4 、 $SW_{10} \sim SW_{13}$ は、プリチャージ電圧をデジタル電圧のビデオ信号を用いて制御することにより、信号線400に供給している。ここでは、プリチャージ電圧はアナログ値である。したがって、プリ

チャージ選択回路 700、各プリチャージ電圧、スイッチ SW_4 、 $SW_{10} \sim SW_{13}$ は、デジタルビデオ電圧をアナログビデオ電圧に変換していると言える。よって、プリチャージ選択回路 700、各プリチャージ電圧、スイッチ SW_4 、 $SW_{10} \sim SW_{13}$ は、DA変換回路であり、画素（駆動対象回路 150）や信号線 400 にビデオ信号を供給する信号線駆動回路（ソースドライバ）である（もしくはその一部である）とみなすことが出来る。

なお、デジタル電圧をアナログ電圧に変換する回路としては、公知の技術として、抵抗分割型 DA（デジタル-アナログ）変換回路（R-DAC）や、容量分割型 DA 変換回路（C-DAC）などがある。そのため、プリチャージ電圧を供給する手段として、図 4 のようなプリチャージ選択回路 700、スイッチ SW_4 、 $SW_{10} \sim SW_{13}$ だけでなく、抵抗分割型 DA 変換回路（R-DAC）や、容量分割型 DA 変換回路（C-DAC）を用いて、より細かい刻み値をもったプリチャージ電圧を出力することも可能である。抵抗分割型 DA 変換回路（R-DAC）や、容量分割型 DA 変換回路（C-DAC）を用いる場合は、DA 変換回路の基準電圧として、いくつかのプリチャージ電圧を供給すればよい。そして、DA 変換回路に供給されたプリチャージ電圧をさらに分圧して、画素（駆動対象回路 150）や信号線 400 に、プリチャージ電圧として供給すればよい。ただし、ここでは、詳細な説明は省略する。

なお、図 4 の信号電流源 300 では 4 つの電流源を用いているが、これに限定されない。任意の数の電流源を用いることが可能である。

なお、図4のプリチャージ選択回路700では、インバータとアンド論理素子とを組み合わせにより構成しているが、これに限定されない。さまざまなデジタル回路やアナログ回路を用いて、容易に構成することが出来る。

- 5 また、図4におけるスイッチの数や配置、各々の接続関係なども、図4の回路に限定されない。同様な動作をする回路に、変更することは、容易である。

なお、図34に示したように、図4に図1や図2のような回路を組み合わせてもよい。また、図4に、図3のような回路を組み合わせてもよい。つまり、インピーダンス変換用アンプを用いてもよい。

なお、図4は、図9、図16、図17で説明した構成の一部を、より詳しくした場合の一例を示している。したがって、図9、図16、図17などで説明した内容は、ここでも適用できる。

なお、駆動対象回路150を画素、信号電流源300などを信号線駆動回路の一部として想定したが、これに限定されない。

駆動対象回路150を信号線駆動回路（の一部、若しくは、その中に配置されている電流源）であり、信号電流源300などを、信号線駆動回路に電流を供給する回路であると想定してもよい。

図5は、図4（や図17）の実施例におけるプリチャージ電圧 V_{p1} 乃至 V_{p4} を自動的に生成するための回路構成を示している。これは、図3の構成を利用したものに相当する。

信号電流の領域A～Dのそれぞれに対応してプリチャージ回路（トラ

ンジスタ) 500A、500B、500C、500Dを用意する。これに信号電流(0I、4I、8I、12I)を供給してプリチャージ電圧を発生させ、このプリチャージ電圧をインピーダンス変換用アンプ600A、600B、600C、600Dを介して取り出し、プリチャージ
5 選択回路700の選択に応じてプリチャージ電圧 $V_{p1} \sim V_{p4}$ として駆動対象回路150へ供給する。

なお、その回路動作については図1乃至図4、図9、図16、図17などに示す実施例の場合と同様であるので、その詳細説明は省略する。したがって、そこで説明した内容は、この場合でも適用できる。

10 例えば、プリチャージ回路(トランジスタ)500A、500B、500C、500Dのトランジスタの極性やサイズなどは、駆動対象回路150と同じであることが望ましい。

なお、図5では、4つのプリチャージ電圧を全て発生させているが、これに限定されない。例えば、領域A($0I \leq I_a < 4I$)に対応させたプリチャージ電圧を発生させる場合、図5では、最も小さな値(0I)を用いている。そのような場合は、プリチャージ回路(トランジスタ)500Aやアンプ600Aなどを用いずに、直接、適切な電圧を供給するようにしてもよい。
15

なお、図5におけるプリチャージ回路(トランジスタ)500A、500B、500C、500Dは、プリチャージ回路専用に配置してもよいし、駆動対象回路150やその一部を利用してよい。あるいは、信号電流源300やその一部を利用してよい。
20

なお、図5では、図3に示すように、インピーダンス変換用アンプ600A、600B、600C、600Dを用いているが、これに限定されない。図1のようにインピーダンス変換用アンプを用いない場合もある。

5 図6は信号電流源300から信号電流が伝送される信号線400に配線抵抗 R_L や交差容量 C_L などの寄生負荷がある場合を考慮して、プリチャージ電圧 V_p をノードPに供給するプリチャージ期間 T_b と、プリチャージ期間終了後の信号電流の駆動対象回路150への供給期間 T_a との関係を示している。

10 図6(A)に示すように、寄生負荷(配線抵抗 R_L 、交差容量 C_L)が信号線400に存在する場合には、スイッチ SW_3 をONにする。プリチャージ回路500から定常状態になったときのノードPの電位とほぼ等しい大きさのプリチャージ電圧 V_p を印加する時間 T_b を $T_b = R_L \times C_L$ となるように定める。

15 また、プリチャージ期間 T_b に引き続く供給期間 T_a は、プリチャージ期間 T_b よりも長めに設定し、上記で計算したプリチャージ期間 T_b が $T_a < T_b$ となるような関係になる場合には $T_a = T_b$ となるように設定するのが良い。また、全期間 T_0 は仕様などによって定まる。

20 なお、 T_b の大きさは、理想電源を用いて寄生負荷を充電する場合の時定数に相当する。つまり、時定数くらいの時間があれば、信号線400の電位は、概ねプリチャージ電圧と等しくなる。そのため、 T_b の大きさは時定数程度にすることが望ましい。ただし、実際にプリチャージ

電圧を供給する場合は、理想電源を用いて電圧を供給するのではないため、理想電源を想定した場合よりも、充電に時間がかかる。したがって、 T_b の大きさは時定数程度よりも、多少長くなる場合がある。したがって、 T_a と T_b の長さに関しては、図6の場合に限定されない。

5 図7は、図2の回路において、駆動対象回路150を構成するトランジスタ T_{r1} の極性がpチャンネル型に変更された場合の電流駆動回路を示している。

この場合、スイッチ SW_1 と保持容量Cの接続関係が図に示すように変更されるのみで他の回路構成は同様である。つまり、保持容量Cは、
10 トランジスタ T_{r1} のゲート・ソース間に接続されており、スイッチ SW_1 は、ゲート・ドレイン間に接続されている。駆動対象回路150を構成するトランジスタ T_{r1} の極性が変わったため、接続関係を変える必要がある。

また、プリチャージ回路500内に駆動対象回路150に用いられる
15 駆動トランジスタ T_{r1} と同一サイズで、同じ導電型のトランジスタ T_{r2} を用いる時には同様に接続関係を変更する必要がある。つまり、トランジスタ T_{r2} のゲート・ドレイン間が接続されている。

図8は、図3の回路において、プリチャージ回路500内のトランジスタ T_{r2} を駆動対象回路150内のトランジスタ T_{r1} の極性と一致
20 させpチャンネル型に変更し、さらにインピーダンス変換用アンプ600を使用した場合の回路構成を示している。

このように、信号電流の流れる向きを変更せずに、駆動対象回路15

0 に用いられる駆動トランジスタ $T r_1$ やトランジスタ $T r_2$ の極性（導電型）を変更する場合は、図 7、図 8 のように、接続を変更することにより、回路を構成することが出来る。

5 なお、ここでは、図 2 や図 3 の回路において、トランジスタの極性（導電型）を変更したが、別の回路でも、同様に変更することが出来る。

また、信号電流の流れる向きを変更する場合は、接続関係を変更せずに、トランジスタの極性（導電型）を変更するだけでよい。

10 これまでは、駆動対象回路 150 をあまり特定せずに記載してきた。そこで次に、駆動対象回路 150 を、より具体的にした場合について、説明することにする。

図 10 は、本発明の電流駆動回路を用いた表示装置の回路構成を示している。

表示装置は、少なくとも画素回路 100 とソースドライバ回路 200 とから構成されている。画素回路 100 の構成は図 30 に示す従来の回路構成と同一部分には同一符号を付し、その詳細説明は省略する。なお、
15 図 10 に示す表示装置についての詳細は、本出願人の先願である国際公開第 03 / 027997 号公報に開示されている。また、図 10 と同様な構成の表示装置については、本出願人の先願である特願 2002-143882 号、特願 2002-143885 号、特願 2002-143886 号、特願 2002-143887 号、特願 2002-143888 号、
20 886 号、特願 2002-143887 号、特願 2002-143888 号、に開示されている。したがって、これらの先願の技術と、本願とを組み合わせることが出来る。

この画素回路 100 は、次のように動作する。まず、制御線 10b によって、選択 T F T 51 がオンになり、ビデオ信号線からビデオ信号（電圧値）が保持容量 60 へ入力される。画素回路 100 には電流源回路があり、一定の電流を流すことが出来る。そして、その電流源回路と

5 駆動 T F T 50 と発光素子 40 とが直列に接続されている。電流源回路から発光素子 40 に電流が流れるかどうか（発光するかどうか）、つまり、階調の表現は、駆動 T F T 50 の ON、OFF の切り替えによって制御される。駆動 T F T 50 の ON、OFF の切り替えは、ビデオ信号線から保持容量 60 へ入力されたビデオ信号によって制御される。

10 トランジスタの特性ばらつきの影響を少なくするために、画素回路 100 の中に配置されている電流源回路は、ソースドライバの電流を用いて、設定される。ソースドライバ回路 200 には、電流源が存在し、画素回路 100 の中の電流源回路に電流を供給する。つまり、画素回路 100 の中の電流源回路が駆動対象回路 150 に相当し、ソースドライバ

15 回路 200 にある電流源が、信号電流源 300 に相当し、電流線 35 が信号線 400 に相当する。

なお、図 1～図 4 などでは、信号電流源 300 から駆動対象回路 150 の方へ電流が流れていた。しかし、図 10 では、駆動対象回路 150 から信号電流源 300 の方へ電流が流れる場合について示している。

20 本発明による信号電流が供給される駆動対象回路 150 は、画素回路 100 内にあり、電流線 35 と制御線 10c とにより制御され、電源線 30 から信号電流を供給するもので種々の回路構成が可能である。

(実施例 6)

そこで、駆動対象回路 150 が画素回路 100 内にある場合についての実施例を図 11 乃至図 14 に基づいて説明する。

図 11 に示す実施例において、ソースドライバ回路 200 は、ソース
5 ドライバ電流源 70 と、この駆動対象回路 150 にプリチャージ電圧を供給するためのプリチャージ回路 80 と、スイッチ SW_A 、 SW_B 、 SW_C とから構成される。

プリチャージ回路 80 は、駆動対象回路 150 内のトランジスタ T_{r1}
と同じ導電型である p チャネル型トランジスタ T_{r2} で構成され、ゲート
10 トとドレインとが共通接続されたダイオード接続構造となっている。プリチャージ回路 80 は電源線 30 に一端が接続され、他端が SW_C を介してソースドライバ電流源 70 のドレインに接続されている。また、ソースドライバ電流源 70 のドレインはスイッチ SW_B を介して電流線 35 に接続される。また、電流線 35 はスイッチ SW_A を介してプリ
15 チャージ回路 80 とスイッチ SW_C との共通接続点に接続されている。

つまり、図 11 では、図 1 に示した回路を適用している。

このようなソースドライバ回路における電流駆動回路の動作を説明する。

まず、プリチャージ動作時にはスイッチ SW_B を OFF とし、スイッチ
20 SW_A 、スイッチ SW_C を ON してプリチャージ回路 80 で発生させたプリチャージ電圧を、電流線 35 に供給してプリチャージを行う。

次いで、電流入力動作時にはスイッチ SW_A とスイッチ SW_C とを O

FFにし、スイッチ SW_B をONとしてソースドライバ電流源70から信号電流を供給して電流線35に信号電流を供給する。なお、画素回路100内に信号電流が供給される駆動対象回路150が存在するが、この駆動対象回路150内のトランジスタ Tr_1 とソースドライバ回路200内のプリチャージ回路80を構成するトランジスタ Tr_2 とはそのトランジスタサイズや導電型を同一にしておくのが良い。

図1におけるスイッチ SW_1 やスイッチ SW_2 は、トランジスタ56やトランジスタ55に相当し、画素回路100にソースドライバ電流源70から信号電流を供給しているときには、オンしている。

10 図1では、駆動対象回路150内のトランジスタ Tr_1 はNチャンネル型であるが、図11の駆動対象回路150内のトランジスタはPチャンネル型になっている。これは、信号電流の流れる向きが異なることが要因である。

15 なお、図11において、図1のスイッチ SW_1 やスイッチ SW_2 にあたるものは、トランジスタ56やトランジスタ55を用いて構成している。しかし、これに限定されない。本明細書において用いるスイッチは、電氣的スイッチや機械的なスイッチに限らず、スイッチング機能を有するものであればどのようなものでもよい。つまり、電流の流れを制御できるものであれば何でも良い。例えば、トランジスタ、ダイオード、それらを組み合わせた論理回路でもよい。つまり、スイッチとしてトランジスタを用いる場合、そのトランジスタは単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、

20

オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタには、LDD領域を設けているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が低電位側電源（V_{ss}、V_{gnd}、0V など）に近い状態で動作する場合は、nチャネル型を用いることが望ましい。反対に、ソース端子の電位が、高電位側電源（V_{dd} など）に近い状態で動作する場合は、pチャネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして動作しやすいからである。なお、nチャネル型とpチャネル型の両方を用いて、CMOS型のスイッチを用いてもよい。

図12は、インピーダンス変換用アンプ85を介して電流線35にプリチャージ電圧を供給するように構成したものである。つまり、図12では、図3に示した回路を適用している。

また、図13に示す実施例では、スイッチを一つ省略してスイッチS_{W_A}とスイッチS_{W_B}とだけで構成した場合を示している。

この回路の場合では、プリチャージ動作時にはスイッチS_{W_A}とスイッチS_{W_B}と共にONにして、プリチャージ回路80を用いてノードPと電流線35とをプリチャージする。

次いで、電流入力時にはスイッチS_{W_A}のみをOFFとし、スイッチS_{W_B}はONとしたままで電流源70から信号電流を信号線35に供給する。つまり、図13では、図2に示した回路を適用している。

(実施例 7)

図 1 4 の実施例は、画素回路 1 0 0 内の駆動対象回路 1 5 0 を構成するトランジスタ T_{r_1} と、ソースドライバ回路 2 0 0 内のプリチャージ回路 8 0 を構成するトランジスタ T_{r_2} の構造を、それぞれ n チャネル型に変更した場合の構成を示す。つまり、図 1 4 では、図 7 に示した回路を適用している。

このように、図 1 0 ~ 図 1 4 に示したように、様々な構成を適用することにより、本発明の電流駆動回路を用いた表示装置を構成することが出来る。

10 なお、図 1 0 ~ 図 1 4 では、図 1 ~ 図 3、図 7 に示した回路を適用したが、これに限定されない。それ以外の構成も適用することが出来る。また、これまでに説明した内容も、図 1 0 ~ 図 1 4 にも、適用することが出来る。

15 図 1 5 は、ソースドライバ回路に本発明の電流駆動回路を組み込んだ場合の電流線 3 5 上の電圧変化を示したものである。プリチャージ回路 8 0 により印加されるプリチャージ電圧 V_{p_r} を、それぞれ 5 V から 2 V に変化させた時の電流線 3 5 の電圧変化を示したもので、プリチャージ電圧 V_{p_r} が 2 V の時に最も高速に電流線 3 5 が駆動されることを示している。

20 (実施例 8)

次に、図 1 0 などの場合とは異なるタイプの画素回路に適用した場合の例について示す。

図 1 8 は、本発明の電流駆動回路を用いた表示装置の一例を示す回路図である。なお、以下の説明において、図 3 0 乃至図 3 3 に示した従来の回路と同一部分には同一符号を付しその詳細説明は省略する。

図 1 8 に示す実施例では、画素回路 1 0 0 の構成は図 3 0 に示す回路構成と同一の構成である。

このような画素回路 1 0 0 に対応するソースドライバ回路 2 0 0 の構成を説明する。

信号線 2 0 に画像信号入力電流源 7 0 をプリチャージ動作時と信号電流入力動作時とで切り替えて接続するためのスイッチ 9 1 と、画像信号入力電流源 7 0 を選択的に駆動素子 8 0 に接続するためのスイッチ 9 2 と、インピーダンス変換用アンプ 8 5 の出力端子 8 6 を選択的に信号線 2 0 に接続するためのスイッチ 9 3 とを設ける。

アンプ 8 5 は出力端子 8 6 への電流供給能力を増加するための回路であればよく、演算増幅器などを用いて構成することができる。

図 1 8 に示す実施例では演算増幅器が使用されている。

これらのスイッチ 9 1、9 2、9 3 は、制御線 1 0 d の制御信号によって駆動され、スイッチ 9 2 と 9 3 とは同時に ON、OFF し、スイッチ 9 1 はインバータ 9 4 を介して駆動されるため、スイッチ 9 2、9 3 とは ON、OFF 動作が逆となる。なお、これらのスイッチ 9 1 乃至 9 3 は任意の極性のトランジスタで構成することが可能である。

駆動素子 8 0 は、ゲートとドレインとが接続された p チャネル型 TFT で構成され、画像回路 1 0 0 内にある駆動 TFT 5 0 と同様な接続で

あり、導電型も同じで、且つトランジスタのサイズも両者で一致するように構成する。また、サイズのみならず特性もそろっていることが望ましい。

このような特性のそろったトランジスタとするためには、レーザで半
5 導体層を結晶化させる場合、同じレーザショットが当たるようにして構成することが望ましい。

駆動素子 80 のドレインはアンプ 85 の非反転入力端に接続され電圧
フォロア回路を構成している。また、ソースは電源線 30 に接続されて
いる。

10 アンプ 85 は入力インピーダンスが高く、非反転入力端に供給される電圧 V_p と同電位の電圧が出力端 16 に出力され、また電流駆動能力も大きいため、大電流が流れてスイッチ 93 を介して接続されている信号線 20 の電位を高速にプリチャージすることができる。

つまり、図 18 では、図 3 に示した回路を適用している。図 18 にお
15 ける駆動素子 80 は、図 3 におけるプリチャージ回路 500 に相当する。図 18 における駆動 T F T 50 は、図 3 における駆動対象回路 150 に相当する。

次に、図 18 の回路の動作について、図 19、図 20 で説明する。なお、表記上の簡略化のために、図 19、図 20 においては、インバータ
20 94 及び信号線 10 a ~ 10 d は省略されている。

図 19 は、プリチャージ期間における信号入力動作を示したものである。

まず、プリチャージ期間においては制御線 10d の制御電圧によりスイッチ 93 と 92 とを ON にし、スイッチ 91 を OFF にする。

これにより、画像信号入力電流源 70 からの電流 I_{data} は画素回路 100 には直接流れず、駆動素子 80 に流れる。その結果、駆動素子 850 のドレイン電圧 V_p が決定される。

アンプ 85 によってこの電圧 V_p と同一の電圧が出力端 86 に出力され、アンプ 85 からは大きな駆動電流が流れ、急速に信号線 20 及び画素回路 100 内の駆動 T F T 50 のドレイン電位がプリチャージ電圧 V_p になる。この時、画素回路 100 内の駆動 T F T 50 とソースドライバ回路 200 内の駆動 T F T 80 とは、全く同じ特性であれば信号入力は完成したことになる。

しかし、実際には駆動 T F T 50 と駆動 T F T 80 の特性はバラついている。したがって駆動 T F T 50 に電流を入力して定常状態になった時の電位と電圧 V_p とは完全には一致しない場合が多い。そこで、信号電流 I_{data} を入力して駆動 T F T を定常状態にしてバラツキを補正する必要がある。そこで、図 20 に示すようにスイッチ 92 及び 93 を OFF にし、スイッチ 91 を ON にする。

これによりアンプ 85 の出力電圧は切り離され、画像信号入力源 70 からの信号電流 I_{data} に基づく正確な信号が画素回路 100 に入力される。この時すでにプリチャージ期間に必要な電位の近傍にまで信号線 20 及び駆動 T F T 50 のドレインは充電されているので、わずかな期間で信号入力が完成する。

つまり定常状態に達することになる。この移行の動作は、図 3 2 及び図 3 3 に示す従来の回路構成の場合と同様であるので、詳細説明は省略する。

このように本実施例の場合では、信号電流を信号線に供給するのに先立って信号線を所定電位にプリチャージするプリチャージ回路を駆動 T F T 8 0 とアンプ 8 5 とから構成しているが、このようなプリチャージ回路は画素回路 1 0 0 の回路構成に合わせて変更する必要がある。なお、基本的にはどんな画素回路の回路構成であっても適用可能である。

すなわち、画素回路内の駆動対象素子が定常状態になった時あるいはそれに準ずる状態になったときの電位をプリチャージ回路で作成して供給するようにする。

なお、図 1 8 は、図 3 に示した回路を適用したが、これに限定されない。それ以外の構成も適用することが出来る。また、これまでに説明した内容を適用することが出来ることはもちろんである。

したがって、電流 I_{data} の大きさが小さい値の場合は、定常状態になった時の信号線 2 0 及び画素回路 1 0 0 内の駆動 T F T 5 0 のドレイン電位よりも、わずかに高いプリチャージ電圧 V_p を用いてプリチャージすることが望ましい。つまり、理想的な値よりもわずかに高いプリチャージ電圧を用いてプリチャージすることにより、駆動 T F T 5 0 のゲート・ソース間電圧の絶対値を、理想的な値よりも小さくすることが望ましい。なお、図 1 8 における駆動 T F T 5 0 は、Pチャネル型である。従って、理想的な値よりもわずかに高いプリチャージ電圧を用いて

プリチャージすることは、小さい信号電流に最適なプリチャージ電圧でプリチャージすることと同じである。その結果、前述したように、すばやく定常状態にすることが出来る。

(実施例 9)

5 図 2 1 は他の実施例を示す図で、画素回路 1 0 0 の構成が図 1 8 に示す場合と異なり、駆動 T F T 5 0 と共にミラー T F T 5 0 a が用いられている。信号線 2 0 からの信号電流は、スイッチ 5 4、5 5 を介してミラー T F T 5 0 a に印加されるように構成されている。

このような場合には、駆動素子 8 0 a のトランジスタサイズを駆動 T
10 F T 5 0 ではなくミラー T F T 5 0 a のトランジスタサイズと同一にしておく方が良い。これにより定常状態時における電位を合わせやすくなる。

(実施例 1 0)

図 2 2 は更に他の実施例の回路構成を示したもので、図 8 に示した回路を適用している。ソースドライバ回路 2 0 0 を構成する駆動素子 8 0
15 b の構成が図 1 8 または図 2 1 の場合と異なっている。

図 2 2 に示す実施例の場合には、所定の電圧を供給する基準線 3 5 a にゲートとドレインとを共通接続してこれを接続させ、ソースをアンプ 8 5 の非反転入力端に接続するように構成する。

そして、これに対応して画素回路 1 0 0 は、基準線 3 5 a からの基準
20 電位がスイッチ 5 5 を介して駆動 T F T 5 0 a のドレインに与えられると共に、電源線 3 0 からの駆動電流がスイッチ 5 4 を介して駆動 T F T 5 0 a のソースに供給されるように構成されている。

このような回路構成を採用した場合には、ソースドライバ回路 200 内のプリチャージ回路を構成する駆動素子 80b のトランジスタサイズは、画素回路 100 内の駆動 T F T 50a のトランジスタサイズと同一となるようにしておく必要がある。このように、プリチャージ回路の構成は画素回路 100 の構成に合わせて適宜変更する必要がある。

ただし、図 22 の場合、駆動 T F T 50a (駆動対象回路 150 に相当) のドレイン端子の電位は、発光素子 40 の電圧特性によって変化してしまう可能性がある。もし変化してしまうと、プリチャージ電圧も変化してしまう。そこで、図 22 では、発光素子 40 の電圧特性の変化の影響を受けないようにするため、基準線 35a からの基準電位がスイッチ 55 を介して駆動 T F T 55a のドレインに与えられるようにしている。これにより、プリチャージ電圧が変わってしまうことを防ぐことが出来る。

なお、上述した実施例では、いずれも駆動 T F T 50、50a は p チャンネル型であったが、駆動 T F T を n チャンネル型にする場合にも、それに合わせてプリチャージ回路の駆動素子も n チャンネル型に変更しておく必要がある。

なお、図 22 では、図 8 に示した回路を適用したが、これに限定されない。それ以外の構成も適用することが出来る。また、これまでに説明した内容を適用することが出来ることはもちろんである。

このように、電流を入力するようなさまざまな画素回路に対して、さまざまな構成を用いて、プリチャージを行うことが出来る。

次に、本発明のプリチャージ回路に用いられるアンプ 85 の構成について説明する。

図 18、図 21 及び図 22 で示したように、アンプ 85 は演算増幅器（オペアンプ）を用いて構成することもできるが、電流供給能力が大きい回路であればこれに限定されるものではない。また、単に入力と出力のインピーダンスを変換し、入力と同電位を出力する回路であれば、どのような構成を採用することも可能である。

簡単な一例として、ソースフォロア回路を用いた場合を図 23 に示す。

p チャンネル型 TFT 203、204 及び n チャンネル型 TFT 201、204 から構成される。ソースフォロア回路の場合、p チャンネル型を用いた場合は出力電圧は入力電圧よりもバイアス分だけ低くなる。

一方、n チャンネル型を用いた時は、出力電圧が入力電圧よりもバイアス分だけ低くなる。そこで、n チャンネル型を用いたものと p チャンネル型を用いたものをつなぎ合わせてバイアス電圧やトランジスタサイズなどを設計すれば、入力電圧と同電位の出力電圧を出力する回路を構成することができる。また、ソースフォロア回路を一つだけ用いてバイアス分の変動を見越して入力し、出力を調整するようにしても良い。あるいは、差動増幅回路などを用いてもよい。

以上、図 18～図 22 までに説明した実施例はアナログ階調方式を用いる場合（画素回路にアナログ値の信号が入力される場合）の回路構成であったが、デジタル階調方式による場合（画素回路にデジタル値の信号が入力される場合）にも本発明は同様に実施可能である。

なお、プリチャージ電圧を供給しているときに、信号電流も供給していてもよい。なぜなら、適切なプリチャージ電圧が供給されていれば、信号電流が供給されていても、電位の決定には、ほとんど影響を与えないからである。ただし、実施例 4～8、実施例 10、及び実施例 12 の

5 ような場合は、トランジスタ $T r_2$ に電流を流す必要があるので、駆動対象回路にプリチャージ電圧を供給しながら信号電流も供給することは出来ない。この場合は、信号電流源をもう一つ用意して、片方の信号電流源から駆動対象回路に電流を供給し、他方の信号電流源からトランジスタ $T r_2$ に電流を供給してもよい。この構成の一例を図 4 2 に示す。

10 図 4 2 から分かるように、この構成では電流源 3 0 0 は駆動対象回路 1 5 0 に電流を供給し、一方で電流源 3 0 1 はトランジスタ $T r_2$ に電流を供給する。そのようにすれば、プリチャージ電圧を供給しているときに、信号電流も供給することが可能となる。

(実施例 1 1)

15 図 2 4 はデジタル階調回路方式の場合の、本発明の回路構成を示した実施例である。なお、図 2 4 では、一例として、画素回路は、図 1 8 の画素回路と同じ構成のものとしたが、これに限定されない。

デジタル階調の場合も、プリチャージ電圧はアナログ階調の場合と同様に決めればよい。つまり、発光素子が ON (発光状態) の場合は、ON 時の信号電流 I_{data} を入力したときに、定常状態になったときの電圧 (V_{on}) をプリチャージ電圧とすればよい。そして、発光素子が OFF (非発光状態) の場合には、プリチャージ電圧は、絶対に発光状態

20

にならないような電圧にすればよい。通常は、電流源として動作するトランジスタのゲート・ソース間電圧が0になるような電圧にすればよい。

図24に示すように、データ信号電流 I_{data} を信号線20に供給するに先だって、スイッチ回路83を端子83a若しくは端子83bに接続する。どちらに接続するかは、ビデオ信号により決定される。これによりプリチャージ動作が行われる。この時、スイッチ93はON、スイッチ91はOFFになっている。

ビデオ信号がON（発光）の時にはスイッチ83は端子83aに接続され、OFF（非発光）の時には端子83bに接続される。その後、スイッチ93をOFFとしスイッチ91をONにして、データ信号電流 I_{data} を画素回路100に入力する。

このように、デジタル階調の場合も、予め信号線20を介して所定のプリチャージ電圧 V_{on} を駆動TFT50のドレインに印加するようにしているため、信号書き込み速度は速くなる。

なお、図24は、図17に示した構成を適用した場合に相当するが、これに限定されない。例えば、図3などのように、電圧を発生させるようにしてもよい。あるいは、それ以外の構成も適用することが出来る。また、これまでに説明した内容を適用することが出来ることはもちろんである。

図25は図24に示すデジタル階調方式の回路構成におけるプリチャージ回路を改良した図である。

ビデオ信号線37の信号から1行前のビデオデータを保持するための

メモリ回路207と、現在のビデオデータを入力するとともにメモリ回路207からの1行前のビデオデータを入力する排他的論理和回路で構成される演算回路206と、プリチャージ制御線38の信号と演算回路206からの信号等から論理積する論理積回路205とから構成される。

- 5 そして、ビデオデータが前の行と異なる時のみ、プリチャージ制御線38からの信号によりスイッチ93をONにして、信号線20をプリチャージするようにしている。

図24では毎回プリチャージを行っている。しかし、実際の定常状態の時の電位とプリチャージ電圧 V_n とは大きさがずれていたり、バラツキにより値が離れていたりする。そこで、前の行での定常状態での電位の方がプリチャージ電圧 V_n よりも、今選択されている行での定常状態での電位に値が近いと考えられるため、ビデオデータが前の行の物と異なる時のみ動作させる。また、明信号（発光状態）が続く場合のみプリチャージを行わないようにすることもできる。

- 15 さらに、論理回路206は現在のビデオデータと1行前のビデオデータとが同一の場合のみ同レベルの出力信号が出力され、スイッチ93がOFFになる。

図26は、図25に示す演算回路206とメモリ回路207の具体的な構成を示している。メモリ回路207はラッチAとラッチBとで構成され、それぞれラッチA、ラッチBは、ラッチ1回路208、ラッチ2回路209及びシフトレジスタ210によって駆動される。

図27は、図26に示すメモリ回路207を制御するメモリ制御信号

と、メモリ回路 207 を制御するラッチパルスの制御信号とを示した図である。このようにして、前の行のビデオデータを制御する。

図 28 は、図 25 に示すプリチャージ制御線 38 の制御動作を説明する図で、1 列目のビデオデータと 2 列目のビデオデータとが変化があった時のみ信号線 20 をプリチャージすることを示している。

なお、図 25 では、デジタル階調方式の場合、前の行と同じビデオ信号を入力する場合はプリチャージを行わない、ということを説明しているが、これに限定されない。つまり、アナログ階調方式の場合にも、提供することが出来る。例えば、前の行のビデオ信号と、今選択されている行のビデオ信号との差が大きい場合には、プリチャージを行うようにして、小さい場合には、プリチャージを行わないようにしてもよい。

たとえば、図 17 や図 4 の場合、信号電流が、ある範囲（領域）にある場合は、どれだけの大きさの電圧でプリチャージを行えばよいかを制御されている。そこで、前回入力したビデオ信号、つまり、前の行の画素に入力したビデオ信号とこれから入力するビデオ信号が同じ領域にある場合はプリチャージを行わず、異なる領域の場合のみプリチャージを行うようにしてもよい。

なお、図 10 ～図 14、図 18 ～図 25 などでは、駆動対象回路 150 である電流源が、画素回路の中に配置されていた。そのため、プリチャージ回路は、画素回路に電流を供給する回路、つまり、信号線駆動回路の中にあつた。しかし、信号線駆動回路にも電流源が設けられている。よって、信号線駆動回路の中の電流源を駆動対象回路 150 として、

本発明を適用してもよい。

信号線駆動回路内に駆動対象回路150が配置されている場合、信号線駆動回路に電流を供給する電流源が設けられている。そこに、プリチャージ回路を配置すればよい。このような場合の全体の構成を図29
5 に示す。マトリックス状に配置された画素で構成された画素回路100ARと、画素回路100ARに電流を供給する信号線駆動回路200ARと、信号線駆動回路200ARに電流を供給する基準電流源300とから構成されている。

図10～図14、図18～図25などでは、信号線駆動回路200a
10 などから画素回路100aなどに電流を供給する場合、つまり、駆動対象回路150が画素回路100aなどにある場合について説明している。

同様に、基準電流源300から信号線駆動回路200aなどに電流を供給する場合、つまり、駆動対象回路150が信号線駆動回路200ARに配置されている場合にも、本発明を適用することができる。なお、
15 動作や回路構成などは、図1～図9、図16～図17などと同様であるため、詳細な説明は省略する。

本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成され
20 るMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置さ

れている基板の種類に限定はなく、単結晶半導体基板、SOI基板、ガラス基板などに配置することが出来る。

(実施例12)

次に、表示装置、および、信号線駆動回路などの構成とその動作について、説明する。信号線駆動回路の一部や画素などに、本発明の回路を適用することができる。

表示装置は、図35に示すように、画素配列3501、ゲート線駆動回路3502、信号線駆動回路3510を有している。ゲート線駆動回路3502は、画素配列3501に選択信号を順次出力する。信号線駆動回路3510は、画素配列3501にビデオ信号やプリチャージ信号を順次出力する。画素配列3501では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路3510から画素配列3501へ入力するビデオ信号は電流であり、プリチャージ信号は電圧である。つまり、各画素に配置された表示素子や表示素子を制御する素子は、信号線駆動回路3510から入力されるビデオ信号（電流）によって、状態を変化させる。画素に配置する表示素子の例としては、EL素子やFED（フィールドエミッションディスプレイ）で用いる素子などがあげられる。

なお、ゲート線駆動回路3502や信号線駆動回路3510は、複数配置されていてもよい。

信号線駆動回路3510は、構成を複数の部分に分けられる。大まかには、一例として、シフトレジスタ3503、第1ラッチ回路（LAT

1) 3504、第2ラッチ回路(LAT2)3505、デジタル電圧・アナログ電流変換回路3506、デジタル電圧・アナログ電圧変換回路3515に分けられる。デジタル電圧・アナログ電流変換回路3506には、デジタル電圧をアナログ電流に変換する機能を有しており、ガンマ補正を行う機能も有している。

また、画素は、OLEDなどの表示素子を有している。その表示素子に電流(ビデオ信号)を出力する回路、すなわち、電流源回路を有している。

そこで、信号線駆動回路3510の動作を簡単に説明する。シフトレジスタ3503は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(SP)、クロック反転信号(S-CLKb)が入力される、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

シフトレジスタ3503より出力されたサンプリングパルスは、第1ラッチ回路(LAT1)3504に入力される。第1ラッチ回路(LAT1)3504には、ビデオ信号線3508よりビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って各列でビデオ信号を保持していく。なお、デジタル電圧・アナログ電流変換回路3506を配置している場合は、ビデオ信号はデジタル値である。また、この段階でのビデオ信号は電圧であることが多い。

ただし、第1ラッチ回路3504や第2ラッチ回路3505が、アナログ値を保存できる回路である場合は、デジタル電圧・アナログ電流変

換回路 3506 もしくはその一部やデジタル電圧・アナログ電圧変換回路 3515 若しくはその一部などは省略できる場合が多い。その場合、ビデオ信号は電流であることも多いが、電圧の場合もある。また、画素配列 3501 に出力するデータが 2 値、つまり、デジタル値である場合は、デジタル電圧・アナログ電流変換回路 3506 もしくはその一部やデジタル電圧・アナログ電圧変換回路 3515 若しくはその一部などは省略できる場合が多い。

第 1 ラッチ回路 (LAT1) 3504 において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線 3509 よりラッチパルス (L a t c h P u l s e) が入力され、第 1 ラッチ回路 (LAT1) 3504 に保持されていたビデオ信号は、一斉に第 2 ラッチ回路 (LAT2) 3505 に転送される。その後、第 2 ラッチ回路 (LAT2) 3505 に保持されたビデオ信号は、1 行分が同時にデジタル電圧・アナログ電流変換回路 3506 やデジタル電圧・アナログ電圧変換回路 3515 へと入力される。デジタル電圧・アナログ電圧変換回路 3515 から出力される信号は、プリチャージ信号として、画素配列 3501 へ入力される。以後、そして、デジタル電圧・アナログ電流変換回路 3506 から出力される信号は、ビデオ信号として画素配列 3501 へ入力される。

第 2 ラッチ回路 (LAT2) 3505 に保持されたビデオ信号がデジタル電圧・アナログ電流変換回路 3506 などに入力され、そして、画素 3501 に入力されている間、シフトレジスタ 3503 において、再

びサンプリングパルスが出力される。つまり、同時に2つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

次に、各部分の回路構成について述べる。シフトレジスタ3503、
5 第1ラッチ回路(LAT1)3504、第2ラッチ回路(LAT2)3505などは、公知の技術により実現できる。

デジタル電圧・アナログ電流変換回路3506は、図4に示した構成を用いて構成できる。つまり、図4におけるデジタルデータD1~D4が、第2ラッチ回路(LAT2)3505から出力されるビデオ信号に
10 相当する。デジタルデータD1~D4(第2ラッチ回路(LAT2)3505から出力されるビデオ信号)によって、図4におけるスイッチSW₆~SW₉をオンオフする。信号電流源300(各ビットに対応した電流源)から駆動対象回路150(画素3501)に信号線400を経由してアナログ電流(ビデオ信号)を出力する。このようなスイッチや
15 信号電流源が各信号線ごとに配置されて、デジタル電圧・アナログ電流変換回路3506が構成されている。

なお、信号電流源300における各ビットに対応した電流源は、各々、トランジスタを用いて、ゲート・ソース間に一定の電圧を加えて、飽和領域で動作させることによって、実現してもよい。ただしこの場合、電
20 流源として動作させるトランジスタの特性(移動度やしきい値電圧など)がばらつくと、電流値もばらついてしまう。そこで、リファレンス用電流源回路3514から電流を流し、各列の信号電流源300に電流

を設定していく動作を行っても良い。その場合は、デジタル電圧・アナログ電流変換回路 3506 における各列の信号電流源 300 における各ビットに対応した電流源が、駆動対象回路 150 となる。したがって、リファレンス用電流源回路 3514 の中に、駆動対象回路 150 に電流を供給するための電流源だけでなく、様々なプリチャージ回路を配置することが出来る。その場合の例を図 41 に示す。図 41 では、2 ビットの場合について述べており、トランジスタ 4111a が 1 ビット目に対応した電流源（駆動対象回路）であり、トランジスタ 4111b が 2 ビット目に対応した電流源（駆動対象回路）である。3514a が 1 ビット目に対応したリファレンス用電流源であり、3514b が 2 ビット目に対応したリファレンス用電流源である。

リファレンス用電流源回路 3514 を用いて、デジタル電圧・アナログ電流変換回路 3506 における各列の信号電流源 300 における各ビットに対応した電流源に電流を設定していく場合は、それを制御するような回路が、さらに配置されていることも多い。あるいは、シフトレジスタ 3503 を用いて制御したり、第 2 ラッチ回路（LAT2）3505 を利用して制御してもよい。

なお、画素 3501 に電流を供給する回路としては、その詳細は、本出願人の先願である国際公開第 03/038793 号公報、国際公開第 03/038794 号公報、国際公開第 03/038795 号公報、国際公開第 03/038796 号公報、国際公開第 03/038797 号公報などに開示されており、その技術を用いることが可能である。

デジタル電圧・アナログ電圧変換回路 3515 は、公知の技術として、抵抗分割型 DA 変換回路 (R-DAC) や、容量分割型 DA 変換回路 (C-DAC) などを用いて構成すればよい。つまり、DA 変換用の基準電圧として、いくつかのプリチャージ電圧を入力し、第 2 ラッチ回路 (LAT2) 3505 から出力されるビデオ信号を用いて、それに対応した適切なアナログ電圧 (プリチャージ電圧) を、信号線 400 を通して、駆動対象回路 150 (画素 3501) に出力すればよい。なお、第 2 ラッチ回路 (LAT2) 3505 から出力されるビデオ信号が N ビット (2^N 階調) の場合、 2^N 個分の電圧をデジタル電圧・アナログ電圧変換回路 3515 で作って、画素に入力してもよいし、図 4 に示したように、プリチャージ選択回路 700 や $SW_{10} \sim SW_{13}$ などを用いることにより、領域ごとに決まったプリチャージ電圧を出力するようにしてもよい。

なお、デジタル電圧・アナログ電圧変換回路 3515 には、基準となるようなプリチャージ電圧をいくつか入力する必要がある。そこで、直接プリチャージ電圧を入力してもよいし、基準電圧生成回路 3516 においてプリチャージ電圧を生成して、それを入力するようにしてもよい。その場合は、図 5 に示すような回路を用いればよい。その時、図 5 における各々の電流源は、専用に配置してもよいし、リファレンス用電流源回路 3514 やデジタル電圧・アナログ電流変換回路 3506 などにおける電流源を共用して、利用してもよい。また、図 5 におけるプリチャージ回路 (トランジスタ) 500A、500B、500C、500

Dは、専用に配置してもよいし、画素配列3501などにおける電流源を共用して利用してもよい。または、図3、図18～22などのように、プリチャージ回路500やインピーダンス変換用アンプ600などを用いて、アナログ電圧（プリチャージ電圧）を各列ごとに配置してもよい。

5 なお、信号線駆動回路やその一部は、画素配列3501と同一基板上に存在させず、例えば、外付けのICチップを用いて構成されることもある。

 なお、信号線駆動回路などの構成は、図35に限定されない。

 例えば、第1ラッチ回路3504や第2ラッチ回路3505が、アナ
10 ログ値の電流を保存できる回路である場合、第1ラッチ回路（LAT
 1）3504に、ビデオ信号（アナログ電流）が入力されることもある。
 この場合の構成を図37に示す。

 第1ラッチ回路（LAT1）3504にビデオ信号を供給する回路と
 して、ビデオ信号供給回路3514が接続されている。この場合、ビデ
15 オ信号供給回路3514が、図16などにおける信号電流源300とプ
 リチャージ回路500に相当する。そして、駆動対象回路150は、第
 1ラッチ回路（LAT1）3504の中に配置されているトランジスタ
 に相当する。図38に、図37の詳細な構成の一例を示す。信号電流源
 3801とプリチャージ回路3802を用いて、第1ラッチ回路（LA
20 T1）3504の中に配置されている駆動対象回路であるトランジスタ
 3805にビデオ信号を入力する。このとき、プリチャージ回路380
 2があるため、すばやく信号を書き込むことが出来る。その後、第1

ラッチ回路 (LAT1) 3504 中のトランジスタ 3805 から、第
2 ラッチ回路 (LAT2) 3505 中のトランジスタ 3803 に、ラッ
チ信号に同期させてビデオ信号を入力する。それから、第 2 ラッチ回路
(LAT2) 3505 中のトランジスタ 3803 から画素 3804 a、
5 3804 b、3804 c などにビデオ信号を供給していく。

なお、図 38 では、ビデオ信号供給回路 3514 から第 1 ラッチ回路
(LAT1) 3504 中のトランジスタ (駆動対象回路) に電流を供
給するとき、プリチャージ回路を用いてすばやく信号を入力できるよ
うにした例を示したが、これに限定されない。第 1 ラッチ回路 (LAT
10 1) 3504 中のトランジスタから、第 2 ラッチ回路 (LAT2) 3
505 中のトランジスタ (駆動対象回路) に電流を供給するときにも、
第 1 ラッチ回路 (LAT1) 3504 中にプリチャージ回路を配置す
ることにより、プリチャージを行っても良い。

同様に、第 2 ラッチ回路 (LAT2) 3505 中のトランジスタか
15 ら画素 (駆動対象回路) に電流を供給するときにも、第 2 ラッチ回路
(LAT2) 3505 中にプリチャージ回路を配置することにより、
プリチャージを行っても良い。また、その場合は、さらに第 2 ラッチ回
路 3505 が存在しない場合もある。この場合の構成を図 39 に示す。
この場合は、図 40 に示すように、第 1 ラッチ回路 (LAT1) におい
20 て、1 列につき複数のトランジスタ 4002 a、4002 b を配置する。
そして、一方のトランジスタにビデオ信号供給回路 3514 から信号を
供給し、他方のトランジスタから画素へ信号を供給する。そして、配線

4001を用いて、それらを順次切り替えて動作させる。ここでも、図37、38と同様に、各々の場所にプリチャージ回路を配置することにより、信号の書き込みをすばやく行うことができるようになる。

5 なお、図35や図37～40の構成においても、これまでに述べてきた様々なプリチャージ回路の構成などを適用することが出来る。

(実施例13)

次に、本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコン
10 ぽ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図
15 36に示す。

図36（A）は発光装置であり、筐体13001、支持台13002、表示部13003、スピーカー部13004、ビデオ入力端子13005等を含む。本発明は表示部13003を構成する電気回路に用いることができる。また本発明により、図36（A）に示す発光装置が完成さ
20 れる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示

装置が含まれる。

図36(B)はデジタルスチルカメラであり、本体13101、表示部13102、受像部13103、操作キー13104、外部接続ポート13105、シャッター13106等を含む。本発明は、表示部13102を構成する電気回路に用いることができる。また本発明により、
5 図36(B)に示すデジタルスチルカメラが完成される。

図36(C)はノート型パーソナルコンピュータであり、本体13201、筐体13202、表示部13203、キーボード13204、外部接続ポート13205、ポインティングマウス13206等を含む。
10 本発明は、表示部13203を構成する電気回路に用いることができる。また本発明により、図36(C)に示す発光装置が完成される。

図36(D)はモバイルコンピュータであり、本体13301、表示部13302、スイッチ13303、操作キー13304、赤外線ポート13305等を含む。本発明は、表示部13302を構成する電気回路に用いることができる。また本発明により、図36(D)に示すモバイルコンピュータが完成される。
15

図36(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体13401、筐体13402、表示部A13403、表示部B13404、記録媒体(DVD等)読み込み部13405、操作キー13406、スピーカー部13407等を含む。表示部A13403は主として画像情報を表示し、表示部B13404は主として文字情報を表示するが、本発明は、表示部A、B13403、
20

1 3 4 0 4 を構成する電気回路に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図 3 6 (E) に示す DVD 再生装置が完成される。

5 図 3 6 (F) はゴーグル型ディスプレイ (ヘッドマウントディスプレイ) であり、本体 1 3 5 0 1、表示部 1 3 5 0 2、アーム部 1 3 5 0 3 を含む。本発明は、表示部 1 3 5 0 2 を構成する電気回路に用いることができる。また本発明により、図 3 6 (F) に示すゴーグル型ディスプレイが完成される。

10 図 3 6 (G) はビデオカメラであり、本体 1 3 6 0 1、表示部 1 3 6 0 2、筐体 1 3 6 0 3、外部接続ポート 1 3 6 0 4、リモコン受信部 1 3 6 0 5、受像部 1 3 6 0 6、バッテリー 1 3 6 0 7、音声入力部 1 3 6 0 8、操作キー 1 3 6 0 9 等を含む。本発明は、表示部 1 3 6 0 2 を構成する電気回路に用いることができる。また本発明により、図 3 6 (G) に示すビデオカメラが完成される。

15 図 3 6 (H) は携帯電話であり、本体 1 3 7 0 1、筐体 1 3 7 0 2、表示部 1 3 7 0 3、音声入力部 1 3 7 0 4、音声出力部 1 3 7 0 5、操作キー 1 3 7 0 6、外部接続ポート 1 3 7 0 7、アンテナ 1 3 7 0 8 等を含む。本発明は、表示部 1 3 7 0 3 を構成する電気回路に用いることができる。なお、表示部 1 3 7 0 3 は黒色の背景に白色の文字を表示す
20 ることで携帯電話の消費電流を抑えることができる。また本発明により、図 3 6 (H) に示す携帯電話が完成される。

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報

を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

- また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、
- 5 特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

- また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景とし、文字情報を
- 10 発光部分で形成するように駆動することが望ましい。

以上のように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。またここで示した電子機器は、本発明において示したいずれの構成の半導体装置を用いても良い。

15

産業上の利用可能性

- 本発明の電流駆動回路は、信号電流を信号線に供給するに先だって信号線を所定電位にプリチャージするプリチャージ回路を設けているため、信号電流が小さくても信号の書き込み速度が遅くならないという問題
- 20 を解消することができる。

請求の範囲

1. 駆動対象回路のノードに信号線を介して信号電流を供給する電流駆動回路において、
 - 5 前記信号線を介して前記ノードにプリチャージ電圧を供給するプリチャージ手段を設け、

前記プリチャージ手段は、前記信号電流の供給に先立って前記ノード及び前記信号線に前記プリチャージ電圧を供給する供給手段を有することを特徴とする電流駆動回路。
 - 10 2. 請求項 1 に記載の電流駆動回路において、

前記プリチャージ手段は、前記プリチャージ電圧を前記駆動対象回路に前記信号電流を供給した時の定常状態下の前記ノードのノード電位に等しい値又はそれに準ずる値に設定する設定手段を有することを特徴とする電流駆動回路。
 - 15 3. 請求項 1 に記載の電流駆動回路において、

前記プリチャージ手段は、前記プリチャージ電圧を複数設定する複数設定手段と、前記信号電流の大きさに応じて選択的に前記ノード及び前記信号線に前記プリチャージ電圧を供給する選択供給手段を有することを特徴とする電流駆動回路。
 - 20 4. 駆動対象回路のノードに信号線を介して信号電流を供給する電流駆動回路において、

前記ノード及び前記信号線にプリチャージ電圧を供給するプリ

チャージ回路と、

前記信号電流を前記プリチャージ回路に供給して前記プリチャージ電圧を発生させる発生手段と、

5 前記信号電流の前記駆動対象回路への供給に先立って前記ノード及び前記信号線に前記プリチャージ電圧を供給する供給手段とを有することを特徴とする電流駆動回路。

5. 駆動対象回路のノードに信号線を介して信号電流を供給する電流駆動回路において、

前記ノードにプリチャージ電圧を供給するプリチャージ回路と、

10 前記信号電流に対応する電流を前記プリチャージ回路に供給して前記プリチャージ電圧を予め発生させておき、前記信号電流の前記駆動対象回路への供給に先立って前記ノード及び信号線に前記プリチャージ電圧を供給する供給手段とを有することを特徴とする電流駆動回路。

15 6. 請求項 4 又は 5 に記載の電流駆動回路において、

前記駆動対象回路は第 1 の駆動素子を含み、前記プリチャージ回路は第 2 の駆動素子を含み、

前記第 1 及び前記第 2 の駆動素子は同サイズ又はそれに準ずるサイズであることを特徴とする電流駆動回路。

20 7. 請求項 4 又は 5 に記載の電流駆動回路において、

前記プリチャージ電圧をインピーダンス変換用アンプを介して前記ノード及び前記信号線に供給する手段を有することを特徴とする

電流駆動回路。

8. 請求項 4 又は 5 に記載の電流駆動回路において、

前記プリチャージ電圧を複数設定する複数設定手段と、

前記信号電流の大きさに応じて選択的に前記ノード及び前記信号
5 線に前記プリチャージ電圧を供給する選択供給手段を有することを
特徴とする電流駆動回路。

9. 請求項 1、4 及び 5 のいずれかに記載の電流駆動回路において、

前記プリチャージ電圧を前記ノード及び前記信号線に供給するプ
リチャージ期間 T_b を前記信号線の配線抵抗 R_L と寄生容量 C_L とに
10 基づき

$$T_b = R_L \times C_L$$

に設定する手段を有することを特徴とする電流駆動回路。

10. 請求項 9 に記載の電流駆動回路において、

前記信号電流の前記駆動対象回路への供給期間 T_a が

15 $T_a < T_b$

の関係にある場合には、

$$T_a = T_b$$

に設定する手段を有することを特徴とする電流駆動回路。

11. 画像情報が電流線を介して電流の形で与えられる画像回路と、

20 前記画像情報を信号電流として前記電流線に供給する電流駆動
回路とを具備した表示装置において、

前記電流駆動回路は、

前記画像情報に応じた信号電流をノードから前記電流線に供給するソースドライバ電流源と、

前記ノード及び前記電流線にプリチャージ電圧を供給するプリチャージ回路と、

- 5 前記信号電流の供給に先立って前記ノード及び前記電流線に前記プリチャージ電圧を供給する供給手段とを有することを特徴とする表示装置。

- 1 2. 請求項 1 1 に記載の表示装置において、

前記プリチャージ電圧をインピーダンス変換用アンプを介して
10 前記電流線に供給する手段を有することを特徴とする表示装置。

- 1 3. 画像情報を信号電流として伝送する信号線と、

前記信号電流に比例する駆動電流を電源線から供給する第 1 の
駆動素子とを含む画素回路と、

前記信号電流を前記信号線に供給する画像信号入力電流源を含
15 むソースドライバ回路とを具備した表示装置において、

前記信号電流を前記信号線に供給するに先立って、前記信号線
をプリチャージするプリチャージ回路を前記ソースドライバ回路
に内蔵したことを特徴とする表示装置。

- 1 4. 請求項 1 3 に記載の表示装置において、

20 前記プリチャージ回路は、前記画像信号入力電流源と前記電源線との間に選択的に接続され前記信号電流に応じたプリチャージ電圧を出力する第 2 の駆動素子を含むことを特徴とする表示装置。

15. 請求項13又は請求項14に記載の表示装置において、

前記プリチャージ電圧をインピーダンス変換用アンプを介して
前記信号線に供給する手段を有することを特徴とする表示装置。

16. 画像情報を信号電流として伝送する信号線と、

5 前記信号電流に比例する駆動電流を電源線から供給する第1の
駆動素子とを含む画素回路と、

前記信号電流を前記信号線に供給する画像信号入力電流源を含
むソースドライバ回路とを具備した表示装置において、

10 前記信号電流を前記信号線に供給するに先立って、前記信号線
をプリチャージするプリチャージ回路を前記ソースドライバ回路
に内蔵し、

前記プリチャージ回路は、前記画像信号入力電流源と前記電源
線との間に選択的に接続され前記信号電流に応じたプリチャージ
電圧を出力する第2の駆動素子を含み、

15 前記第1及び前記第2の駆動素子は同サイズ又はそれに準ずる
サイズであることを特徴とする表示装置。

17. 請求項13又は16に記載の表示装置において、

20 前記プリチャージ電圧を、前記第1又は前記第2の駆動素子に
前記信号電流を供給した時の定常状態下の電圧に等しい値又はそ
れに準ずる値に設定する手段を有することを特徴とする表示装置。

18. 駆動対象回路と、

プリチャージ回路と、

駆動対象回路とプリチャージ回路との接続を制御する手段と、
駆動対象回路と電流源回路との接続を制御する手段とを有する
電流駆動回路。

19. 駆動対象回路と、

5 プリチャージ回路と、

前記駆動対象回路に信号電流を入力する電流源回路と、

前記駆動対象回路と前記プリチャージ回路との接続を制御する
手段と、

前記駆動対象回路と前記電流源回路との接続を制御する手段と、

10 前記プリチャージ回路から出力される信号を増幅して電圧を出
力する手段とを有する電流駆動回路。

20. 駆動対象回路と、

 プリチャージ回路と、

前記駆動対象回路に信号電流を入力する電流源回路と、

15 前記駆動対象回路と前記プリチャージ回路との接続を制御する
手段と、

前記駆動対象回路と前記電流源回路との接続を制御する手段と
を有し、

20 前記プリチャージ回路は複数の電圧値から選択されたプリ
チャージ電圧を出力することを特徴とする電流駆動回路。

21. 駆動対象回路と、

 プリチャージ回路と、

前記駆動対象回路に信号電流を入力する電流源回路と、
前記駆動対象回路と前記プリチャージ回路との接続を制御する
手段と、

前記駆動対象回路と前記電流源回路との接続を制御する手段と、
5 前記プリチャージ回路から出力される信号を増幅する手段とを
有し、

前記プリチャージ回路は複数の電圧値から選択されたプリ
チャージ電圧を出力することを特徴とする電流駆動回路。

2 2. 請求項 1 8 乃至 2 1 のいずれかに記載の電流駆動回路において、

10 前記駆動対象回路は第 1 のトランジスタを有し、
前記プリチャージ回路は第 2 のトランジスタを有することを特
徴とする電流駆動回路。

2 3. 請求項 2 2 に記載の電流駆動回路において、

15 前記第 1 のトランジスタのチャンネル幅 W とチャンネル長 L との比
と、前記第 2 のトランジスタのチャンネル幅 W とチャンネル長 L の比
が概ね等しいことを特徴とする電流駆動回路。

2 4. 請求項 1 8 乃至 2 1 のいずれかに記載の電流駆動回路において、

前記プリチャージ電圧を前記配線に供給するプリチャージ期間
 T_b 、前記配線の抵抗 R_L と寄生容量 C_L を、

20
$$T_b = R_L \times C_L$$

に設定する手段を有することを特徴とする電流駆動回路。

2 5. 請求項 1 8 乃至 2 1 のいずれかに記載の電流駆動回路において、

前記駆動対象回路を2値の信号電圧で駆動する手段を有することを特徴とする電流駆動回路。

26. 請求項18乃至21のいずれかに記載の電流駆動回路において、
前記駆動対象回路は表示装置の画素内に設置され、

5 前記プリチャージ回路及び前記電流源回路は前記表示装置のソースドライバ回路内に設置されていることを特徴とする電流駆動回路。

27. 請求項18乃至21のいずれかに記載の電流駆動回路において、
前記駆動対象回路はデジタル電圧・アナログ電流変換回路に設置され、

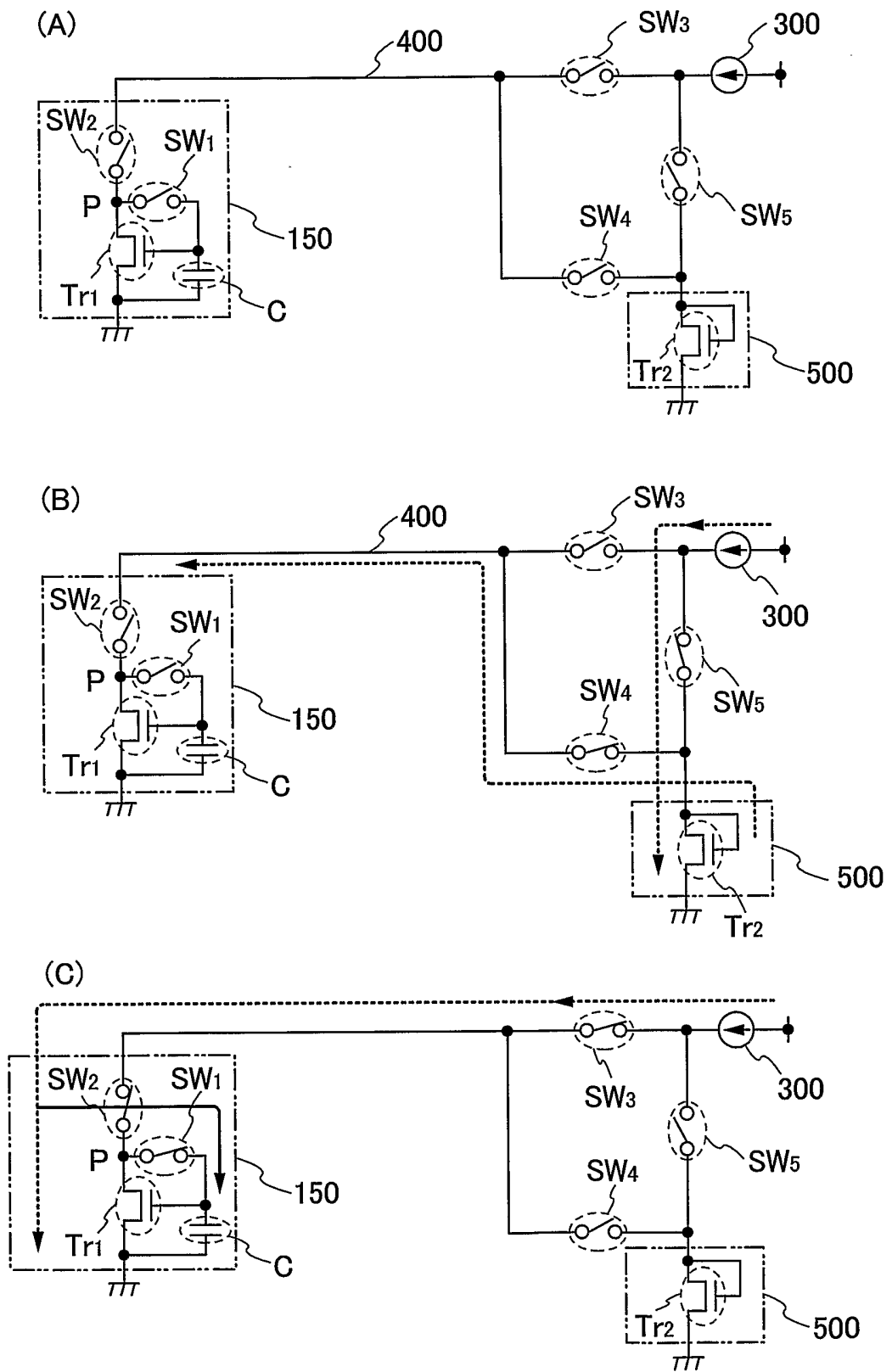
10

前記プリチャージ回路と前記電流源回路はリファレンス電流源回路に設置されていることを特徴とする電流駆動回路。

28. 請求項18乃至21のいずれかに記載の電流駆動回路において、
前記プリチャージ回路はトランジスタを有し、

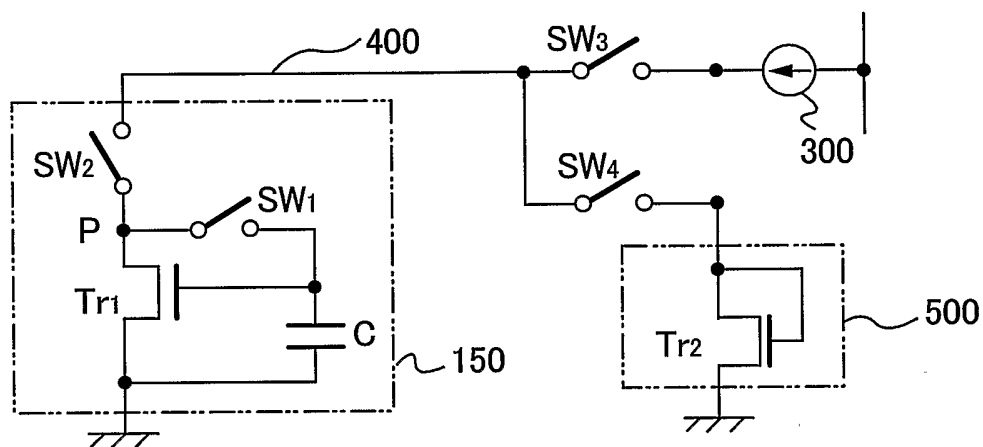
15

前記トランジスタのゲートとドレインは接続されていることを特徴とする電流駆動回路。

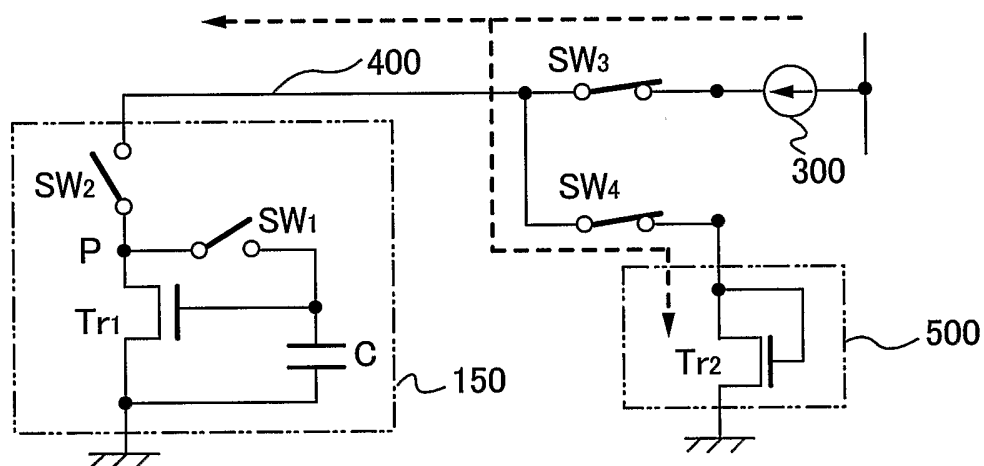


第1図

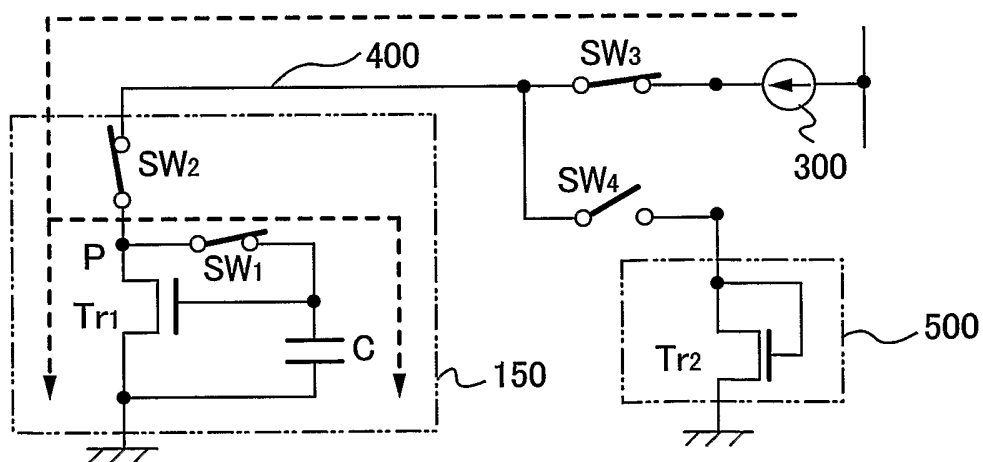
(A)



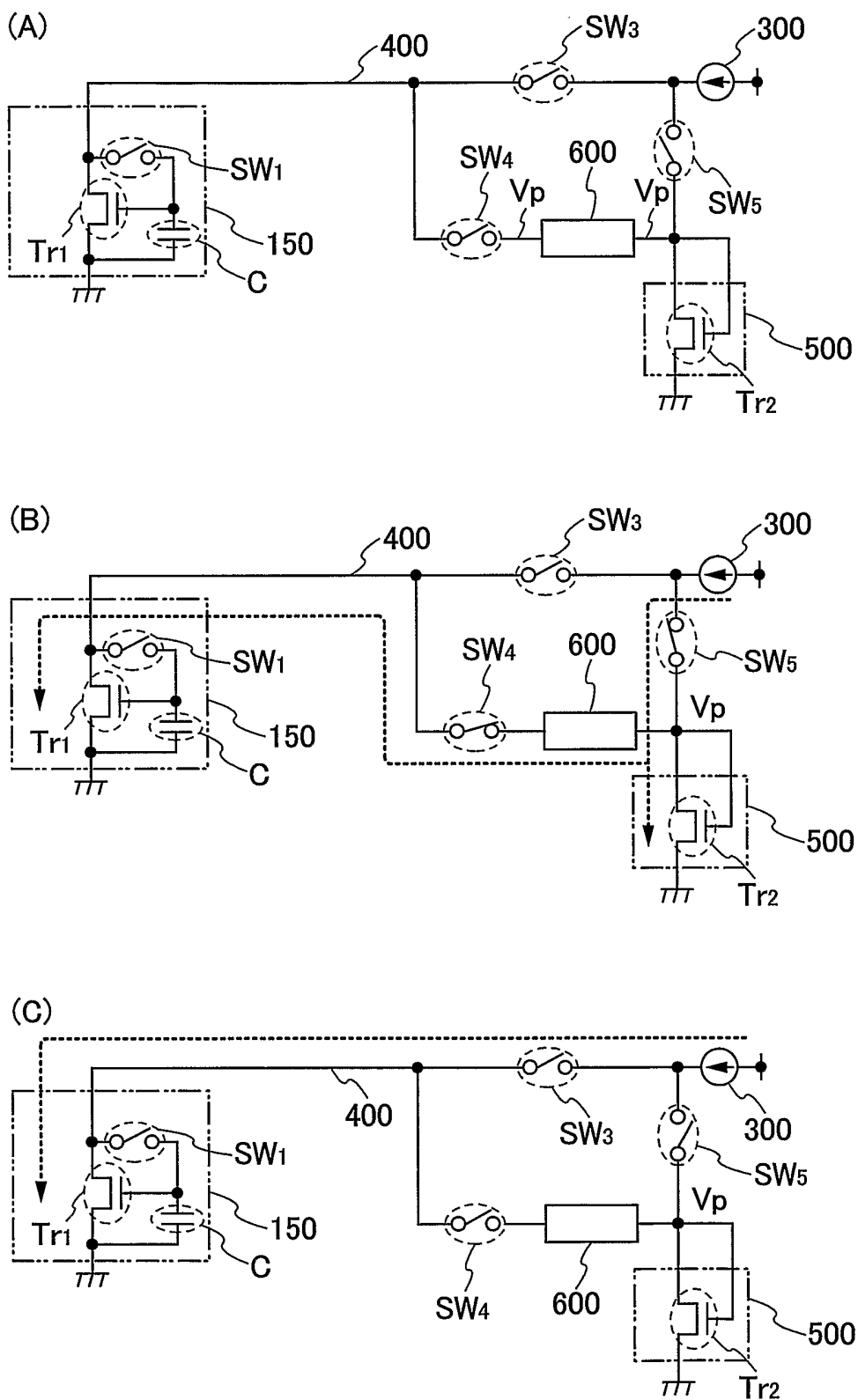
(B)



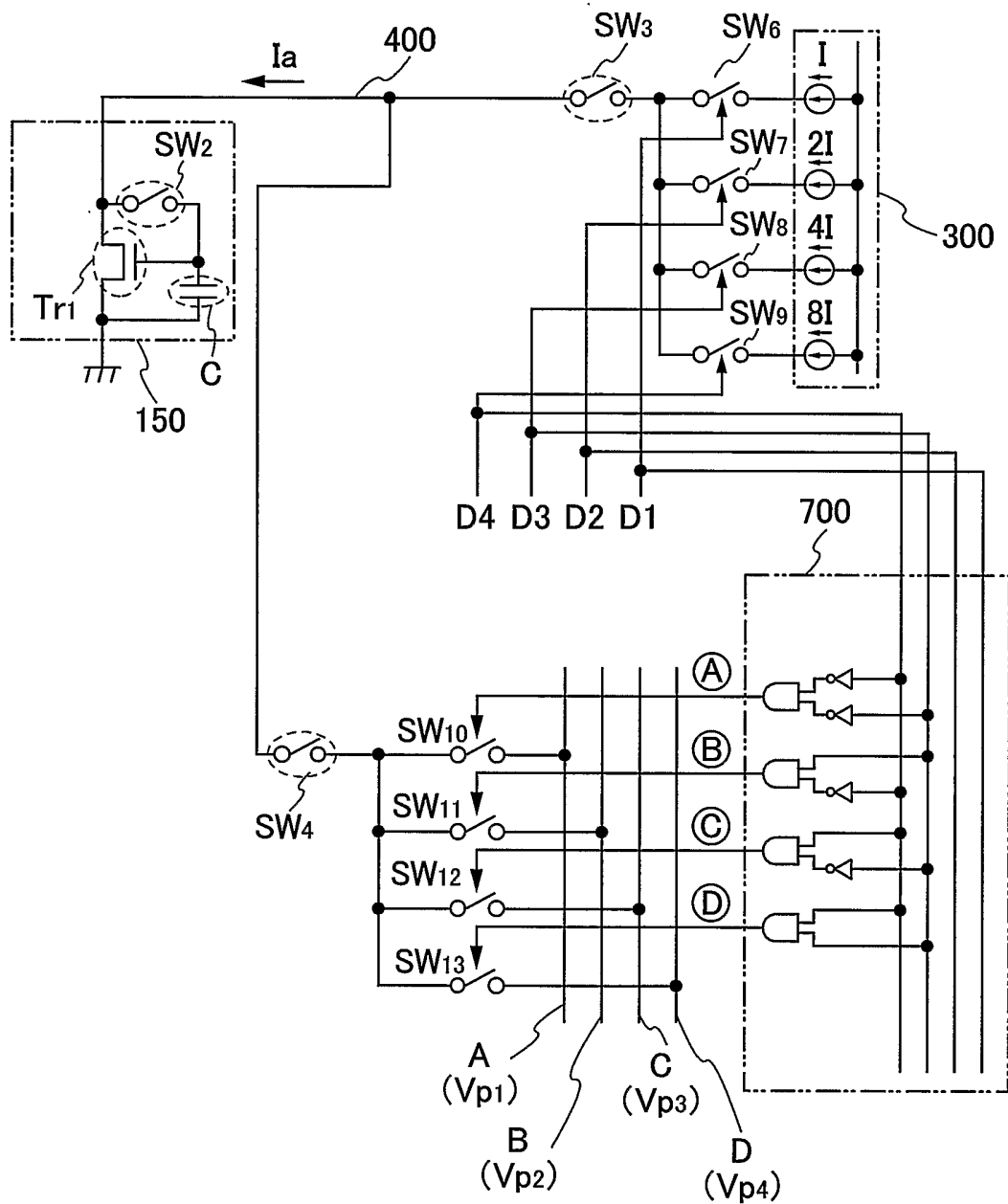
(C)



第2図

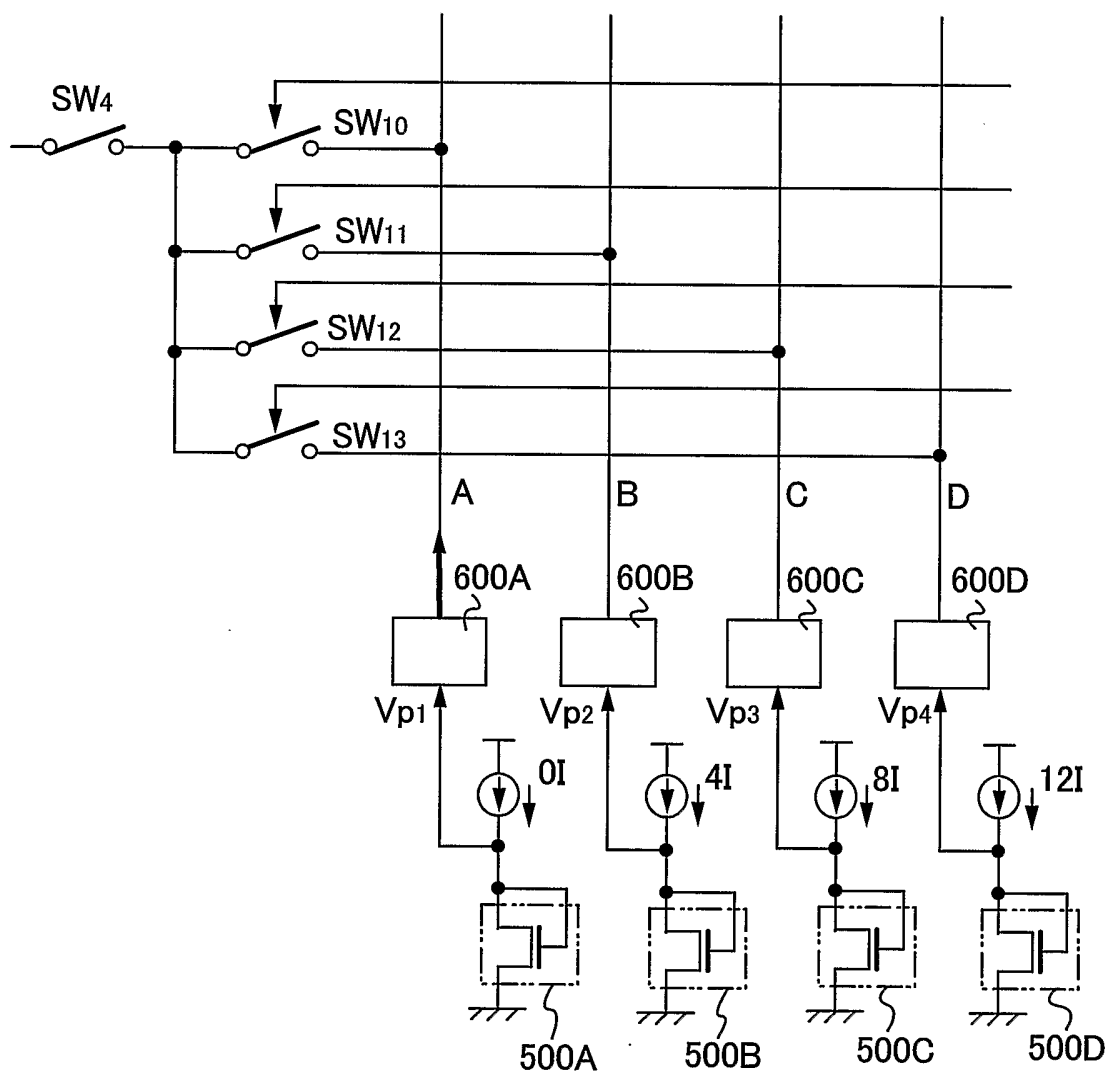


第3図

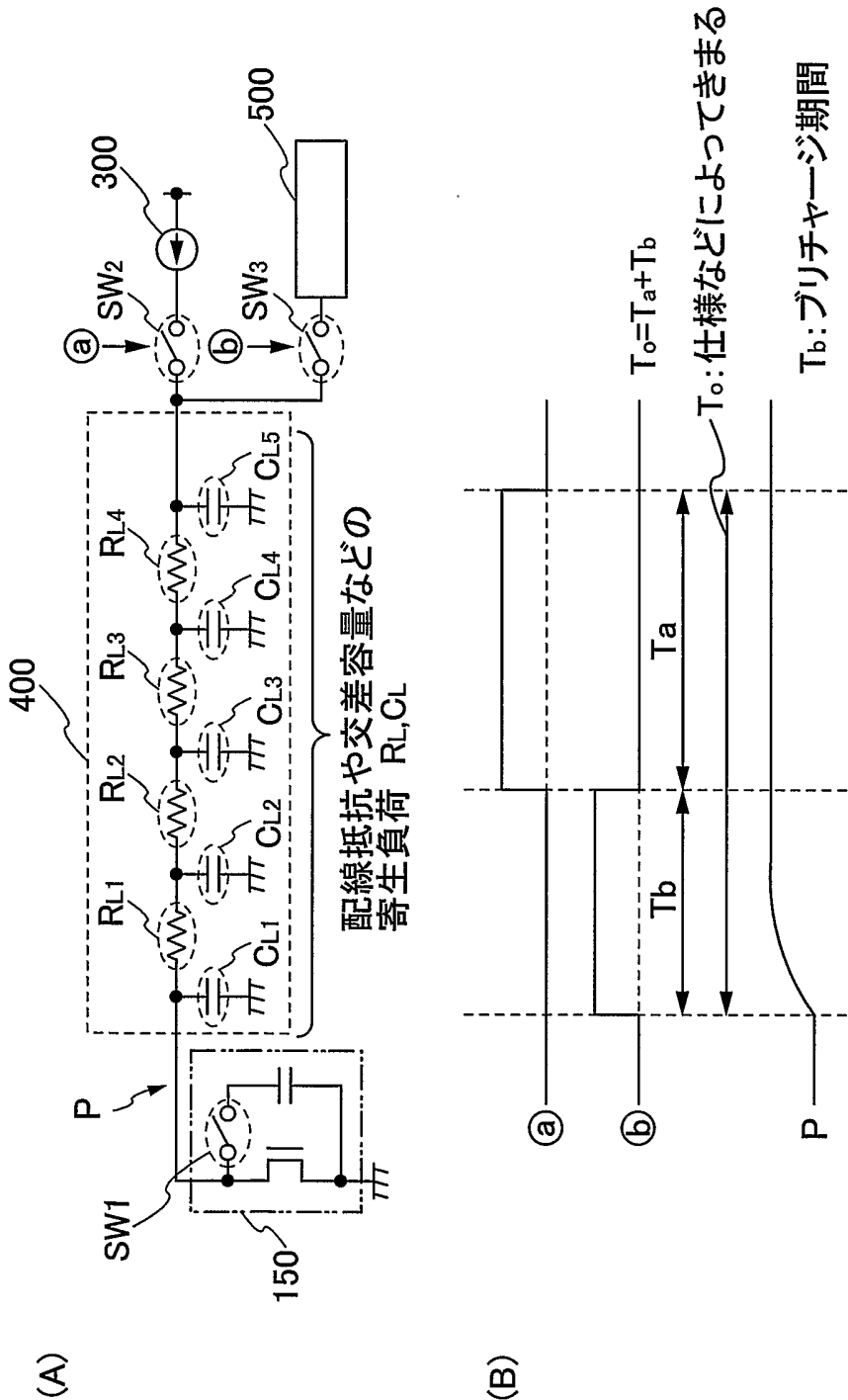


- A: $0 \leq I_a < 4I$
- B: $4I \leq I_a < 8I$
- C: $8I \leq I_a < 12I$
- D: $12I \leq I_a < 16I$

第4図



第5図

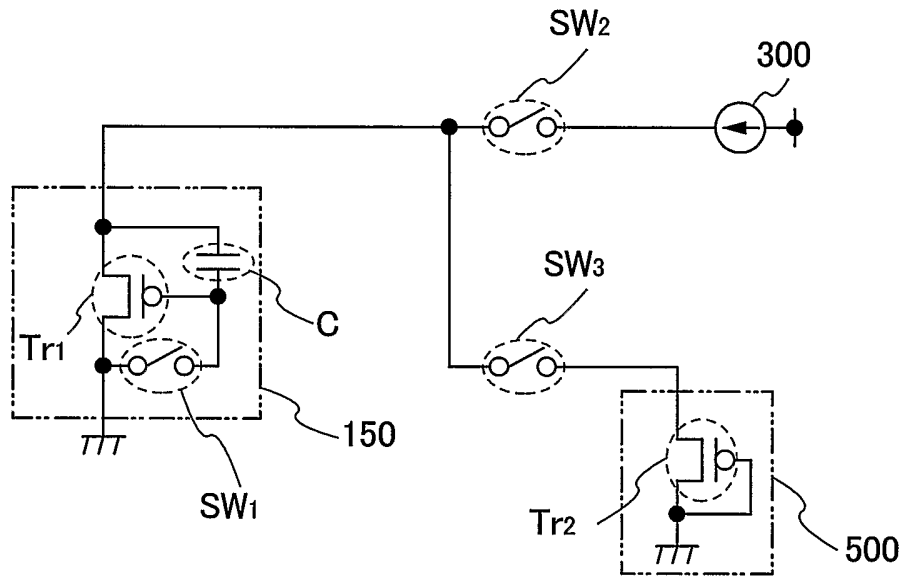


タイミングの決め方

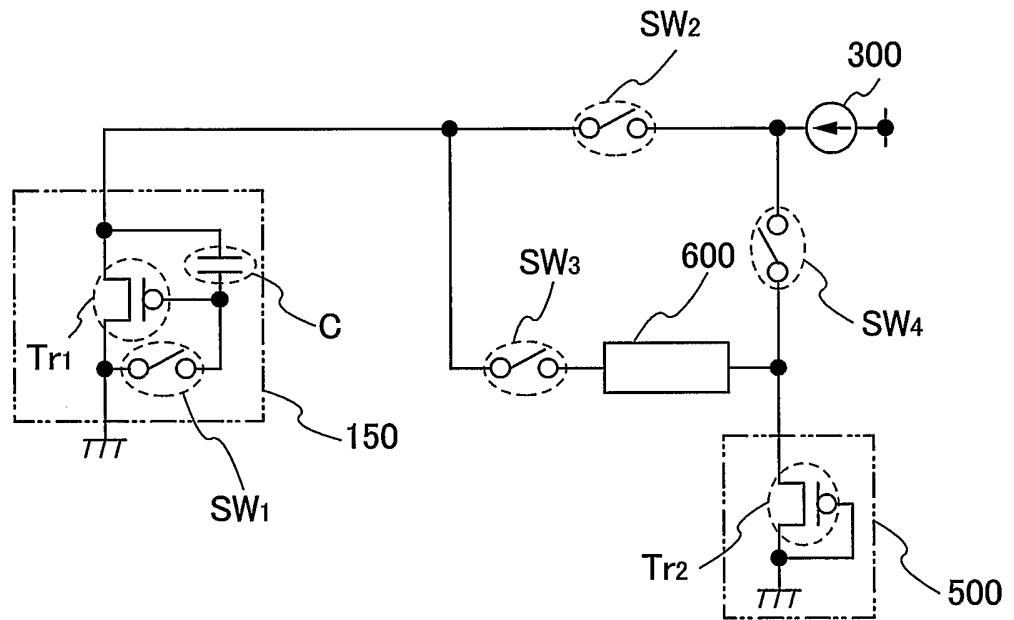
$$T_b = \tau = R_L \times C_L$$

ただし、その場合 $T_a < T_b$ となるなら $T_a = T_b$ とする。

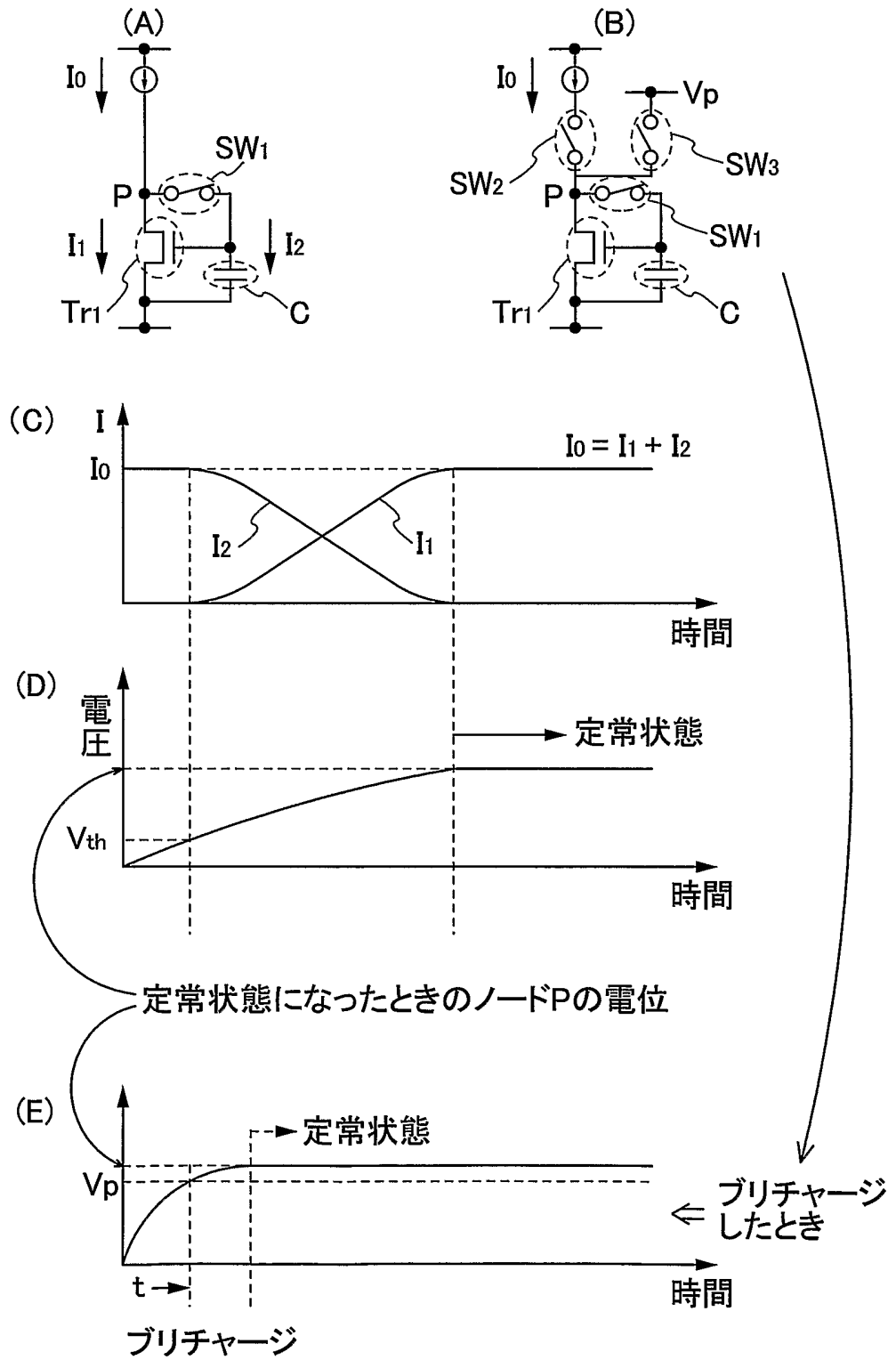
第6図



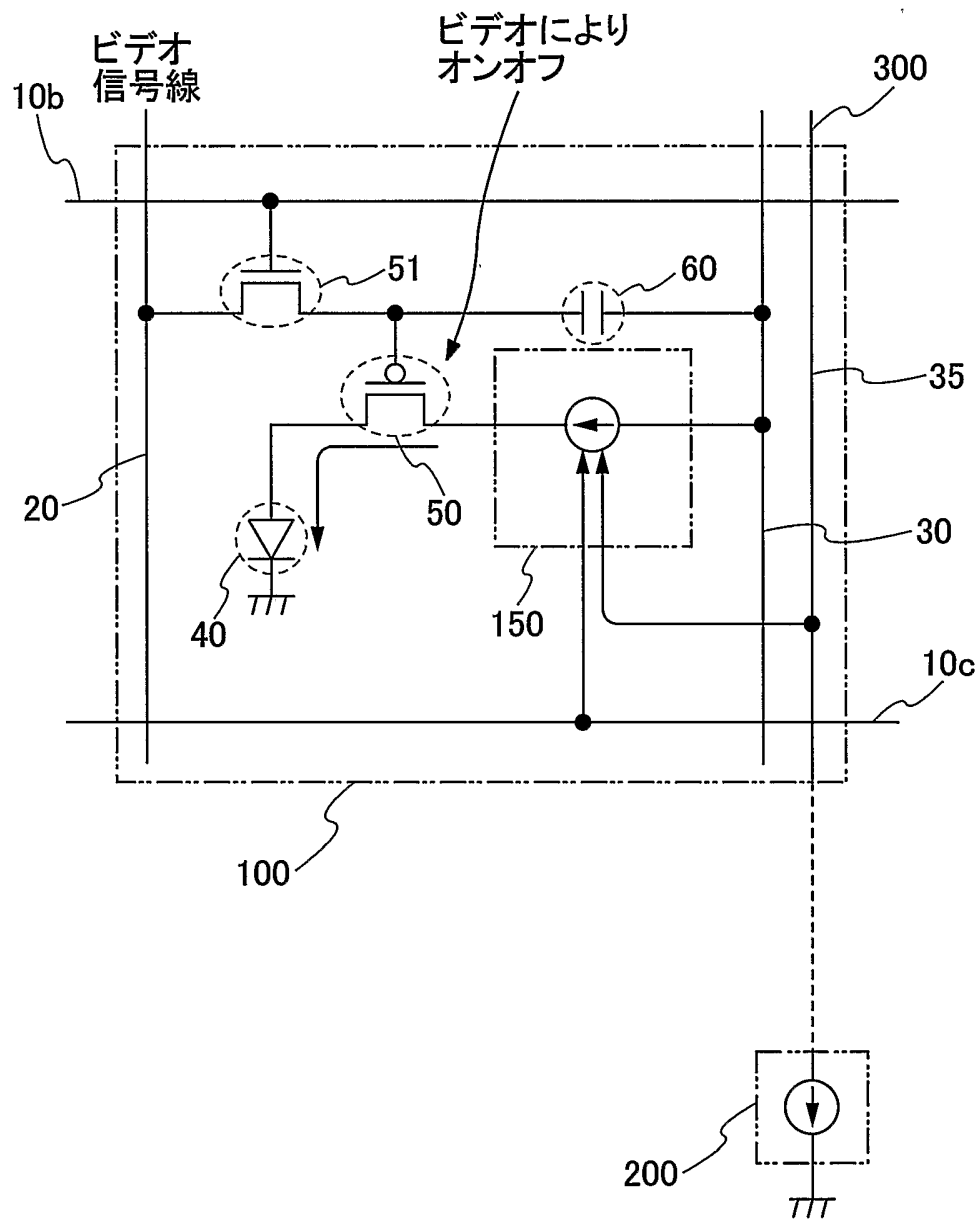
第7図



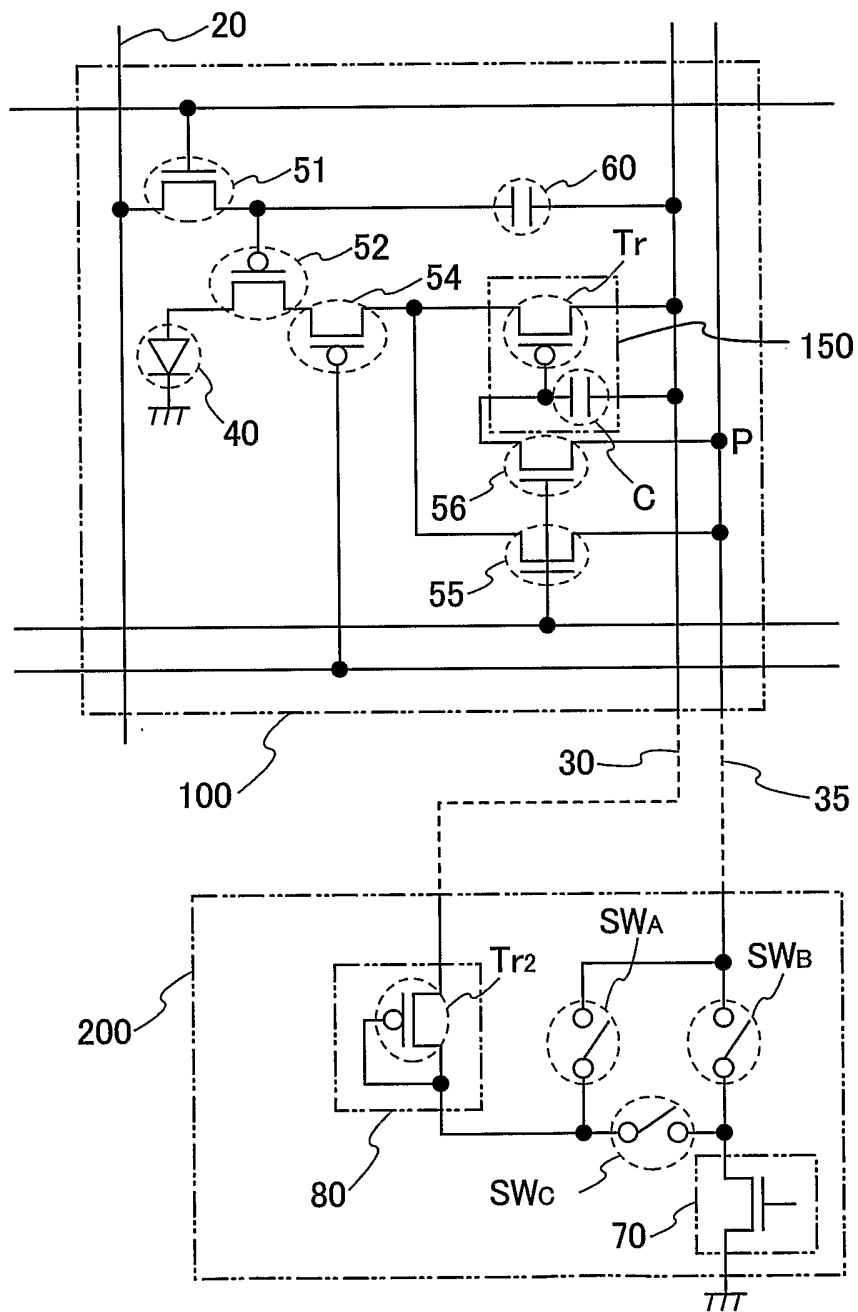
第8図



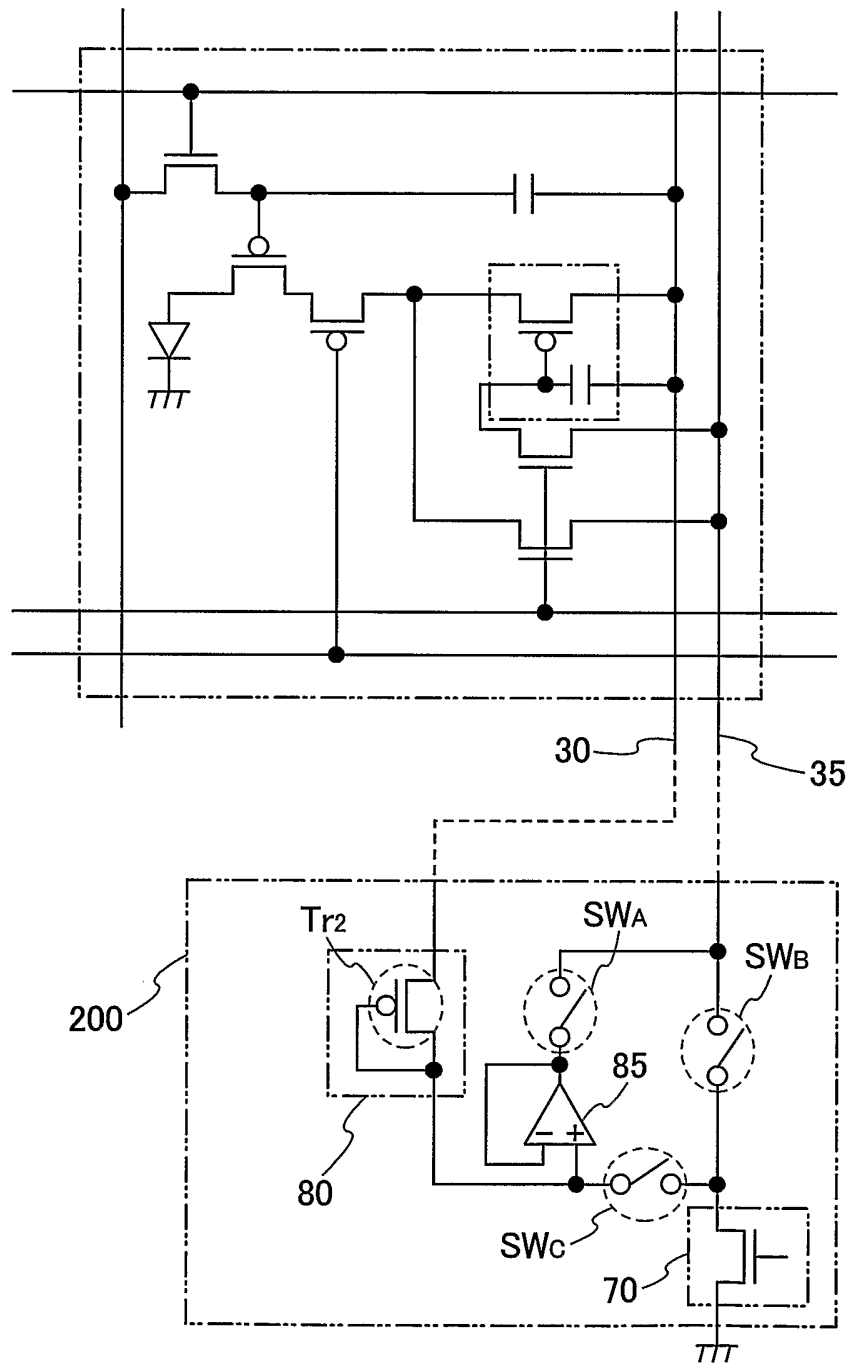
第9図



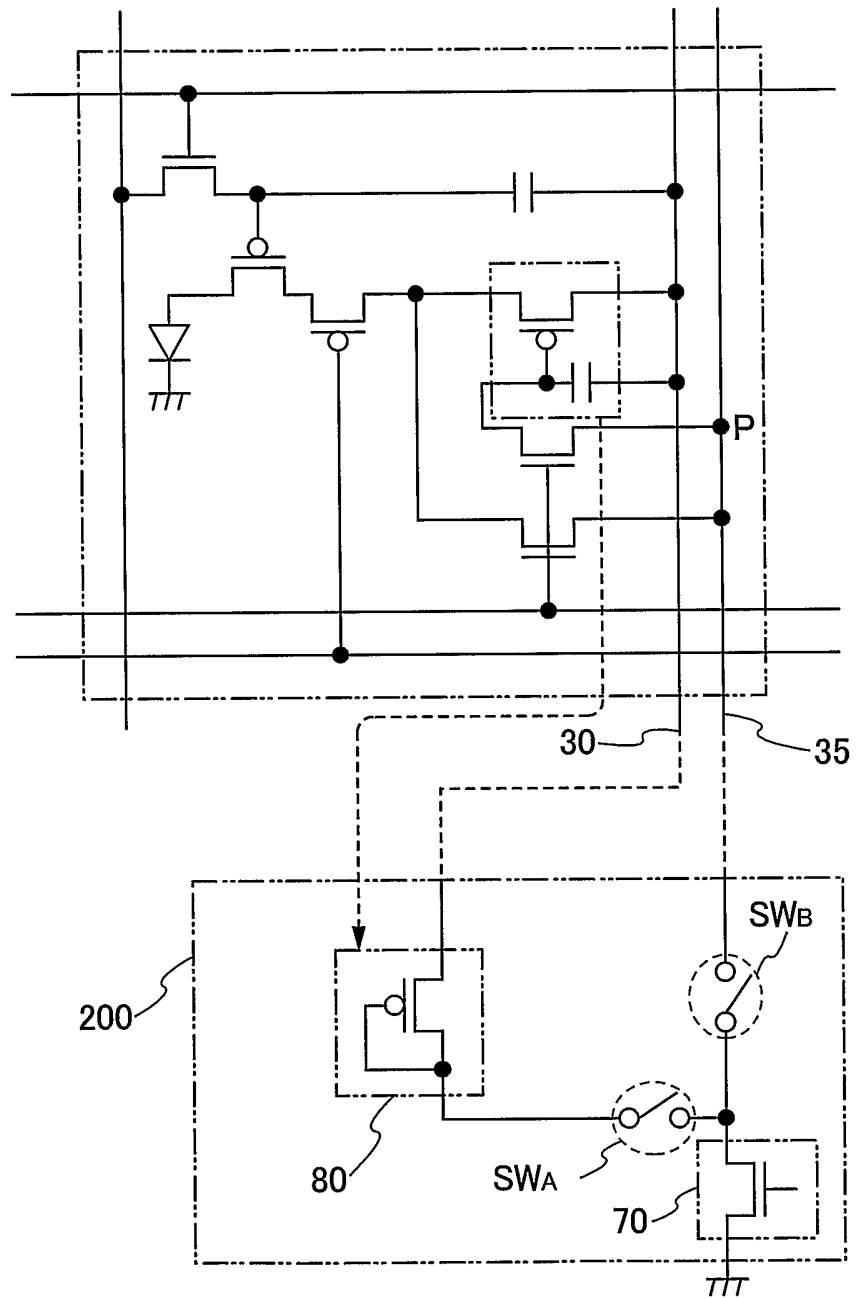
第10図



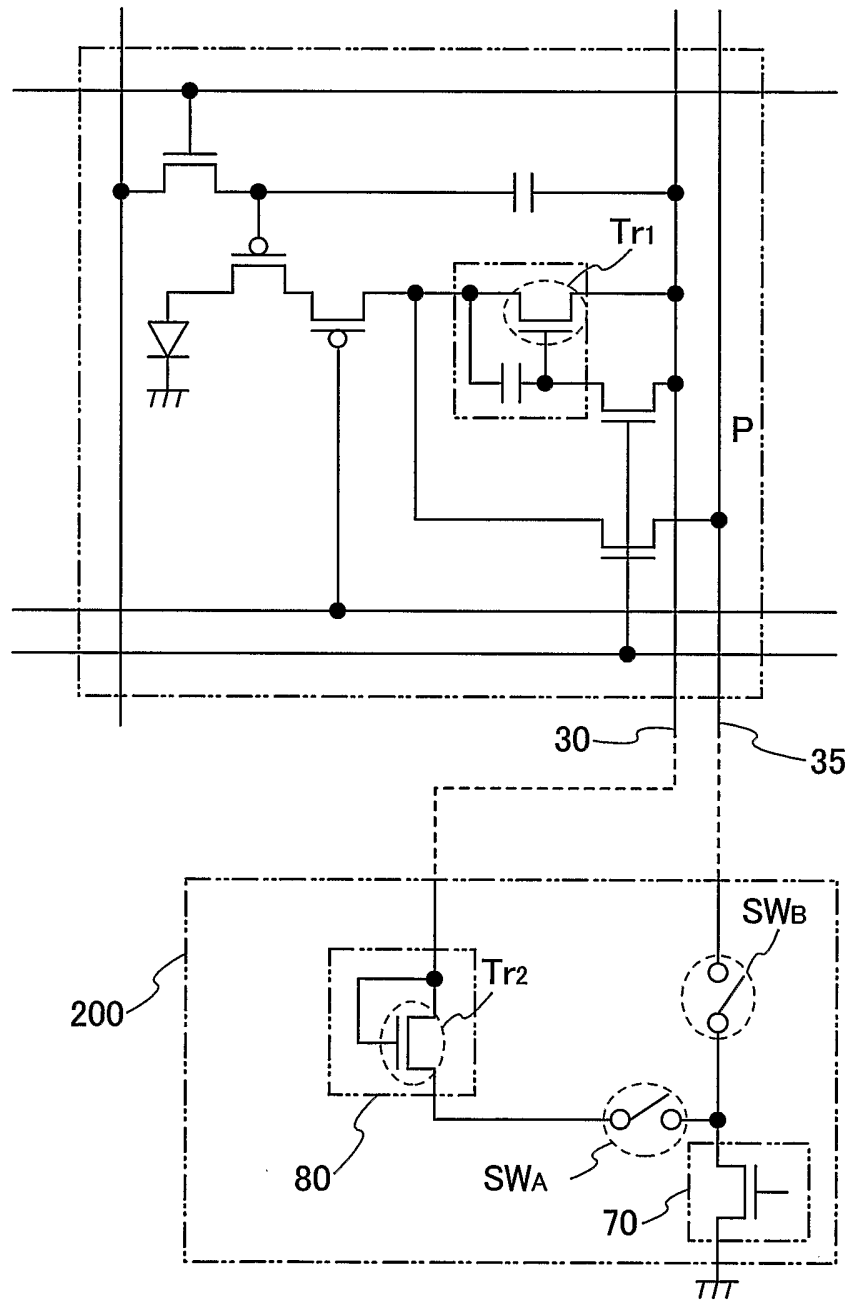
第11図



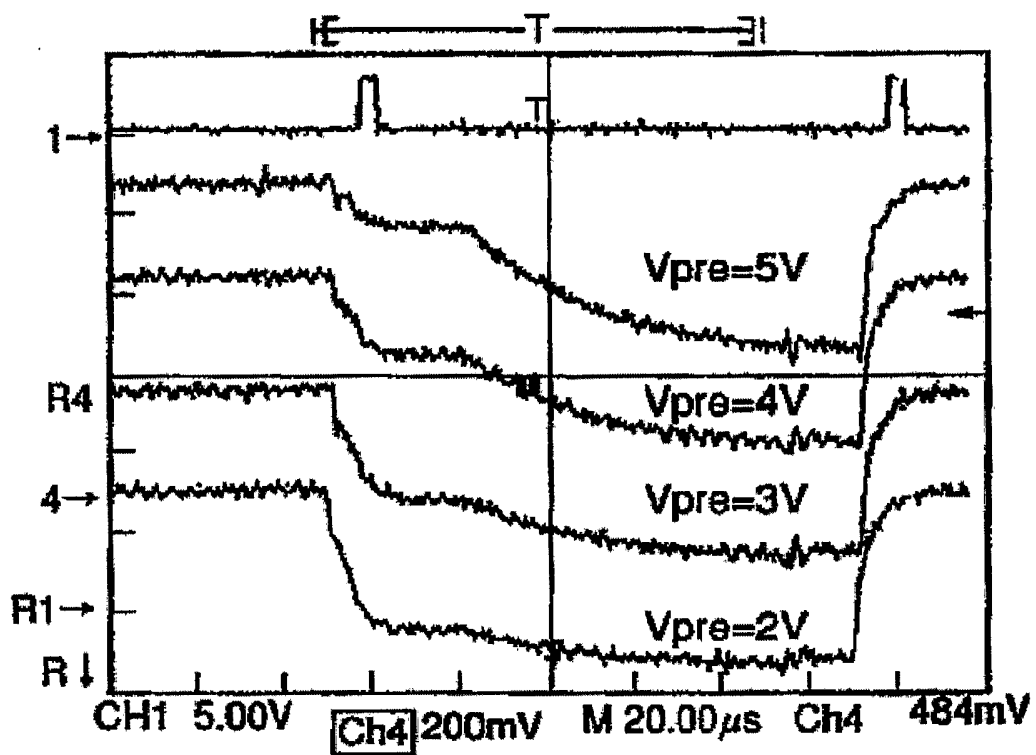
第12図



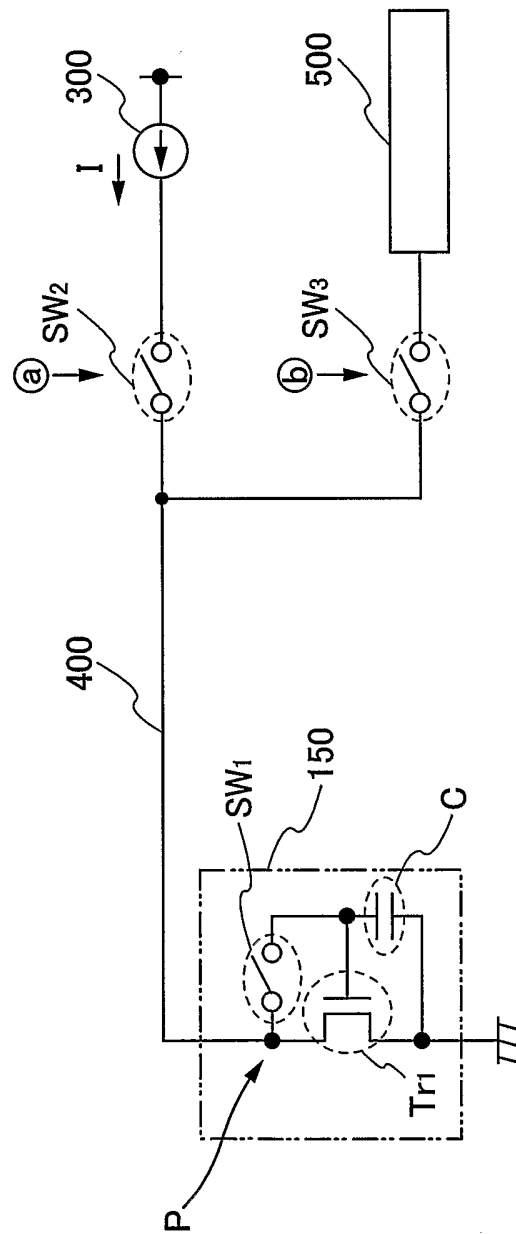
第13図



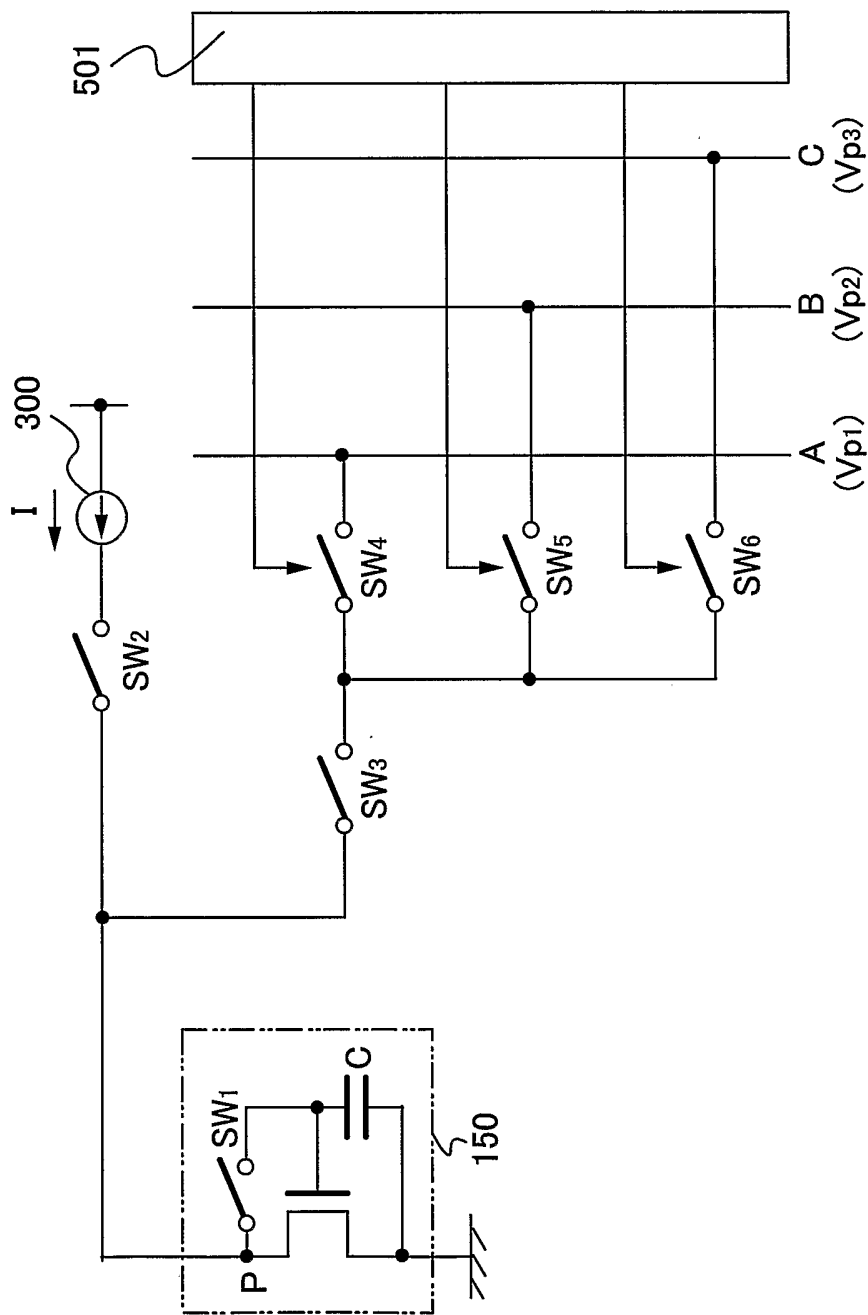
第14図



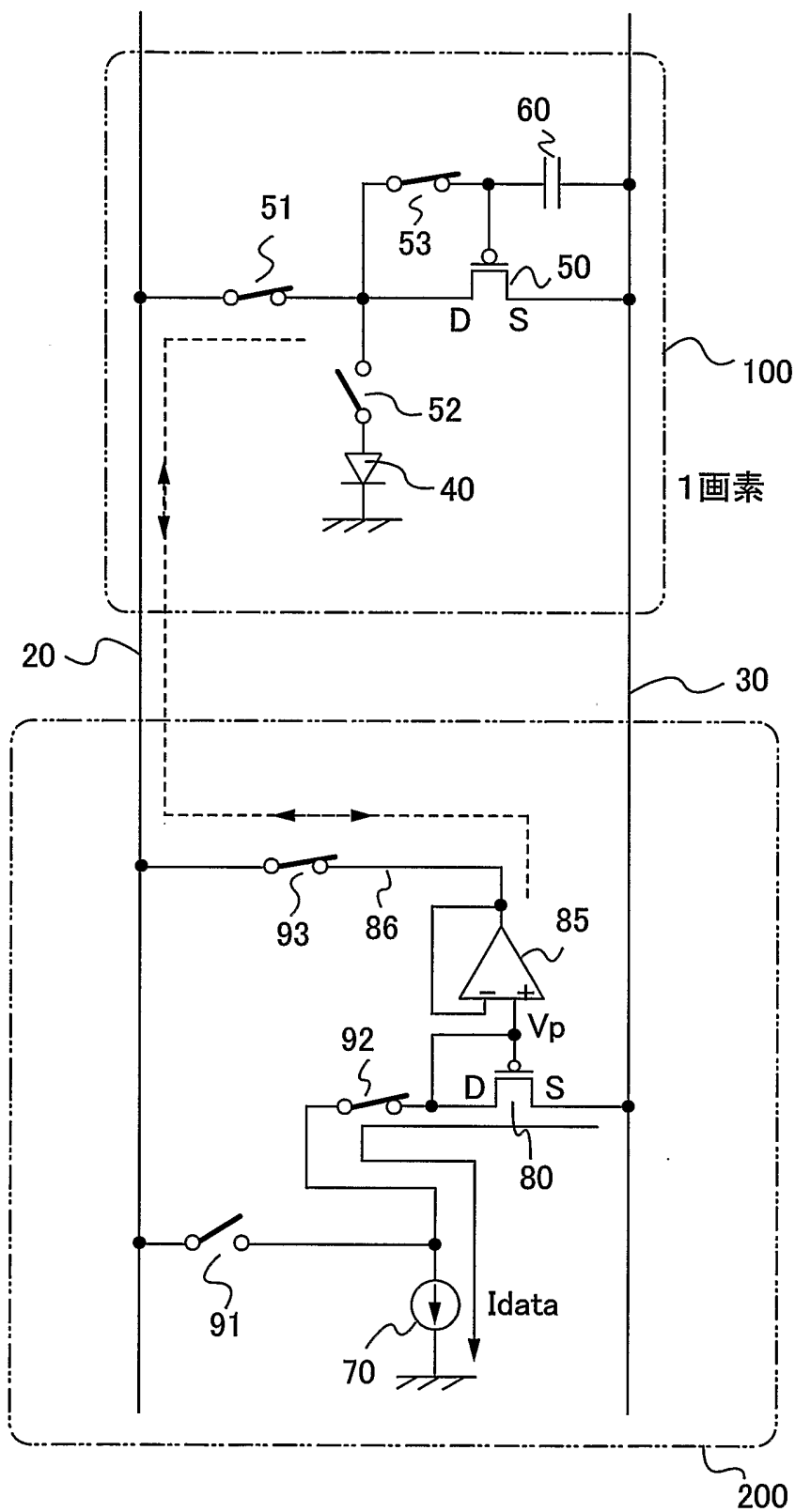
第15図



第16図

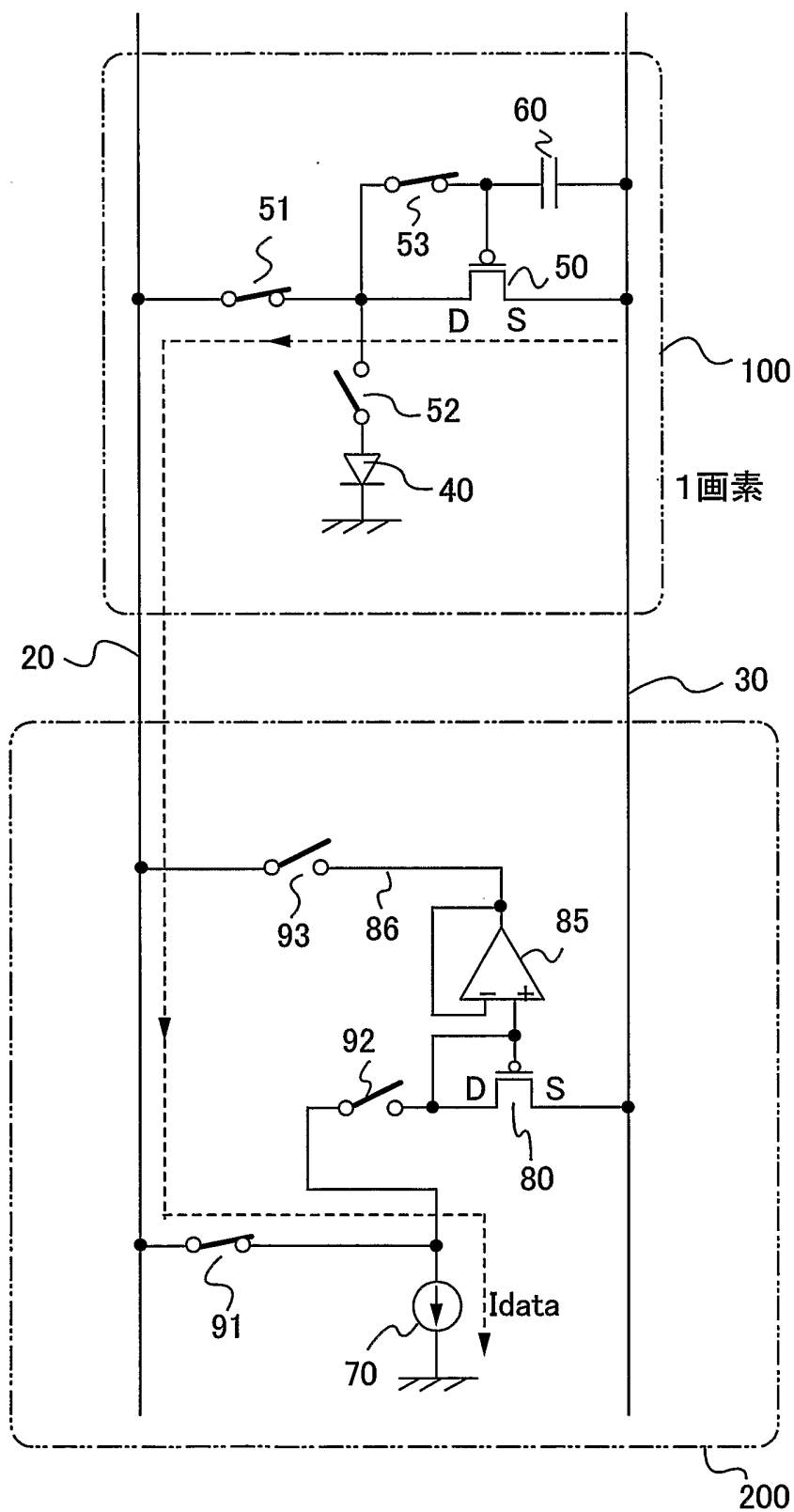


第17図

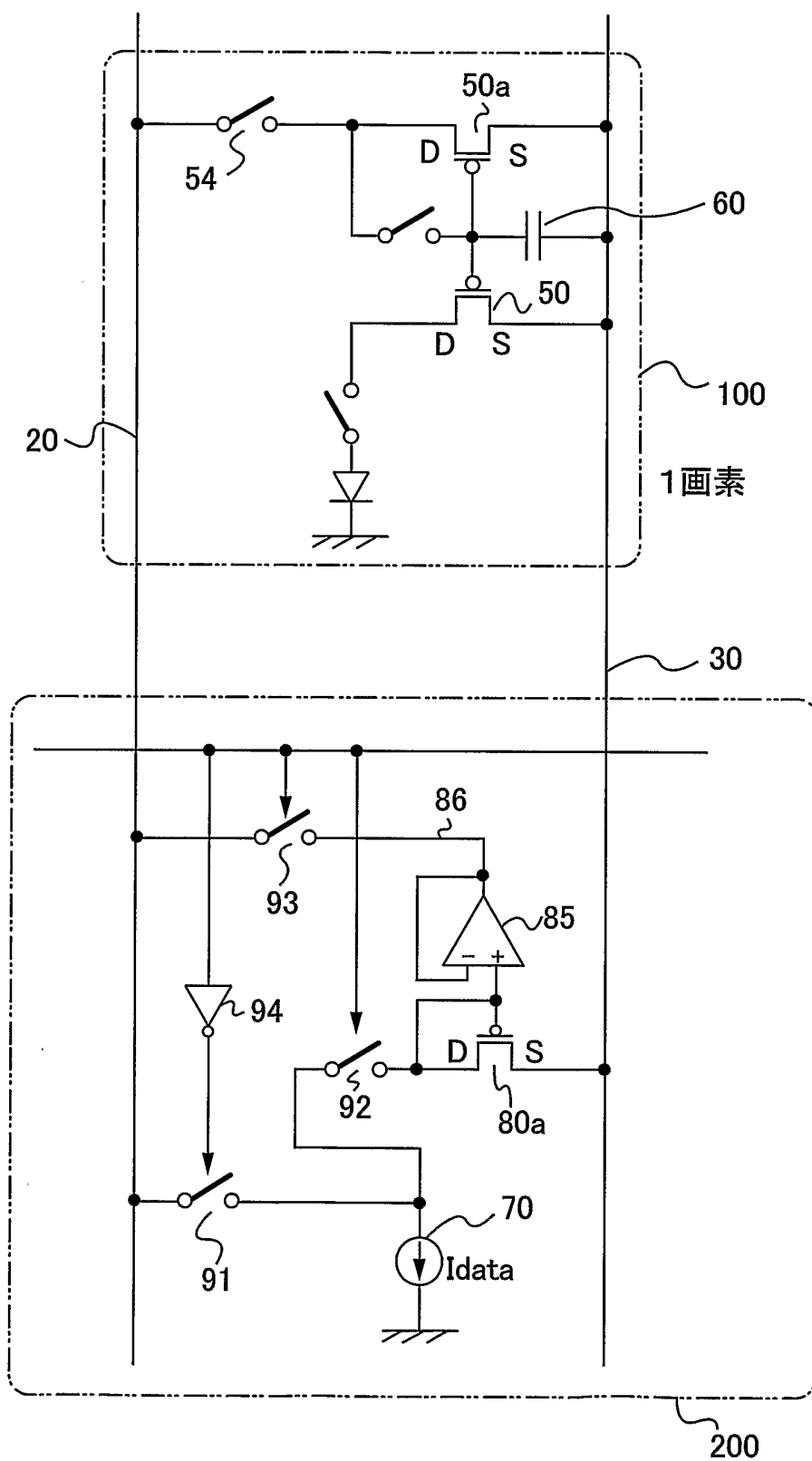


第19図

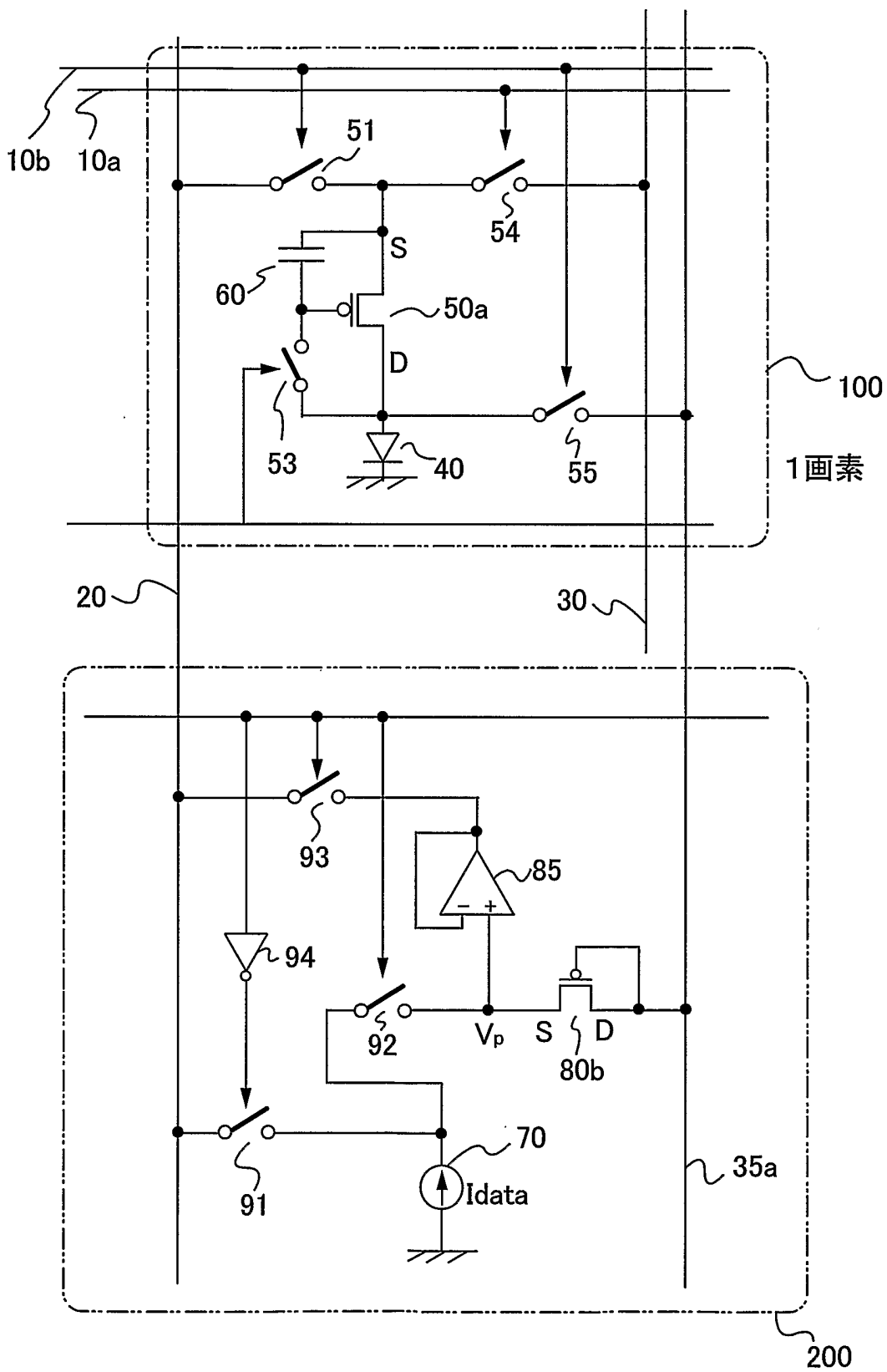
20/42



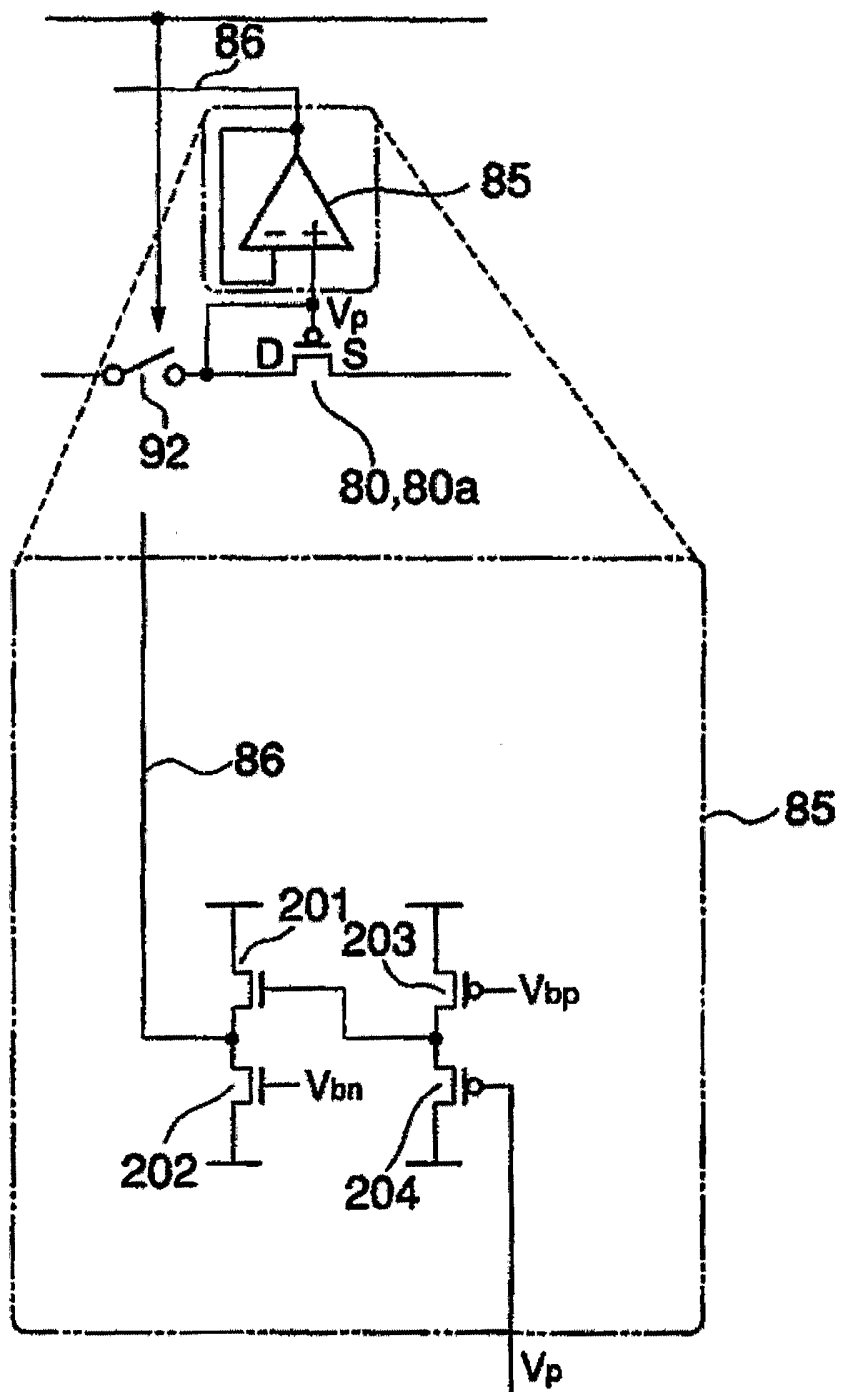
第20図



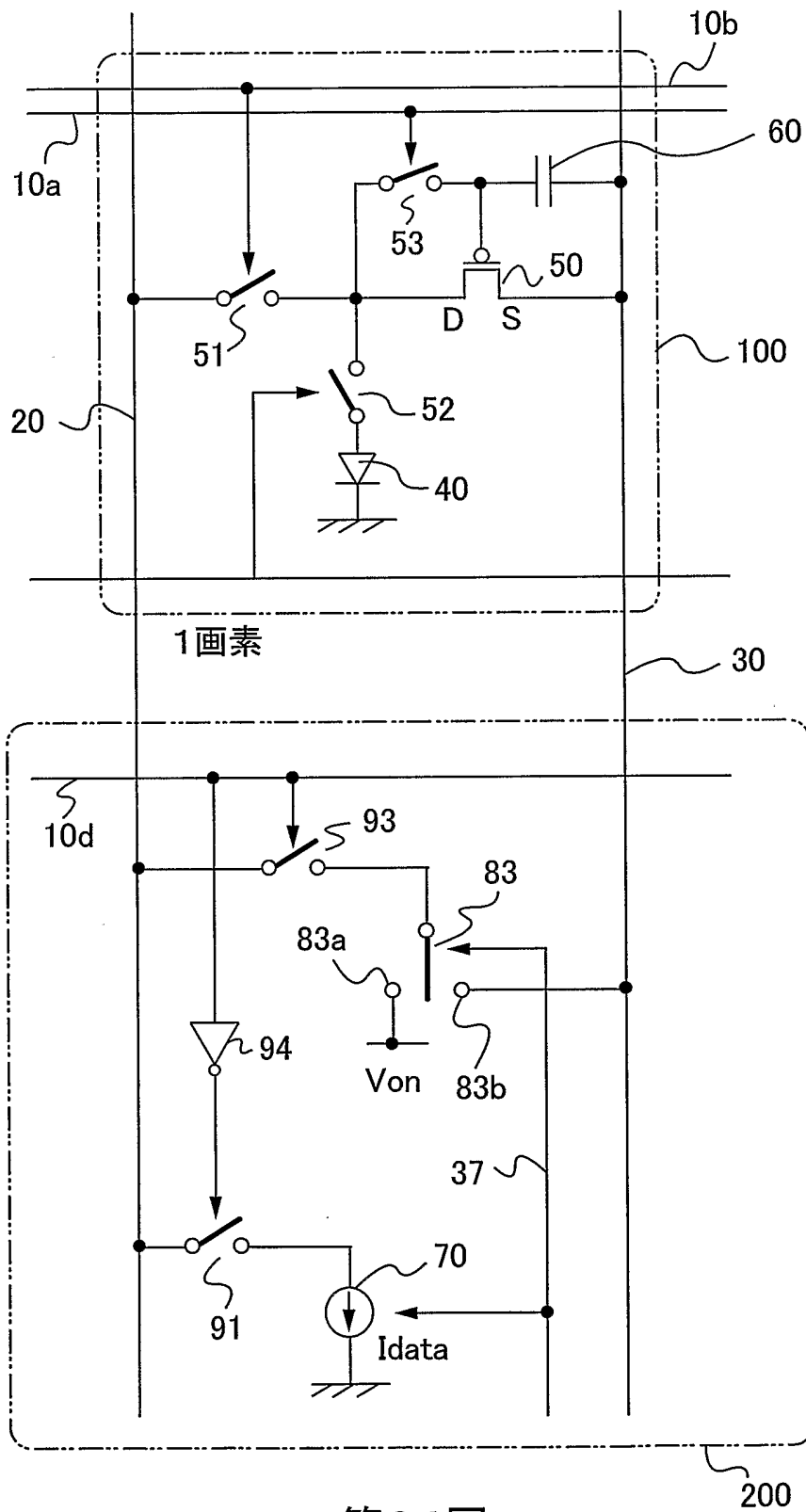
第21図



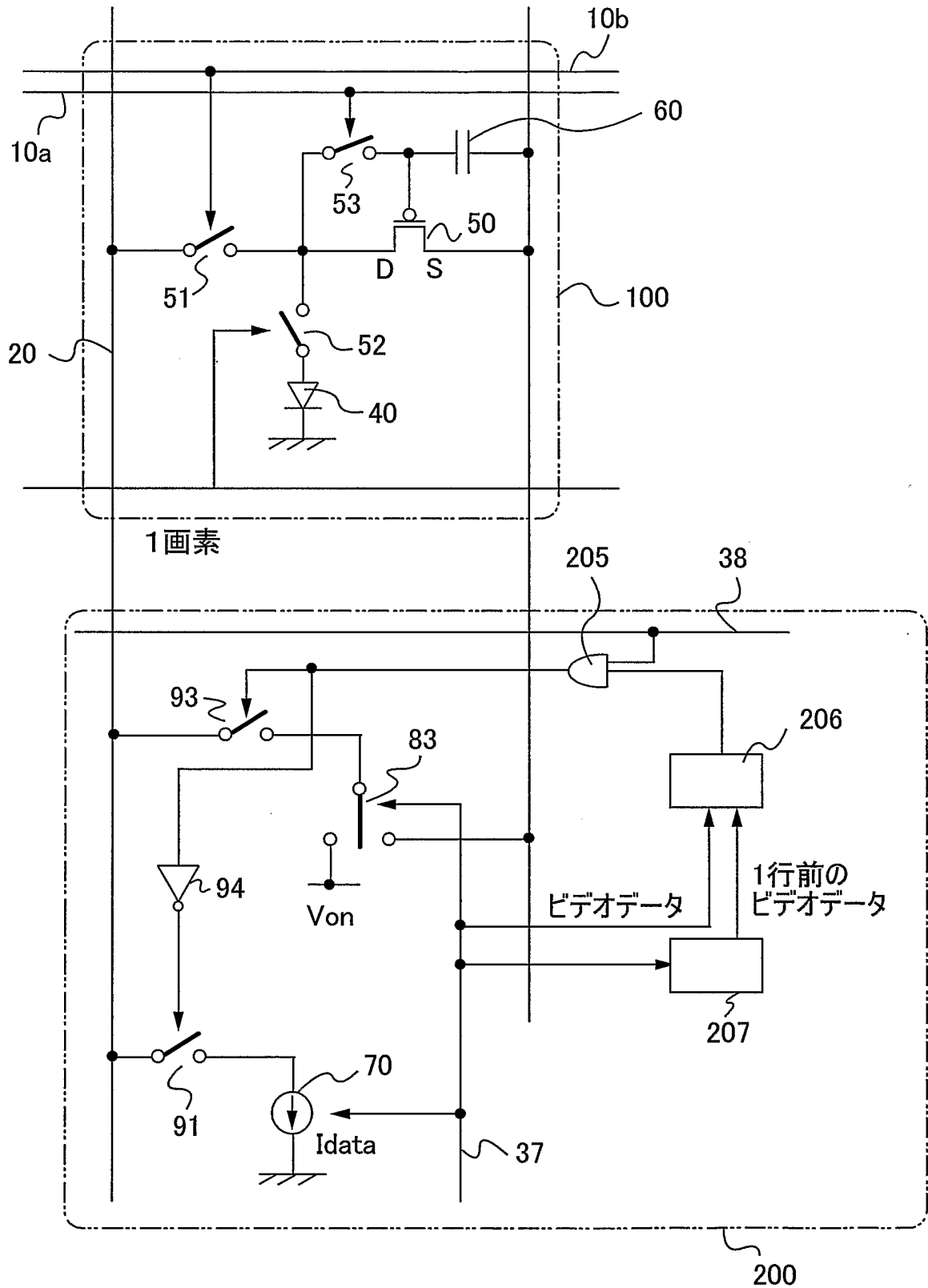
第22図



第23図

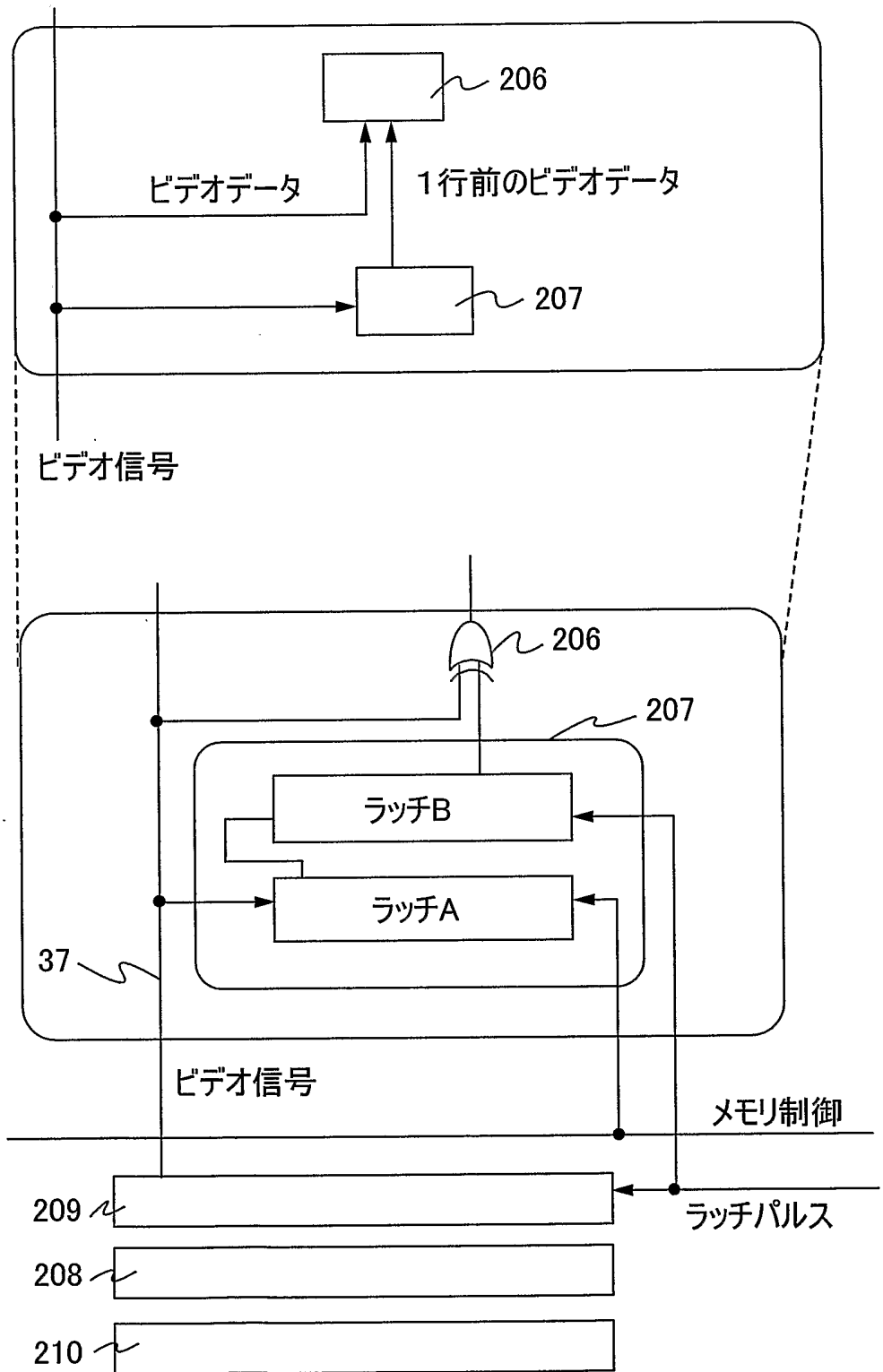


第24図

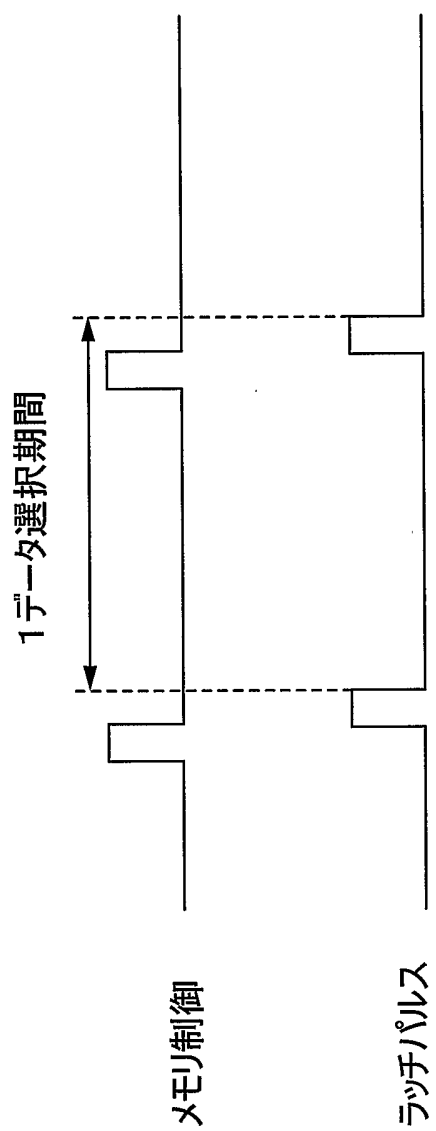


第25図



26/42



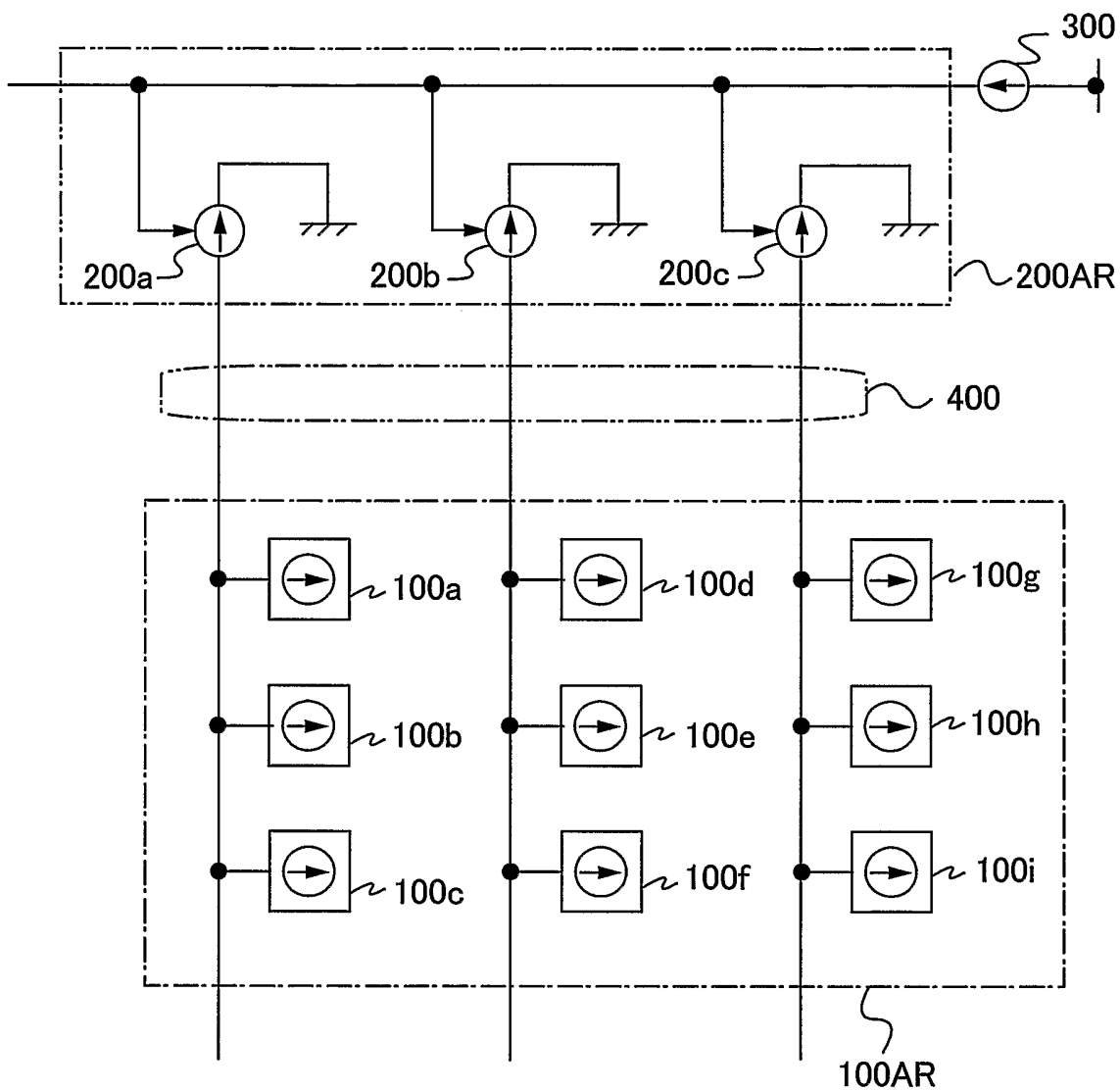
第26図



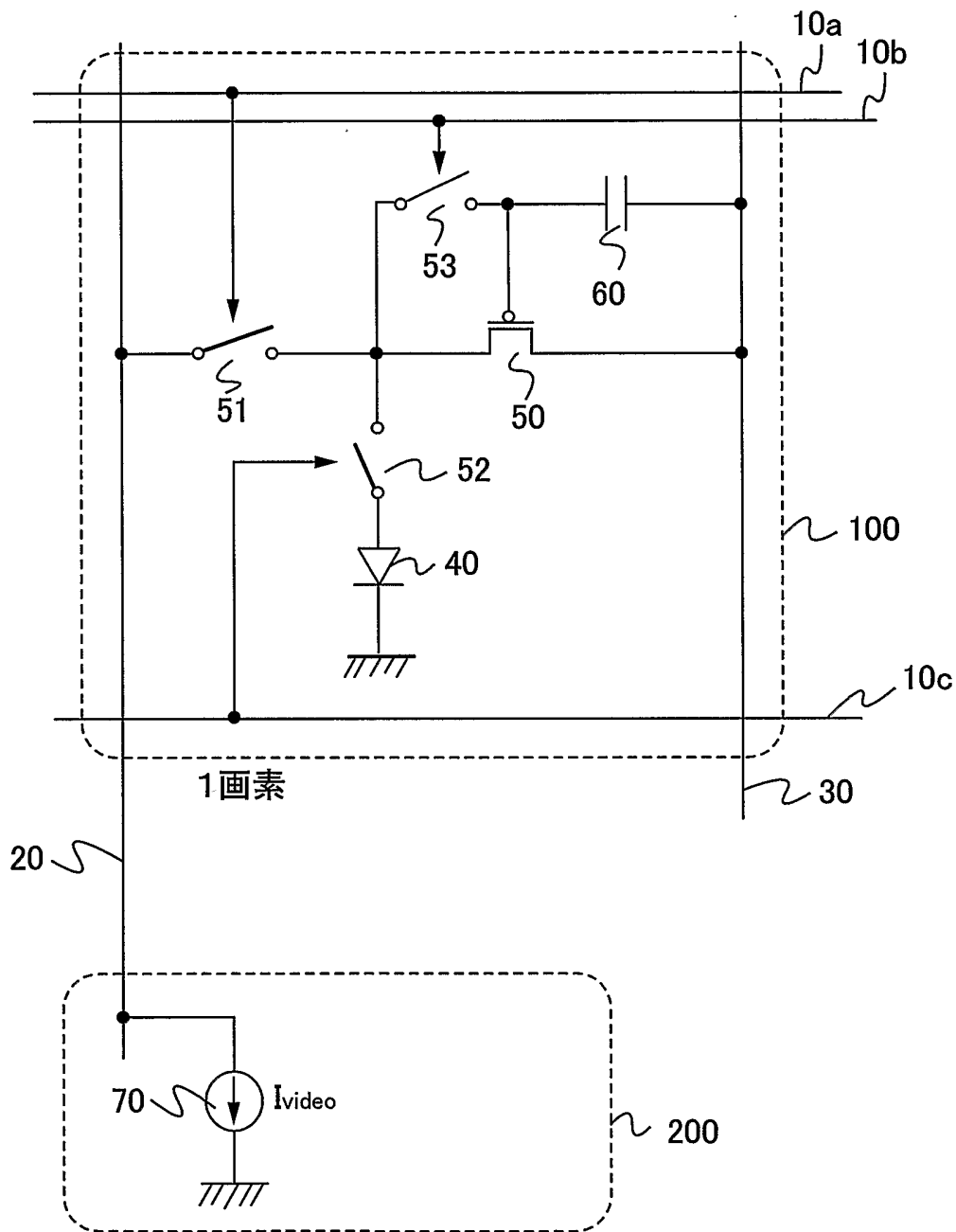
第27図

行番号 (時間)	1 2 3 4 5 6 7 8 9 10 11 12
ビデオデータ (一列目)	
プリチャージ (一列目)	あり あり なし なし あり あり なし なし あり あり なし なし
ビデオデータ (2列目)	
プリチャージ (2列目)	あり なし あり あり なし あり あり なし あり あり あり あり

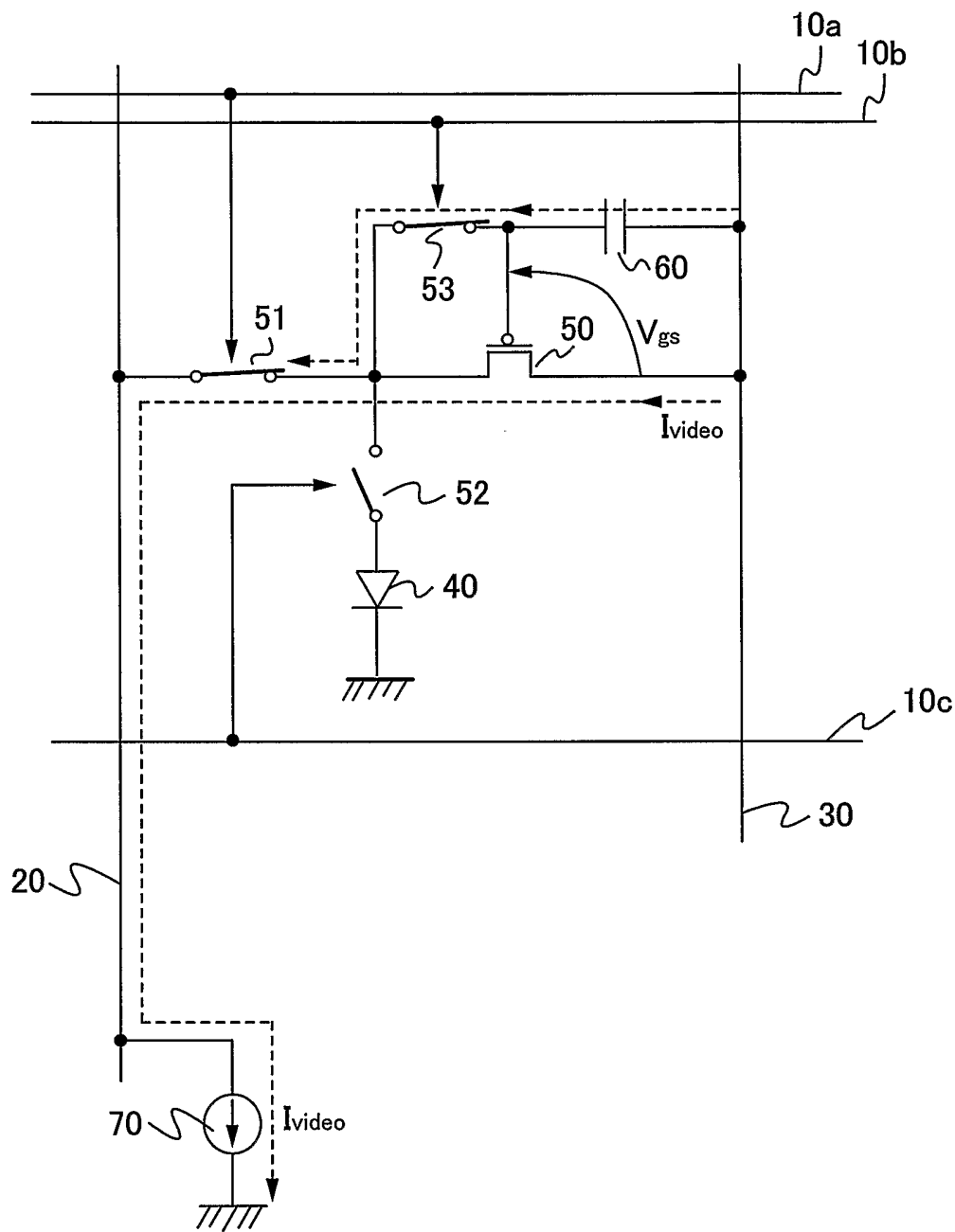
第28図



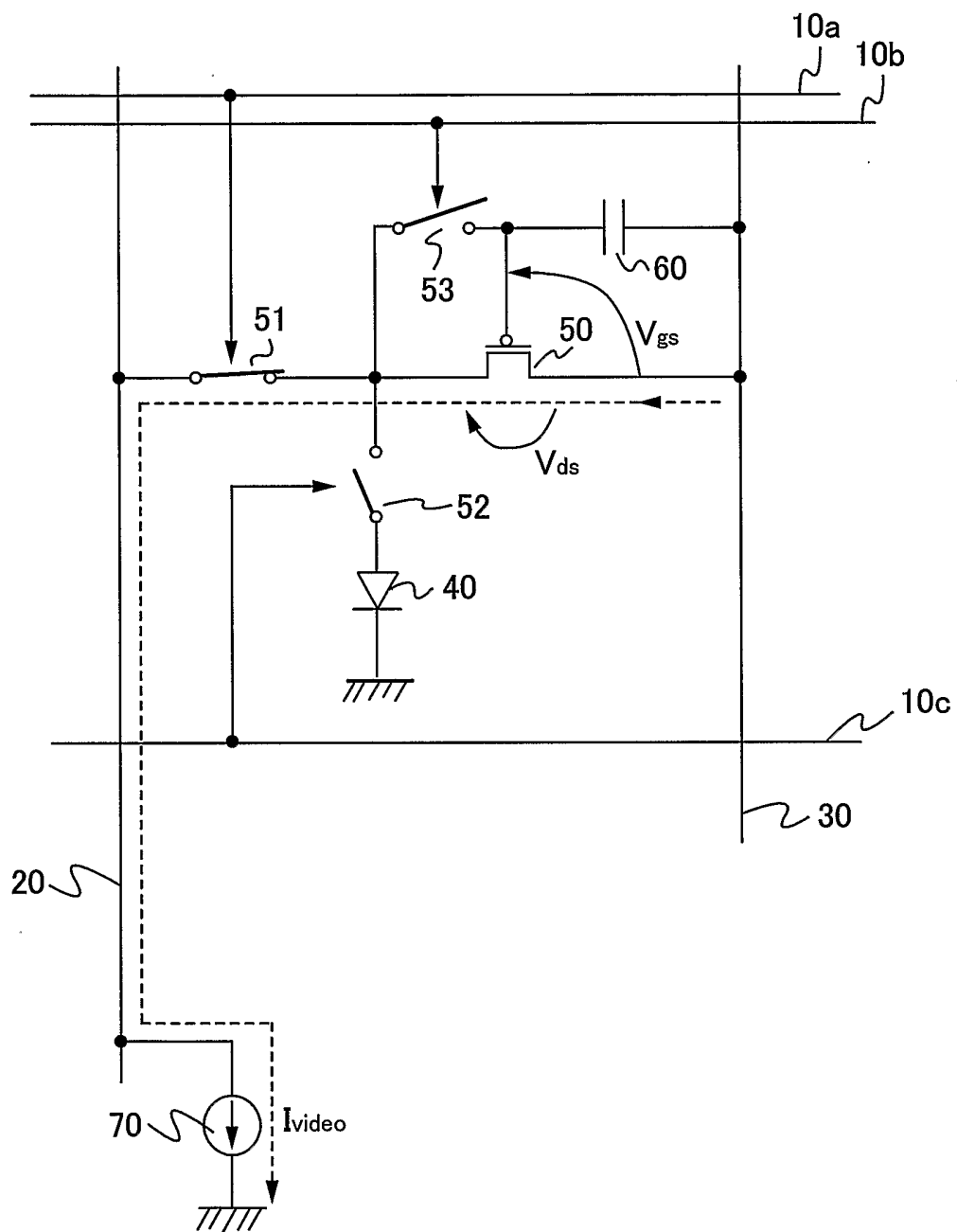
第29図



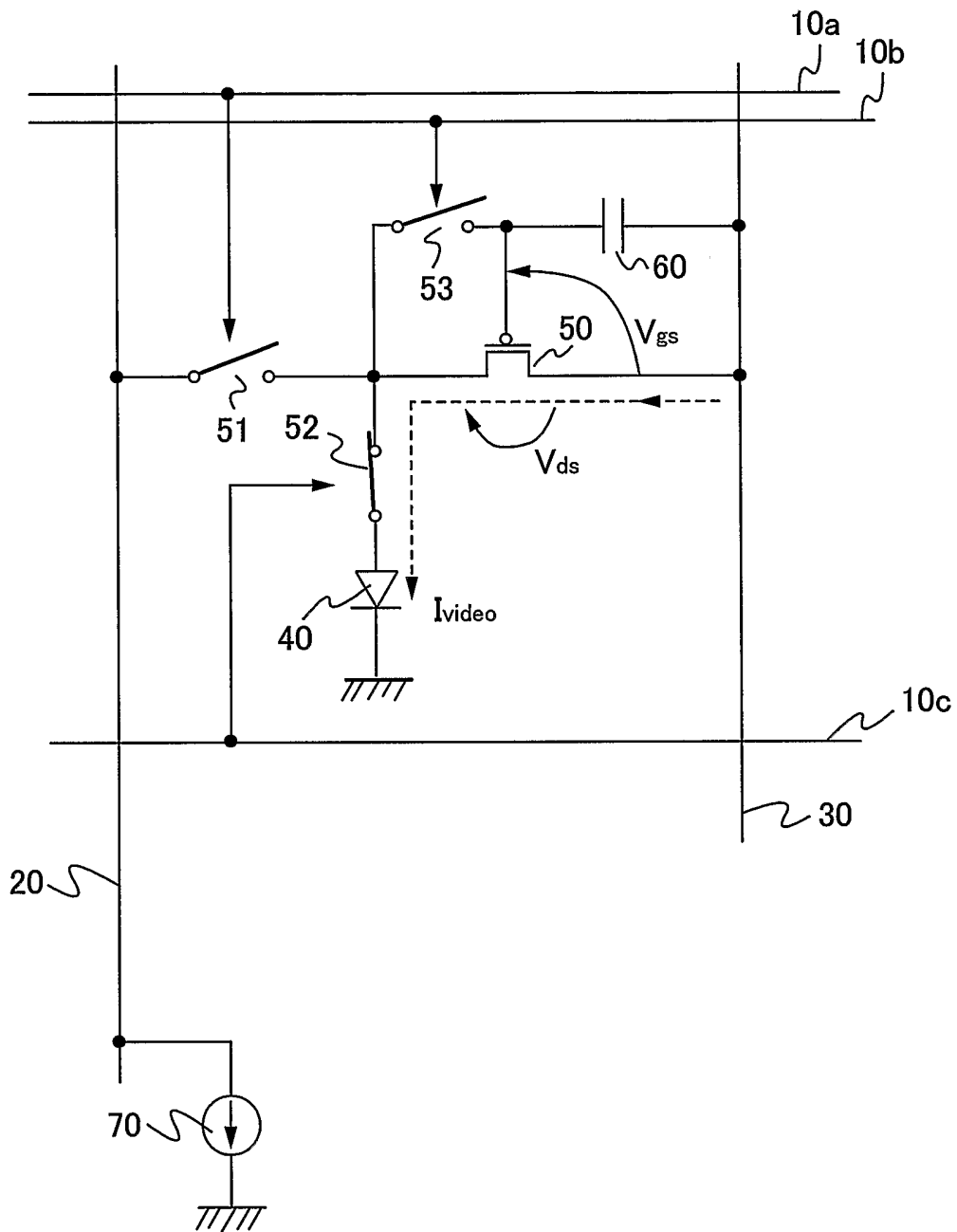
第30図



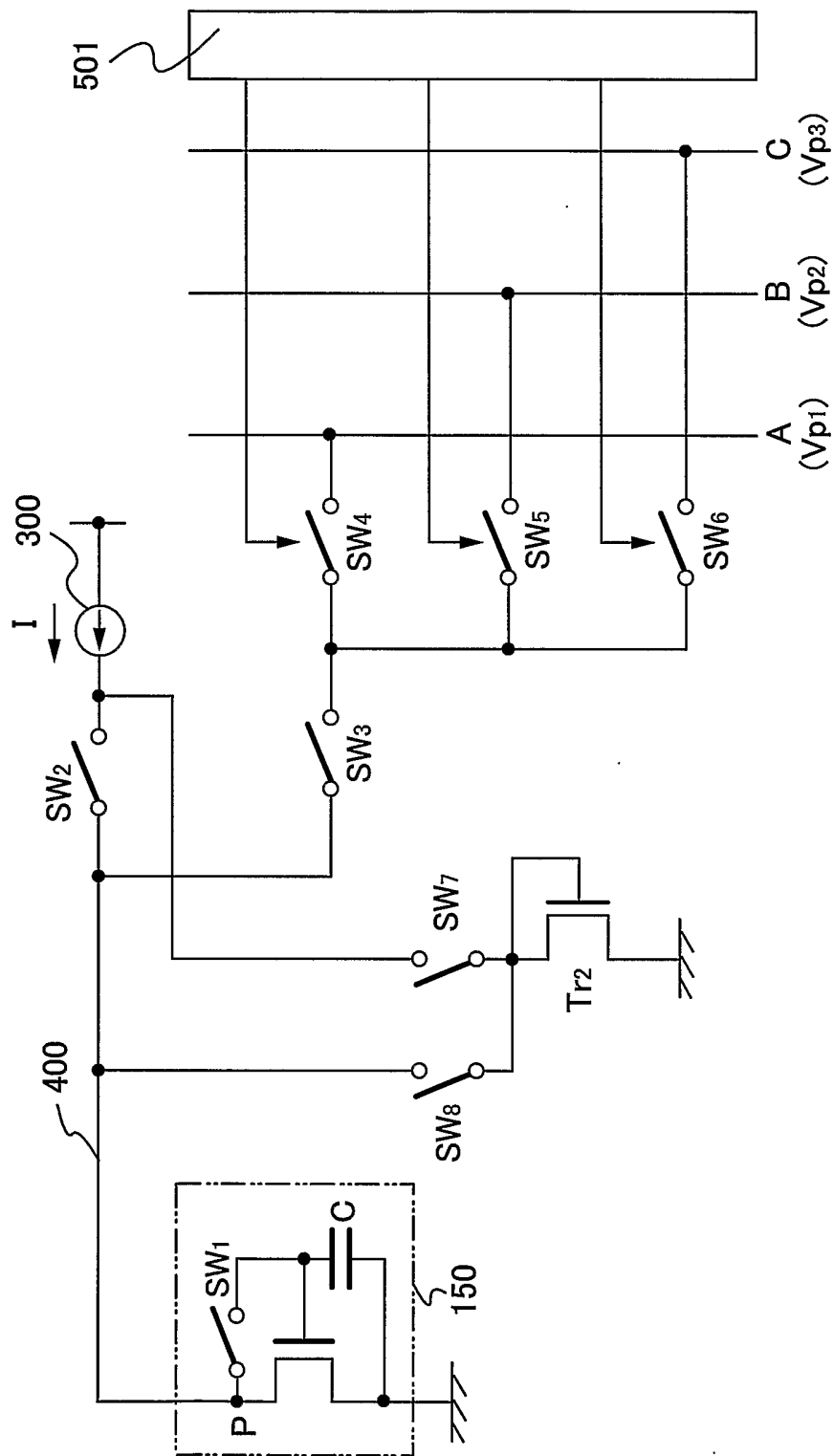
第31図



第32図

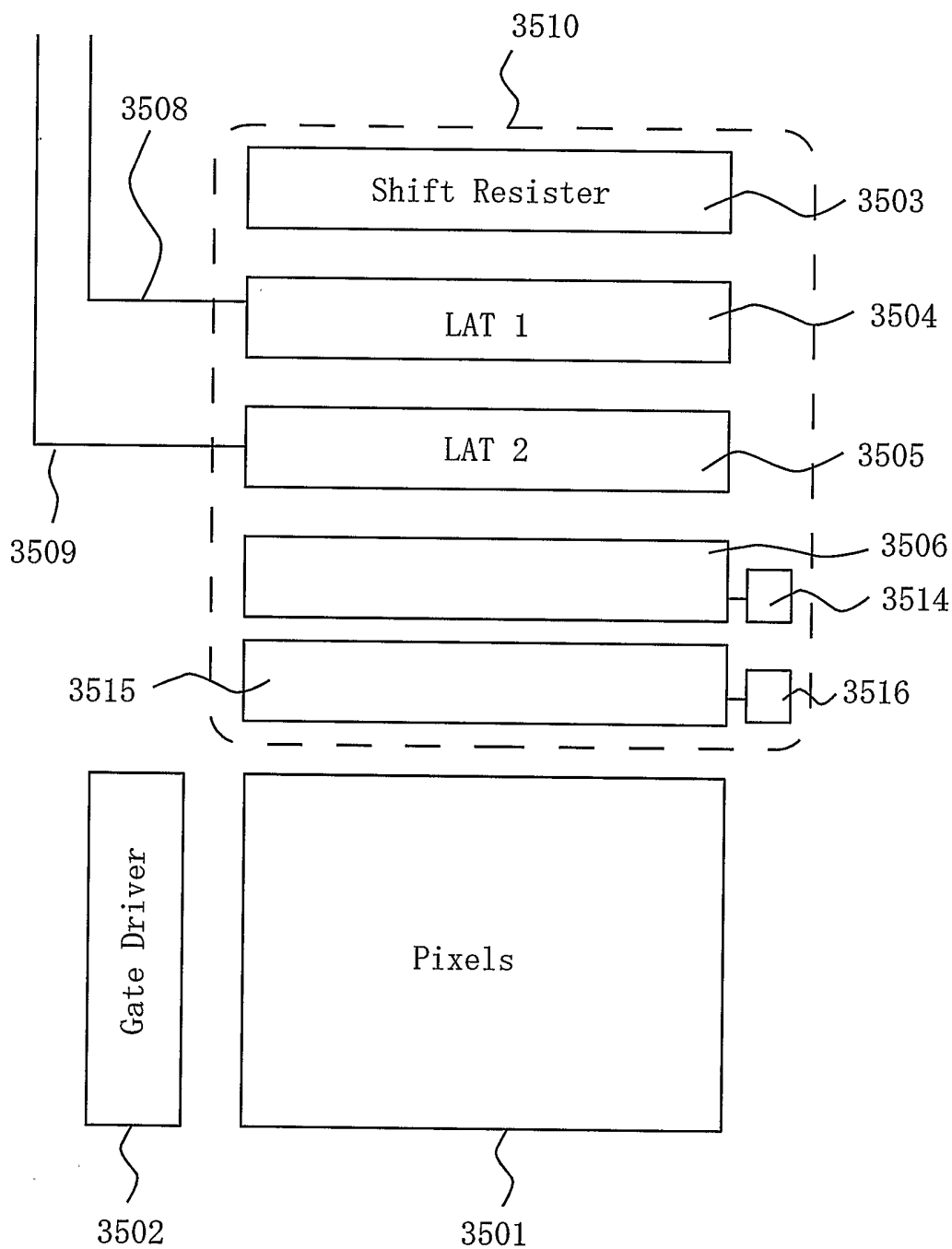


第33図

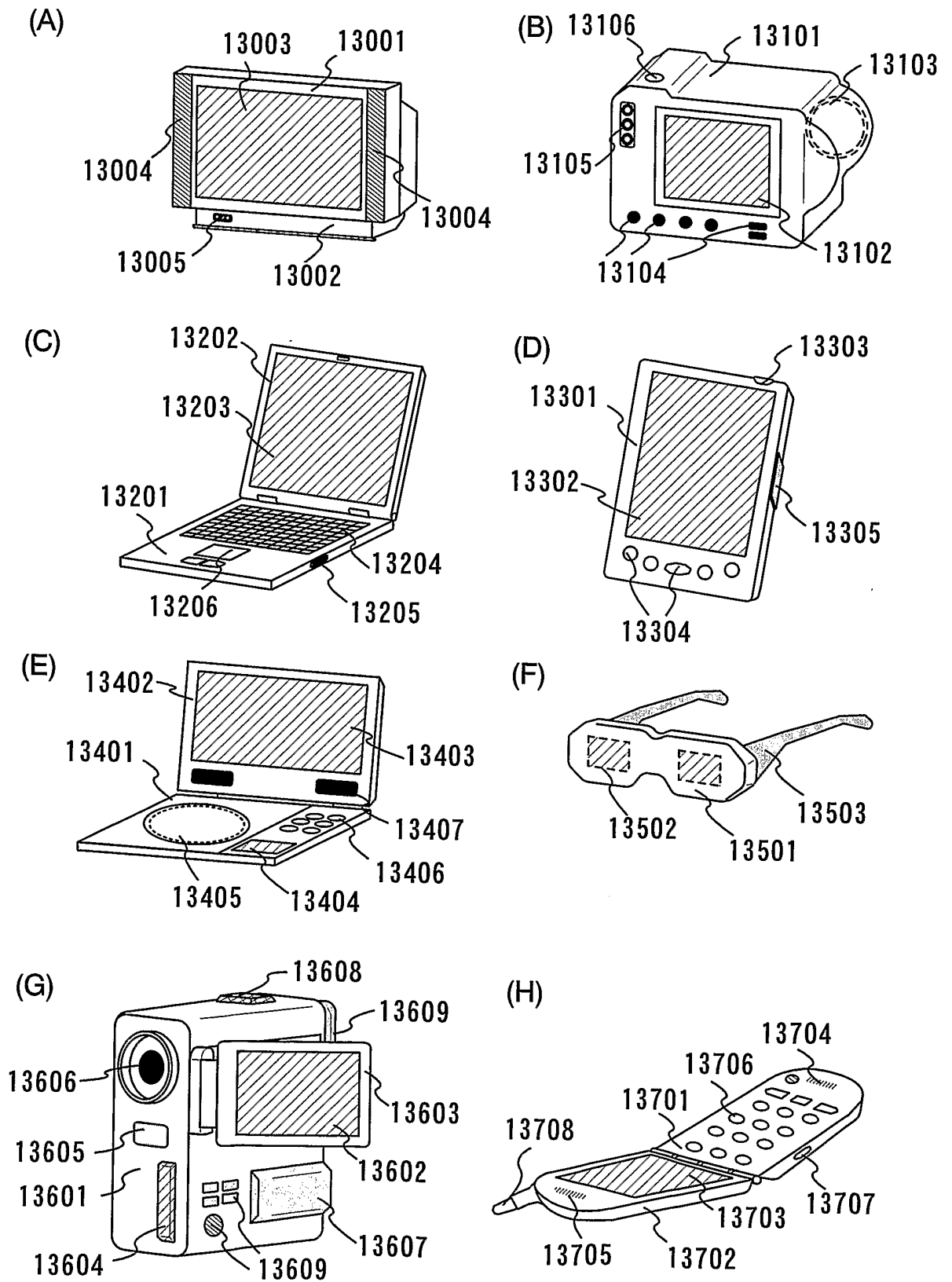


第34図

35/42

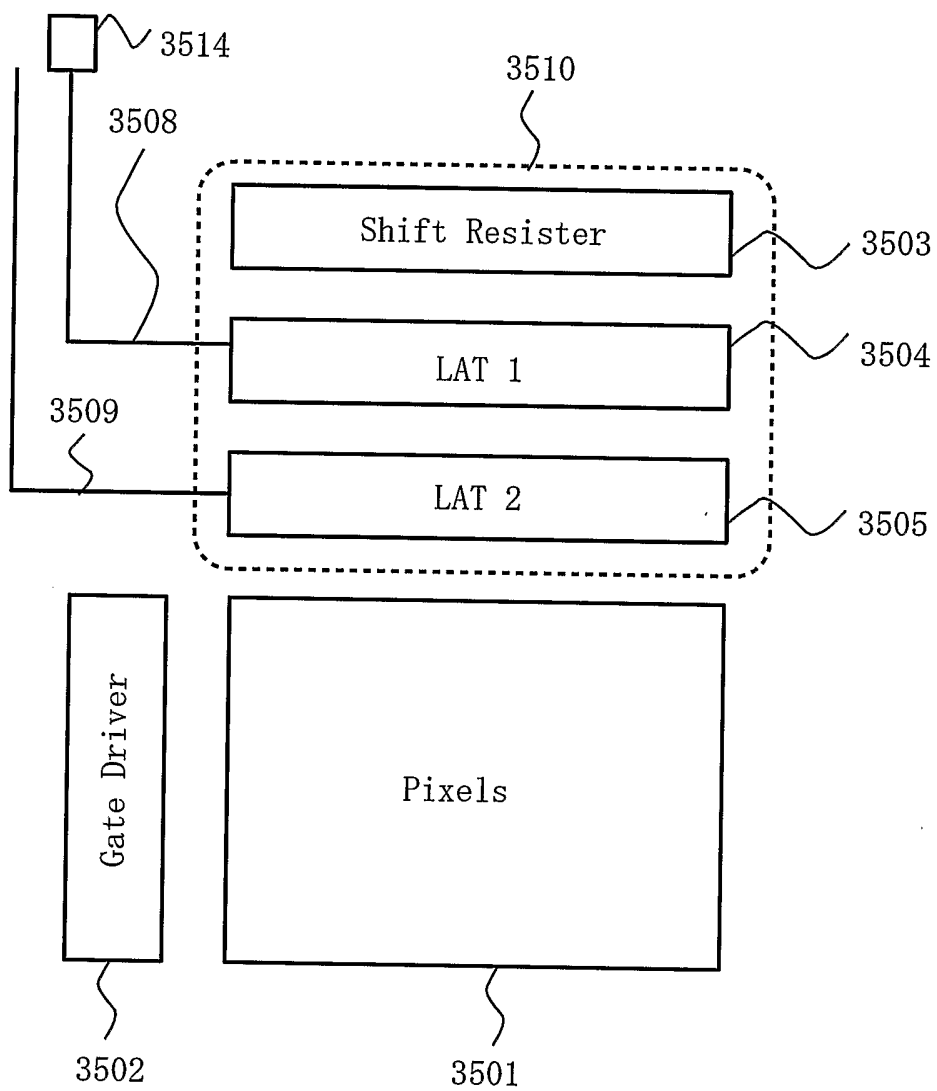


第35図



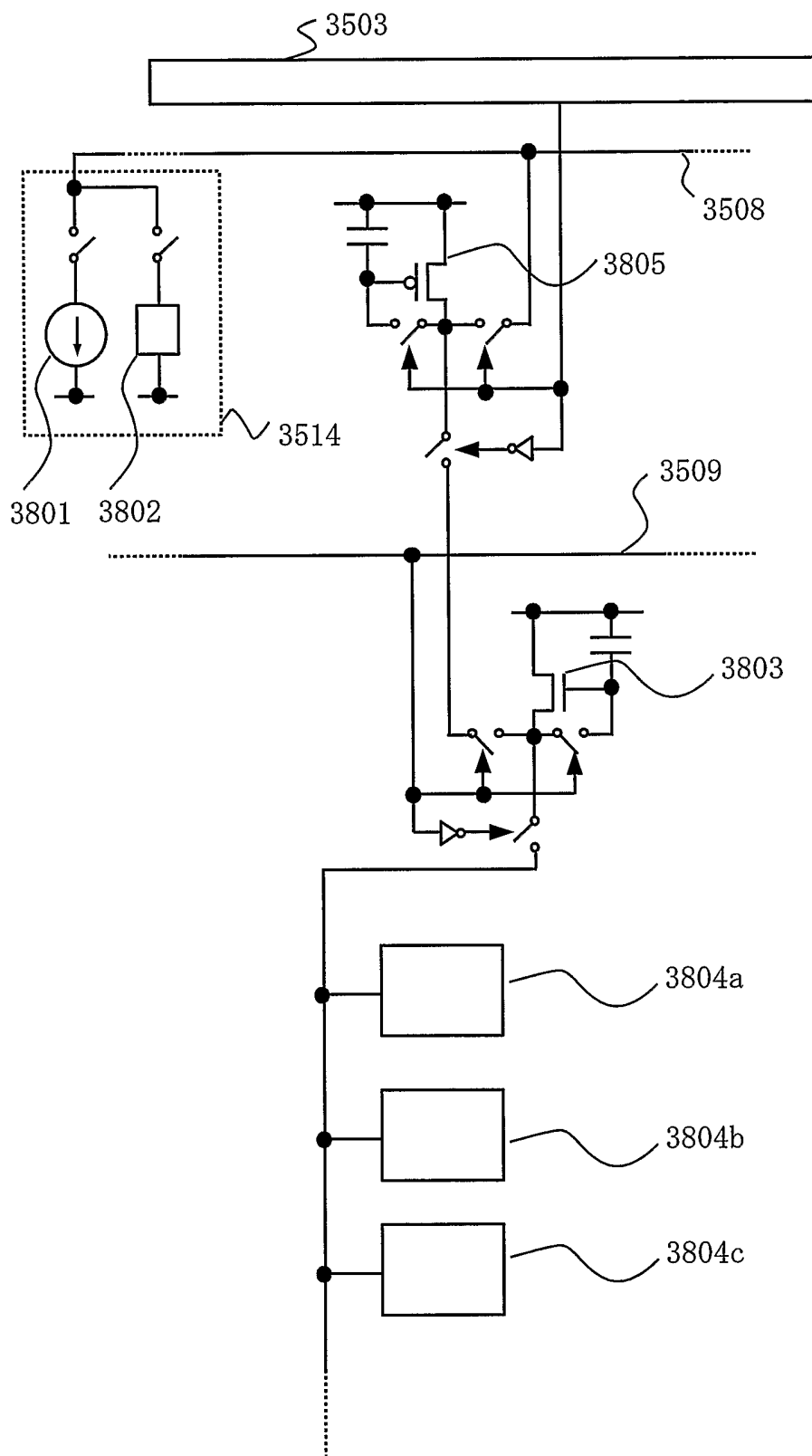
第36図

37/42



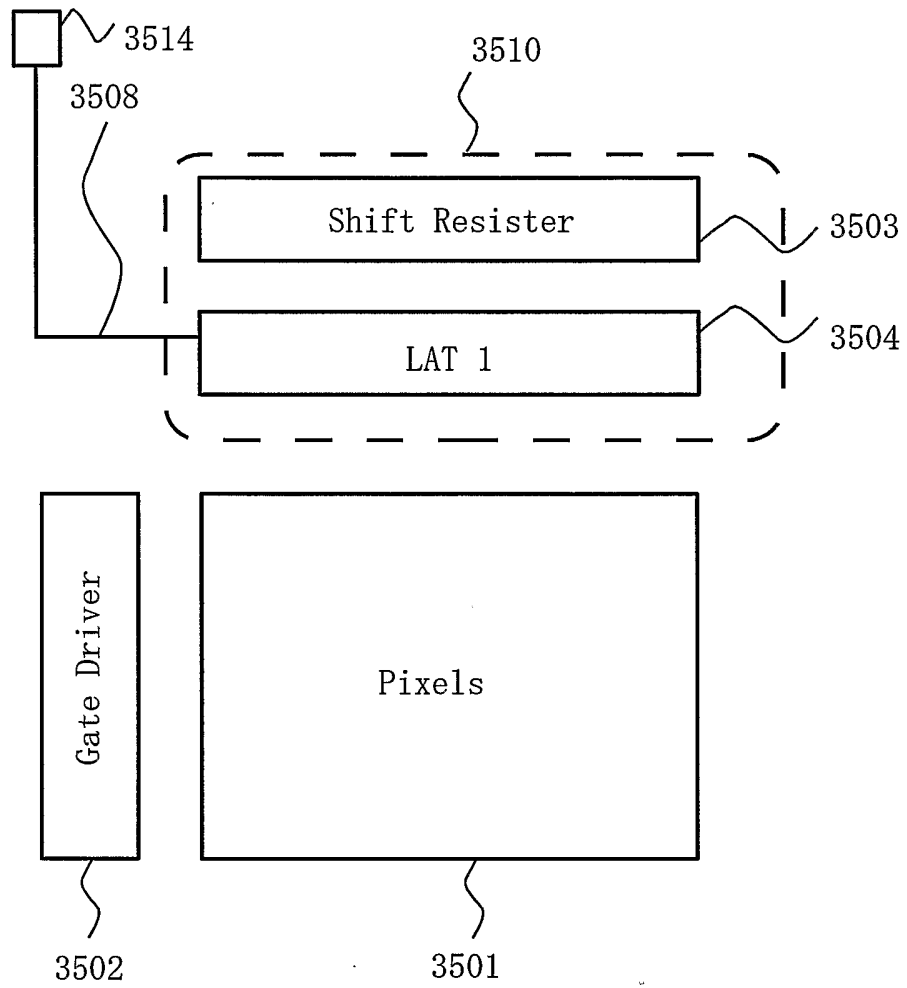
第37図

38/42



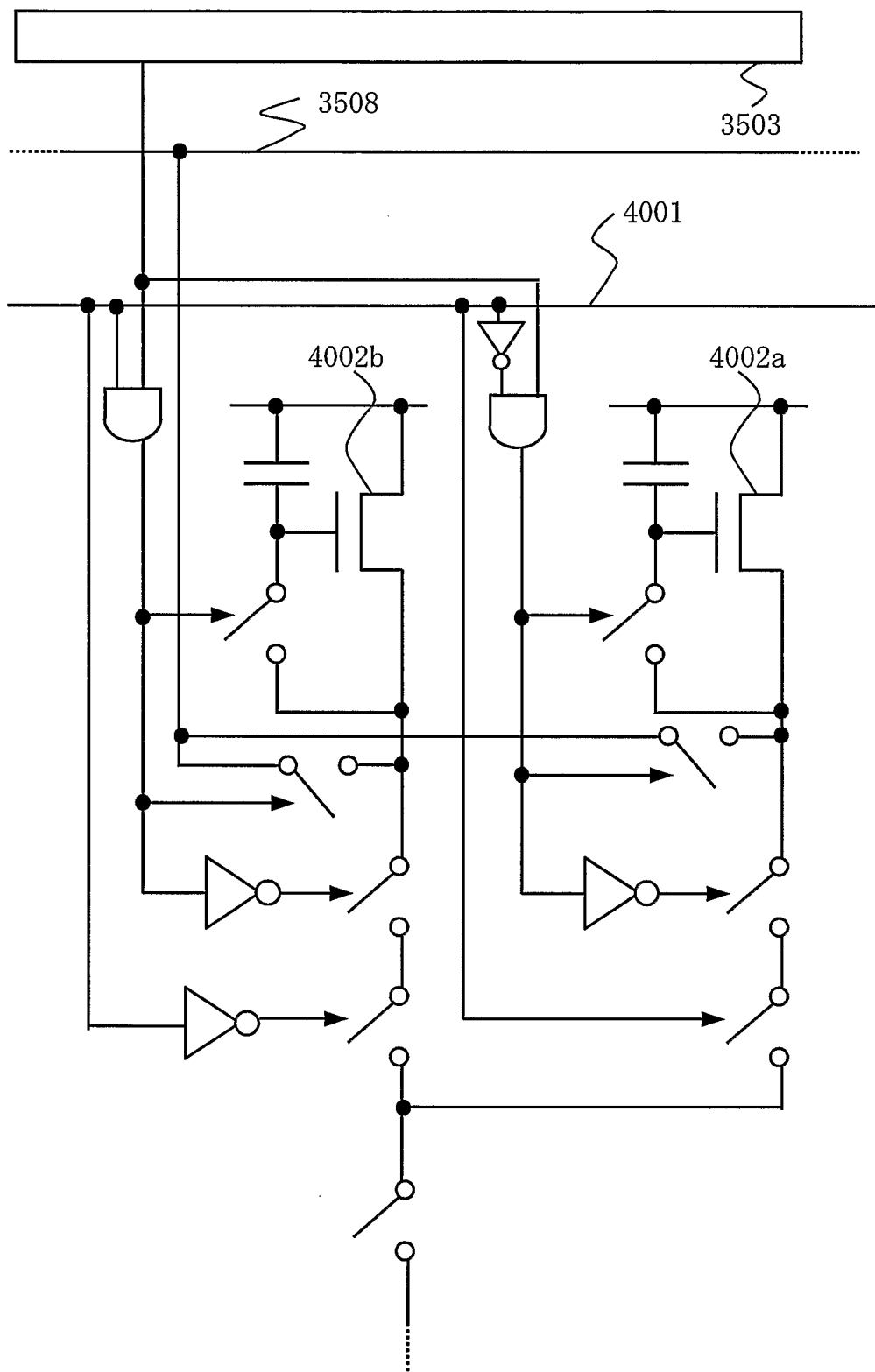
第38図

39/42



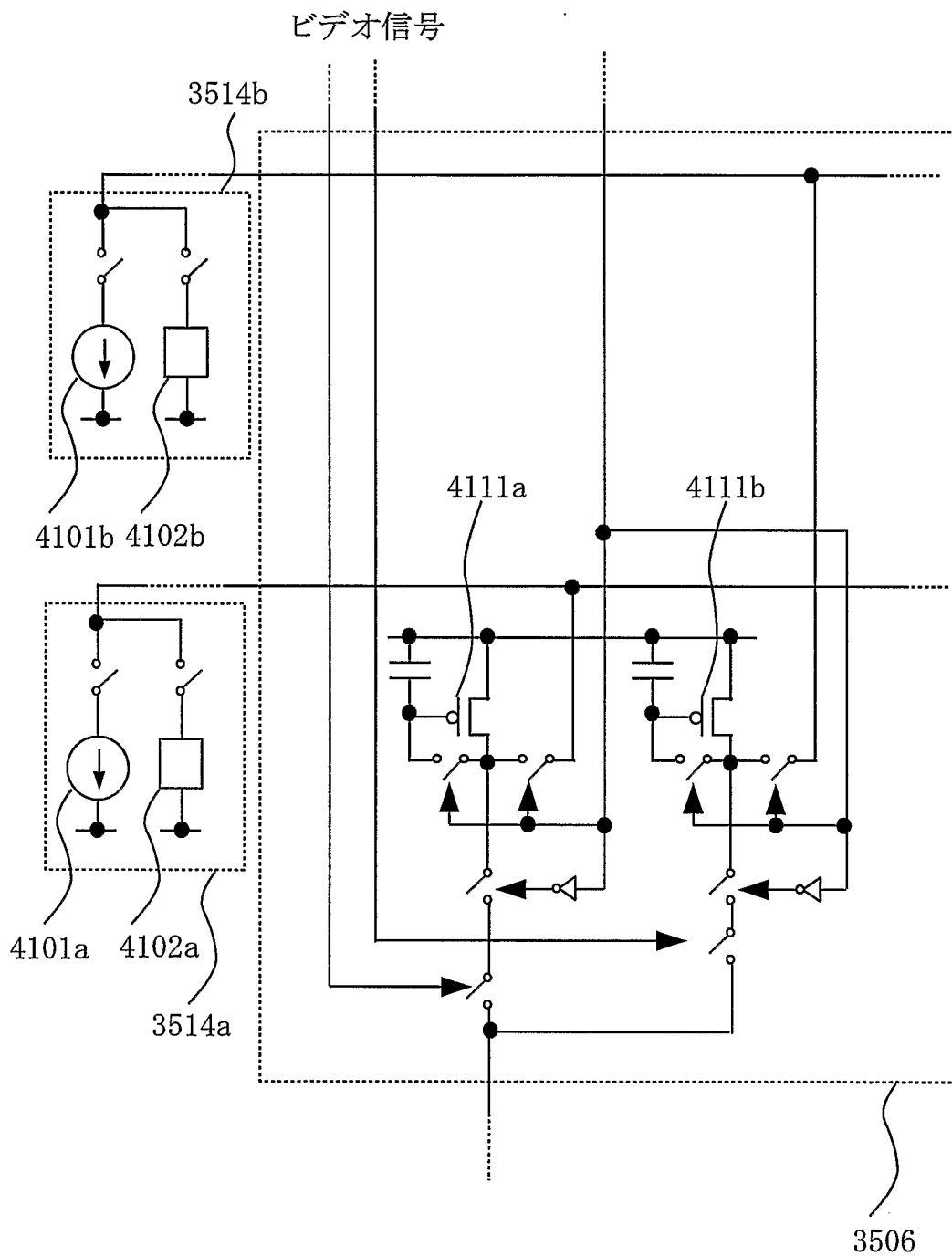
第39図

40/42

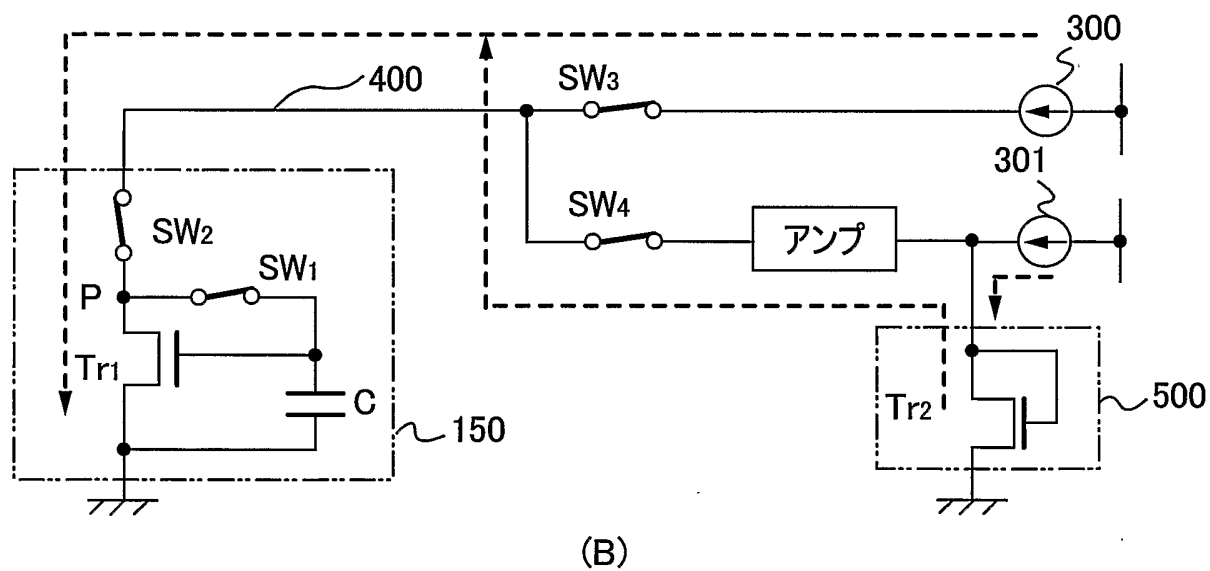
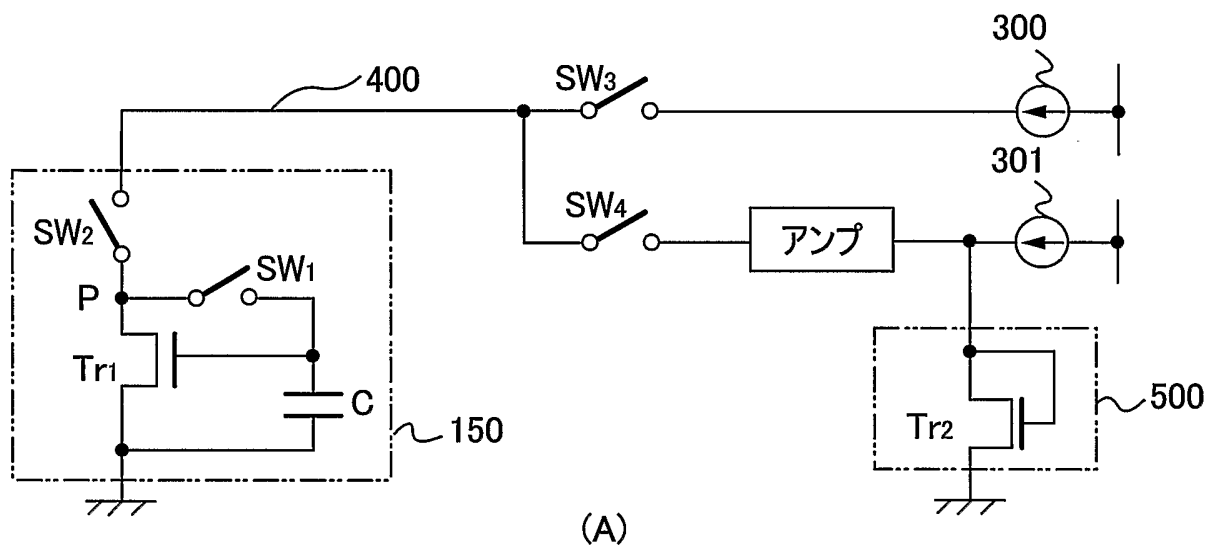


第40図

41/42



第41図



第42図

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/15140

<p>A. CLASSIFICATION OF SUBJECT MATTER Int.Cl⁷ G09G3/30, G09G3/20</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>																																
<p>B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl⁷ G09G3/30, G09G3/20</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003 Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>																																
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X A</td> <td>US 6310589 B1 (NEC CORP.), 30 October, 2001 (30.10.01), Full text; all drawings & JP 11-45071 A & TW 381249 B</td> <td>1, 2, 9-13, 15-28 3, 14</td> </tr> <tr> <td>X</td> <td>JP 2001-296837 A (Toray Industries, Inc.), 26 October, 2001 (26.10.01), Par. Nos. [0014] to [0022]; Figs. 1 to 4, 10, 11 (Family: none)</td> <td>1-28</td> </tr> <tr> <td>X A</td> <td>JP 2002-149125 A (NEC CORP.), 24 May, 2002 (24.05.02), Par. Nos. [0006] to [0009] (Family: none)</td> <td>1, 2 3-28</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p> <table border="1"> <tr> <td>* Special categories of cited documents:</td> <td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"E" earlier document but published on or after the international filing date</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"&" document member of the same patent family</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td></td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table> <table border="1"> <tr> <td>Date of the actual completion of the international search 24 December, 2003 (24.12.03)</td> <td>Date of mailing of the international search report 20 January, 2004 (20.01.04)</td> </tr> <tr> <td>Name and mailing address of the ISA/ Japanese Patent Office</td> <td>Authorized officer</td> </tr> <tr> <td>Facsimile No.</td> <td>Telephone No.</td> </tr> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X A	US 6310589 B1 (NEC CORP.), 30 October, 2001 (30.10.01), Full text; all drawings & JP 11-45071 A & TW 381249 B	1, 2, 9-13, 15-28 3, 14	X	JP 2001-296837 A (Toray Industries, Inc.), 26 October, 2001 (26.10.01), Par. Nos. [0014] to [0022]; Figs. 1 to 4, 10, 11 (Family: none)	1-28	X A	JP 2002-149125 A (NEC CORP.), 24 May, 2002 (24.05.02), Par. Nos. [0006] to [0009] (Family: none)	1, 2 3-28	* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family	"O" document referring to an oral disclosure, use, exhibition or other means		"P" document published prior to the international filing date but later than the priority date claimed		Date of the actual completion of the international search 24 December, 2003 (24.12.03)	Date of mailing of the international search report 20 January, 2004 (20.01.04)	Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	Facsimile No.	Telephone No.
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																														
X A	US 6310589 B1 (NEC CORP.), 30 October, 2001 (30.10.01), Full text; all drawings & JP 11-45071 A & TW 381249 B	1, 2, 9-13, 15-28 3, 14																														
X	JP 2001-296837 A (Toray Industries, Inc.), 26 October, 2001 (26.10.01), Par. Nos. [0014] to [0022]; Figs. 1 to 4, 10, 11 (Family: none)	1-28																														
X A	JP 2002-149125 A (NEC CORP.), 24 May, 2002 (24.05.02), Par. Nos. [0006] to [0009] (Family: none)	1, 2 3-28																														
* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention																															
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone																															
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art																															
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family																															
"O" document referring to an oral disclosure, use, exhibition or other means																																
"P" document published prior to the international filing date but later than the priority date claimed																																
Date of the actual completion of the international search 24 December, 2003 (24.12.03)	Date of mailing of the international search report 20 January, 2004 (20.01.04)																															
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer																															
Facsimile No.	Telephone No.																															

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15140

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP 2003-43997 A (LG Electronics Inc.), 14 February, 2003 (14.02.03), Par. Nos. [0014] to [0033]; Figs. 2 to 8 (Family: none)	1, 11-13, 15, 16, 18-20, 22-28

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷G09G3/30, G09G3/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷G09G3/30, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 6310589 B1 (NEC CORP.) 2001. 10. 30、全文全図 & JP 11-45071 A & TW 381249 B	1, 2, 9-13, 15-28
A		3, 14
X	JP 2001-296837 A (東レ株式会社) 2001. 10. 26、段落番号14-22、図1-4、図10、 図11 (ファミリー無し)	1-28

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
24. 12. 03

国際調査報告の発送日
20. 1. 2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
鈴野 幹夫
2G 8621
電話番号 03-3581-1101 内線 6489

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-149125 A (日本電気株式会社) 2002.05.24、段落番号6-9 (ファミリー無し)	1, 2
A		3-28
PX	JP 2003-43997 A (エルジー電子株式会社) 2003.02.14、段落番号1.4-33、図2-8 (ファミリー無し)	1, 11-13, 15, 16, 18-20, 22- 28