

1 六本木ヒルズ森タワー 23階 TMI
 総合法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

second conductor layer (142) that is provided on the first conductor layer (141); and a stress relaxation part (160) which is provided so as to be in contact with at least a part of an end of the first conductor layer (141). In a region of the first main surface (110A) of the substrate (110) positioned outside the trench part (111), the thickness (T6) of the stress relaxation part (160) is smaller than the thickness (T4) of the conductor film (140).

(57) 要約: キャパシタ (100) は、互いに対向する第1主面 (110A) 及び第2主面 (110B) を有し、第1主面 (110A) 側にトレンチ部 (111) が形成された基材 (110) と、基材 (110) の第1主面 (110A) 側でトレンチ部 (111) の内側を含む領域に設けられた誘電体膜 (130) と、トレンチ部 (111) の内側を含む領域であって誘電体膜 (130) の上に設けられた第1導電体層 (141)、及び、第1導電体層 (141) の上に設けられた第2導電体層 (142) を有する導電体膜 (140) と、第1導電体層 (141) の端部の少なくとも一部に接触して設けられた応力緩和部 (160) と、を備え、基材 (110) の第1主面 (110A) のうちトレンチ部 (111) の外側において、応力緩和部 (160) の厚さ (T6) は、導電体膜 (140) の厚さ (T4) よりも小さい。

明 細 書

発明の名称：キャパシタ

技術分野

[0001] 本発明は、キャパシタに関する。

背景技術

[0002] キャパシタは、搭載される電子機器の高機能化に伴い、容量密度の向上、耐電圧の改善、等の性能向上が求められている。キャパシタ容量密度を向上させるために、トレンチ部からなるキャパシタ構造が形成されたキャパシタが開示されている。高動作電圧において安定的に動作させるために、キャパシタの誘電体膜を厚膜化する構成が開示されている。しかし、誘電体膜が厚膜化すると、膜厚に応じて増大する誘電体膜の内部応力によって誘電体膜が損傷し、キャパシタの信頼性が損なわれる恐れがある。特にトレンチ部を有するキャパシタの場合、トレンチ部を設けたことによる基板の剛性の低下や、トレンチ部の角への応力集中などにより、誘電体膜の損傷が発生しやすくなる。

[0003] 内部応力による誘電体膜の損傷を抑制するため、特許文献1には、第1の主表面領域及び第2の主表面領域の両面にキャパシタ構造を有する構成や、第1の主表面領域にキャパシタ構造を有し第2の主表面領域に補償構造を有する構成によって、基板の変形を減少させるキャパシタが開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特許第5981519号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、上部電極の内部応力は上部電極の端部に集中する。この端部に集中する内部応力が誘電体膜に伝達されると、誘電体膜が損傷する恐れがある。しかし、特許文献1に記載のキャパシタにおいては、基板の変形は抑制

されるが第1の主表面にかかる内部応力自体は低減されず、特に上部電極の端部に集中する内部応力は緩和されていないため、誘電体膜の損傷を十分に抑制することができない恐れがある。

[0006] 本発明はこのような事情に鑑みてなされたものであり、信頼性の向上を図ることが可能なキャパシタを提供することを目的とする。

課題を解決するための手段

[0007] 本発明の一態様に係るキャパシタは、互いに対向する第1主面及び第2主面を有し、第1主面側にトレンチ部が形成された基材と、基材の第1主面側でトレンチ部の内側を含む領域に設けられた誘電体膜と、トレンチ部の内側を含む領域であって誘電体膜の上に設けられた第1導電体層、及び、第1導電体層の上に設けられた第2導電体層を有する導電体膜と、第1導電体層の端部の少なくとも一部に接触する応力緩和部をさらに備え、基材の第1主面のうちトレンチ部の外側において、応力緩和層の厚さは、導電体膜の厚さよりも小さい。

[0008] 本発明の他の一態様に係るキャパシタは、互いに対向する第1主面及び第2主面を有し、第1主面側にトレンチ部が形成された基材と、基材の第1主面側でトレンチ部の内側を含む領域に設けられた誘電体膜と、トレンチ部の内側を含む領域であって誘電体膜の上に設けられた第1導電体層、及び、第1導電体層の上に設けられた第2導電体層を有する導電体膜と、第1導電体層の端部の少なくとも一部に接触して設けられた応力緩和部と、を備え、応力緩和部の残留応力の向きは、第2導電体層の残留応力の向きと反対である。

発明の効果

[0009] 本発明によれば、信頼性の向上を図ることが可能なキャパシタを提供することが可能となる。

図面の簡単な説明

[0010] [図1]図1は、第1実施形態に係るキャパシタの構成を概略的に示す断面図である。

[図2]図2は、図1に示したキャパシタの応力緩和層を中心とした拡大断面図である。

[図3]図3は、第1実施形態に係るキャパシタの製造方法を示すフローチャートである。

[図4]図4は、第1導電体層の上に SiO_2 膜を設ける工程を示す断面図である。

[図5]図5は、 SiO_2 膜をパターニングして応力緩和層を設ける工程を示す断面図である。

[図6]図6は、第1導電体層の上に Al 膜を設ける工程を示す断面図である。

[図7]図7は、 Al 膜をパターニングして第1導電体層を設ける工程を示す断面図である。

[図8]図8は、第2導電体膜の端部及び応力緩和層を覆うように保護膜を設ける工程を示す断面図である。

[図9]図9は、第2実施形態に係るキャパシタの構成を概略的に示す断面図である。

[図10]図10は、第3実施形態に係るキャパシタの構成を概略的に示す断面図である。

[図11]図11は、第4実施形態に係るキャパシタの構成を概略的に示す断面図である。

[図12]図12は、第5実施形態に係るキャパシタの構成を概略的に示す断面図である。

[図13]図13は、第6実施形態に係るキャパシタの構成を概略的に示す断面図である。

[図14]図14は、第7実施形態に係るキャパシタの構成を概略的に示す断面図である。

[図15]図15は、第7実施形態に係るキャパシタの変形例の構成を概略的に示す断面図である。

[図16]図16は、第8実施形態に係るキャパシタの構成を概略的に示す断面図である。

図である。

発明を実施するための形態

[0011] 以下、図面を参照しながら本発明の実施形態について説明する。但し、第2実施形態以降において、第1実施形態と同一又は類似の構成要素は、第1実施形態と同一又は類似の符号で表し、詳細な説明を適宜省略する。また、第2実施形態以降の実施形態において得られる効果について、第1実施形態と同様のものについては説明を適宜省略する。各実施形態の図面は例示であり、各部の寸法や形状は模式的なものであり、本願発明の技術的範囲を当該実施形態に限定して解すべきではない。

[0012] <第1実施形態>

まず、図1及び図2を参照しつつ、本発明の第1実施形態に係るキャパシタ100の構成について説明する。図1は、第1実施形態に係るキャパシタの構成を概略的に示す断面図である。図2は、図1に示したキャパシタの応力緩和層を中心とした拡大断面図である。

[0013] なお、図中に示した第1方向X、第2方向Y、及び第3方向Zは、それぞれ、互いに直交する方向であるが、互いに交差する方向であればこれに限定されるものではなく、互いに90°以外の角度で交差する方向であってもよい。また、第1方向X、第2方向Y、及び第3方向Zは、それぞれ交差する異なる方向を意味するものであり、各方向は、図1に示す矢印の正方向に限定されず、矢印とは反対の負方向も含む。

[0014] キャパシタ100は、第1領域101及び第2領域102を有する。第1領域101は、基材110の第1主面110Aの法線方向から平面視したとき、第2導電体層142と重なる領域である。また、第2領域102は、基材110の第1主面110Aの法線方向から平面視したとき、第2導電体層142よりも外側に延在している第1導電体層141の端部と重なる領域である。

[0015] キャパシタ100は、基材110、第1導電体膜120、誘電体膜130、第2導電体膜140、保護膜150、及び応力緩和層160を備えている

。なお、応力緩和層 160 は、応力緩和部の一態様である。第 1 導電体膜 120 は、キャパシタ 100 の下部電極に相当し、第 2 導電体膜 140 はキャパシタ 100 の上部電極に相当する。

[0016] 基材 110 は、例えば、導電性を有する低抵抗なシリコン基板からなる単層構造である。基材 110 は、第 3 方向 Z の正方向側に第 1 主面 110A を有し、第 3 方向 Z の負方向側に第 2 主面 110B を有する。第 1 主面 110A は、例えば結晶方位が $\langle 100 \rangle$ と表される結晶面である。第 1 主面 110A 及び第 2 主面 110B は、第 1 方向 X 及び第 2 方向 Y によって特定される面と平行な面（以下、「XY 面」と呼ぶ。）である。基材 110 は、水晶等の絶縁性基板であってもよい。また、基材 110 は多層構造でもよく、例えば導電性基板と絶縁体膜からなる積層体であってもよい。

[0017] 基材 110 の第 1 主面 110A 側に複数のトレンチ部 111 が形成されている。トレンチ部 111 は、第 1 主面 110A 側に開口部を有する有底の凹部である。トレンチ部 111 は、第 1 領域 101 に形成されている。一例として、トレンチ部 111 は、深さが $10\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であり、底の直径が $5\mu\text{m}$ 程度である円柱状である。容量を形成する領域にトレンチ部を設けることにより、キャパシタ 100 の寸法を増やすことなく、電極の対向面積を増やしてキャパシタ 100 の容量値を向上させることができる。なお、トレンチ部 111 の形状や大きさは上記に限定されるものではない。トレンチ部 111 の形状は、例えば、楕円柱状、多角柱状、溝状、又はこれらの組合せであってもよい。また、図示した例では、第 1 方向 X に沿って 5 つのトレンチ部 111 が形成されているが、トレンチ部 111 の数は特に限定されるものではなく、第 1 領域 101 に少なくとも 1 つ形成されればよい。また、トレンチ部は、基材 110 の第 1 主面 110A 側及び第 2 主面 110B 側の両方に設けられてもよい。トレンチ部 111 の形成方法は特に限定されるものではないが、フォトリソグラフィを利用したドライエッチングによれば、高いアスペクト比で形成することができ、トレンチ部 111 の密度を高めることができる。

[0018] 第1導電体膜120は、基材110の第2主面110Bを覆っている。第1導電体膜120は、例えば、Mo（モリブデン）、Al（アルミニウム）、Au（金）、Ag（銀）、Cu（銅）、W（タングステン）、Pt（プラチナ）、Ti（チタン）、Ni（ニッケル）、Cr（クロム）、等の金属材料によって設けられている。第1導電体膜120は、導電性材料であれば金属材料に限定されるものではなく、導電性樹脂等で設けられてもよい。基材110が低抵抗シリコン基板であるとき、第1導電体膜120及び基材110が、キャパシタ100の下部電極として機能する。なお、基材110が絶縁性基板である場合は、基材110がキャパシタ100の誘電体層の一部として機能し、第1導電体膜120が下部電極として機能する。

[0019] 誘電体膜130は、第1主面110A側で複数のトレンチ部111の内側を含む領域に設けられている。誘電体膜130は、第1誘電体層131及び第2誘電体層132を有している。第1誘電体層131は、基材110の第1主面110A及びトレンチ部111の底面及び内側面を覆っている。第1誘電体層131は、例えば、絶縁性を有するシリコン酸化物（例えば、SiO₂）によって設けられている。第1誘電体層131の膜厚は、例えば0.3μm程度である。基材110がシリコン基板である場合、第1誘電体層131は、基材110を熱酸化させることでシリコン基板の表面酸化膜として設けることができる。第1誘電体層131は、誘電体膜130の下地となる基材110との密着性を向上させることができる。また、第1誘電体層131は、第2誘電体層132や第2導電体層142の内部応力を緩和することができる。具体例を挙げると、第1誘電体層131が圧縮応力を有するシリコン酸化物で設けられることにより、シリコン窒化物で設けられた第2誘電体層132やアルミニウムで設けられた第2導電体膜140が有する引張応力を緩和することができる。つまり、第1誘電体層131は、誘電体膜130や第2導電体膜140の内部応力に起因した誘電体膜130の損傷を抑制し、キャパシタ100の信頼性を向上させることができる。

[0020] 第2誘電体層132は、第1誘電体層131の上に設けられている。第2

誘電体層 132 は、基材 110 の第 1 主面 110A の上方のみならず、トレンチ部 111 によって基材 110 の第 1 主面 110A 側に形成される空間の内部にも設けられている。第 2 誘電体層 132 は、シリコン窒化物 (SiON) やシリコン窒化物 (Si_3N_4) 等のシリコン窒化物系の誘電体材料によって設けられている。第 2 誘電体層 132 の膜厚は、例えば $1\text{ }\mu\text{m}$ 程度である。第 2 誘電体層 132 は、例えば、CVD (Chemical Vapor Deposition) や PVD (Physical Vapor Deposition) 等の蒸着法によって設けられる。第 2 誘電体層 132 は、第 1 誘電体層 131 よりも誘電率が高い誘電体によって設けられることで、キャパシタ 100 の容量密度を向上させることができる。

[0021] 第 1 誘電体層 131 及び第 2 誘電体層 132 には内部応力が生じる。第 1 誘電体層 131 の内部応力は、例えば基材 110 と第 1 誘電体層 131 との線膨張係数の違いにより生じた熱応力が残留した残留応力である。第 2 誘電体層 132 の内部応力についても同様であり、例えば、シリコン窒化物からなる第 2 誘電体層 132 は引張応力を有する。以下、残留応力を内部応力という。線膨張係数の差が大きいほど、熱応力に起因する内部応力は大きくなる。第 1 誘電体層 131 及び第 2 誘電体層 132 の内部応力は、キャパシタ 100 の歪みや、第 1 誘電体層 131 又は第 2 誘電体層 132 の損傷による絶縁性の低下を招く恐れがある。

[0022] 誘電体膜 130 は、さらに別の誘電体層を備える 3 層以上の多層構造であってもよい。このように誘電体膜 130 を多層構造とすることによって、容量値、耐電圧、内部応力、等の調整をより自由に行うことができる。例えば、誘電体膜 130 は、第 1 誘電体層 131 の上に設けられるシリコン窒化物層 (第 2 誘電体層 132) と、シリコン窒化物層の上に設けられるシリコン酸化物層 (第 3 誘電体層) とを備えていてもよい。なお、第 1 誘電体層 131 はシリコン酸化物系の誘電体材料に限定されるものではなく、他の酸化物やシリコン窒化物等からなる誘電体材料によって設けられてもよい。また、第 2 誘電体層 132 も、シリコン窒化物系の誘電体材料に限定されるもので

はなく、例えば、 Al_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 等の酸化物からなる誘電体材料によって設けられてもよい。

[0023] 誘電体膜130は、トレンチ部111の底面及び内側面に沿って形成される。言い換えれば、誘電体膜130の膜厚は、トレンチ部111の深さや幅よりも小さい。これによって、トレンチ部111の内部空間が、誘電体膜130によって埋められる事態を回避し、電極の対向面積の増加によるキャパシタ100の容量密度の向上を図ることができる。図1に示す例では、誘電体膜130は、多層構造で形成されているが、変形例として、誘電体膜130は単層構造であってもよい。この場合、誘電体膜130は例えば $1\mu\text{m}$ 以上の十分な膜厚を有していてもよい。

[0024] 第2導電体膜140は、トレンチ部111の内側を含む領域であって、誘電体膜130の上に設けられている。第2導電体膜140は、キャパシタ100の上部電極として機能し、下部電極（基材110及び第1導電体膜120）との間に容量を形成する。つまり、基材110と第2導電体膜140とが誘電体膜130を挟んで対向する面積が、キャパシタ100における電極の対向面積に相当する。

[0025] 第2導電体膜140は、第1導電体層141及び第2導電体層142を有する。第1導電体層141は、誘電体膜130の上に設けられ、トレンチ部111によって基材110の第1主面110A側に形成される空間の内部にも設けられている。第1導電体層141は、第1領域101及び第2領域102に設けられている。第1導電体層141は、例えば、リン（P）、ボロン（B）、及びヒ素（As）の少なくともいずれか1つを不純物として含む、p型又はn型の多結晶シリコン（Poly-Si）膜である。第2導電体層142は、第1導電体層141の上に設けられている。

[0026] 第2導電体層142は、第1導電体層141の上に設けられている。第2導電体層142は第1領域101に設けられており、第1導電体層141の端部が第2領域102において第2導電体層142から露出している。すなわち、第1導電体層141は、基材110の第1主面110Aの法線方向か

ら平面視したとき、第2導電体層142よりも外側に延在する端部を有する。第2導電体層142は、例えば、A1によって設けられており、引張応力を有する。第2導電体層142の材料は、第1導電体膜120を構成する材料の例として挙げた金属材料によって設けられてもよい。また、第2導電体層142は金属材料に限定されるものではなく、導電性樹脂等の導電性材料によって設けられてもよい。第1導電体層141及び第2導電体層142は、例えば、CVDやPVD等の蒸着法によって設けられる。

[0027] 第1導電体層141及び第2導電体層142にも内部応力が生じる。特にA1で設けられた第2導電体層142は、金属材料であるA1の線膨張係数が誘電体材料やシリコン系半導体材料に比べて大きいことから、第1誘電体層131、第2誘電体層132、及び第1導電体層141に比べて大きな内部応力が生じる恐れがある。また、第2導電体層142の内部応力は、第2導電体層142の端部に集中し、誘電体膜130に伝達されて誘電体膜130を損傷させる恐れがある。

[0028] 応力緩和層160は、例えば、第2導電体層142の端部に集中した内部応力の誘電体膜130への伝達を緩和する。応力緩和層160は、誘電体膜130のうち第1導電体層141と対向する面（以下、「誘電体膜130の上面130A」ともいう。）の一部に設けられている。なお、誘電体膜130の上面130Aは、基材110の第1主面110Aを平面視したとき、第1導電体層141の内側の領域だけでなく、第1導電体層141の外側の領域も含む。

[0029] 応力緩和層160は、第1導電体層141の端部の少なくとも一部に接触している。本実施形態においては、応力緩和層160は、第1導電体層141の上面及び端面を覆っている。第1導電体層141の上面は、第1導電体層141のうち第2導電体層142に対向する面である。第1導電体層141の端面は、第1導電体層141のうち誘電体膜130に対向する面と第2導電体層142に対向する面とを繋ぐ面である。なお、第1導電体層141の上面は、基材110の第1主面110Aを平面視したとき、第2導電体層

142の内側の領域だけでなく、第2導電体層142の外側の領域も含む。つまり、応力緩和層160は、第1導電体層141の上面及び端面のうち、第2導電体層142から露出した部分の全面に接触している。応力緩和層160は、第2導電体層142にも接触している。但し、応力緩和層160は、第2領域102において、第1導電体層141の端部の少なくとも一部に接触していればよく、必ずしも上面及び端面を覆っていなくてもよい。また、応力緩和層160は、第2導電体層142及び誘電体膜130から離れていてもよい。

[0030] 応力緩和層160の材料は特に限定されず、誘電体、導電体のいずれで設けられてもよく、これらの積層した多層構造であってもよい。第1導電体層141がPoly-Si膜の場合、応力緩和層160は、例えば、第1導電体層141を熱酸化させて設けたシリコン酸化物からなる膜である。この場合、応力緩和層160には、第1導電体層141に含まれる不純物と同様の不純物が含まれる。また、応力緩和層160は、第1導電体層141の端部に蒸着法によって堆積させたシリコン窒化物からなる膜であってもよい。この場合、応力緩和層160には、水素が不純物として含まれる。シリコン窒化物は、製法や組成によって内部応力を調整することができる。例えば、窒素(N)に対するシリコン(Si)の組成比を1以下とすることで、シリコン窒化物からなる応力緩和層160は圧縮応力を有する。応力緩和層160の形成方法は上記に限定されない。例えば、不純物の注入によって第2誘電体層132の一部を変質させ、誘電体膜130の内部に応力緩和領域を形成してもよい。また、第2導電体層142の一部を酸化等によって変質させ、応力緩和層160としてもよい。

[0031] 応力緩和層160の内部応力の向きは、第2導電体層142の内部応力の向きと反対である。つまり、第2導電体層142が引張応力を有する場合には応力緩和層160は圧縮応力を有し、第2導電体層142が圧縮応力を有する場合には応力緩和層160は引張応力を有する。

[0032] 保護膜150は、基材110の第1主面110Aの法線方向から平面視し

たとき、第2導電体膜140の端部及び応力緩和層160を覆っている。保護膜150は、第2導電体膜140及び応力緩和層160を外部応力から保護する。保護膜150は、例えばポリイミド（PI）膜であるが、他の有機絶縁体膜でもよく、シリコン酸化物やシリコン窒化物等の無機絶縁体膜であってもよい。保護膜150は、沿面放電によるリーク電流の発生を抑制することができる。つまり、キャパシタ100を高耐圧化することができる。また、保護膜150は、誘電体膜130や第2導電体膜140の内部応力を緩和することができる。例えば、シリコン窒化物からなる第2誘電体層132やA1からなる第2導電体層142が有する引張応力を、保護膜150が有する圧縮応力によって緩和することができる。これによって、誘電体膜130の損傷を抑制し、キャパシタ100の信頼性を向上させることができる。なお、保護膜150の誘電率が誘電体膜130よりも大きい場合、第2導電体膜140からの漏れ電界を抑制することができる。反対に保護膜150の誘電率が誘電体膜130よりも小さい場合、第2導電体膜140による寄生容量の形成を抑制することができる。

[0033] 図2に示すように、基材110の第1主面110Aのうちトレンチ部111の外側において、応力緩和層160の厚さT6は、第2導電体膜140の厚さT4よりも小さい。また、保護膜150の厚さT5は、第2導電体膜140の厚さT4よりも大きい。ここで、応力緩和層160の厚さT6、第2導電体膜140の厚さT4及び保護膜150の厚さT5は、第3方向Zに沿った厚さを指す（以下、単に「厚さ」とも呼ぶ。）。言い換えれば、厚さT4は、誘電体膜130の上面130Aから第2導電体膜140の上面140Aまでの高さに相当し、厚さT6は、第1導電体層141から応力緩和層160の上面160Aまでの高さに相当し、厚さT5は、誘電体膜130の上面130Aから保護膜150の上面150Aまでの高さに相当する。各々の上面の位置でさらに言い換えると、誘電体膜130の上面130Aを基準として、第2導電体膜140の上面140Aは、応力緩和層160の上面160Aよりも高く、保護膜150の上面150Aは、第2導電体膜140の上

面 1 4 0 A よりも高い。

[0034] 次に、図 3～図 7 を参照しつつ、第 1 実施形態に係るキャパシタ 1 0 0 の製造方法の一例について説明する。図 3 は、第 1 実施形態に係るキャパシタの製造方法を示すフローチャートである。図 4 は、第 1 導電体層の上に SiO_2 膜を設ける工程を示す断面図である。図 5 は、 SiO_2 膜をパターニングして応力緩和層を設ける工程を示す断面図である。図 6 は、第 1 導電体層の上に Al 膜を設ける工程を示す断面図である。図 7 は、Al 膜をパターニングして第 1 導電体層を設ける工程を示す断面図である。図 8 は、第 2 導電体膜の端部及び応力緩和層を覆うように保護膜を設ける工程を示す断面図である。

[0035] キャパシタ 1 0 0 に製造に際しては、まず、基板 9 1 0 を準備する (S 1 1)。基板 9 1 0 は低抵抗シリコン基板であり、複数の基材 1 1 0 が連結した集合基板に相当する。例えば、インゴットから板状のウェハを切り出した後、化学機械研磨等の研磨処理によって膜厚の調整、及び表面の平坦化を行ったものを低抵抗シリコン基板 9 1 0 として使用する。

[0036] 次に、基板 9 1 0 の第 1 主面 9 1 0 A 側に複数のトレンチ部 1 1 1 を形成する (S 1 2)。トレンチ部 1 1 1 は、例えば、フォトリソグラフィによってパターニングされたフォトレジスト層を利用して、基材 1 1 0 に相当する領域において低抵抗シリコン基板 9 1 0 の一部を反応性イオンエッチング (RIE) 法等のドライエッチングによって除去することで形成する。トレンチ部 1 1 1 の形成方法は特に限定されるものではなく、ウェットエッチングによって低抵抗シリコン基板 9 1 0 の一部の除去する方法であってもよい。なお、ドライエッチングによれば、ウェットエッチングに比べて、低抵抗シリコン基板 9 1 0 の第 1 主面 9 1 0 A に対して直交する方向にアスペクト比が高い深堀エッチングが可能であり、複数のトレンチ部 1 1 1 の密度を高めてキャパシタ 1 0 0 の容量値を向上させることができる。

[0037] 次に、基板 9 1 0 の第 1 主面 9 1 0 A 側に誘電体膜 1 3 0 を設ける (S 1 3)。この工程では、まず 800°C ～ 1100°C の熱処理によって低抵抗シ

リコン基板 910 の表面を熱酸化して、第 1 誘電体層 131 に相当する SiO_2 膜を成膜する。次に、減圧 CVD (LP-CVD) 法によって、第 2 誘電体層 132 に相当する Si_3N_4 膜を SiO_2 膜の上に成膜する。 Si_3N_4 膜は、低圧環境下で、低抵抗シリコン基板 910 の温度を $650^\circ\text{C} \sim 800^\circ\text{C}$ とし、 SiO_2 膜の上で SiH_2Cl_2 (ジクロルシラン) 及び NH_3 (アンモニア) からなる反応ガスを熱反応させることで成長させる。

[0038] 次に、第 1 導電体層 141 を設ける (S14)。この工程では、まず減圧 CVD 法によって、 Poly-Si (多結晶シリコン) 膜を第 2 誘電体層 132 の上に成膜する。 Poly-Si 膜は、低圧環境下で、低抵抗シリコン基板 910 の温度を $550^\circ\text{C} \sim 650^\circ\text{C}$ とし、 SiH_4 (シラン) からなる反応ガスを熱反応させることで成長する。次に、図 4 に示すように、フォトリソグラフィによってパターニングされたフォトレジスト層を利用して、複数のトレンチ部 111 と重なる領域に残留するように Poly-Si 膜をエッチングする。このパターニングされた Poly-Si 膜が第 1 導電体層 141 に相当する。その後、フォトレジスト層をアッシングによって除去し、誘電体膜 130 及び第 1 導電体層 141 を超純水からなるリンス液によって洗浄する。

[0039] 次に、応力緩和層 160 を設ける (S15)。この工程では、まず、図 4 に示すように、第 1 導電体層 141 の Poly-Si 膜を熱酸化し、第 1 導電体層 141 の表面に SiO_2 膜 960 を設ける。次に、フォトリソグラフィによってパターニングされたフォトレジスト層 991 を設ける。図 5 に示すように、フォトレジスト層 991 は、複数のトレンチ部 111 と重なる領域を避け、 Poly-Si 膜の端部と重なるように設けられる。次に、フォトレジスト層 991 を利用して、 SiO_2 膜 960 の一部をウェットエッチングによって除去する。パターニングされた SiO_2 膜 960 は、第 1 導電体層 141 の端部の上に残留する。エッチングで残留させた SiO_2 膜 960 が応力緩和層 160 に相当する。低抵抗シリコン基板 910 の第 1 主面 910A の法線方向から平面視したとき、応力緩和層 160 で囲まれる領域においては

、第1導電体層141の表面から SiO_2 膜960が除去され第1導電体層141が露出する。この後、フォトレジスト層991を除去及び洗浄する。なお、応力緩和層160がシリコン窒化物である場合は、熱酸化の代わりに例えば減圧CVD法によって Poly-Si 膜の上にシリコン窒化物を堆積させて成膜する。

[0040] 次に、第2導電体層142を設ける(S16)。この工程では、まず、図6に示すように、誘電体膜130、第1導電体層141、及び応力緩和層160の上にA1膜942を設ける。A1膜942は、例えばスパッタリングによって成膜される。次に、図7に示すように、フォトリソグラフィによってパターニングされたフォトレジスト層992を設ける。フォトレジスト層992は、低抵抗シリコン基板910の第1主面910Aの法線方向から平面視したとき、応力緩和層160によって囲まれる領域と重なるように設けられる。次に、A1膜942の一部をエッチングにより除去する。パターニングされたA1膜942は、低抵抗シリコン基板910の第1主面910Aの法線方向から平面視したとき、第1導電体層141の端部の内側に残留する。エッチングで残留させたA1膜942が、第2導電体層142に相当する。この後、フォトレジスト層992を除去及び洗浄する。なお、A1膜942のパターニングは、エッチングによる除去に限定されるものではない。例えば、 SiO_2 膜960の除去後、フォトレジスト層991の上からA1膜942を成膜し、A1膜942の不要な部分をフォトレジスト層991と一緒に除去するリフトオフ加工であってもよい。

[0041] 次に、保護膜150を設ける(S17)。フォトレジスト層992の除去後、スピコート法によってPI(ポリイミド)膜を成膜する。次に、フォトリソグラフィによってパターニングされたフォトレジスト層を利用して、PI膜をエッチングする。エッチングによってPI膜は、誘電体膜130、第2導電体層142の端部、及び応力緩和層160と重なる領域を残して除去される。エッチングで残留させたPI膜が、保護膜150に相当する。PI膜の成膜方法は、スピコート法に限定されるものではなく、インクジェ

ット法、ディスペンス法、スクリーン印刷法、フレキソ印刷法、グラビア印刷法、オフセット印刷法、等のウェットプロセスを用いることができる。保護膜 150 を P I 膜以外の有機絶縁体膜によって設ける場合についても同様である。また、保護膜 150 をシリコン窒化物等の無機絶縁体膜によって設ける場合、CVD や PVD 等の各種ドライプロセスを用いることができる。

[0042] 保護膜 150 の形成後、保護膜 150 を通るダイシングライン B R に沿って低抵抗シリコン基板 910 を分割し、複数のキャパシタ 100 に個片化する。なお、ダイシング加工の方法は特に限定されるものではなく、ダイシングソーやレーザーを用いた一般的な手法によって実施される。

[0043] 次に、他の実施形態について説明する。以下のそれぞれの実施形態では、上記の第 1 実施形態と共通の事柄については記述を省略し、異なる点についてのみ説明する。第 1 実施形態と同様の符号が付された構成は、第 1 実施形態における構成と同様の構成及び機能を有するものとし、詳細な説明を省略する。同様の構成による同様の作用効果については言及しない。

[0044] <第 2 実施形態>

図 9 を参照しつつ、第 2 実施形態にかかるキャパシタ 200 の構成について説明する。図 9 は、第 2 実施形態に係るキャパシタの構成を概略的に示す断面図である。

[0045] 第 2 実施形態にかかるキャパシタ 200 は、第 1 実施形態にかかるキャパシタ 100 と同様に、基材 210、第 1 導電体膜 220、第 1 誘電体層 231 及び第 2 誘電体層 232 を有する誘電体膜 230、第 1 導電体層 241 及び第 2 導電体層 242 を有する第 2 導電体膜 240、保護膜 250、及び応力緩和層 260 を備えている。基材 210 は誘電体膜 230 側に位置する第 1 主面 210A と第 1 導電体膜 220 側に位置する第 2 主面 210B とを有し、基材 210 の第 1 主面 210A 側にはトレンチ部 311 が形成されている。キャパシタ 200 は、基材 210 の第 1 主面 210A を平面視したとき、第 2 導電体層 242 と重なる第 1 領域 201 と、第 2 導電体層 242 よりも外側に延在している第 1 導電体層 241 の端部と重なる第 2 領域 202 と

を有している。

[0046] 第2実施形態にかかるキャパシタ200は、応力緩和層260が第1導電体層241の端部において端面を避けて上面にのみ接触している点で、第1実施形態にかかるキャパシタ100と相違している。応力緩和層260は、誘電体膜230から離れ、第1導電体層241の端部の上面を覆い、第2導電体層242の端面に接触している。このように、応力緩和層260は、第1導電体層241の端部の全面を覆っていなくてもよく、第1導電体層241の端部の少なくとも一部に接触していれば誘電体膜230から離れていてもよい。

[0047] <第3実施形態>

図10を参照しつつ、第3実施形態にかかるキャパシタ300の構成について説明する。図10は、第3実施形態に係るキャパシタの構成を概略的に示す断面図である。

[0048] 第3実施形態にかかるキャパシタ300は、第1実施形態にかかるキャパシタ100と同様に、基材310、第1導電体膜320、第1誘電体層331及び第2誘電体層332を有する誘電体膜330、第1導電体層341及び第2導電体層342を有する第2導電体膜340、保護膜350、及び応力緩和層360を備えている。基材310は誘電体膜330側に位置する第1主面310Aと第1導電体膜320側に位置する第2主面310Bとを有し、基材310の第1主面310A側にはトレンチ部311が形成されている。キャパシタ300は、基材310の第1主面310Aを平面視したとき、第2導電体層342と重なる第1領域301と、第2導電体層342よりも外側に延在している第1導電体層341の端部と重なる第2領域302とを有している。

[0049] 第3実施形態にかかるキャパシタ300は、応力緩和層360が第1導電体層341の端部において上面を避けて端面にのみ接触している点で、第1実施形態にかかるキャパシタ100と相違している。応力緩和層360は、第2導電体層342と非接触となっている。

[0050] <第4実施形態>

図11を参照しつつ、第4実施形態にかかるキャパシタ400の構成について説明する。図11は、第4実施形態に係るキャパシタの構成を概略的に示す断面図である。

[0051] 第4実施形態にかかるキャパシタ400は、第1実施形態にかかるキャパシタ100と同様に、基材410、第1導電体膜420、第1誘電体層431及び第2誘電体層432を有する誘電体膜430、第1導電体層441及び第2導電体層442を有する第2導電体膜440、保護膜450、及び応力緩和層460を備えている。基材410は誘電体膜430側に位置する第1主面410Aと第1導電体膜420側に位置する第2主面410Bとを有し、基材410の第1主面410A側にはトレンチ部411が形成されている。キャパシタ400は、基材410の第1主面410Aを平面視したとき、第2導電体層442と重なる第1領域401と、第2導電体層442よりも外側に延在している第1導電体層441の端部と重なる第2領域402とを有している。

[0052] 第4実施形態にかかるキャパシタ400は、応力緩和層460が第2導電体膜440の端部からキャパシタ400の端部に亘って設けられている点で、第1実施形態にかかるキャパシタ100と相違している。このとき、保護膜450は、第2導電体膜440及び応力緩和層460の上に設けられている。

[0053] <第5実施形態>

図12を参照しつつ、第5実施形態にかかるキャパシタ500の構成について説明する。図12は、第5実施形態に係るキャパシタの構成を概略的に示す断面図である。

[0054] 第5実施形態にかかるキャパシタ500は、第1実施形態にかかるキャパシタ100と同様に、基材510、第1導電体膜520、第1誘電体層531及び第2誘電体層532を有する誘電体膜530、第1導電体層541及び第2導電体層542を有する第2導電体膜540、保護膜550、及び応

力緩和層 560 を備えている。基材 510 は、誘電体膜 530 側に位置する第 1 主面 510A と、第 1 導電体膜 520 側に位置する第 2 主面 510B とを有し、基材 510 の第 1 主面 510A 側にはトレンチ部 511 が形成されている。キャパシタ 500 は、基材 510 の第 1 主面 510A を平面視したとき、第 2 導電体層 542 と重なる第 1 領域 501 と、第 2 導電体層 542 よりも外側に延在している第 1 導電体層 541 の端部と重なる第 2 領域 502 とを有している。

[0055] 第 5 実施形態にかかるキャパシタ 500 は、第 2 導電体層 542 の端部が応力緩和層 560 の上に設けられている点で、第 1 実施形態にかかるキャパシタ 100 と相違している。応力緩和層 560 は、第 1 導電体層 141 と第 2 導電体層 142 との間に設けられている。

[0056] <第 6 実施形態>

図 13 を参照しつつ、第 6 実施形態にかかるキャパシタ 600 の構成について説明する。図 13 は、第 6 実施形態に係るキャパシタの構成を概略的に示す断面図である。

[0057] 第 6 実施形態にかかるキャパシタ 600 は、第 1 実施形態にかかるキャパシタ 100 と同様に、基材 610、第 1 導電体膜 620、誘電体膜 630、第 1 導電体層 641 及び第 2 導電体層 642 を有する第 2 導電体膜 640、保護膜 650、及び応力緩和層 660 を備えている。基材 610 は、誘電体膜 630 側に位置する第 1 主面 610A と、第 1 導電体膜 620 側に位置する第 2 主面 610B とを有し、基材 610 の第 1 主面 610A 側にはトレンチ部 611 が形成されている。誘電体膜 630 は、第 2 導電体膜 640 側に位置する上面 630A を有している。

[0058] 第 6 実施形態にかかるキャパシタ 600 は、基材 610 の第 1 主面 610A を平面視したとき第 1 導電体層 641 及び第 2 導電体層 642 それぞれの外縁の少なくとも一部が互いに一致している点で、第 3 実施形態にかかるキャパシタ 300 と相違している。換言すると、応力緩和層 660 が設けられた領域において、第 1 導電体層 641 の端面は第 2 導電体層 642 の端面と

一致している。

[0059] 応力緩和層 660 は、誘電体膜 630 の上面 630A の一部に設けられている。応力緩和層 660 は、基材 610 の第 1 主面 610A を平面視したとき第 1 導電体層 641 の外側の領域に設けられ、第 1 導電体層 641 の端面に接触している。応力緩和層 660 の厚さは、第 1 導電体層 641 の厚さと略等しい。このような応力緩和層 660 は、例えば、基材 610 の第 1 主面 610A を平面視したときに第 2 導電体層 642 から露出する第 1 導電体層 641 の端部を酸化させることによって形成される。

[0060] 応力緩和層 660 の厚さ及び形成方法は上記に限定されるものではない。応力緩和層 660 の厚さは、第 1 導電体層 641 の厚さよりも大きくてもよい。換言すれば、応力緩和層 660 が第 2 導電体層 642 の端面に接触してもよい。応力緩和層 660 の厚さは、第 1 導電体層 641 の厚さよりも小さくてもよい。応力緩和層 660 は、例えば、誘電体膜 630 に凸部を形成し、その凸部を変質させて形成されてもよい。又は、誘電体膜 730 の上に絶縁性材料を堆積させて形成されてもよい。

[0061] <第 7 実施形態>

図 14 及び図 15 を参照しつつ、第 7 実施形態にかかるキャパシタ 700 の構成について説明する。図 14 は、第 7 実施形態に係るキャパシタの構成を概略的に示す断面図である。図 15 は、第 7 実施形態に係るキャパシタの変形例の構成を概略的に示す断面図である。

[0062] 第 7 実施形態にかかるキャパシタ 700 は、第 6 実施形態にかかるキャパシタ 600 と同様に、基材 710、第 1 導電体膜 720、誘電体膜 730、第 1 導電体層 741 及び第 2 導電体層 742 を有する第 2 導電体膜 740、保護膜 750、及び応力緩和層 760 を備えている。基材 710 は、誘電体膜 730 側に位置する第 1 主面 710A と、第 1 導電体膜 720 側に位置する第 2 主面 710B とを有し、基材 710 の第 1 主面 710A 側にはトレンチ部 711 が形成されている。誘電体膜 730 は、第 2 導電体膜 740 側に位置する上面 730A を有している。

[0063] 第7実施形態にかかるキャパシタ700は、応力緩和層760が第1導電体層741の内側の領域に設けられている点で、第6実施形態にかかるキャパシタ600と相違している。応力緩和層760は、第1導電体層741と誘電体膜730との間に設けられている。基材710の第1主面710Aを平面視したとき、応力緩和層760の外側の端面は第1導電体層741の端面と一致し、応力緩和層760の上面は第1導電体層741に覆われている。

[0064] 図14に示す構成例において、応力緩和層760は、トレンチ部711の外側に設けられている。応力緩和層760は、例えば、第1導電体層741の一部を酸化させて形成される。第1導電体層741の一部を酸化させる場合、雰囲気中の酸素が第1導電体層741の露出した端面に供給されてもよく、誘電体膜730中の酸素が第1導電体層741の下面に供給されてもよい。

[0065] 図15に示す変形例においては、応力緩和層760がトレンチ部711の内側を含む領域に設けられている。トレンチ部711の内側において、応力緩和層760は、誘電体膜730の上面730Aに沿って筒状に形成されている。さらに、応力緩和層760は、基材710の第1主面710Aを平面視したとき、第1導電体層741又は第2導電体層742の全体と重なるように設けられてもよい。

[0066] <第8実施形態>

図16を参照しつつ、第8実施形態にかかるキャパシタ800の構成について説明する。図16は、第8実施形態に係るキャパシタの構成を概略的に示す断面図である。

[0067] 第8実施形態にかかるキャパシタ800は、第6実施形態にかかるキャパシタ600と同様に、基材810、第1導電体膜820、誘電体膜830、第1導電体層841及び第2導電体層842を有する第2導電体膜840、保護膜850、及び応力緩和領域860を備えている。応力緩和領域860は応力緩和部の一態様であり、第6実施形態における応力緩和部660に相

当する。基材 810 は、誘電体膜 830 側に位置する第 1 主面 810A と、第 1 導電体膜 820 側に位置する第 2 主面 810B とを有し、基材 810 の第 1 主面 810A 側にはトレンチ部 811 が形成されている。誘電体膜 830 は、第 2 導電体膜 840 側に位置する上面 830A を有している。

[0068] 第 8 実施形態にかかるキャパシタ 800 は、応力緩和領域 860 が誘電体膜 830 の内部に形成されている点で、第 6 実施形態にかかるキャパシタ 600 と相違している。応力緩和領域 860 は誘電体膜 830 の上面を含む一部分に形成されている。基材 810 の第 1 主面 810A を平面視したとき、応力緩和領域 860 は、第 2 導電体膜 840 の内側の領域から外側の領域に亘って形成され、第 2 導電体膜 840 の端面と重なっている。応力緩和領域 860 は、例えば、誘電体膜 830 に不純物を注入することによって形成される。このような不純物の注入は、例えば、第 1 導電体層 841 又は第 2 導電体層 842 を設けた後に、誘電体膜 830 の上面 830A へのイオンドープ処理によって実施される。

[0069] なお、基材 810 の第 1 主面 810A を平面視したとき、応力緩和領域 860 は、第 2 導電体膜 840 の端面と重なっていれば、第 2 導電体膜 840 の内側の領域には設けられずに外側の領域に設けられてもよい。換言すると、基材 810 の第 1 主面 810A を平面視したとき、応力緩和領域 860 のトレンチ部 811 側の端面が、第 2 導電体膜 840 の端面と一致してもよい。図 15 に示した第 7 実施形態の変形例と同様に、応力緩和領域 860 は、トレンチ部 811 の内側を含む領域に形成されてもよい。

[0070] 以上のように、本発明の一態様によれば、互いに対向する第 1 主面 110A 及び第 2 主面 110B を有し、第 1 主面 110A 側にトレンチ部 111 が形成された基材 110 と、基材 110 の第 1 主面 110A 側でトレンチ部 111 の内側を含む領域に設けられた誘電体膜 130 と、トレンチ部 111 の内側を含む領域であって誘電体膜 130 の上に設けられた第 1 導電体層 141、及び、第 1 導電体層 141 の上に設けられた第 2 導電体層 142 を有する導電体膜 140 と、第 1 導電体層 141 の端部の少なくとも一部に接触し

て設けられた応力緩和層 160 をさらに備え、基材 110 の第 1 主面 110 A のうちトレンチ部 111 の外側において、応力緩和層 160 の厚さ T6 は、導電体膜 140 の厚さ T4 よりも小さい、キャパシタ 100 が提供される。

[0071] また、本発明の他の一態様によれば、互いに対向する第 1 主面 110 A 及び第 2 主面 110 B を有し、第 1 主面 110 A 側にトレンチ部 111 が形成された基材 110 と、基材 110 の第 1 主面 110 A 側でトレンチ部 111 の内側を含む領域に設けられた誘電体膜 130 と、トレンチ部 111 の内側を含む領域であって誘電体膜 130 の上に設けられた第 1 導電体層 141、及び、第 1 導電体層 141 の上に設けられた第 2 導電体層 142 を有する導電体膜 140 と、第 1 導電体層 141 の端部の少なくとも一部に接触して設けられた応力緩和層 160 をさらに備え、応力緩和層 160 の残留応力の向きは、第 2 導電体層 142 の残留応力の向きと反対である、キャパシタ 100 が提供される。

[0072] 上記態様によれば、第 2 導電体層の端部に集中した内部応力の誘電体膜への伝達を緩和し、誘電体膜の損傷による絶縁性の低下や、上部電極と下部電極の短絡による動作不良を抑制することができる。つまり、上部電極及び下部電極が平板状であるキャパシタに比べて誘電体膜の損傷が生じやすいトレンチキャパシタであったとしても、キャパシタの信頼性を向上させることができる。

[0073] 応力緩和層 660 は、誘電体膜 630 のうち第 1 導電体層 641 に対向する上面 630 A に設けられてもよい。これによれば、第 2 導電体膜から誘電体膜への内部応力の伝達経路に応力緩和層が配置されることによって、誘電体膜の損傷がより効果的に抑制できる。

[0074] 応力緩和層 760 は、基材 710 の第 1 主面 710 A を平面視したとき第 1 導電体層 741 の内側の領域に設けられてもよい。

[0075] 応力緩和層 760 は、トレンチ部 711 の内側を含む領域にも設けられてもよい。これによれば、広範囲に亘って第 2 導電体膜の応力が緩和できるた

め、誘電体膜の損傷がさらに抑制できる。また、応力緩和層が応力の集中しやすいトレンチ部の角に対向して設けられるため、トレンチ部の角での誘電体膜の損傷が抑制できる。

[0076] 応力緩和層 660 は、基材 610 の第 1 主面 610A を平面視したとき第 1 導電体層 641 の外側の領域に設けられてもよい。

[0077] 応力緩和領域 860 は、誘電体膜 830 の内部に形成されてもよい。

[0078] 基材 610 の第 1 主面 610A を平面視したとき、第 1 導電体層 641 の端面は第 2 導電体層 642 の端面と一致していてもよい。

[0079] 基材 110 の第 1 主面 110A を平面視したとき、第 1 導電体層 141 の端面は第 2 導電体層 142 の外側に位置していてもよい。

[0080] 応力緩和層 160 は、第 1 導電体層 141 の上面及び端面のうち少なくとも一方に接触して設けられていてもよい。

[0081] 応力緩和層 260 は、第 1 導電体層 241 の端部の上面全体を覆っていてもよい。

[0082] 応力緩和層 360 は、第 1 導電体層 341 の端部の端面全体を覆っていてもよい。

[0083] 応力緩和層 360 は、第 2 導電体層 342 と非接触となってもよい。
応力緩和層が内部応力の集中する第 2 導電体層の端部から離れていたとしても、応力緩和層が当該内部応力の伝達経路である第 1 導電体層の端部に接触することにより、当該内部応力の誘電体膜への伝達を緩和することができる。

[0084] 応力緩和層 560 は、第 1 導電体層 541 と第 2 導電体層 542 との間に設けられてもよい。これによれば、第 2 導電体層の端部に集中した内部応力の誘電体膜への伝達を、さらに効果的に緩和することができる。

[0085] 第 2 導電体層 142 は、引張応力を有し、応力緩和層 160 は、圧縮応力を有してもよい。これによれば、第 2 導電体層の引張応力の少なくとも一部を応力緩和層の圧縮応力によって相殺することができる。

[0086] 第 1 導電体層 141 は、リン、ボロン及びヒ素の少なくともいずれか 1 つ

を不純物として含むシリコン系半導体からなってもよい。これによれば、基材が低抵抗シリコン基板である場合、第1導電体層に生じる基材に対する熱応力を小さくすることができる。

[0087] 応力緩和層160は、リン、ボロン及びヒ素の少なくともいずれか1つを不純物として含むシリコン酸化物からなってもよい。これによれば、リン、ボロン及びヒ素の少なくともいずれか1つを不純物として含むシリコン系半導体からなる第1導電体層を熱酸化して表面に形成される酸化膜を応力緩和層として用いることができる。このため、真空蒸着等によって設けられる応力緩和層に比べて製造を簡略化することができる。また、応力緩和層の第1導電体層に対する密着性を向上させることができる。

[0088] 応力緩和層160は、水素を不純物として含むシリコン窒化物からなってもよい。これによれば、上記したのと同様の効果を得ることができる。

[0089] 第2導電体層142の少なくとも一部を避けて設けられた保護膜150をさらに備えていてもよい。これによれば、沿面放電によるリーク電流の発生を抑制することができ、キャパシタを高耐圧化することができる。

[0090] 以上のように、本発明の一態様によれば、互いに対向する第1主面110A及び第2主面110Bを有する基材110を準備する工程と、基材110の第1主面110A側にトレンチ部111を形成する工程と、基材110の第1主面110A側でトレンチ部111の内側を含む領域に誘電体膜130を設ける工程と、トレンチ部111の内側を含む領域であって誘電体膜130の上に第1導電体層141を設ける工程と、第1導電体層141の端部の少なくとも一部に接触するように応力緩和層160を設ける工程と、第1導電体層141の上に第2導電体層142を設ける工程とを含み、基材110の第1主面110Aのうちトレンチ部111の外側において、応力緩和層160の厚さT6は、第1導電体層141及び第2導電体層142からなる導電体膜140の厚さT4よりも小さい、キャパシタの製造方法が提供される。

[0091] 上記態様によれば、第2導電体層の端部に集中した内部応力の誘電体膜へ

の伝達を緩和し、誘電体膜の損傷による絶縁性の低下や、上部電極と下部電極の短絡による動作不良を抑制することができる。つまり、上部電極及び下部電極が平板状であるキャパシタに比べて誘電体膜の損傷が生じやすいトレンチキャパシタであったとしても、キャパシタの信頼性を向上させることができる。

[0092] 第1導電体層141は、リン、ボロン及びヒ素の少なくともいずれか1つを不純物として含むシリコン系半導体からなり、応力緩和層160を設ける工程は、シリコン系半導体を熱酸化させることでシリコン酸化物を設ける工程を含んでもよい。これによれば、リン、ボロン及びヒ素の少なくともいずれか1つを不純物として含むシリコン系半導体からなる第1導電体層を熱酸化して表面に形成される酸化膜を応力緩和層として用いることができる。このため、応力緩和層を真空蒸着等によって設ける工程に比べて製造を簡略化することができる。また、応力緩和層の第1導電体層に対する密着性を向上させることができる。

[0093] 第1導電体層141は、リン、ボロン及びヒ素の少なくともいずれか1つを不純物として含むシリコン系半導体からなり、応力緩和層160を設ける工程は、シリコン系半導体の上にシリコン窒化物を堆積させる工程を含んでもよい。これによれば、上記したのと同様の効果を得ることができる。

[0094] 応力緩和層160及び第2導電体層142の上に保護膜150を設ける工程をさらに含んでもよい。これによれば、沿面放電によるリーク電流の発生を抑制することができ、キャパシタを高耐圧化することができる。

[0095] 以上説明したように、本発明の一態様によれば、信頼性の向上を図ることが可能なキャパシタを提供することが可能となる。

[0096] なお、以上説明した実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更／改良され得るととともに、本発明にはその等価物も含まれる。即ち、各実施形態に当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。例えば、各実

施形態が備える各要素及びその配置、材料、条件、形状、サイズなどは、例示したものに限定されるわけではなく適宜変更することができる。また、各実施形態が備える各要素は、技術的に可能な限りにおいて組み合わせることができ、これらを組み合わせたものも本発明の特徴を含む限り本発明の範囲に包含される。

符号の説明

- [0097] 1 0 0…キャパシタ
 1 0 1…第1領域
 1 0 2…第2領域
 1 1 0…基材
 1 1 0 A…第1主面
 1 1 0 B…第2主面
 1 1 1…トレンチ部
 1 2 0…第1導電体膜
 1 3 0…誘電体膜
 1 3 1…第1誘電体層
 1 3 2…第2誘電体層
 1 4 0…第2導電体膜
 1 4 1…第1導電体層
 1 4 2…第2導電体層
 1 5 0…保護膜
 1 6 0…応力緩和層

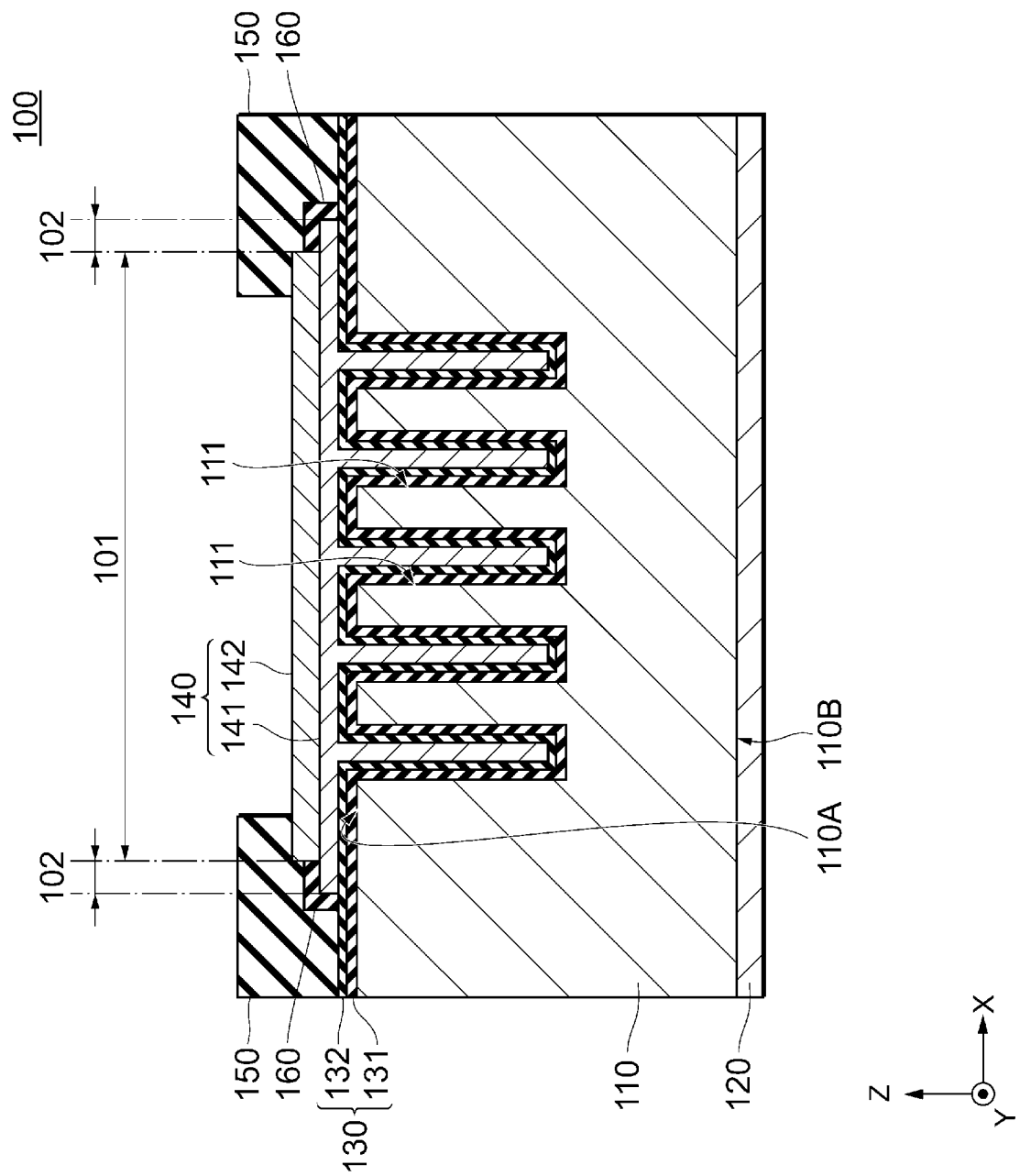
請求の範囲

- [請求項1] 互いに対向する第1主面及び第2主面を有し、前記第1主面側にトレンチ部が形成された基材と、
前記基材の前記第1主面側で前記トレンチ部の内側を含む領域に設けられた誘電体膜と、
前記トレンチ部の内側を含む領域であって前記誘電体膜の上に設けられた第1導電体層、及び、前記第1導電体層の上に設けられた第2導電体層を有する導電体膜と、
前記第1導電体層の端部の少なくとも一部に接触して設けられた応力緩和部と、
を備え、
前記基材の前記第1主面のうち前記トレンチ部の外側において、前記応力緩和部の厚さは、前記導電体膜の厚さよりも小さい、キャパシタ。
- [請求項2] 互いに対向する第1主面及び第2主面を有し、前記第1主面側にトレンチ部が形成された基材と、
前記基材の前記第1主面側で前記トレンチ部の内側を含む領域に設けられた誘電体膜と、
前記トレンチ部の内側を含む領域であって前記誘電体膜の上に設けられた第1導電体層、及び、前記第1導電体層の上に設けられた第2導電体層を有する導電体膜と、前記第1導電体層の端部の少なくとも一部に接触して設けられた応力緩和部と、
を備え、
前記応力緩和部の残留応力の向きは、前記第2導電体層の残留応力の向きと反対である、キャパシタ。
- [請求項3] 前記応力緩和部は、前記誘電体膜のうち前記第1導電体層に対向する上面に設けられている、
請求項1又は2に記載のキャパシタ。

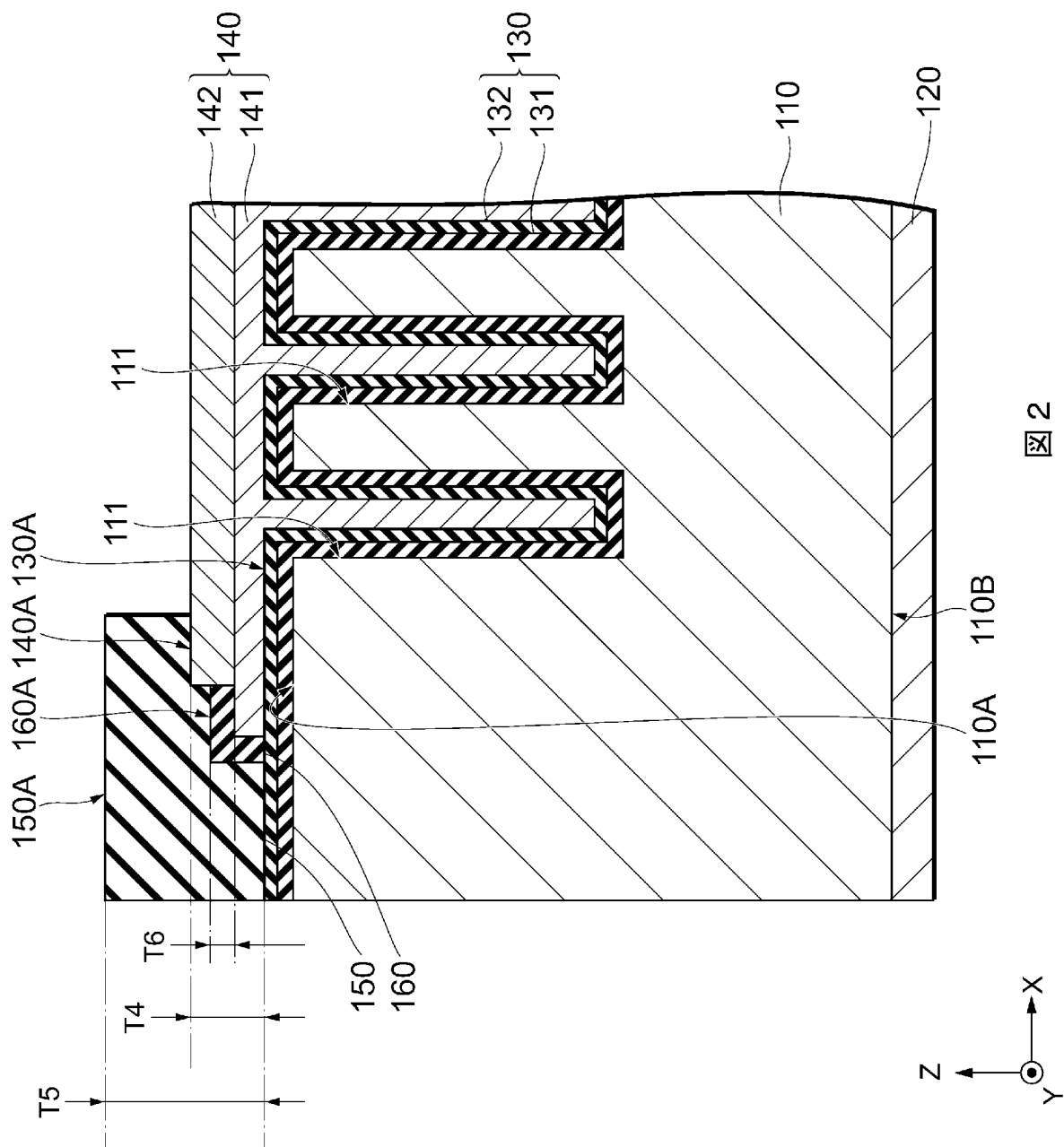
- [請求項4] 前記応力緩和部は、前記基材の前記第1主面を平面視したとき前記第1導電体層の内側の領域に設けられている、
請求項3に記載のキャパシタ。
- [請求項5] 前記応力緩和部は、前記トレンチ部の内側を含む領域に設けられている、
請求項4に記載のキャパシタ。
- [請求項6] 前記応力緩和部は、前記基材の前記第1主面を平面視したとき前記第1導電体層の外側の領域に設けられている、
請求項3に記載のキャパシタ。
- [請求項7] 前記応力緩和部は、前記誘電体膜の内部に形成されている、
請求項1又は2に記載のキャパシタ。
- [請求項8] 前記基材の前記第1主面を平面視したとき、前記第1導電体層の端面は前記第2導電体層の端面と一致している、
請求項1から7のいずれか1項に記載のキャパシタ。
- [請求項9] 前記基材の前記第1主面を平面視したとき、前記第1導電体層の端面は前記第2導電体層の外側に位置している、
請求項1から7のいずれか1項に記載のキャパシタ。
- [請求項10] 前記応力緩和部は、前記第1導電体層の上面及び端面のうち少なくとも一方に接触して設けられている、
請求項9に記載のキャパシタ。
- [請求項11] 前記応力緩和部は、前記第2導電体層と非接触となっている、
請求項1から10のいずれか1項に記載のキャパシタ。
- [請求項12] 前記応力緩和部は、前記第1導電体層と前記第2導電体層との間に設けられている、
請求項1から10のいずれか1項に記載のキャパシタ。
- [請求項13] 前記第1導電体層は、リン、ボロン及びヒ素の少なくともいずれか1つを不純物として含むシリコン系半導体からなる、
請求項1から12のいずれか1項に記載のキャパシタ。

- [請求項14] 前記応力緩和部は、リン、ボロン及びヒ素の少なくともいずれか1つを不純物として含むシリコン酸化物からなる、
請求項13に記載のキャパシタ。
- [請求項15] 前記応力緩和部は、水素を不純物として含むシリコン窒化物からなる、
請求項1から12のいずれか1項に記載のキャパシタ。
- [請求項16] 前記第2導電体層の少なくとも一部を避けて設けられた保護膜をさらに備えている、
請求項1から15のいずれか1項に記載のキャパシタ。

[図1]



[図2]



[図3]

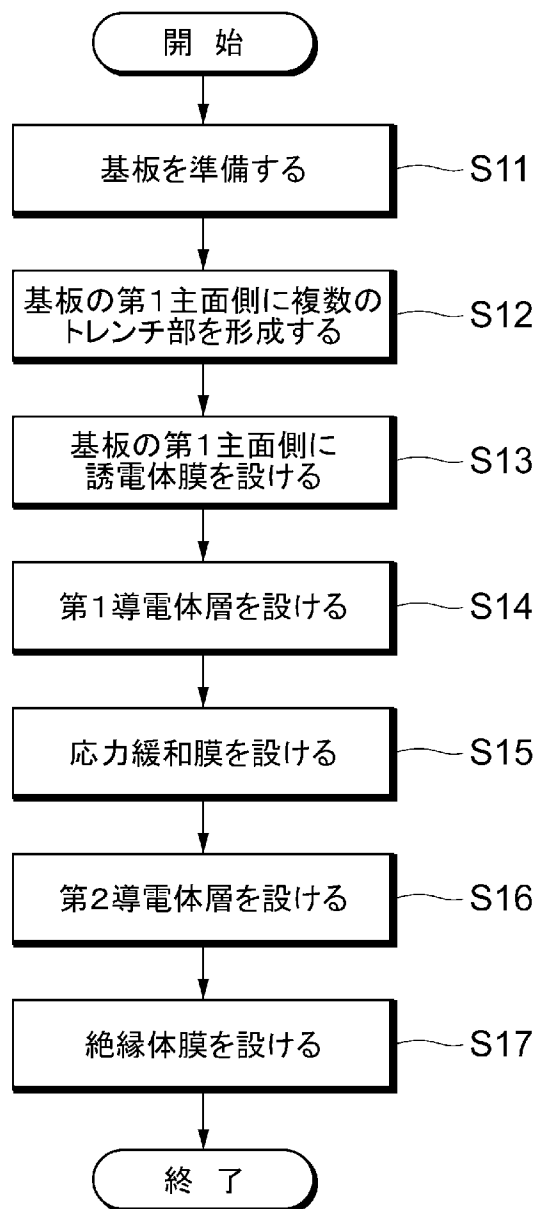


図 3

[図10]

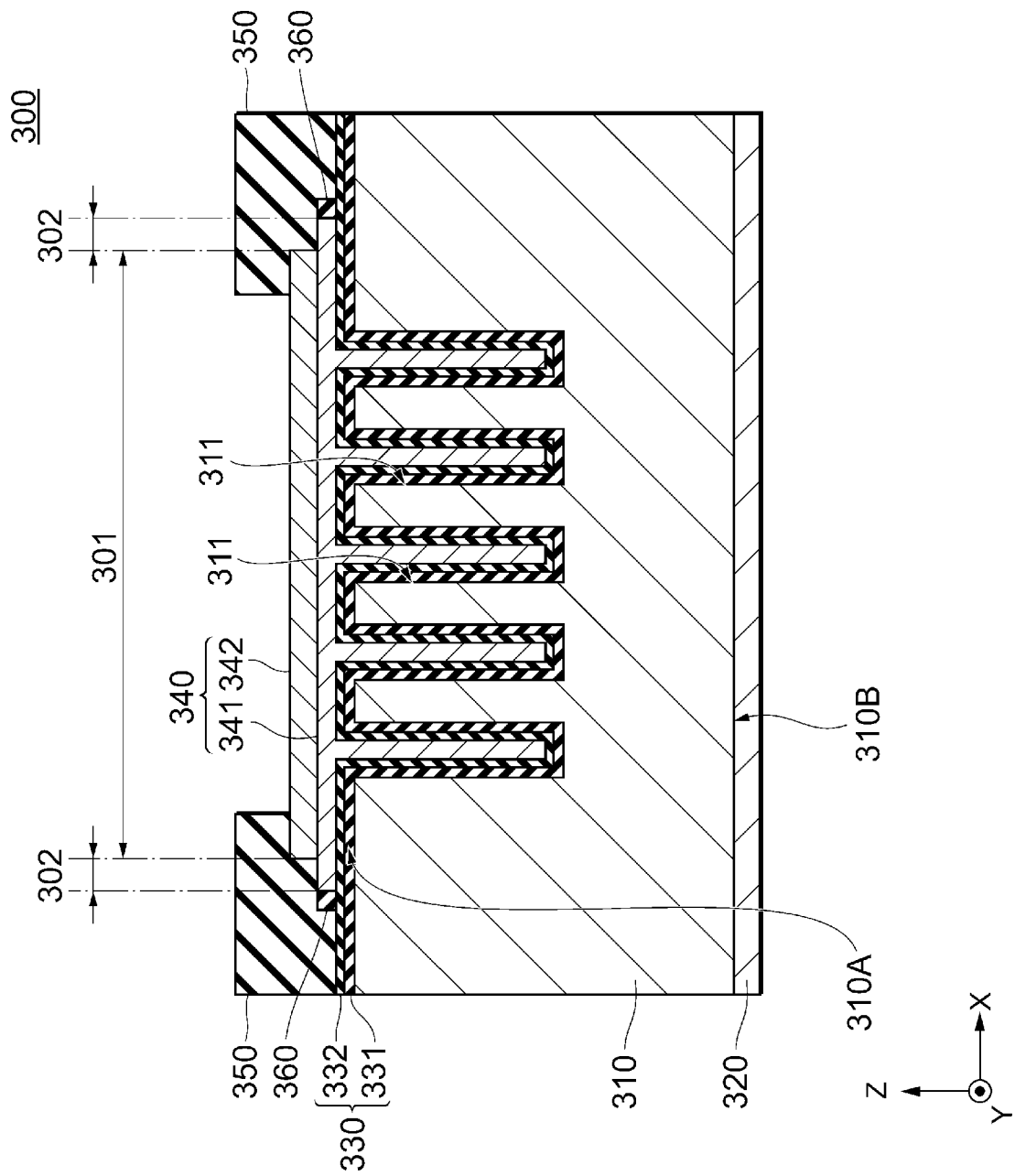


図 10

[図11]

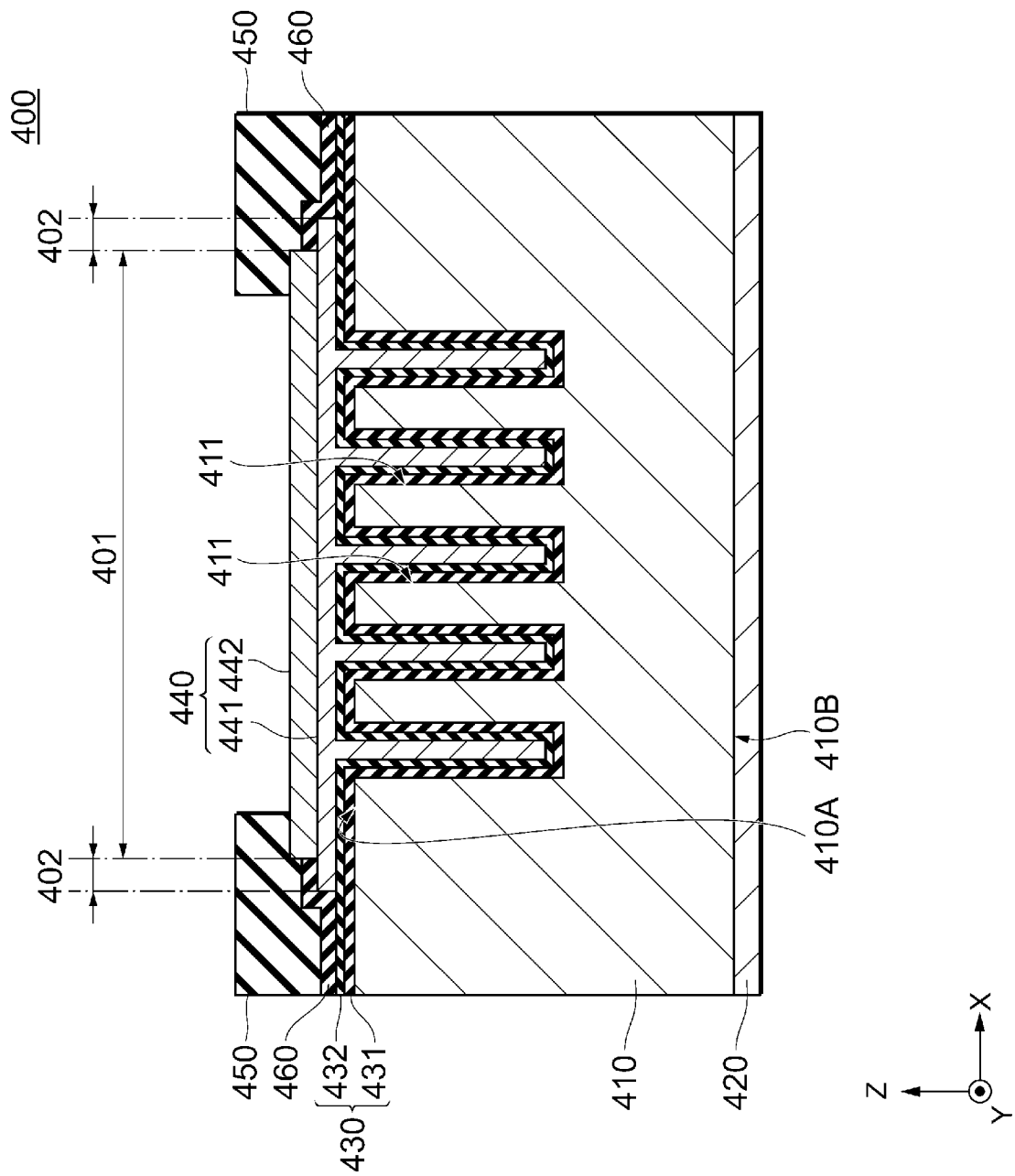


図 11

[図13]

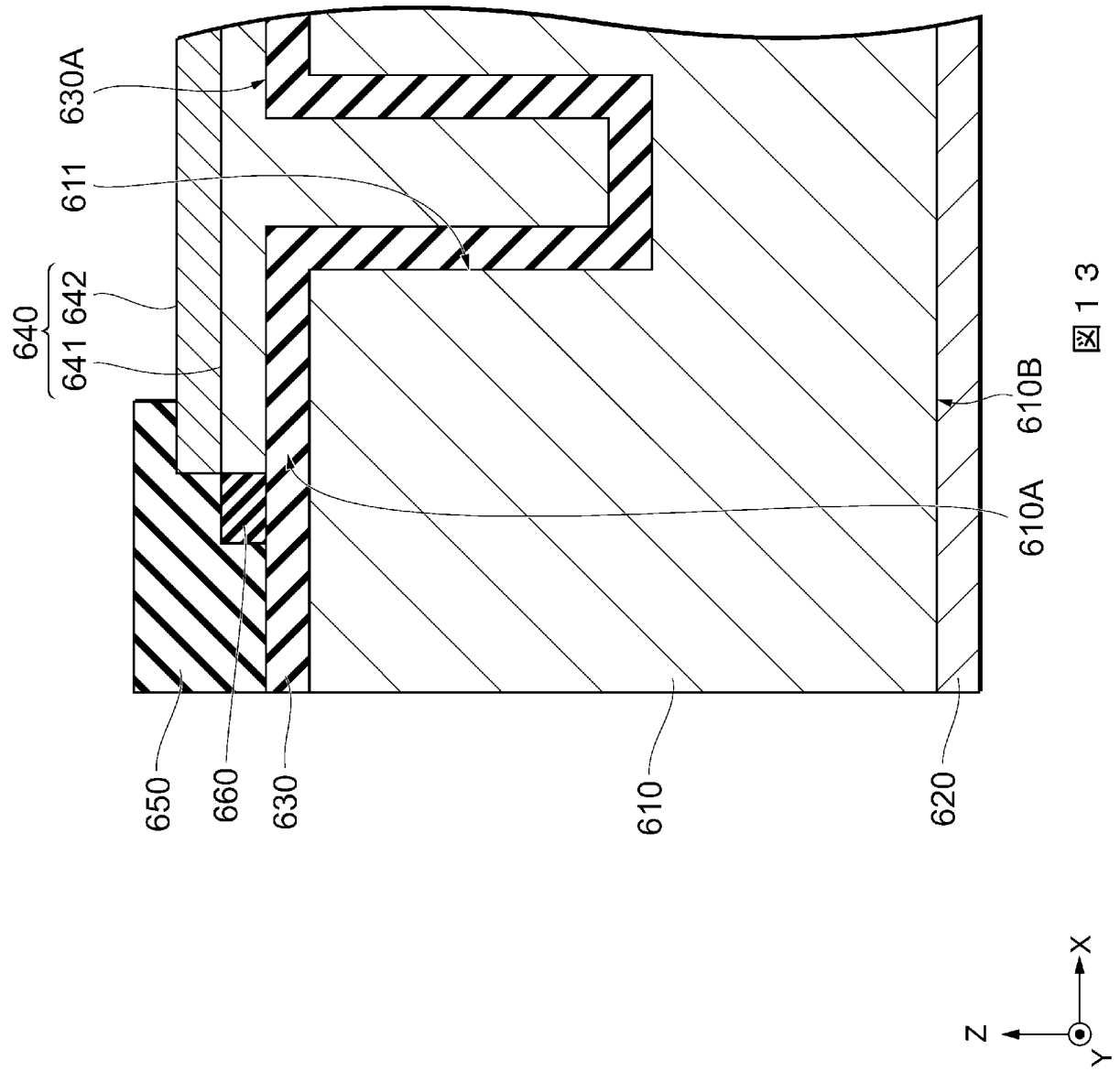
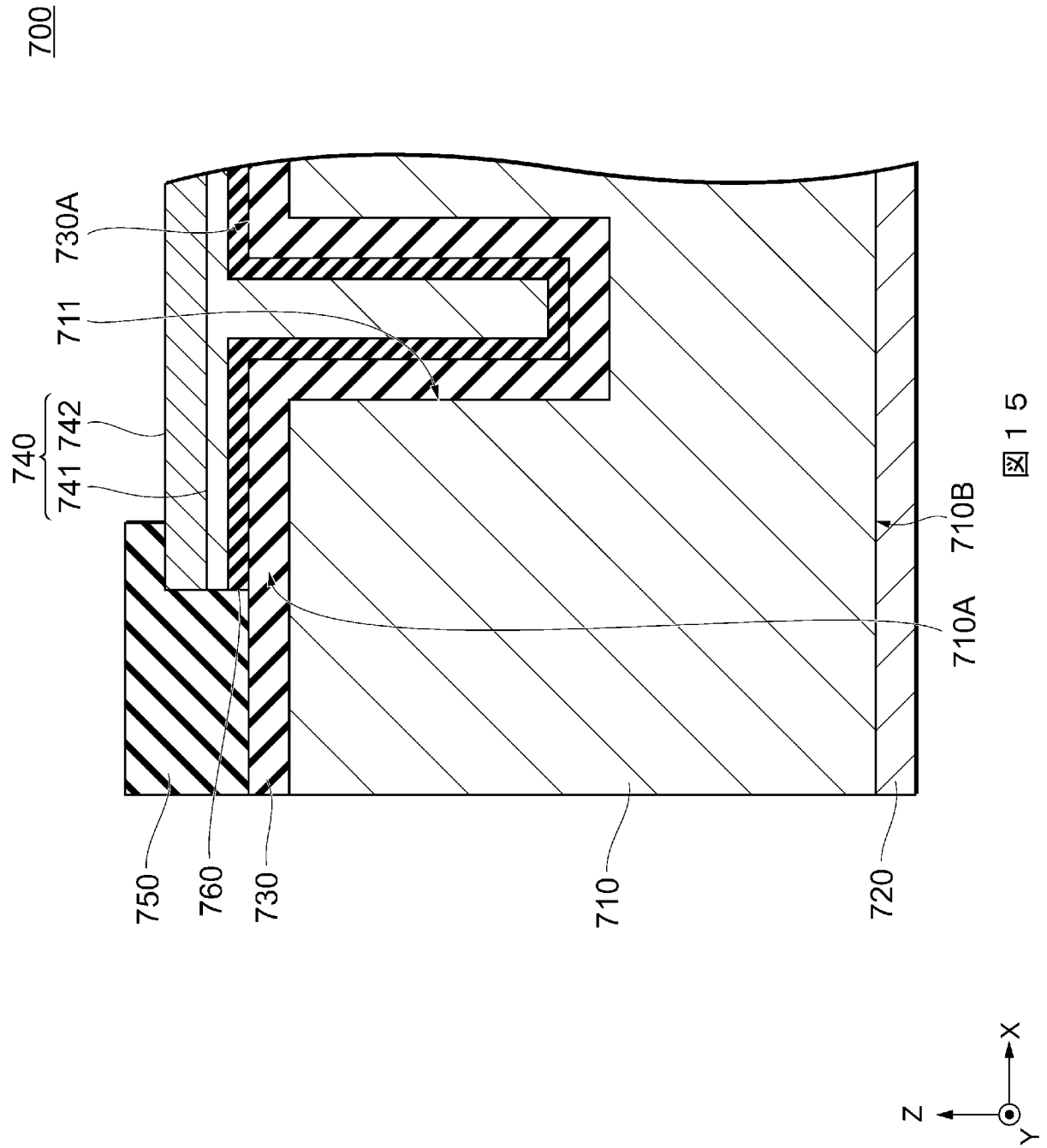
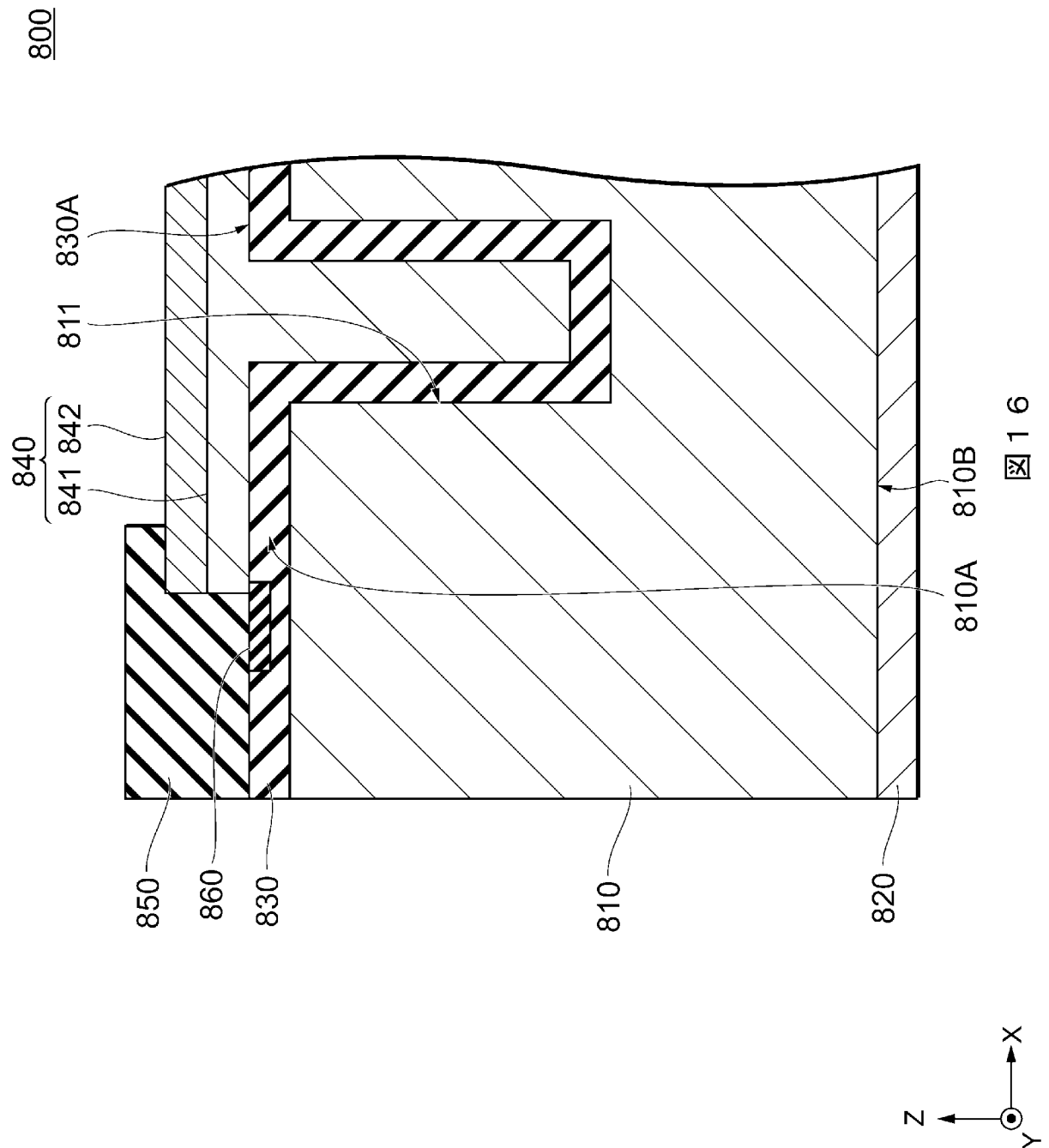
600

図 13

[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/026120

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/822 (2006.01) i, H01G4/00 (2006.01) i, H01L21/316 (2006.01) i,
H01L21/318 (2006.01) i, H01L27/04 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/822, H01G4/00, H01L21/316, H01L21/318, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-214589 A (FUJITSU LTD.) 29 July 2004 & US 2004/0130849 A1	1-16
A	JP 2003-110023 A (FUJITSU QUANTUM DEVICES LIMITED) 11 April 2003 & US 2003/0063428 A1 & TW 565930 B	1-16
A	JP 2005-353657 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 22 December 2005 (Family: none)	1-16
A	JP 62-206870 A (NEC CORP.) 11 September 1987 (Family: none)	1-16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 September 2018 (05.09.2018)

Date of mailing of the international search report
18 September 2018 (18.09.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/822(2006.01)i, H01G4/00(2006.01)i, H01L21/316(2006.01)i, H01L21/318(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/822, H01G4/00, H01L21/316, H01L21/318, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-214589 A（富士通株式会社）2004. 07. 29, & US 2004/0130849 A1	1-16
A	JP 2003-110023 A（富士通カンタムデバイス株式会社）2003. 04. 11, & US 2003/0063428 A1 & TW 565930 B	1-16
A	JP 2005-353657 A（松下電器産業株式会社）2005. 12. 22, （ファミリーなし）	1-16

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05. 09. 2018

国際調査報告の発送日

18. 09. 2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

6299

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 62-206870 A (日本電気株式会社) 1987. 09. 11, (ファミリーなし)	1-16