

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610142255.7

[51] Int. Cl.

G01R 1/073 (2006.01)

G01R 1/067 (2006.01)

G01R 31/319 (2006.01)

[43] 公开日 2007 年 6 月 6 日

[11] 公开号 CN 1975440A

[22] 申请日 2002.3.13

[21] 申请号 200610142255.7

分案原申请号 02800678. X

[30] 优先权

[32] 2001.3.15 [33] US [31] 09/808,009

[71] 申请人 爱德旺太斯特株式会社

地址 日本东京

[72] 发明人 詹姆士·沃伦·弗雷姆

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 李 辉

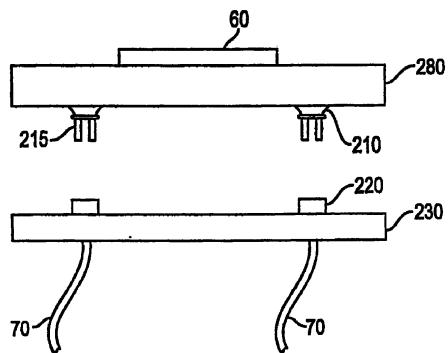
权利要求书 3 页 说明书 9 页 附图 12 页

[54] 发明名称

待测器件和测试头之间的通用测试接口

[57] 摘要

本发明涉及待测器件和测试头之间的通用测试接口。为了在容纳待测器件(DUT)的DUT板和连接到测试头的电缆之间形成模块化接口，提供一个具有连接器阵列的板垫块。每个电缆连接到一个相应的连接器，并且DUT板包含一个对应的连接点阵列，连接点的数量等于或小于板垫块上的阵列中的连接器的数量。以此方式，可以使用一个公共板垫块来把电缆连接到容纳不同类型DUT的DUT板，因为板垫块上的连接点的位置是已知的并且保持恒定。该接口允许测试头和DUT上器件之间的用于超过50MHz频率的高速和高保真度连接。



1. 一种执行存储器件的高并行性测试的接口，该接口包括：

第一板，保持其中一个存储器件并具有一个连接到该存储器件的插座；和一个插塞，连接到相应电缆和该插座以产生一个通信通路，

其中所述第一板和所述插塞的组合允许存储器件的高并行性测试。

2. 根据权利要求 1 所述的接口，其中利用一个装卸装置把一个存储器件移动到所述第一板，该装卸装置使用的间隔框架的间距使得可以在该间隔框架中测试 32 个或更多存储器件。

3. 根据权利要求 1 所述的接口，其中利用一个装卸装置把一个存储器件移动到所述第一板，该装卸装置使用的间隔框架的间距使得可以在该间隔框架中测试 64 个或更多存储器件。

4. 根据权利要求 1 所述的接口，其中在相应的各对插座和插塞之间形成的每个连接形成了用于具有至少 50MHz 频率的信号的通信通路。

5. 一种把待测器件板上的待测器件连接到电缆以进行测试的方法，该方法包括：

把一个具有第一数量连接器的第一待测器件板从一个板垫块上以阵列保持的相应电缆上拔下，所述第一数量连接器连接到由第一待测器件板保持的第一待测器件，以及

把一个具有与第一数量不同的第二数量连接器的第二待测器件板插入在板垫块上以阵列保持的电缆，所述第二数量连接器连接到由第二待测器件板保持的第二待测器件。

6. 根据权利要求 5 所述的方法，其中在第一和第二连接器之间形成的每个连接形成了用于具有至少 50MHz 频率的信号的通信通路。

7. 根据权利要求 5 所述的方法，其中第一连接器包括一个屏蔽控制的阻抗连接器，第二连接器包括一个头部。

8. 根据权利要求 5 所述的方法，其中第一连接器包括一个头部，第二连接器包括一个屏蔽控制的阻抗连接器。

9. 根据权利要求 5 所述的方法，其中第一和第二连接器具有信号线和接地线，并且在相邻信号线和接地线之间的间距等于或小于 2.54mm。

10. 根据权利要求 9 所述的方法，其中第一和第二连接器包括成对的 2mm 连接器和头部。

11. 根据权利要求 10 所述的方法，其中第一和第二连接器包括成对的 1.27mm 连接器和头部。

12. 根据权利要求 11 所述的方法，其中第二连接器在第二板上以阵列形式成行设置。

13. 根据权利要求 12 所述的方法，其中第二连接器由第二板中的阵列中的相应阵列孔保持。

14. 一种把待测器件板上的待测器件连接到电缆以进行测试的方法，该方法包括：

把一个具有连接到第一待测器件的多个第一焊盘的第一待测器件板从一个具有连接到电缆的板焊盘的板垫块上除去，其中相应的各对第一焊盘和板焊盘形成一个板-板连接，以产生用于电缆和第一待测器件之间信号的第一通信通路；以及

把具有连接到第二待测器件的多个第二焊盘的第二待测器件板放置到板垫块上，使得相应的各对第二焊盘和板焊盘形成一个板-板连接，以产生用于电缆和第二待测器件之间信号的第二通信通路。

15. 根据权利要求 14 所述的方法，其中第一和第二焊盘的数量不同。

16. 根据权利要求 14 所述的方法，其中在第二焊盘和板焊盘之间设置有一个弹性体。

17. 根据权利要求 16 所述的方法，其中在相应的各对第二焊盘和板焊盘之间形成的每个连接产生用于具有至少 50MHz 频率的信号的第二通信通路。

18. 根据权利要求 17 所述的方法，其中板焊盘在第二板上以阵列形式成行布置。

19. 一种把待测器件板上的存储器件连接到电缆以进行存储器件的高并行性测试的方法，该方法包括：

把第一待测器件板从插塞上拔下，其中每个第一待测器件板具有连接到第一存储器件的第一插座，并且每个插塞连接到相应电缆；以及

把第二待测器件板插入插塞，其中每个第二待测器件板具有连接到第二存储器件的第二插座，以形成电缆和第二存储器件之间的通信通路，

其中第二待测器件板和插塞的组合允许第二存储器件的高并行性测试。

20. 根据权利要求 19 所述的方法，进一步包括利用一个装卸装置把第二存储器件移动到第二待测器件板，该装卸装置使用的间隔框架的间距使得可以在该间隔框架中测试 32 个或更多存储器件。

21. 根据权利要求 19 所述的方法，进一步包括利用一个装卸装置把第二存储器件移动到第二待测器件板，该装卸装置使用的间隔框架的间距使得可以在该间隔框架中测试 64 个或更多存储器件。

22. 根据权利要求 19 所述的方法，其中在相应的各对插塞和第二插座之间形成的每个连接形成了用于具有至少 50MHz 频率的信号的通信通路。

## 待测器件和测试头之间的通用测试接口

本申请是原案申请号为 02800678.X 的发明专利申请（国际申请号：PCT/JP02/02334，申请日：2002 年 3 月 13 日，发明名称：待测器件和测试头之间的通用测试接口）的分案申请。

### 技术领域

本发明涉及用于测试集成电路元件的自动测试设备，具体涉及自动测试设备中使用的接口硬件，用于把待测器件连接到测试头以便执行测试。

### 背景技术

自动测试设备（即测试器）通常用于测试半导体器件和集成电路元件（例如存储器或逻辑电路）的制造缺陷。图 1 显示了一个测试器的一般表示。如图所示，测试器 1 具有测试器体 10，测试器体 10 与测试头 20 通信。测试头 20 通过接口 30 与待测器件（DUT）60 通信。DUT 60 是待测试的各种集成电路元件。以此方式，可以迅速和同时地测试多个 DUT 60。此外，在测试了一组 DUT 60 后，使用一个装卸装置 5 引入另一组 DUT 60 以进行测试。

如图 2 和 3 所示，在 DUT 板 80 上排列多个 DUT 60。DUT 板 80（也称作插槽板、器件接口板和装载板）位于相应的板垫块 40 上，板垫块 40 放置在一个间隔框架 50 上。板垫块 40 是空心的以允许电缆 70 连接到 DUT 板 80。每个 DUT 60 通过 DUT 板 80 中的带焊接内衬的通孔 83 连接到相应电缆 70，其实际连接是在焊点 82。由此，每个电缆 70 分别焊接到 DUT 板 80。

对于一个常规测试器 1，当要测试一种新类型的 DUT 60 时，通过装卸装置 5 把该新 DUT 60 移动到测试器 1 并连接到一个测试插槽（未示出），完成测试

头 20 和新 DUT 60 之间的电连接。然后执行测试。在测试完成后，通过装卸装置 5 把 DUT 60 从测试插槽移开，并使用装卸装置 5 把一个相同类型的新 DUT 60 安装到测试插槽中。

如果要测试一个新类型的 DUT 60，必须替换旧 DUT 板 80 并且把一个新 DUT 板 80 插入其位置。该新 DUT 板 80 将具有反映该新类型 DUT 60 的不同连接需要。由此，或者是必须使用一个新的接口组件，或者是必须在不同的焊点 82 重新焊接电缆 70。在任何一种情况下，电缆 70 都要与用于待测试的每个新类型 DUT 60 的不同 DUT 板 80 进行定制装配。此外，在重新焊接电缆 70 时，DUT 60 类型的每次改变都需要把接口组件（包括板垫块 40）部分地或全部地拆卸，把电缆 70 焊接到新 DUT 板 80 的相应焊点 82，并且把接口重新组装。另一方面，在替换整个接口组件时，必须为待测试的每种类型 DUT 60 储备大量接口组件。

这种焊接方式是有问题的，因为把电缆 70 连接到 DUT 板 80 的焊点 82 要耗费时间。当 DUT 60 的密度和/或数量增加时，这个问题更加严重。例如，现代测试器可以容纳多达 128 个 DUT 60/每个测试头 20，每星期（甚至每天）DUT 60 的类型改变很多次。由此，对于待测试的 DUT 60 类型的每次改变，为执行接口的拆卸和组装以及用于把电缆 70 连接到不同类型 DUT 板 80 的定制焊接都需要大量时间和费用，而且显著地增加了测试 DUT 60 所需的时间量。

如图 4A 所示，一种解决该焊接限制的方案是利用放置在相应 pogo 板 110 上的弹簧加载的 pogo 100，例如由 Everett Charles 制造的 pogo 插头。Pogo 100 包括一个内部弹簧，该内部弹簧允许插头 100 的上半部偏压 DUT 板 80 上的焊盘 90，由此形成一个到相应 DUT 60 的通信通路。使用该系统，当要测试一个新类型的 DUT 60 时，不必把电缆 70 焊接到 DUT 板 80。而是使电缆 70 保持焊接到 pogo 板 110，并且把新 DUT 板 80 放置在 pogo 板 110 上，使得插头 100 偏压相应的焊盘 90 以形成通信通路。由此，不必改变整个接口。

但是，随着所测试的 DUT 60 的数量和密度增加，这种方案也有问题。随着

所测试的 DUT 60 的密度增加，必须使用越来越小的 pogo 100 以便装配到 DUT 板 80 下的空间中。随着 pogo 100 变小，它们变得更加易损并且难以操作。此外，随着 pogo 100 变小，它们的冲程（即插头 100 的尖端为了偏压焊盘 90 而可以垂直行进的距离）降低，这意味着 DUT 板 80 和 pogo 板 110 必须制造得非常平以确保在所有焊盘 90 的连接。这增加了 pogo 板 110 和 DUT 板 80 的制造成本。而且，pogo 100 本身的使用非常昂贵。由此，在 DUT 60 的密度和/或数量增加时，pogo 100 并不是焊接的一个理想替代。

当 DUT 60 是一个逻辑元件 65 时，如图 4B 和 4C 所示，已经知道使用插塞 160 执行低并行性测试。对于逻辑元件，电缆 70 被焊接到插塞 160 内的子插件板中。插塞 160（例如 FCI 制造的 Micopax 插塞）由插塞支架 180 支持，并连接到相应插座 170。插座 170 连接到逻辑板 150。以此方式，并不是直接把电缆 70 焊接到逻辑板 150，而是使插塞 160 由位于逻辑板 150 上的插座 170 接纳。不是所有插塞 160 都用于所测试的每种类型的逻辑元件 65。

但是，已知这种结构用于逻辑元件 65 的低并行性测试，并且需要使用 8 个或更多个插塞 160/每个逻辑板 150。这种结构不适于 DUT 的高密度、高并行性测试，尤其是在 DUT 是较小的器件（例如存储器件）时。为了测试这些器件，DUT 板较小，这妨碍了使用大量插塞 160。此外，移动存储器件的装卸装置 5（例如 Advantest M65XX 和 M67XX 系列的装卸装置）所使用的间隔框架的间距不允许使用大量插塞 160 以便测试这些器件。因此，对于存储器件的高并行性测试（即 32 个或更多器件的同时测试），常规插塞布置是不可能的。

## 发明内容

本发明的一个目的是提供一种待测器件和测试头之间的连接系统，其提供对高数据率的待测器件的安全模块化连接而不会造成信号质量的降低。

本发明的另一个目的是提供一种待测器件和测试头之间的高密度、可升级的连接系统。

本发明的其它目的和优点将部分地在后面的说明中给出，并且部分地可以从该说明中了解，或者通过本发明的实践获得。

因此，为了实现这些和其它目的，本发明的一个实施例使用待测器件(DUT)和电缆之间的接口，该接口包括：第一板，具有第一连接器阵列，每个第一连接器连接到一个相应电缆；和第二板，保持该DUT并且具有多个第二连接器，每个第二连接器连接到该DUT和一个相应的第一连接器，其中第二连接器的数量小于第一连接器的数量。

根据本发明的另一个实施例，第一连接器和第二连接器包括成对的头连接器和屏蔽控制的阻抗连接器。

根据本发明的再一个实施例，第一连接器和第二连接器包括成对的焊盘，以允许第一板和第二板之间的板-板连接。

根据本发明的另一个实施例，一种用于执行存储器件的高并行性测试的接口包括：第一板，保持其中一个存储器件并具有一个连接到该存储器件的插座；和一个插塞，连接到相应电缆和该插座以产生一个通信通路，其中第一板和插塞的组合允许存储器件的高并行性测试。

根据本发明的再一个实施例，一种用于把DUT板上的DUT连接到电缆以进行测试的方法包括：把一个具有第一数量连接器的第一DUT板从一个板垫块上以阵列保持的相应电缆上拔下，并把一个具有与第一数量不同的第二数量连接器的第二DUT板插入电缆。

根据本发明的再一个实施例，一种把DUT板上的DUT连接到电缆以进行测试的方法包括：把一个具有连接到第一DUT的多个第一焊盘的第一DUT板从一个具有连接到电缆的板焊盘的板垫块上除去，其中相对应的第一焊盘和板焊盘形成一个板-板连接，以产生用于电缆和第一DUT之间信号的第一通信通路；并把具有连接到第二DUT的多个第二焊盘的第二DUT板放置到板垫块上以形成一个板-板连接，以产生用于电缆和第二DUT之间信号的第二通信通路。

根据本发明的再一个实施例，一种把DUT板上的存储器件连接到电缆以进

行存储器件的高并行性测试的方法包括：把具有第一插座的第一 DUT 板从一个连接到相应电缆的插塞上拔下；并把具有第二插座的第二 DUT 板插入该插塞以形成存储器件和电缆之间的通信通路，其中第二 DUT 板和插塞的组合允许存储器件的高并行性测试。

### 附图说明

通过以下结合附图对优选实施例的说明，可以更清楚地了解本发明的这些和其它目的和优点，在附图中：

图 1 是显示包括测试器体、测试头、装卸装置和待测器件（DUT）之间通信的常规测试器的示意图；

图 2 是在 DUT 板和电缆之间的包括板垫块和间隔框架的常规焊接接口的侧剖视图；

图 3 是用于单个 DUT 的电缆和 DUT 板之间的常规焊接的侧剖视图；

图 4A 是使用安装在子插件板上的弹簧加载的 pogo 的 DUT 板和电缆之间的常规 pogo 接口的侧剖视图；

图 4B 是逻辑板和电缆之间的常规插塞-插座接口的侧剖视图；

图 4C 是显示径向排列的插座的常规逻辑板底视图；

图 5A 是使用屏蔽控制的阻抗（SCI）连接器的根据本发明一个实施例的接口的前剖视图；

图 5B 是使用 SCI 连接器的根据本发明一个实施例的接口的侧剖视图，显示出未使用所有的 SCI 连接器；

图 6A 是根据本发明一个实施例的板垫块上的 SCI 连接器的阵列的顶视图；

图 6B 是显示根据本发明一个实施例的位于一个阵列孔中的 SCI 连接器的板垫块的侧剖视图；

图 7 是显示使用插塞和插座把电缆连接到 DUT 板的根据本发明另一个实施例的接口的示意图；

图 8 是显示根据本发明另一个实施例的连接到 PCB 的电缆的插塞剖视图；

图 9 是显示使用弹性体以形成各个焊盘之间的导电通路的根据本发明另一个实施例的接口的示意图。

### 具体实施方式

下面参考附图中的例子对本发明优选实施例进行说明，在所有附图中相似标号表示相似元件。下面参考附图描述实施例以解释本发明。

对于图 5A 到 6B 中显示的本发明的一个实施例，屏蔽控制的阻抗 (SCI) 连接器 220 的阵列被布置在板垫块 230 中的连接器开口 249 中。每个 SCI 连接器 220 连接到一个电缆 70，电缆 70 通过板垫块 230 中的电缆开口 247 延伸。形成阵列孔 245 的电缆开口 247 和连接器开口 249 的相对尺寸限制了 SCI 连接器 220 在 X、Y 和 Z 方向的移动，并且防止 SCI 连接器 220 被拉入接口中。阵列孔 245 被布置为板垫块 230 上的较大阵列 240 的一部分。

为了形成 SCI 连接器 220 和相应 DUT 60 之间的通信通路，在 DUT 板 280 上排列成组的头部 210。每个头部 210 包含头部连接器 215，头部连接器 215 是成对的插头，每对插头具有一个信号插头和一个接地插头。来自一个相应电缆 70 的连接器 220 连接到一个头部连接器 215。如图 5A 和 5B 所示，头部 210 被表面安装到 DUT 板 280，并且连接到 DUT 板 280 上的相应的一个或多个 DUT 60 (取决于其结构)。这些头部 210 和 SCI 连接器 220 在连接时，形成电缆 70 和相应 DUT 60 之间的通信通路。

通常，板垫块 230 具有完全填充的阵列 240，这意味着阵列 240 中的每个阵列孔 245 都具有相应的 SCI 连接器 220。反之，如图 5B 所示，DUT 板 280 不总是需要使用所有的 SCI 连接器 220，并且依据所要测试的 DUT 60 的类型，仅连接所选择的连接器 220。由此，对于每个 SCI 连接器 220，可以有或没有一个对应的头部连接器 215。但是，对于每个头部连接器 215，有一个对应的 SCI 连接器 220。以此方式，板垫块 230 形成对多个 DUT 板 280 的模块化连接器。对于

所要测试的每个新类型的 DUT 60，仅需要改变 DUT 板 280，使得用于该 DUT 板 280 的头部 210 连接到所选择的 SCI 连接器 220。

如图所示，SCI 连接器 220 是一个 2mm 连接器，具有一个信号线和一个接地线。这种 2mm 连接器 220 可以是 WL Gore 2mm EYEOPENER 电缆连接器，或来自 3M 的 SCI 连接器，其是  $1 \times 2$  2mm 受控阻抗连接器。类似地，头部 210 是表面安装技术 2mm 头部，其允许在每个 DUT 板 280 上使用 60-70 个头部连接器 215。

当然，应该理解，也有可能使用在相同连接器 220 的信号线和接地线之间，和/或相邻连接器 220 的信号线和接地线之间具有其它距离的连接器 220（即其它间距）。例如，有可能使用具有 1.27mm 间距或 2.54mm 间距的连接器 220。

此外，虽然所示的头部 210 被表面安装到 DUT 板 280 上，应该理解，可以使用通孔连接。此外还应该理解，尽管未示出，头部 210 和 SCI 连接器 220 可以颠倒，使得头部 210 位于阵列 240 中，而 SCI 连接器 220 被表面安装到 DUT 板 280 上。无论如何配置，根据本发明优选实施例的接口都能够支持高于 50MHz 的频率的高速度和高保真度信号。

图 7 和 8 显示本发明的另一个实施例。如图 7 所示，电缆 70 连接到插塞 320，插塞 320 被插入插座 310。插座 310 被安装到 DUT 板 380，DUT 板 380 保持相应的一个或多个 DUT 60（取决于其结构）。DUT 板 380 通过板垫块 300 由间隔框架 50 支持。

通常，使用螺钉、拉力销、一系列凸轮、或类似连接机构把插塞 320 连接到插座 310。但是，尽管未示出，也有可能构造一个板垫块以成阵列地支持和保持插塞 320。

如图 8 所示，插塞 320 包括插塞 322，插塞 322 被跨骑安装（straddle-mount）连接到印刷电路板（PCB）323。插塞 322 和插座 310 对可以是一个市售的配件对，例如 FCI 提供的 Micropax 插塞/插座。

PCB 323 包括内部导线 326，内部导线 326 形成到对应电缆 70 的通信通路。

电缆 70 通过常规方法（例如焊接）连接到相应导线 326。使用电缆卡夹部件 328 支持电缆 70，电缆卡夹部件 328 连接到用于保护该组件的壳体 324。

插座 310 还具有内部连接点（未示出），该内部连接点连接到插座导线 315，插座导线 315 通向 DUT 60。内部连接点和相关导线 315 的数量可以等于或少于一个相应插塞 320 的导线 326/电缆 70 的数量，这取决于需要多少电缆 70 来测试一个特定类型的 DUT 60。以此方式，相同插塞 320 可以用于各种 DUT 板 380（DUT 板 380 保持不同类型的 DUT 60），其中通过选择性地连接到相应插塞 320 中的导线 326 来提供不同连接。

此外，使用该结构，可以减少插塞 320 的数量，使得每个 DUT 板 380 使用一个或两个插塞 320。对于 DUT 60 是存储器件，并且对于空间限制已经防碍了插塞-插座连接的使用的情况，上述结果是非常希望的。例如，对于一个 M65XX 和 M67XX Advantest 装卸装置，其能够递送 32 个器件/每个间隔框架（64 个器件 AD 类型），但是其间距限制防碍了常规插塞结构的使用，此时上述接口是非常有用的。

对于图 9 显示的本发明再一个实施例，板垫块 500 包括焊盘 510 的阵列。每个焊盘 510 连接到一个相应电缆 70。保持 DUT 60 的板垫块 480 具有一个对应的焊盘 490 的阵列。焊盘 490 的数量小于或等于板垫块 500 上的焊盘 510 的数量。利用弹性体 600 把 DUT 板 480 连接到板垫块 500，从而允许信号从焊盘 510 传递到焊盘 490 并传递到相应 DUT 60。弹性体 600 可以是由 Shin-Etsu 或 Fujipoly 提供的弹性体。应该理解，无需在所有应用中都使用弹性体 60。

作为例子，为了使用图 5A 所示根据本发明实施例的接口测试一个不同类型的 DUT 60，把用于第一类型 DUT 60 的 DUT 板 280 从板垫块 230 上拔下，并且把用于一个新类型 DUT 60 的 DUT 板 280 插入板垫块 230。用于新类型 DUT 60 的 DUT 板 280 可能在如图 5A 所示各个头部 210 中的尖端 215 的对数方面有不同布置，或者可能被布置为不被与连接器 220 同样多的尖端 215 完全填充。

由此，根据本发明的优选实施例，可以使用公共板垫块或连接方案，这允

许在一个测试器中互换容纳不同类型 DUT 的 DUT 板而无需把电缆重新布线和连接到 DUT 板上的相应 DUT。反之，可以允许使用在板垫块上或在插塞中排列的预定连接点来形成到电缆的连接。

尽管已经显示和描述了本发明的少量优选实施例，本领域技术人员应该理解，在不偏离本发明精神和原理的条件下，可以进行改变，本发明的范围由权利要求及其等同物定义。

从上述可以看出，根据本发明，可以提供一种待测器件和测试头之间的连接系统，其提供了对高数据率的待测器件的安全模块化连接而不会造成信号质量的降低。

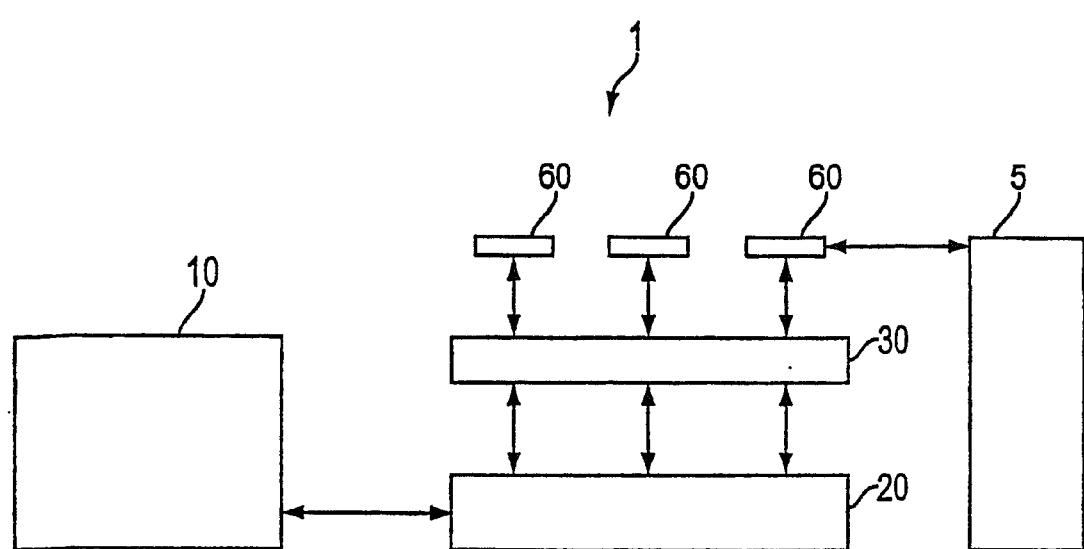


图 1

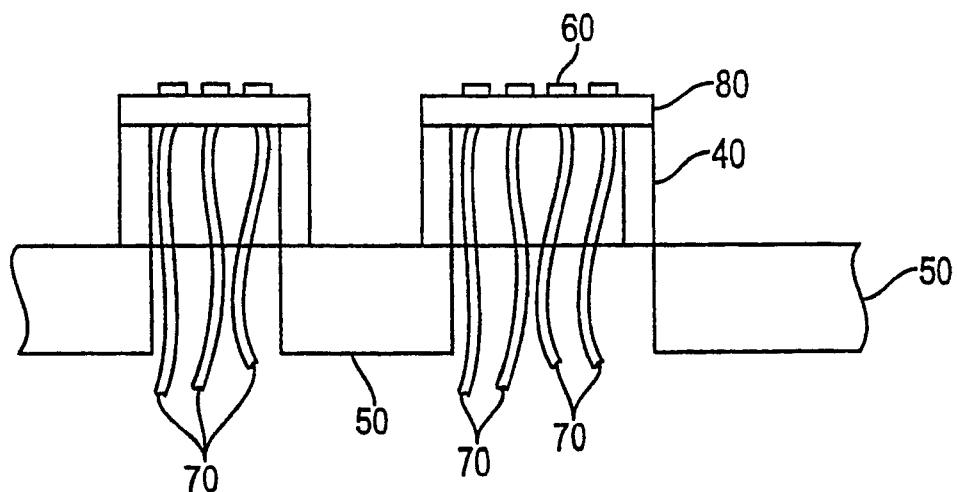


图 2

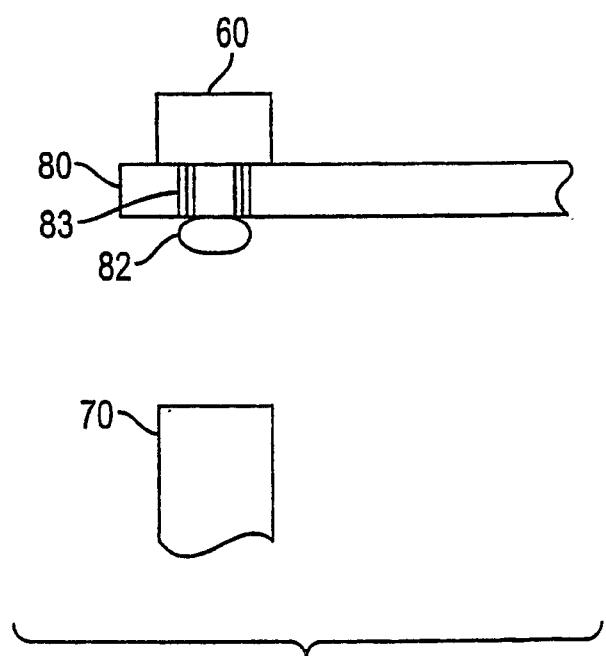


图 3

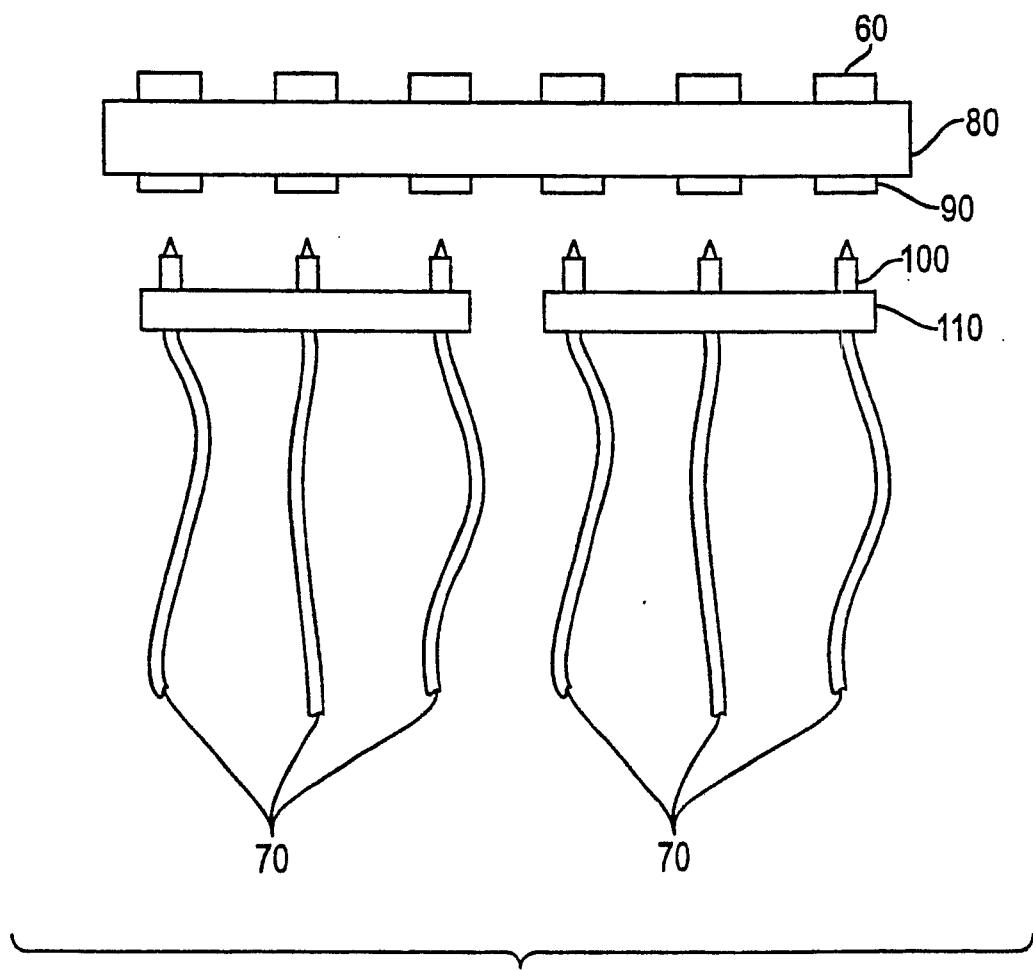


图 4A

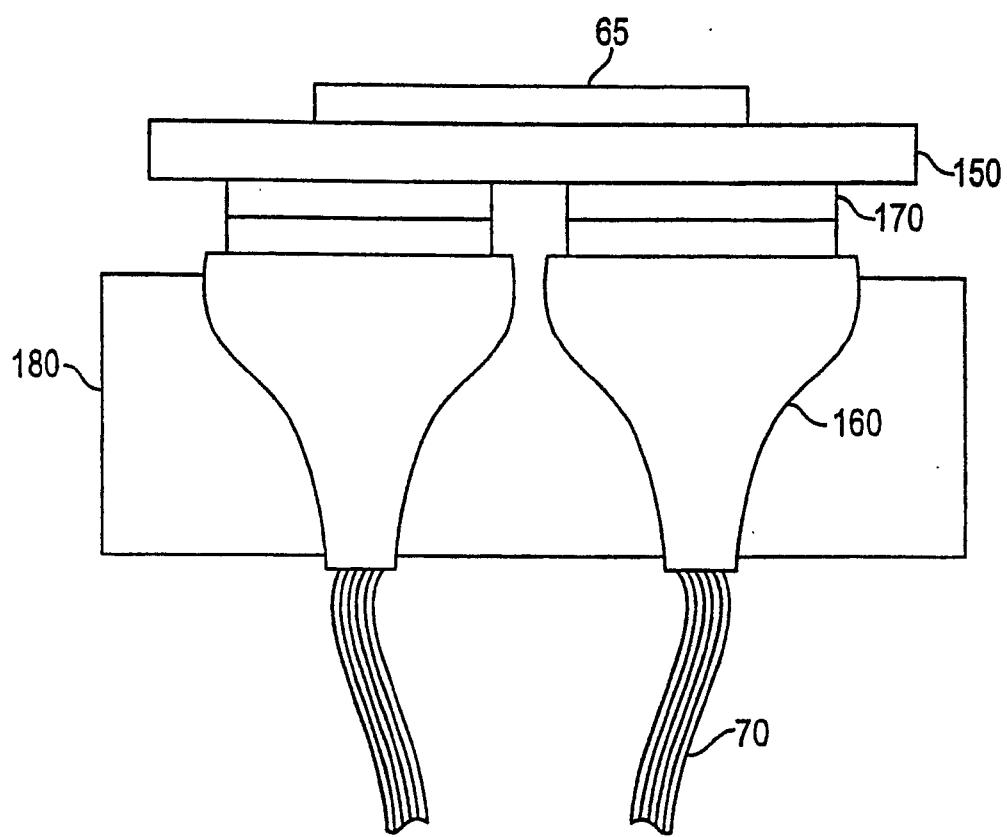


图 4B

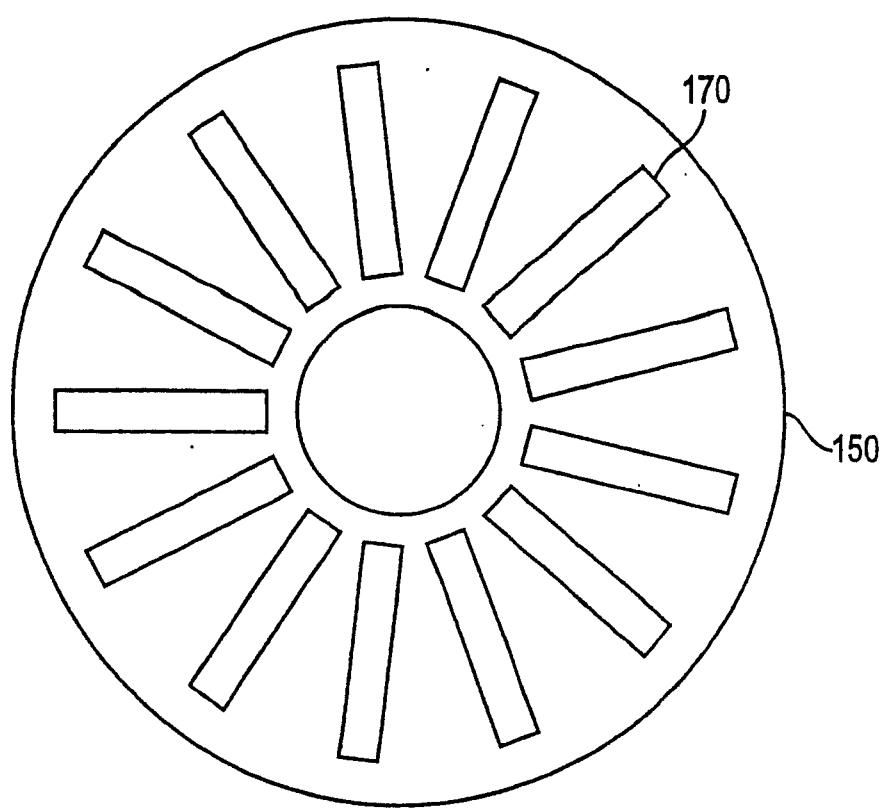


图 4C

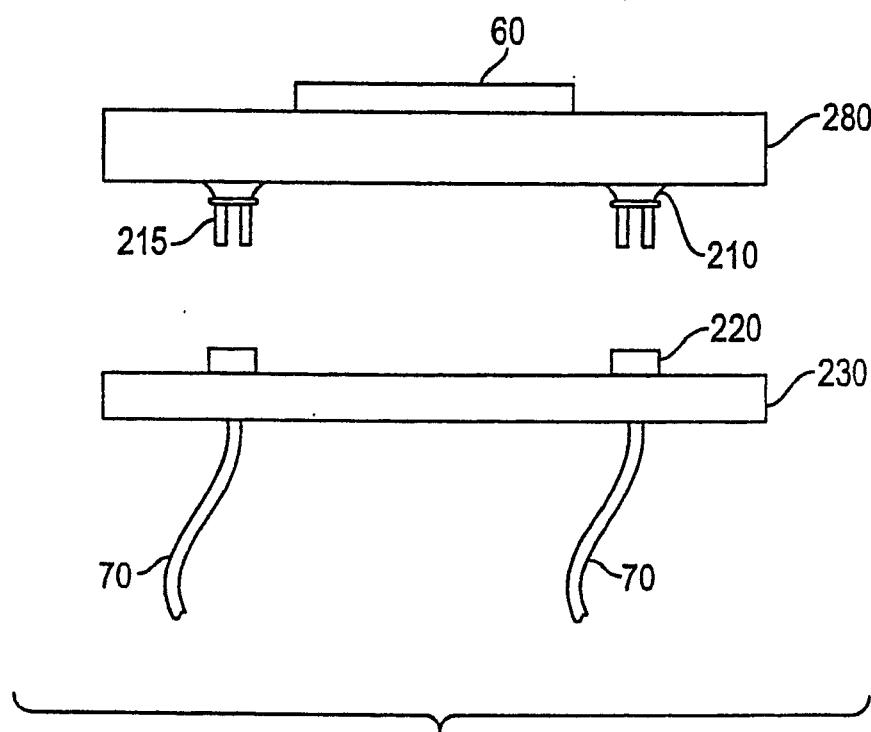


图 5A

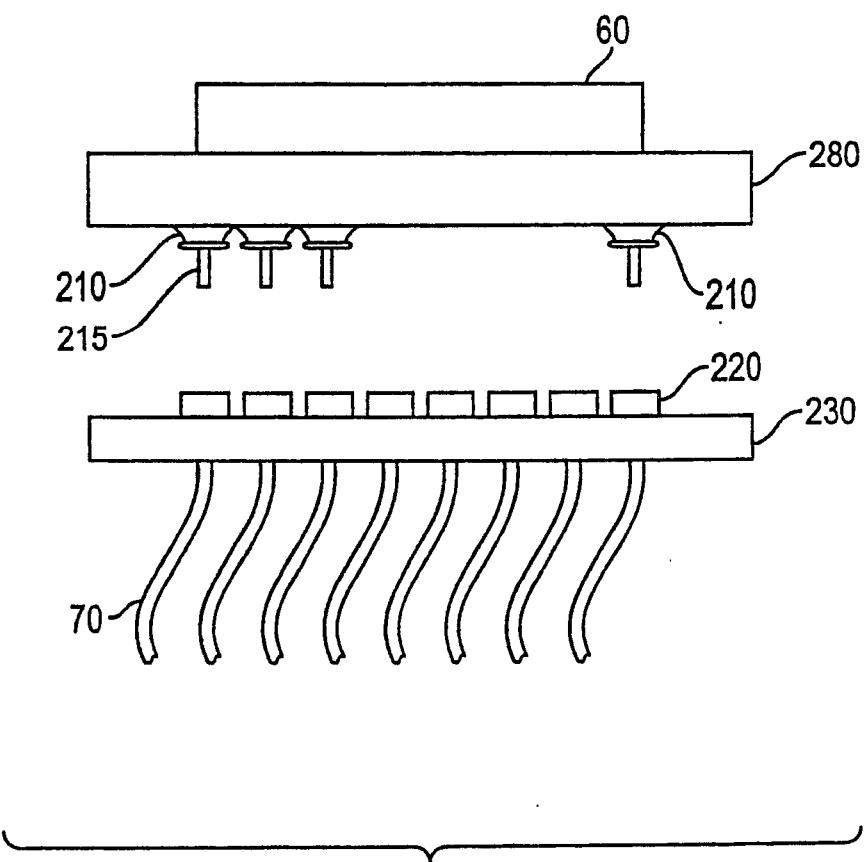


图 5B

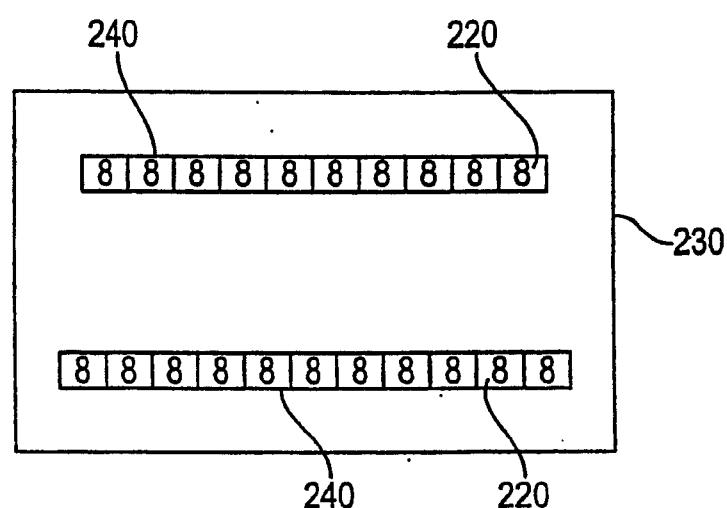


图 6A

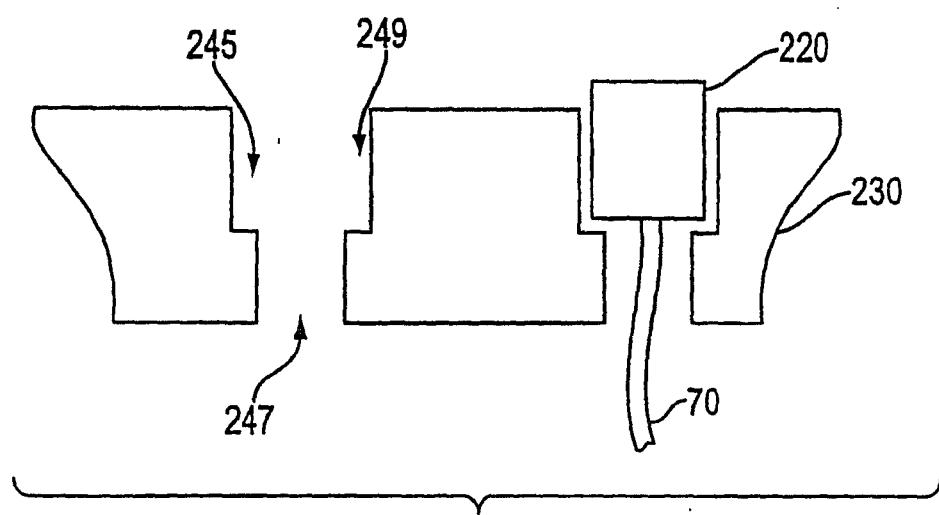


图 6B

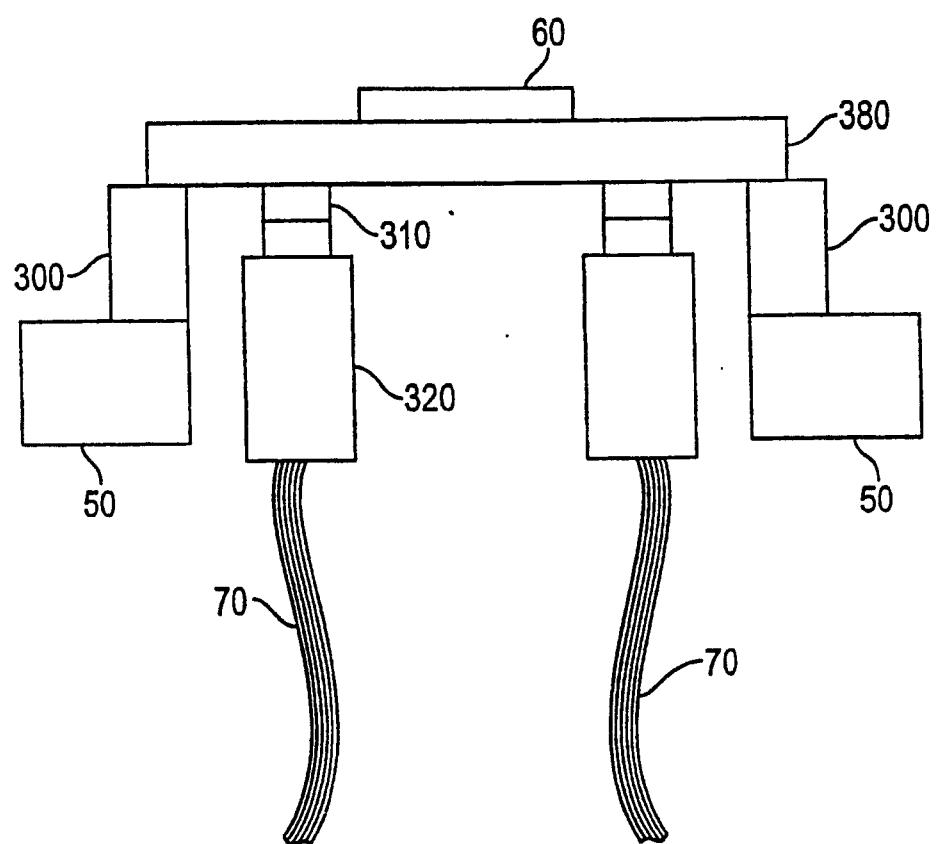


图 7

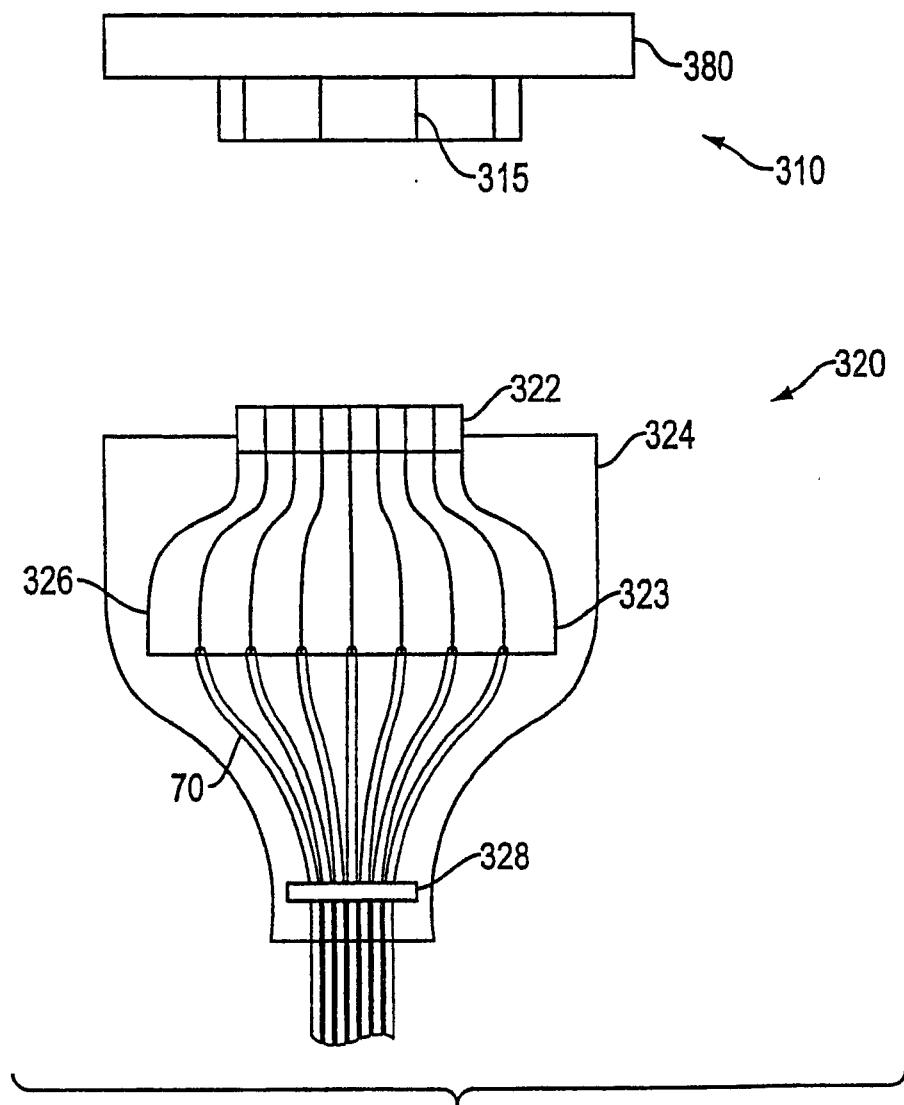


图 8

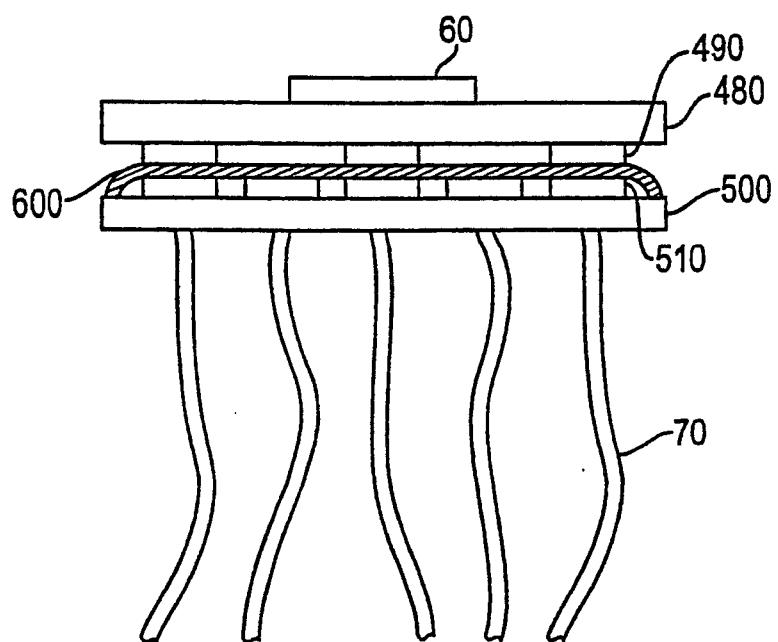


图 9