

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6834091号
(P6834091)

(45) 発行日 令和3年2月24日 (2021.2.24)

(24) 登録日 令和3年2月8日 (2021.2.8)

(51) Int.Cl.	F I
H O 1 G 4/30 (2006.01)	H O 1 G 4/30 2 O 1 C
	H O 1 G 4/30 2 O 1 N
	H O 1 G 4/30 5 1 3
	H O 1 G 4/30 5 1 2

請求項の数 39 (全 28 頁)

(21) 出願番号	特願2016-143778 (P2016-143778)	(73) 特許権者	594023722
(22) 出願日	平成28年7月21日 (2016.7.21)		サムソン エレクトローメカニクス カ
(65) 公開番号	特開2017-98524 (P2017-98524A)		ンパニーリミテッド.
(43) 公開日	平成29年6月1日 (2017.6.1)		大韓民国、キョンギード、スウォン-シ、
審査請求日	令和1年6月21日 (2019.6.21)		ヨントン-グ、(マエタン-ドン) マエヨ
(31) 優先権主張番号	10-2015-0167490		ン-ロ 1 5 0
(32) 優先日	平成27年11月27日 (2015.11.27)	(74) 代理人	110000877
(33) 優先権主張国・地域又は機関	韓国 (KR)		龍華国際特許業務法人
前置審査		(72) 発明者	リー、セウン ホ
			大韓民国、キョンギード、スウォン-シ、
			ヨントン-グ、(マエタン-ドン) マエヨ
			ン-ロ 1 5 0 サムソン エレクトロー
			メカニクス カンパニーリミテッド. 内
			最終頁に続く

(54) 【発明の名称】 積層セラミック電子部品及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

誘電体層と第 1 内部電極及び第 2 内部電極が交互に積層され、且つ静電容量の形成に寄与するアクティブ領域、及び前記アクティブ領域の上下面のうち少なくとも一面に提供される保護層を含むセラミック本体と、

前記第 1 内部電極及び第 2 内部電極と電氣的に連結され、前記セラミック本体の両端に形成される第 1 外部電極及び第 2 外部電極と、を含み、

前記アクティブ領域内には、前記セラミック本体の長さ方向の両側端部及び幅方向の両側端部のうち少なくとも一つ以上に段差吸収層が配置され、前記段差吸収層が配置された領域の側部に配置された誘電体層の厚さは、他の領域に配置された誘電体層の厚さより厚く、

前記第 1 内部電極及び第 2 内部電極の積層方向において、前記第 1 内部電極及び前記第 2 内部電極のうち、前記段差吸収層の前記積層方向の一方側と他方側とにそれぞれ隣接した二つの内部電極の端部は、隣接した前記段差吸収層から離れる方向に曲がり、

前記段差吸収層の厚さは、前記段差吸収層が配置された誘電体層以外の他の誘電体層の厚さより 1 0 倍 ~ 2 0 倍大きい、

積層セラミック電子部品。

【請求項 2】

前記段差吸収層が配置された領域の側部に配置された誘電体層は、他の領域に配置された誘電体層より誘電体グレーンの個数がさらに多い、請求項 1 に記載の積層セラミック電

10

20

子部品。

【請求項 3】

前記段差吸収層は、前記アクティブ領域のマージン部に該当する領域に配置される、請求項 1 または 2 に記載の積層セラミック電子部品。

【請求項 4】

前記段差吸収層は、前記セラミック本体の幅方向において、前記アクティブ領域のマージン部に該当する領域に配置される、請求項 1 ~ 3 のいずれか一項に記載の積層セラミック電子部品。

【請求項 5】

前記段差吸収層は、前記セラミック本体の長さ方向において、前記アクティブ領域のマージン部に該当する領域に配置される、請求項 1 ~ 4 のいずれか一項に記載の積層セラミック電子部品。

10

【請求項 6】

前記第 1 内部電極及び第 2 内部電極の端部の曲がり角度は、前記誘電体層の積層面を基準として 3 度 ~ 15 度である、請求項 1 から 5 のいずれか一項に記載の積層セラミック電子部品。

【請求項 7】

誘電体層と内部電極が交互に積層され、且つ静電容量の形成に寄与するアクティブ領域、前記アクティブ領域の上下面のうち少なくとも一面に提供される保護層を含むセラミック本体と、

20

前記内部電極と電氣的に連結され、前記セラミック本体の両端に形成される外部電極と、を含み、

前記アクティブ領域の両側端部には、少なくとも一つ以上のギャップ部が配置され、前記ギャップ部に隣接した二つの内部電極の間の距離は、他の二つの内部電極の間の距離より大きく、

前記内部電極の積層方向において、前記ギャップ部の前記積層方向の一方側と他方側とにそれぞれ隣接した二つの内部電極の端部は、隣接した前記ギャップ部から離れる方向に曲がり、

前記ギャップ部の厚さは、前記ギャップ部が配置された誘電体層以外の他の誘電体層の厚さより 10 倍 ~ 20 倍大きい、

30

積層セラミック電子部品。

【請求項 8】

前記ギャップ部は、前記アクティブ領域のマージン部に該当する領域に配置される、請求項 7 に記載の積層セラミック電子部品。

【請求項 9】

前記ギャップ部は、前記セラミック本体の幅方向において、前記アクティブ領域のマージン部に該当する領域に配置される、請求項 7 または 8 に記載の積層セラミック電子部品。

【請求項 10】

前記ギャップ部は、前記セラミック本体の長さ方向において、前記アクティブ領域のマージン部に該当する領域に配置される、請求項 7 ~ 9 のいずれか一項に記載の積層セラミック電子部品。

40

【請求項 11】

前記ギャップ部に隣接した二つの内部電極の端部の曲がり角度は、前記誘電体層の積層面を基準として 3 度 ~ 15 度である、請求項 7 ~ 10 のいずれか一項に記載の積層セラミック電子部品。

【請求項 12】

前記ギャップ部が配置された領域の側部に配置された誘電体層は、他の領域に配置された誘電体層より誘電体グレーンの個数がさらに多い、請求項 7 ~ 11 のいずれか一項に記載の積層セラミック電子部品。

50

【請求項 13】

誘電体層と内部電極が交互に積層され、且つ静電容量の形成に寄与するアクティブ領域、及び前記アクティブ領域の上下面のうち少なくとも一面に提供される保護層を含むセラミック本体と、

前記内部電極と電氣的に連結され、前記セラミック本体の両端に形成される外部電極と、を含み、

前記アクティブ領域の両側端部には、少なくとも一つ以上のギャップ部が配置され、前記内部電極の積層方向において、前記ギャップ部の前記積層方向の一方側と他方側とにそれぞれ隣接した二つの内部電極は、前記ギャップ部から離れる方向に曲がり、

前記ギャップ部の厚さは、前記ギャップ部が配置された誘電体層以外の他の誘電体層の厚さより10倍～20倍大きい、

積層セラミック電子部品。

【請求項 14】

前記ギャップ部は、前記アクティブ領域のマージン部に該当する領域に配置される、請求項 13 に記載の積層セラミック電子部品。

【請求項 15】

前記ギャップ部は、前記セラミック本体の幅方向において、前記アクティブ領域のマージン部に該当する領域に配置される、請求項 13 または 14 に記載の積層セラミック電子部品。

【請求項 16】

前記ギャップ部は、前記セラミック本体の長さ方向において、前記アクティブ領域のマージン部に該当する領域に配置される、請求項 13 ～ 15 のいずれか一項に記載の積層セラミック電子部品。

【請求項 17】

前記ギャップ部に隣接した二つの内部電極の端部の曲がり角度は、前記誘電体層の積層面を基準として3度～15度である、請求項 13 ～ 16 のいずれか一項に記載の積層セラミック電子部品。

【請求項 18】

前記ギャップ部が配置された領域の側部に配置された誘電体層は、他の領域に配置された誘電体層より誘電体グレーンの個数がさらに多い、請求項 13 ～ 17 のいずれか一項に記載の積層セラミック電子部品。

【請求項 19】

前記ギャップ部に隣接した二つの内部電極の間の距離は、他の二つの内部電極の間の距離より大きい、請求項 13 ～ 18 のいずれか一項に記載の積層セラミック電子部品。

【請求項 20】

第1及び第2セラミックグリーンシートを製造する段階と、

前記第1セラミックグリーンシート上に導電性金属ペーストを用いて内部電極パターンを形成する段階と、

前記第2セラミックグリーンシートの長さ方向の両側端部及び幅方向の両側端部のうち少なくとも一つ以上にセラミック部材を形成して、段差吸収層を形成する段階と、

前記第1及び第2セラミックグリーンシートを積層して、誘電体層と第1内部電極及び第2内部電極を含むセラミック本体を形成する段階と、

前記第1内部電極及び第2内部電極と電氣的に連結される第1外部電極及び第2外部電極を形成する段階と、を含み、

前記セラミック本体は、静電容量の形成に寄与するアクティブ領域、及び前記アクティブ領域の上下面のうち少なくとも一面に提供される保護層を含み、前記アクティブ領域は、少なくとも2層以上の第1セラミックグリーンシートを積層し、その上部に第2セラミックグリーンシートを積層する段階を繰り返すことにより形成され、

前記第1内部電極及び第2内部電極の積層方向において、第1内部電極及び第2内部電極のうち、前記段差吸収層の前記積層方向の一方側と他方側とにそれぞれ隣接した二つの

10

20

30

40

50

内部電極の端部は、隣接した前記段差吸収層から離れる方向に曲がり、

前記段差吸収層の厚さは、前記第 1 セラミックグリーンシートの厚さより 10 倍～20 倍大きい、

積層セラミック電子部品の製造方法。

【請求項 21】

前記第 2 セラミックグリーンシートは、一面が内部電極パターンと接し、他面が第 1 セラミックグリーンシートと接する、請求項 20 に記載の積層セラミック電子部品の製造方法。

【請求項 22】

前記段差吸収層は、前記アクティブ領域のマージン部に該当する領域に配置される、請求項 20 または 21 に記載の積層セラミック電子部品の製造方法。

10

【請求項 23】

前記段差吸収層は、前記セラミック本体の幅方向において、前記アクティブ領域のマージン部に該当する領域に配置される、請求項 20～22 のいずれか一項に記載の積層セラミック電子部品の製造方法。

【請求項 24】

前記段差吸収層は、前記セラミック本体の長さ方向において、前記アクティブ領域のマージン部に該当する領域に配置される、請求項 20～23 のいずれか一項に記載の積層セラミック電子部品の製造方法。

【請求項 25】

20

前記第 1 内部電極及び第 2 内部電極の端部の曲がり角度は、前記誘電体層の積層面を基準として 3 度～15 度である、請求項 20～24 のいずれか一項に記載の積層セラミック電子部品の製造方法。

【請求項 26】

前記第 2 セラミックグリーンシートの長さ方向の両側端部及び幅方向の両側端部のうち少なくとも一つ以上にセラミック部材を形成する方法は、印刷法又はパンチング法により行われる、請求項 20～25 のいずれか一項に記載の積層セラミック電子部品の製造方法。

【請求項 27】

前記段差吸収層が配置された領域の側部に配置された誘電体層は、他の領域に配置された誘電体層より誘電体グレーンの個数がさらに多い、請求項 20～26 のいずれか一項に記載の積層セラミック電子部品の製造方法。

30

【請求項 28】

前記段差吸収層に隣接した二つの内部電極の間の距離は、他の二つの内部電極の間の距離より大きい、請求項 20～27 のいずれか一項に記載の積層セラミック電子部品の製造方法。

【請求項 29】

誘電体層を介して交互に配置された第 1 内部電極及び第 2 内部電極、及び幅方向の両側に延びたマージン部に配置された段差吸収層を含むセラミック本体と、

前記第 1 内部電極及び第 2 内部電極と電氣的に連結され、前記セラミック本体の両端に形成される第 1 外部電極及び第 2 外部電極と、を含み、

40

前記段差吸収層は、前記セラミック本体の一端面において前記第 1 内部電極の上部に配置され、他端面において前記第 2 内部電極の下部に配置され、

前記第 1 内部電極及び第 2 内部電極の積層方向において、第 1 内部電極及び第 2 内部電極のうち、記段差吸収層の前記積層方向の一方側と他方側とにそれぞれ隣接した二つの内部電極の端部は、隣接した前記段差吸収層から離れる方向に曲がり、

前記段差吸収層の厚さは、第 1 内部電極及び第 2 内部電極の間に配置された誘電体層のうち一つの厚さに対して 10 倍以上である、

積層セラミック電子部品。

【請求項 30】

50

前記段差吸収層は複数個であり、それぞれの前記段差吸収層の間には複数個の内部電極が配置される、請求項 2 9 に記載の積層セラミック電子部品。

【請求項 3 1】

前記段差吸収層が配置された領域の側部に配置された誘電体層の全体の厚さは、他の領域に配置された誘電体層の厚さより厚い、請求項 3 0 に記載の積層セラミック電子部品。

【請求項 3 2】

前記段差吸収層が配置された領域の側部に配置された誘電体層は、他の領域に配置された誘電体層より誘電体グレーンの個数がさらに多い、請求項 3 0 又は 3 1 に記載の積層セラミック電子部品。

【請求項 3 3】

前記セラミック本体の長さ方向マージン部に配置された段差吸収層の厚さは、前記セラミック本体の幅方向マージン部に配置された段差吸収層の厚さの $1/2$ 以下である、請求項 2 9 ~ 3 2 のいずれか一項に記載の積層セラミック電子部品。

【請求項 3 4】

前記第 1 内部電極及び第 2 内部電極の端部の曲がり角度は、前記誘電体層の積層面を基準として 3 度 ~ 15 度である、請求項 2 9 ~ 3 3 のいずれか一項に記載の積層セラミック電子部品。

【請求項 3 5】

マージン部によって一面以上に離れて第 1 セラミックグリーンシート上に内部電極パターンを形成する段階と、

前記第 1 セラミックグリーンシートのマージン部に対応する第 2 セラミックグリーンシートの領域上にセラミック部材を形成する段階と、

複数の第 1 セラミックグリーンシート上に前記第 2 セラミックグリーンシートのうち一つ以上を積層する段階と、

積層方向において、前記セラミック部材の前記積層方向の一方側と他方側とにそれぞれに隣接した二つの内部電極の端部は、隣接した前記セラミック部材から離れる方向に曲がるように前記積層された第 1 及び第 2 セラミックグリーンシートを焼成する段階と、を含み、

前記セラミック部材が前記第 1 セラミックグリーンシートの厚さに対して 10 倍以上の厚さを有するように前記積層された第 1 及び第 2 セラミックグリーンシートを焼成する段階をさらに含む、

積層セラミック電子部品の製造方法。

【請求項 3 6】

前記積層された第 1 及び第 2 セラミックグリーンシートの上面又は下面に保護層を形成する段階と、

内部電極パターンと電気的に連結されるように前記積層された第 1 及び第 2 セラミックグリーンシートの端部に外部電極を形成する段階と、をさらに含む、請求項 3 5 に記載の積層セラミック電子部品の製造方法。

【請求項 3 7】

前記内部電極の端部の曲がり角度は、誘電体層の積層面を基準として 3 度 ~ 15 度である、請求項 3 5 または 3 6 に記載の積層セラミック電子部品の製造方法。

【請求項 3 8】

前記セラミック部材は、スクリーン印刷法又はグラビア印刷法により形成される、請求項 3 5 ~ 3 7 のいずれか一項に記載の積層セラミック電子部品の製造方法。

【請求項 3 9】

製造される前記積層セラミック電子部品において、前記セラミック部材が配置された領域の側部に配置された誘電体層は、他の領域に配置された誘電体層より誘電体グレーンの個数がさらに多い、請求項 3 5 ~ 3 8 のいずれか一項に記載の積層セラミック電子部品の製造方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、高容量積層セラミック電子部品において、部品内部の段差を改善して耐電圧特性を向上させた積層セラミック電子部品及びその製造方法に関する。

【背景技術】

【0002】

積層セラミック電子部品は、積層された複数の誘電体層と、一誘電体層を挟んで対向配置される内部電極と、上記内部電極に電氣的に接続された外部電極と、を含む。

【0003】

積層セラミック電子部品は、小型でありながら高容量が保証され、実装が容易であるという利点から、コンピューター、PDA、携帯電話などの移動通信装置の部品として広く使用されている。

10

【0004】

近年、電子製品の小型化及び多機能化に伴い、チップ部品もまた小型化及び高機能化する傾向にあり、積層セラミック電子部品もそのサイズが小さく、且つ容量が大きい高容量の製品が求められている。

【0005】

一般的に、積層セラミック電子部品の製造方法は、セラミックグリーンシートを製造し、セラミックグリーンシート上に導電性ペーストを印刷して内部電極膜を形成する。内部電極膜が形成されたセラミックグリーンシートを数十層から数百層まで重ねて積み上げ、グリーンセラミック本体を作製する。

20

【0006】

次に、グリーンセラミック本体を高温及び高圧で圧着し、強固なグリーンセラミック本体を作製し、切断工程を経た後、仮焼、焼成、研磨を行い、外部電極を形成して積層セラミックキャパシターを完成する。

【0007】

近年、積層されるセラミックグリーンシートが増加するに伴い、セラミックグリーンシートの積層工程と圧着工程を行う間に製品の信頼性に影響を及ぼすという問題点が発生している。

【0008】

30

すなわち、セラミックグリーンシートは、内部電極形成部と内部電極非形成部であるマージン部とからなり、セラミックグリーンシートが積層された後、所定の圧力が印加されて互いに圧着される場合、内部電極形成部と内部電極非形成部であるマージン部との段差が激しくなり、耐電圧特性が低下するという問題がある。

【0009】

上記段差は、内部電極形成部での内部電極と誘電体層の密度と、内部電極非形成部であるマージン部でのその密度との差によって発生する。

【0010】

上記のような段差の問題を改善するために、セラミック本体のマージン部に別のセラミック材料をネガティブ印刷(Negative Printing)工程により追加する技術があるが、この場合、セラミックグリーンシートで内部電極非形成部であるマージン部に別のセラミックスラリーを印刷する工程が非常に困難であるという問題がある。

40

【0011】

また、マージン部に別のセラミック材料をネガティブ印刷(Negative Printing)工程により追加する方法は、精度が高くなく、積層後のセラミックグリーンシートの整列(Alignment)不良の問題によって段差改善の効果が十分でない。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2008-016706号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0013】

本発明は、上記問題点を解決するためのものであり、本発明の一実施例によると、高容量積層セラミック電子部品において、部品内部の段差を改善して耐電圧特性を向上させた積層セラミック電子部品及びその製造方法に関する。

【課題を解決するための手段】

【0014】

本発明の一実施形態は、誘電体層と第1内部電極及び第2内部電極が交互に積層され、且つ静電容量の形成に寄与するアクティブ領域、及び上記アクティブ領域の上下面のうち少なくとも一面に提供される保護層を含むセラミック本体と、上記第1内部電極及び第2内部電極と電気的に連結され、上記セラミック本体の両端に形成される第1外部電極及び第2外部電極と、を含み、上記アクティブ領域内には、上記セラミック本体の長さ方向の両側端部及び幅方向の両側端部のうち少なくとも一つ以上に段差吸収層が配置され、上記段差吸収層が配置された領域の側部に配置された誘電体層の厚さは、他の領域に配置された誘電体層の厚さより厚い積層セラミック電子部品を提供する。

10

【0015】

本発明の他の実施形態は、誘電体層と内部電極が交互に積層され、且つ静電容量の形成に寄与するアクティブ領域、及び上記アクティブ領域の上下面のうち少なくとも一面に提供される保護層を含むセラミック本体と、上記内部電極と電気的に連結され、上記セラミック本体の両端に形成される外部電極と、を含み、上記アクティブ領域の両側端部には、少なくとも一つ以上のギャップ部が配置され、上記ギャップ部に隣接した二つの内部電極の間の距離は、他の二つの内部電極の間の距離より大きい積層セラミック電子部品を提供する。

20

【0016】

本発明の他の実施形態は、誘電体層と内部電極が交互に積層され、且つ静電容量の形成に寄与するアクティブ領域、及び上記アクティブ領域の上下面のうち少なくとも一面に提供される保護層を含むセラミック本体と、上記内部電極と電気的に連結され、上記セラミック本体の両端に形成される外部電極と、を含み、上記アクティブ領域の両側端部には、少なくとも一つ以上のギャップ部が配置され、上記ギャップ部に隣接した二つの内部電極は、上記内部電極の積層方向において、上記ギャップ部から離れる方向に曲がる積層セラミック電子部品を提供する。

30

【0017】

本発明の他の実施形態は、第1及び第2セラミックグリーンシートを製造する段階と、上記第1セラミックグリーンシート上に導電性金属ペーストを用いて内部電極パターンを形成する段階と、上記第2セラミックグリーンシートの長さ方向の両側端部及び幅方向の両側端部のうち少なくとも一つ以上にセラミック部材を形成して、段差吸収層を形成する段階と、上記第1及び第2セラミックグリーンシートを積層して、誘電体層と第1内部電極及び第2内部電極を含むセラミック本体を形成する段階と、上記第1内部電極及び第2内部電極と電気的に連結される第1外部電極及び第2外部電極を形成する段階と、を含み、上記セラミック本体は、静電容量の形成に寄与するアクティブ領域、及び上記アクティブ領域の上下面のうち少なくとも一面に提供される保護層を含み、上記アクティブ領域は、少なくとも2層以上の第1セラミックグリーンシートを積層し、その上部に第2セラミックグリーンシートを積層する段階を繰り返すことにより形成される積層セラミック電子部品の製造方法を提供する。

40

【0018】

本発明の他の実施形態は、誘電体層を介して交互に配置された第1内部電極及び第2内部電極、及び幅方向の両側に延びたマージン部内に配置された段差吸収層を含むセラミック本体と、上記第1内部電極及び第2内部電極と電気的に連結され、上記セラミック本体の両端に形成される第1外部電極及び第2外部電極と、を含み、上記段差吸収層は、上記

50

セラミック本体の一端面において上記第1内部電極の上部に配置され、他端面において上記第2内部電極の下部に配置される積層セラミック電子部品を提供する。

【0019】

本発明の他の実施形態は、マージン部によって一面以上に離れて第1セラミックグリーンシート上に内部電極パターンを形成する段階と、上記第1セラミックグリーンシートのマージン部に対応する第2セラミックグリーンシートの領域上にセラミック部材を形成する段階と、複数の第1セラミックグリーンシート上に上記第2セラミックグリーンシートのうち一つ以上を積層する段階と、を含む積層セラミック電子部品の製造方法を提供する。

【発明の効果】

10

【0020】

本発明によると、静電容量の形成に寄与するアクティブ領域において、マージン部に段差吸収層が配置された少なくとも一つ以上の別の誘電体層を配置することにより、段差の問題を改善して耐電圧特性が向上した高容量積層セラミック電子部品を実現することができる。

【図面の簡単な説明】

【0021】

【図1】本発明の一実施形態に係る積層セラミックキャパシターを概略的に示す斜視図である。

【図2】本発明の一実施形態を説明するための図1のA-A'線に沿った断面図である。

20

【図3】図2のP領域を拡大した拡大図である。

【図4】本発明の一実施形態を説明するための図1のB-B'線に沿った断面図である。

【図5】本発明の他の実施形態を説明するための図1のA-A'線に沿った断面図である。

【図6】本発明の一実施形態に係る積層セラミックキャパシターの積層構造を示す断面図である。

【図7a】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【図7b】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

30

【図7c】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【図7d】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【図7e】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【図8a】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【図8b】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

40

【図8c】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【図8d】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【図8e】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【図9a】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【図9b】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

50

【図 9 c】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【図 9 d】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【図 9 e】本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【発明を実施するための形態】

【0022】

以下では、添付の図面を参照して本発明の好ましい実施形態について説明する。しかし、本発明の実形態は様々な他の形態に変形されることができ、本発明の範囲は以下で説明する実施形態に限定されない。また、本発明の実施形態は、当該技術分野で平均的な知識を有する者に本発明をより完全に説明するために提供されるものである。したがって、図面における要素の形状及び大きさなどはより明確な説明のために誇張されることがある。

【0023】

以下、添付の図面を参照して、本発明の好ましい実施形態に係る積層セラミック電子部品について説明するに際し、特に積層セラミックキャパシターについて説明するが、これに制限されるものではない。

【0024】

図 1 は本発明の一実施形態に係る積層セラミックキャパシターを概略的に示す斜視図であり、図 2 は図 1 の A - A' 線に沿った断面図である。

【0025】

図 3 は図 2 の P 領域を拡大した拡大図である。

【0026】

図 1 及び図 2 を参照すると、本発明の一実施形態に係る積層セラミックキャパシター 100 は、誘電体層 111 と第 1 内部電極及び第 2 内部電極 121、122 が交互に積層されたセラミック本体 110 と、上記第 1 内部電極及び第 2 内部電極 121、122 と電気的に連結され、上記セラミック本体 110 の両端に形成される第 1 外部電極及び第 2 外部電極 131、132 と、を含む。

【0027】

本発明の一実施形態によると、積層セラミックキャパシターの「長さ方向」は図 1 の「L」方向、「幅方向」は「W」方向、「厚さ方向」は「T」方向と定義されることができる。上記「厚さ方向」は、誘電体層を積み上げる方向、すなわち「積層方向」と同じ概念として使用することができる。

【0028】

上記セラミック本体 110 の形状は、特に制限されないが、一般的に六面体の形状であってもよい。また、その寸法は、特に制限されないが、例えば、0.6 mm × 0.3 mm サイズであってもよく、1.0 μF 以上の高積層及び高容量積層セラミックキャパシターであってもよい。

【0029】

本発明の一実施形態によると、上記誘電体層 111 を形成する原料は、チタン酸バリウム (BaTiO₃) 粉末であってもよいが、これに制限されるものではなく、これにセラミック添加剤、有機溶剤、可塑剤、結合剤、分散剤などが添加されてもよい。

【0030】

上記第 1 内部電極 121 及び第 2 内部電極 122 を形成する材料は、銅 (Cu)、ニッケル (Ni)、銀 (Ag) 及び銀 - パラジウム (Ag - Pd) のうち一つ以上の物質からなる導電性ペーストを使用して形成されることができる。

【0031】

第 1 外部電極及び第 2 外部電極 131、132 は、セラミック本体 110 の両側面を覆うように形成されることができ、セラミック本体 110 の一面に露出した第 1 内部電極及び第 2 内部電極 121、122 と接続して電氣的に連結されることができる。

【0032】

このような第1外部電極及び第2外部電極131、132は、セラミック本体110の両端に導電性ペーストを塗布して形成することができ、上記導電性ペーストの主要成分としては、銅(Cu)のような金属成分や、ガラス及び有機材料などを含むことができる。

【0033】

本発明の一実施形態によると、上記セラミック本体110は、複数の第1誘電体層111aとその一面に第1内部電極及び第2内部電極121、122が交互に配置されて静電容量の形成に寄与するアクティブ領域 L_a と、上記アクティブ領域 L_a の上下面のうち少なくとも一面に提供される保護層 L_c と、を含み、上記アクティブ領域 L_a 内には、両側端部に段差吸収層112が配置された少なくとも一つ以上の第2誘電体層111bが挿入される。

10

【0034】

上記セラミック本体110は、複数の誘電体層111が厚さ方向に積層されて形成されることができる。

【0035】

より具体的には、上記セラミック本体110は、図2に図示されているように、複数の誘電体層111が厚さ方向に積層され、第1内部電極及び第2内部電極121、122が誘電体層と対向して交互に積層されてキャパシターの静電容量の形成に寄与するアクティブ領域 L_a が配置され、上記アクティブ領域 L_a の上下面のうち少なくとも一面に提供される保護層 L_c が配置される。

20

【0036】

上記アクティブ領域 L_a に配置される第1誘電体層111aの1層の厚さは、積層セラミックキャパシターの容量設計に応じて任意に変更することができるが、本発明の一実施形態において、焼成後、一つの誘電体層の厚さは、 $1.0\mu\text{m}$ 以下であってもよい。

【0037】

上記セラミック本体110のアクティブ領域 L_a には、複数の第1内部電極及び第2内部電極121、122が配置される。

【0038】

上記第1内部電極及び第2内部電極121、122は、第1誘電体層111aを形成するセラミックグリーンシート上に形成されて積層され、焼結により一誘電体層を挟み、上記セラミック本体110の内部に形成されることができる。

30

【0039】

上記内部電極は、互いに異なる極性を有する第1内部電極121と第2内部電極122を一对とすることができ、アクティブ領域 L_a に配置される第1誘電体層111aを挟んで積層方向に沿って対向配置されることができる。

【0040】

第1内部電極及び第2内部電極121、122の末端は、セラミック本体110の長さ方向の一面に露出することができる。

【0041】

本発明では、内部電極が形成されていない誘電体層の領域をマージン部と称する。

40

【0042】

図2に図示されているように、セラミックキャパシターの幅方向(W方向)に形成されたマージン部を幅方向マージン部 M_w とし、後述するように図4に図示されているセラミックキャパシターの長さ方向(L方向)に形成されたマージン部を長さ方向マージン部 M_L とする。

【0043】

すなわち、一誘電体層111は、長さ方向(L方向)に第1内部電極121又は第2内部電極122が形成されていない長さ方向マージン部 M_L を有することができ、幅方向(W方向)に第1内部電極121又は第2内部電極122が形成されていない幅方向マージン部 M_w を有することができる。

50

【0044】

上記第1内部電極及び第2内部電極121、122の厚さは、用途などに応じて適宜決定することができるが、例えば、 $1.0\mu\text{m}$ 以下であってもよい。

【0045】

本発明の一実施形態によると、上記セラミック本体110を構成する誘電体層は、当業界において一般的に使用されるセラミック粉末を含むことができる。これに制限されるものではなく、例えば、 BaTiO_3 系セラミック粉末を含んでもよい。 BaTiO_3 系セラミック粉末は、これに制限されるものではなく、例えば、 BaTiO_3 にCa、Zrなどが一部固溶された $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ 、 $\text{Ba}(\text{Ti}_{1-y}\text{Ca}_y)\text{O}_3$ 、 $(\text{Ba}_{1-x}\text{Ca}_x)(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ 又は $\text{Ba}(\text{Ti}_{1-y}\text{Zr}_y)\text{O}_3$ などがある。上記セラミック粉末の平均粒径は、これに制限されるものではないが、例えば、 $0.8\mu\text{m}$ 以下であってもよく、好ましくは $0.05\sim 0.5\mu\text{m}$ であってもよい。

10

【0046】

また、誘電体層は、上記セラミック粉末とともに遷移金属酸化物又は炭化物、希土類元素及びMg、Alなどを含むことができる。

【0047】

本発明の一実施形態によると、上記アクティブ領域 L_a 内には両側端部に段差吸収層112が配置された少なくとも一つ以上の第2誘電体層111bが挿入される。

【0048】

すなわち、上記アクティブ領域 L_a は、第1内部電極及び第2内部電極121、122と交互に積層配置される複数の第1誘電体層111aの間に、両側端部に段差吸収層112が配置された第2誘電体層111bが挿入された構造を有する。

20

【0049】

上記の構造は、後述するように、焼成後、第1内部電極及び第2内部電極121、122となる導電性金属ペーストが塗布された第1セラミックグリーンシートを複数枚積層し、その上部に、両側端部にセラミック部材を形成して段差吸収層が形成された第2セラミックグリーンシートを積層することにより実現する。

【0050】

近年、積層されるセラミックグリーンシートが増加するに伴い、セラミックグリーンシートの積層工程と圧着工程を行う間に製品の信頼性に影響を及ぼすという問題点が発生している。

30

【0051】

すなわち、セラミックグリーンシートは、内部電極形成部と内部電極非形成部であるマージン部とからなり、セラミックグリーンシートが積層された後、所定の圧力が印加されて互いに圧着される場合、内部電極形成部と内部電極非形成部であるマージン部との段差が激しくなり、耐電圧特性が低下するという問題がある。

【0052】

上記のような段差の問題を改善するために、セラミック本体のマージン部に別のセラミック材料をネガティブ印刷(Negative Printing)工程により追加する技術があるが、この場合、セラミックグリーンシートで内部電極非形成部であるマージン部に別のセラミックスラリーを印刷する工程が非常に困難であるという問題がある。

40

【0053】

また、マージン部に別のセラミック材料をネガティブ印刷(Negative Printing)工程により追加する方法は、精度が高くなく、積層後のセラミックグリーンシートの整列(Alignment)不良の問題によって段差の問題の改善効果が十分でない。

【0054】

また、ネガティブ印刷(Negative Printing)工程を使用する場合、製造コストが増加し、工程自体の難易度が高くて不良率が高く、精密な製品の実現が困難であるという問題がある。

50

【0055】

しかし、本発明の一実施形態によると、上記アクティブ領域 L_a が第1内部電極及び第2内部電極121、122と交互に積層配置される複数の第1誘電体層111aの間に、両側端部に段差吸収層112が配置された第2誘電体層111bが挿入される構造を有することにより、段差の問題を改善して耐電圧特性が向上した高容量積層セラミック電子部品を実現することができる。

【0056】

上記両側端部は、上記アクティブ領域 L_a のマージン部 M_w 、 M_L に該当する領域であってもよい。

【0057】

すなわち、静電容量の形成に寄与するアクティブ領域 L_a は、第1内部電極及び第2内部電極121、122と交互に積層配置される複数の第1誘電体層111aと別に内部電極非形成部であるマージン部 M_w 、 M_L に段差吸収層112が配置された少なくとも一つ以上の第2誘電体層111bが配置された構造を有する。

【0058】

段差の問題を改善するために、セラミック本体のマージン部に別のセラミック材料をネガティブ印刷(Negative Printing)工程により追加する従来の構造は、第1内部電極及び第2内部電極と交互に積層配置される複数の誘電体層において、内部電極非形成部であるマージン部にセラミックスラリーを印刷する方法により実現するため、上記のような本発明の一実施形態に係る構造とは異なる。

【0059】

すなわち、従来の構造は、内部電極が印刷された誘電体層において内部電極非形成部であるマージン部にセラミックスラリーを印刷するため、内部電極と印刷されるセラミックスラリーは、同一水準で配置されるため、内部電極が印刷されていない別の誘電体層においてマージン部に該当する領域に段差吸収層を配置する本発明の構造とは異なる。

【0060】

本発明の一実施形態によると、第1内部電極及び第2内部電極121、122と交互に積層配置される複数の第1誘電体層111aと別に内部電極非形成部であるマージン部 M_w 、 M_L に段差吸収層112が配置された少なくとも一つ以上の第2誘電体層111bが交互に積層されるため、別のセラミック材料をネガティブ印刷(Negative Printing)する従来の方法とは異なって、工程が容易であり、積層後のセラミックグリーンシートの整列(Alignment)不良の問題がなく、段差改善の効果が優れる。

【0061】

本発明の一実施形態によると、上記段差吸収層112が配置された領域の側部に配置された誘電体層の厚さ t_1 は、他の領域に配置された誘電体層の厚さ t_2 より厚いことを特徴とする。

【0062】

ここで、誘電体層の厚さは、セラミック本体110のアクティブ領域 L_a において、第1内部電極及び第2内部電極121、122が互いに対向する地点で測定されたものを意味する。

【0063】

すなわち、段差吸収層112が配置された領域の側部に配置された誘電体層の厚さ t_1 は、上記アクティブ領域 L_a のマージン部 M_w 、 M_L に配置された段差吸収層112と同一平面に配置された誘電体層の厚さであり、第1内部電極及び第2内部電極121、122が互いに対向する地点で測定されたものを意味する。

【0064】

また、他の領域に配置された誘電体層の厚さ t_2 は、アクティブ領域 L_a のマージン部 M_w 、 M_L に配置された段差吸収層112と同一平面ではない領域に配置された誘電体層の厚さであり、第1内部電極及び第2内部電極121、122が互いに対向する地点で測

10

20

30

40

50

定されたものを意味する。

【0065】

上記段差吸収層112が配置された領域の側部に配置された誘電体層の厚さ t_1 が他の領域に配置された誘電体層の厚さ t_2 より厚い構造は、第1内部電極及び第2内部電極121、122と交互に積層配置される複数の第1誘電体層111aと別に内部電極非形成部であるマージン部 M_W 、 M_L に段差吸収層112が配置された少なくとも一つ以上の第2誘電体層111bが交互に積層されることから実現されることができる。

【0066】

すなわち、アクティブ領域 L_a のマージン部 M_W 、 M_L に配置された段差吸収層112と同一平面に配置された誘電体層は、他の位置に配置された誘電体層とは異なり、少なくとも2層以上の誘電体層が配置されるため、段差吸収層112が配置された誘電体層の厚さ t_1 は、他の誘電体層の厚さ t_2 より厚くなる。

10

【0067】

図2を参照すると、上記段差吸収層112は、上記セラミック本体の幅方向において、上記アクティブ領域 L_a のマージン部 M_W に該当する領域に配置されることができる。

【0068】

ただし、これに制限されるものではなく、上記段差吸収層112は、上記セラミック本体の幅方向と長さ方向において、上記アクティブ領域 L_a のマージン部 M_W 、 M_L に該当する全領域に配置されてもよい。

【0069】

20

また、後述する図4のように、上記段差吸収層112は、上記セラミック本体の長さ方向において、上記アクティブ領域 L_a のマージン部 M_L に該当する領域にのみ配置されてもよい。

【0070】

図2及び図3を参照すると、上記第2誘電体層111bは、一面が第1内部電極121又は第2内部電極122と接し、他面が第1誘電体層111aと接することができる。

【0071】

焼成後、第1内部電極及び第2内部電極121、122となる導電性金属ペーストが塗布された第1セラミックグリーンシートを複数枚積層し、その上部に、両側端部にセラミック部材を形成して段差吸収層が形成された第2セラミックグリーンシートを積層し、次に、その上部に複数枚の第1セラミックグリーンシートを積層する方法を繰り返すことによりアクティブ領域 L_a を形成することから、上記第2誘電体層111bは、一面が第1内部電極121又は第2内部電極122と接し、他面が第1誘電体層111aと接することができる。

30

【0072】

また、上記第2誘電体層111bの上下面のうち少なくとも一面には2層以上の第1誘電体層111aが積層されることができる。

【0073】

すなわち、2層以上の第1誘電体層111aが積層され、その上部に上記第2誘電体層111bが積層された構造が繰り返されることにより、アクティブ領域 L_a が形成されることができる。

40

【0074】

上記第2誘電体層111bの上下面のうち少なくとも一面に配置される第1誘電体層111aの数は3層であってもよく、より多くの複数の第1誘電体層111aが配置されてもよい。

【0075】

本発明の一実施形態によると、第1内部電極及び第2内部電極121、122が配置された2層以上の第1誘電体層111aを一つのユニットとしたときに、上記第2誘電体層111bは、2層以上の第1誘電体層111aで構成された一つのユニットと隣接したユニットとの間に配置されることができる。

50

【0076】

セラミック本体110の長さ及び/又は幅方向マージン部 M_w 、 M_L に段差吸収層112が配置された第2誘電体層111bの層数は、特に制限されず、内部電極が積層されることによって発生する段差を相殺できる層数であってもよい。

【0077】

上記段差吸収層112の厚さは、特に制限されず、例えば、内部電極が積層されることによって発生する段差を相殺できる厚さであってもよい。

【0078】

上記段差吸収層112が配置された領域の側面に配置された誘電体層は、他の領域に配置された誘電体層より誘電体グレーンの個数がさらに多くてもよい。

10

【0079】

上記段差吸収層112が配置された誘電体層は、他の誘電体層とは異なり、少なくとも2層以上の誘電体層が配置されるため、誘電体グレーンの個数がより多くてもよい。

【0080】

本発明の一実施形態によると、上記段差吸収層112の厚さ t_b は、上記第1誘電体層111aの厚さ t_d より10倍～20倍大きくてもよい。

【0081】

上記段差吸収層112の厚さ t_b を上記第1誘電体層111aの厚さ t_d より10倍～20倍大きく形成することにより、内部電極が積層されることによって発生する段差を相殺することができ、耐電圧特性を改善することができる。

20

【0082】

例えば、第1誘電体層111aの厚さ t_d が $0.4\mu m$ である場合、上記段差吸収層112の厚さ t_b は、 $4\mu m \sim 8\mu m$ であってもよい。

【0083】

本発明の一実施形態によると、上記第1内部電極及び第2内部電極121、122の積層方向において、第1内部電極及び第2内部電極121、122のうち上記段差吸収層112に隣接した二つの内部電極の端部は、隣接した段差吸収層112から離れる方向に曲がり得る。

【0084】

上記段差吸収層112に隣接した二つの内部電極の端部が隣接した段差吸収層112から離れる方向は、図2及び図3に図示されているように、内部電極或いは誘電体層の積層方向、すなわち、セラミック本体110の厚さ方向であり、段差吸収層112から離れる方向を意味することができる。

30

【0085】

すなわち、第1誘電体層111aの厚さに比べて10倍～20倍大きい厚さの段差吸収層112がセラミック本体110の長さ及び/又は幅方向マージン部 M_w 、 M_L に配置されることにより、圧着過程で段差吸収層112の存在により段差吸収層112に隣接した二つの内部電極の端部は曲がり得る。

【0086】

また、内部電極の端部は、段差吸収層112の存在により隣接した段差吸収層112から離れる方向に曲がり得る。

40

【0087】

上記段差吸収層112に隣接した二つの内部電極121、122の端部の曲がり角度(θ)は、上記誘電体層111の積層面を基準として3度～15度であってもよい。

【0088】

端部が誘電体層111の積層面を基準として3度～15度曲がった内部電極は、上記段差吸収層112に隣接した二つの内部電極121、122の両方であってもよいが、これに制限されるものではなく、一部のみこれを満たしてもよい。

【0089】

上記段差吸収層112に隣接した二つの内部電極121、122の端部が誘電体層11

50

1の積層面を基準として3度～15度曲がることにより、耐電圧特性に優れ、且つ高容量積層セラミックキャパシターを実現することができる。

【0090】

すなわち、上記段差吸収層112に隣接した二つの内部電極121、122の端部が誘電体層111の積層面を基準として3度～15度曲がるように制御することにより、目標設計容量を実現できるだけでなく、二つの内部電極の端部の間の間隔を一定に調節することができることから、ショートなどの不良を防ぐことができ、耐電圧特性を向上させることができる。

【0091】

上記段差吸収層112に隣接した二つの内部電極121、122の端部が誘電体層111の積層面を基準に曲がる角度が3度未満である場合には、容量が減少して、高容量積層セラミックキャパシターを実現することができない。

10

【0092】

一方、上記段差吸収層112に隣接した二つの内部電極121、122の端部が誘電体層111の積層面を基準に曲がり角度が15度を超える場合には、耐電圧特性が低下する可能性がある。

【0093】

本発明の一実施形態によると、上記段差吸収層112に隣接した二つの内部電極121、122の間の距離は、他の二つの内部電極の間の距離より大きくてもよい。

【0094】

20

本発明の一実施形態では、段差吸収層112が配置された第2誘電体層111bが、2層以上の第1誘電体層111aで構成された一つのユニットと隣接したユニットとの間に配置されることから、段差吸収層112に隣接した二つの内部電極121、122の間には第1誘電体層111aと第2誘電体層111bが配置され、他の二つの内部電極の間には第1誘電体層111aのみが配置される。

【0095】

したがって、段差吸収層112に隣接した二つの内部電極121、122の間の距離は、他の二つの内部電極の間の距離より大きい。

【0096】

図4は本発明の一実施形態を説明するための図1のB-B'線に沿った断面図である。

30

【0097】

図4を参照すると、上記段差吸収層112は、上記セラミック本体110の長さ方向において、上記アクティブ領域 L_a のマージン部 M_L に該当する領域に配置されることができる。

【0098】

上述のように、上記段差吸収層112は、上記セラミック本体110の長さ方向において、上記アクティブ領域 L_a のマージン部 M_L に該当する領域に配置されてもよく、幅方向マージン部 M_W に配置されてもよく、長さ方向と幅方向の両方に配置されてもよい。

【0099】

セラミック本体110の長さ方向と幅方向マージン部 M_W 、 M_L の両方に段差吸収層112が配置される場合、セラミック本体110の長さ方向マージン部 M_L に配置された段差吸収層112の厚さは、上記セラミック本体110の幅方向マージン部 M_W に配置された段差吸収層112の厚さより小さくてもよい。

40

【0100】

例えば、セラミック本体110の長さ方向マージン部 M_L に配置された段差吸収層112の厚さは、上記セラミック本体110の幅方向マージン部 M_W に配置された段差吸収層112の厚さの1/2であってもよい。

【0101】

セラミック本体110の長さ方向マージン部 M_L には、第1内部電極121と第2内部電極122が交互に配置されるため、内部電極非形成の幅方向マージン部 M_W に比べて電

50

極密度がより高く、幅方向マージン部 M_w において段差がより激しくなり得る。

【0102】

したがって、セラミック本体 110 の全体から見て段差の影響を最小化し、耐電圧特性を改善するために、電極密度がより高いセラミック本体 110 の長さ方向マージン部 M_L に配置された段差吸収層 112 の厚さは、上記セラミック本体 110 の幅方向マージン部 M_w に配置された段差吸収層 112 の厚さより小さいか、又は $1/2$ に調節することができる。

【0103】

本発明の他の実施形態によると、誘電体層 111 と内部電極 121、122 が交互に積層されたセラミック本体 110 と、上記内部電極 121、122 と電氣的に連結され、上記セラミック本体 110 の両端に形成される外部電極 131、132 と、を含み、上記セラミック本体 110 は、静電容量の形成に寄与するアクティブ領域 L_a 、及び上記アクティブ領域 L_a の上下面のうち少なくとも一面に提供される保護層 L_c を含み、上記アクティブ領域 L_a の両側端部には少なくとも一つ以上のギャップ部 112 が配置され、上記ギャップ部 112 に隣接した二つの内部電極 121、122 の間の距離は、他の二つの内部電極の間の距離より大きい積層セラミック電子部品を提供する。

【0104】

上記ギャップ部 112 は、本発明の一実施形態により第 2 セラミックグリーンシートの両側端部にセラミック部材を形成して段差吸収層を形成し、導電性金属ペーストを用いて内部電極パターンを形成した複数の第 1 セラミックグリーンシートの間に挿入した後、積層及び圧着、焼成する場合に、段差吸収層によりセラミック本体のマージン部に形成される部分として定義されることができる。

【0105】

また、両側端部に段差吸収層が配置された第 2 セラミックグリーンシートが、2 層以上の第 1 セラミックグリーンシートで構成された一つのユニットと隣接したユニットとの間に配置されるため、段差吸収層に隣接した二つの内部電極パターンの端部は曲がり得る。

【0106】

これにより、焼成後に、曲がった二つの内部電極の端部の辺りであるセラミック本体 110 のマージン部 M_w 、 M_L にギャップ部 112 が配置されることができる。

【0107】

また、両側端部に段差吸収層が配置された第 2 セラミックグリーンシートが、2 層以上の第 1 セラミックグリーンシートで構成された一つのユニットと隣接したユニットとの間に配置されることから、段差吸収層に隣接した二つの内部電極パターンの間には第 1 セラミックグリーンシートと第 2 セラミックグリーンシートが配置され、他の二つの内部電極パターンの間には第 1 セラミックグリーンシートのみが配置される。

【0108】

したがって、焼成後、ギャップ部 112 に隣接した二つの内部電極 121、122 の間の距離は、他の二つの内部電極の間の距離より大きい。

【0109】

また、焼成後、セラミック本体 110 のマージン部 M_w 、 M_L には、曲がった二つの内部電極の端部の辺りにギャップ部 112 が配置されることから、ギャップ部 112 に隣接した二つの内部電極 121、122 の端部の間の距離は、他の二つの内部電極の端部の間の距離より大きい。

【0110】

上記ギャップ部 112 に隣接した二つの内部電極 121、122 の間の距離と、他の二つの内部電極の間の距離との差は、中央部より端部でより大きいことを特徴とする。

【0111】

上記の特徴は、焼成後、セラミック本体 110 のマージン部 M_w 、 M_L には、曲がった二つの内部電極の端部の辺りにギャップ部 112 が配置されるためである。

【0112】

その他の特徴は、上述の本発明の一実施形態に係る積層セラミック電子部品の特徴と同一であるため、ここでは省略する。

【0113】

本発明の他の実施形態は、誘電体層111と内部電極121、122が交互に積層されたセラミック本体110と、上記内部電極121、122と電気的に連結され、上記セラミック本体110の両端に形成される外部電極131、132と、を含み、上記セラミック本体110は、静電容量の形成に寄与するアクティブ領域 L_a 、及び上記アクティブ領域 L_a の上下面のうち少なくとも一面に提供される保護層 L_c を含み、上記アクティブ領域 L_a の両側端部には、少なくとも一つ以上のギャップ部112が配置され、上記ギャップ部112に隣接した二つの内部電極121、122は、上記内部電極の積層方向において、上記ギャップ部112から離れる方向に曲がる積層セラミック電子部品を提供する。

10

【0114】

本発明の他の実施形態に係る積層セラミック電子部品は、ギャップ部112に隣接した二つの内部電極121、122が上記内部電極の積層方向、すなわち、セラミック本体110の厚さ方向において、上記ギャップ部112から離れる方向に曲がることを特徴とする。

【0115】

上記の特徴以外は、上述の本発明の一実施形態に係る積層セラミック電子部品の特徴と同一であるため、ここでは省略する。

【0116】

20

図5は本発明の他の実施形態を説明するための図1のA-A'線に沿った断面図である。

【0117】

図5を参照すると、本発明の他の実施形態に係る積層セラミックキャパシターにおいて、第1内部電極及び第2内部電極121、122が製造過程で圧着されることにより、緩いカーブ状の形状を有することができることを示している。

【0118】

また、ギャップ部112に隣接した二つの内部電極121、122が上記内部電極の積層方向、すなわち、セラミック本体110の厚さ方向において、上記ギャップ部112から離れる方向に曲がる形状を有することができる。

30

【0119】

図6は本発明の一実施形態に係る積層セラミックキャパシターの積層構造を示す断面図である。

【0120】

図6を参照すると、本発明の一実施形態に係る積層セラミックキャパシターは、導電性金属ペーストを用いて焼成した後、第1内部電極及び第2内部電極となる内部電極パターン30が形成された第1セラミックグリーンシート11を複数枚積層し、その上部に、両側端部にセラミック部材22を形成して段差吸収層が形成された第2セラミックグリーンシート21を積層し、その上部に複数枚の第1セラミックグリーンシート11を積層して形成された静電容量の形成に寄与するアクティブ領域 L_a を含む。

40

【0121】

上記のようにアクティブ領域 L_a が形成されることから、上記第2セラミックグリーンシート21は、一面が、焼成後、第1内部電極121又は第2内部電極122となる内部電極パターン30と接し、他面が、第1セラミックグリーンシート11と接することができる。

【0122】

上記第1セラミックグリーンシート11は、焼成後、第1誘電体層111aとなり、第2セラミックグリーンシート21は、焼成後、第2誘電体層111bとなる。

【0123】

両側端部にセラミック部材22を形成して段差吸収層が配置された第2セラミックグリ

50

ーンシート 2 1 が、2 層以上の第 1 セラミックグリーンシート 1 1 で構成された一つのユニットと隣接したユニットとの間に配置されることから、段差吸収層に隣接した二つの内部電極パターン 3 0 の間には第 1 セラミックグリーンシート 1 1 と第 2 セラミックグリーンシート 2 1 が配置され、他の二つの内部電極パターンの間には第 1 セラミックグリーンシート 1 1 のみが配置される。

【 0 1 2 4 】

したがって、焼成後、段差吸収層 1 1 2 に隣接した二つの内部電極 1 2 1、1 2 2 の間の距離は、他の二つの内部電極の間の距離より大きい。

【 0 1 2 5 】

第 2 セラミックグリーンシート 2 1 の両側端部にセラミック部材 2 2 を形成する方法は、特に制限されるものではなく、例えば、印刷法により形成してもよく、パンチングにより形成してもよい。

【 0 1 2 6 】

図 7 a ~ 図 7 e は本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【 0 1 2 7 】

図 7 a ~ 図 7 e を参照すると、本発明の他の実施形態に係る積層セラミックキャパシターの製造方法は、第 1 及び第 2 セラミックグリーンシート 1 1、2 1 を製造する段階と、上記第 1 セラミックグリーンシート 1 1 上に導電性金属ペーストを用いて内部電極パターン 3 0 を形成する段階と、上記第 2 セラミックグリーンシート 2 1 の両側端部にセラミック部材 2 2 を形成して、段差吸収層を形成する段階と、上記第 1 及び第 2 セラミックグリーンシート 1 1、2 1 を積層して、誘電体層と第 1 内部電極及び第 2 内部電極を含むセラミック本体を形成する段階と、上記第 1 内部電極及び第 2 内部電極と電気的に連結される第 1 外部電極及び第 2 外部電極を形成する段階と、を含む。

【 0 1 2 8 】

上記セラミック本体は、静電容量の形成に寄与するアクティブ領域と、上記アクティブ領域の上下面のうち少なくとも一面に提供される保護層と、を含み、上記アクティブ領域は、少なくとも 2 層以上の第 1 セラミックグリーンシート 1 1 を積層し、その上部に第 2 セラミックグリーンシート 2 1 を積層する段階を繰り返すことにより形成される。

【 0 1 2 9 】

本発明の他の実施形態に係る積層セラミックキャパシターの製造方法は、まず、第 1 及び第 2 セラミックグリーンシート 1 1、2 1 を製造する。

【 0 1 3 0 】

第 1 セラミックグリーンシート 1 1 は、一般的な積層セラミックキャパシターで 사용되는セラミックグリーンシートと同様であり、上記第 1 セラミックグリーンシート 1 1 は、セラミック粉末、バインダー、溶剤を混合してスラリーを製造し、上記スラリーをドクターブレード法により数 μm の厚さを有するシート (sheet) 状に作製することができる。

【 0 1 3 1 】

上記スラリーは、セラミック本体のアクティブ領域の一部の誘電体層と、及び保護層を構成する誘電体層を形成するセラミックグリーンシート用スラリーである。

【 0 1 3 2 】

第 2 セラミックグリーンシート 2 1 は、第 1 セラミックグリーンシート 1 1 と同様であるが、両側端部にセラミック部材 2 2 を形成して段差吸収層が形成される点で異なるため、異なるセラミックグリーンシートと名付けた。

【 0 1 3 3 】

上記セラミック部材 2 2 は、上記第 1 セラミックグリーンシート 1 1 のように、セラミック粉末、バインダー、溶剤を混合したスラリー状であってもよいが、上記第 1 セラミックグリーンシート 1 1 を形成するスラリーとバインダー及び溶剤の含有量において異なる。

【 0 1 3 4 】

次に、上記第 1 セラミックグリーンシート 1 1 上に導電性金属ペーストを塗布して内部電極パターン 3 0 を形成する。

【 0 1 3 5 】

上記内部電極パターン 3 0 は、スクリーン印刷法又はグラビア印刷法により形成されることができる。

【 0 1 3 6 】

図 7 a を参照すると、導電性金属ペーストを塗布して内部電極パターン 3 0 を形成した第 1 セラミックグリーンシート 1 1 を 3 枚示して一つのユニットと表現しており、このようなユニットが複数個作製されてもよい。また、一つのユニットをなす第 1 セラミックグリーンシート 1 1 の層数は、制限されず、例えば、2 層以上であってもよい。

10

【 0 1 3 7 】

次に、上記第 2 セラミックグリーンシート 2 1 の両側端部にセラミック部材 2 2 を形成して段差吸収層を形成する。

【 0 1 3 8 】

図 7 b を参照すると、両側端部にセラミック部材 2 2 を形成して段差吸収層を形成した第 2 セラミックグリーンシート 2 1 を 3 枚示しているが、これに制限されるものではなく、複数個が作製されてもよい。

【 0 1 3 9 】

第 2 セラミックグリーンシート 2 1 の両側端部にセラミック部材 2 2 を形成する方法は、特に制限されるものではなく、例えば、印刷法により形成してもよく、パンチングにより形成してもよい。

20

【 0 1 4 0 】

図 7 c を参照すると、上記導電性金属ペーストを塗布して内部電極パターン 3 0 を形成した第 1 セラミックグリーンシート 1 1 を複数枚積層する。

【 0 1 4 1 】

図 7 c では、第 1 セラミックグリーンシート 1 1 を 3 枚積層しているが、これに制限されるものではない。

【 0 1 4 2 】

図 7 d を参照すると、一つのユニットである積層された第 1 セラミックグリーンシート 1 1 上に段差吸収層を形成した第 2 セラミックグリーンシート 2 1 を積層する。

30

【 0 1 4 3 】

上記段差吸収層は、第 2 セラミックグリーンシート 2 1 において、第 1 セラミックグリーンシート 1 1 で導電性金属ペーストが塗布されていない部分、すなわち、焼成後、セラミック本体のマージン部となる領域と対応する領域に形成される。

【 0 1 4 4 】

図 7 d では、焼成後、セラミック本体の長さ方向及び幅方向マージン部に該当する全領域に段差吸収層が形成されていることを図示しているが、これに制限されるものではなく、長さ方向マージン部或いは幅方向マージン部にのみ形成することも可能である。

【 0 1 4 5 】

次に、上記第 2 セラミックグリーンシート 2 1 上に導電性金属ペーストを塗布して内部電極パターン 3 0 を形成した第 1 セラミックグリーンシート 1 1 を複数枚積層する。

40

【 0 1 4 6 】

図 7 e を参照すると、第 2 セラミックグリーンシート 2 1 上に導電性金属ペーストを塗布して内部電極パターン 3 0 を形成した第 1 セラミックグリーンシート 1 1 を 3 枚積層することが図示されているが、これに制限されるものではない。

【 0 1 4 7 】

また、第 2 セラミックグリーンシート 2 1 上に積層される第 1 セラミックグリーンシート 1 1 は、1 枚ずつ積層してもよく、積層された第 1 セラミックグリーンシート 1 1 ユニットの積層してもよい。

50

【 0 1 4 8 】

このように積層される場合、複数個の第 1 セラミックグリーンシート 1 1 で構成された一つのユニットと隣接した他のユニットとの間に段差吸収層を形成した第 2 セラミックグリーンシート 2 1 が挿入された形態で積層され、このような方法を繰り返して行うことにより、積層数を増加させることができる。

【 0 1 4 9 】

次に、上記複数のセラミックグリーンシートを積層し、積層方向から加圧して、積層されたセラミックグリーンシートと内部電極ペーストを互いに圧着させる。

【 0 1 5 0 】

このようにして、セラミックグリーンシートと内部電極ペーストが交互に積層されたセラミック積層体を製造する。

10

【 0 1 5 1 】

この際、両側端部にセラミック部材 2 2 を形成した第 2 セラミックグリーンシート 2 1 は、上記セラミック積層体のマージン部に段差吸収層を形成する。

【 0 1 5 2 】

上記段差吸収層により、上記セラミック積層体において内部電極による段差の発生率が減少し、これにより耐電圧が改善する。

【 0 1 5 3 】

次に、セラミック積層体を一つのキャパシターに対応する領域ごとに切断し、チップ化する。

20

【 0 1 5 4 】

この際、第 1 内部電極及び第 2 内部電極パターンの一端が側面に交互に露出するように切断する。

【 0 1 5 5 】

次に、チップ化した積層体を、例えば、1 2 0 0 程度に焼成して、誘電体層と第 1 内部電極及び第 2 内部電極を含むセラミック本体を製造する。

【 0 1 5 6 】

次に、セラミック本体の両端を覆い、セラミック本体の側面に露出した第 1 内部電極及び第 2 内部電極と電氣的に連結されるように第 1 外部電極及び第 2 外部電極を形成する。

【 0 1 5 7 】

30

次に、外部電極の表面にニッケル、スズなどのめっき処理を施すことができる。

【 0 1 5 8 】

図 8 a ~ 図 8 e は本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【 0 1 5 9 】

図 8 a ~ 図 8 e を参照すると、第 2 セラミックグリーンシート 2 1 にセラミック部材 2 2 を形成する工程において、セラミック本体の幅方向に、アクティブ領域のマージン部に該当する領域にセラミック部材 2 2 を形成した以外は、図 7 a ~ 図 7 e に係る積層セラミックキャパシターの製造方法と同一である。

【 0 1 6 0 】

40

図 9 a ~ 図 9 e は本発明の他の実施形態に係る積層セラミックキャパシターの製造方法を示す工程図である。

【 0 1 6 1 】

図 9 a ~ 図 9 e を参照すると、第 2 セラミックグリーンシート 2 1 にセラミック部材 2 2 を形成する工程において、セラミック本体の長さ方向に、アクティブ領域のマージン部に該当する領域にセラミック部材 2 2 を形成した以外は、図 7 a ~ 図 7 e による積層セラミックキャパシターの製造方法と同一である。

【 0 1 6 2 】

下記の表 1 は第 1 内部電極及び第 2 内部電極の積層方向において、上記第 1 内部電極及び第 2 内部電極の端部の曲がり角度による積層セラミックキャパシターの静電容量と耐電

50

圧特性を比較した表である。

【 0 1 6 3 】

【表 1】

試料No.	曲がり角度(度)	静電容量	耐電圧特性
1 *	1	×	◎
2 *	2	×	◎
3 *	3	×	◎
4	4	○	◎
5	6	○	◎
6	7	○	○
7	8	○	○
8	9	◎	○
9	10	◎	○
1 0	11	◎	○
1 1	13	◎	○
1 2	14	◎	○
1 3 *	15	◎	×
1 4 *	18	◎	×

*：比較例

【 0 1 6 4 】

上記表 1 において、静電容量は、目標静電容量を 1 0 % 以上超える場合には非常に良好 ()、0 . 0 % ~ 1 0 % である場合には良好 (○)、目標静電容量未満である場合には不良 (×) と判定した。

【 0 1 6 5 】

耐電圧特性の場合、目標耐電圧を 1 0 % 以上超える場合には非常に良好 ()、0 . 0 % ~ 1 0 % である場合には良好 (○)、目標静電容量未満である場合には不良 (×) と判定した。

【 0 1 6 6 】

上記表 1 を参照すると、第 1 内部電極及び第 2 内部電極の端部の曲がり角度 (θ) が 3 度 ~ 1 5 度の範囲内にある場合に、高容量で、耐電圧特性に優れ、信頼性が改善することが分かる。

【 0 1 6 7 】

一方、試料 1 ~ 3 の場合には、第 1 内部電極及び第 2 内部電極の端部の曲がり角度 (θ) が 3 度未満であり、静電容量が減少するという問題があり、試料 1 3 及び 1 4 の場合には、第 1 内部電極及び第 2 内部電極の端部の曲がり角度 (θ) が 1 5 度を超え、耐電圧特性が低下するという問題がある。

【 0 1 6 8 】

以上、本発明の実施形態について詳細に説明したが、本発明の範囲はこれに限定されず、特許請求の範囲に記載された本発明の技術的思想から外れない範囲内で多様な修正及び変形が可能であるということは、当技術分野の通常の知識を有する者には明らかである。

【符号の説明】

【 0 1 6 9 】

- 1 0 0 積層セラミックキャパシター
- 1 1 0 セラミック本体
- 1 1 1 誘電体層
- 1 1 2 段差吸収層 (ギャップ部)
- 1 2 1、1 2 2 第 1 内部電極及び第 2 内部電極

10

20

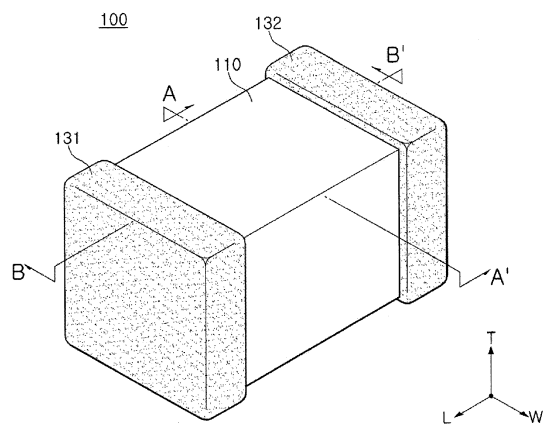
30

40

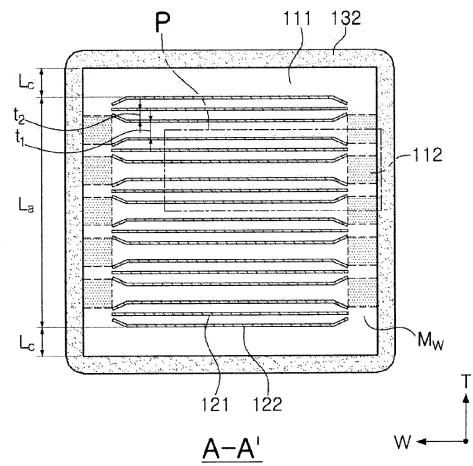
50

1 3 1、1 3 2 第 1 外部電極及び第 2 外部電極

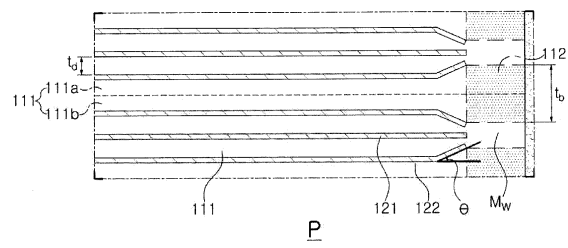
【図 1】



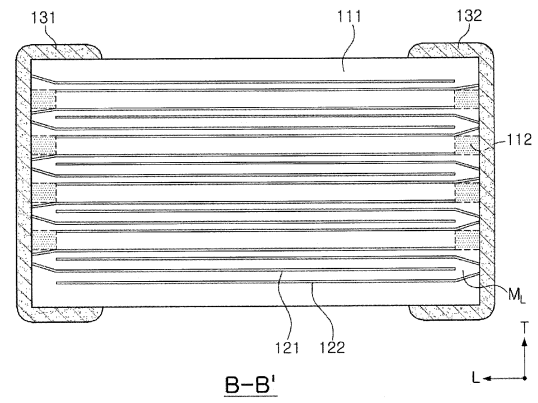
【図 2】



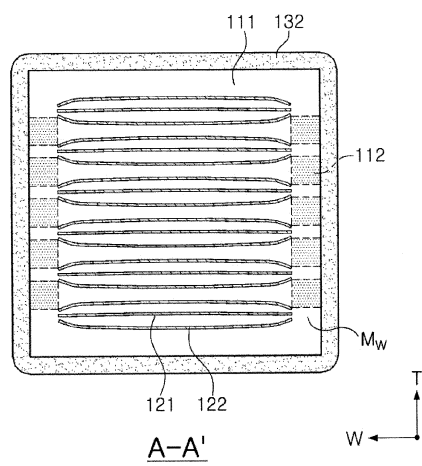
【図 3】



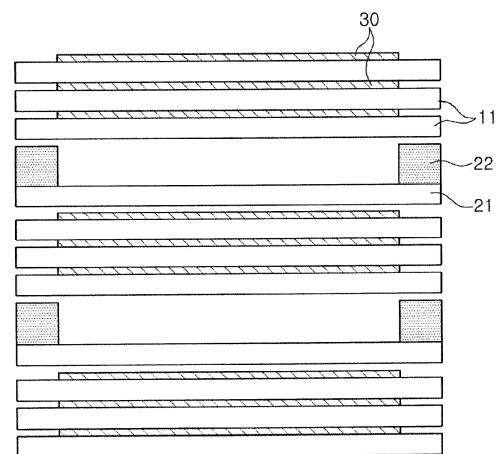
【図 4】



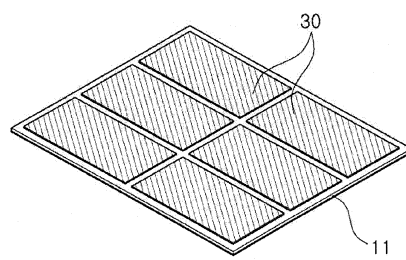
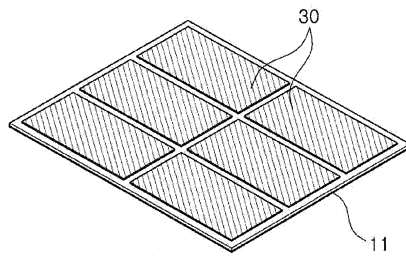
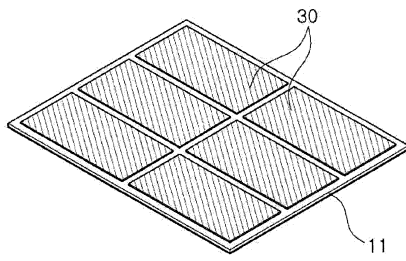
【図 5】



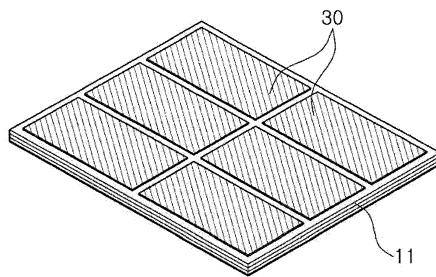
【図 6】



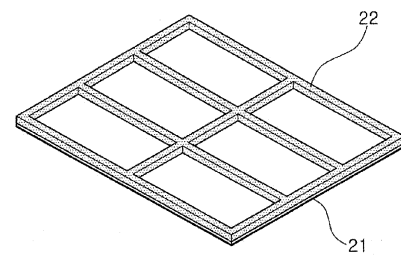
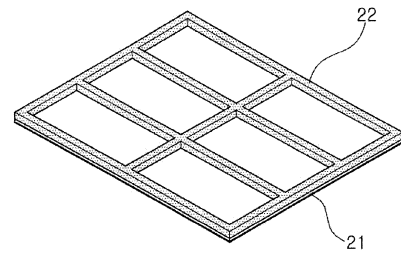
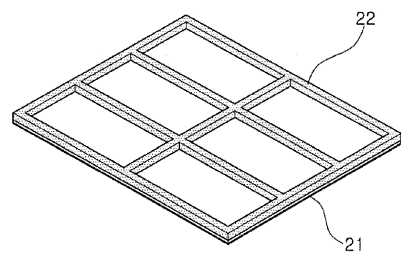
【図 7 a】



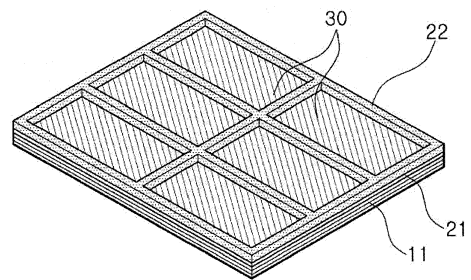
【図 7 c】



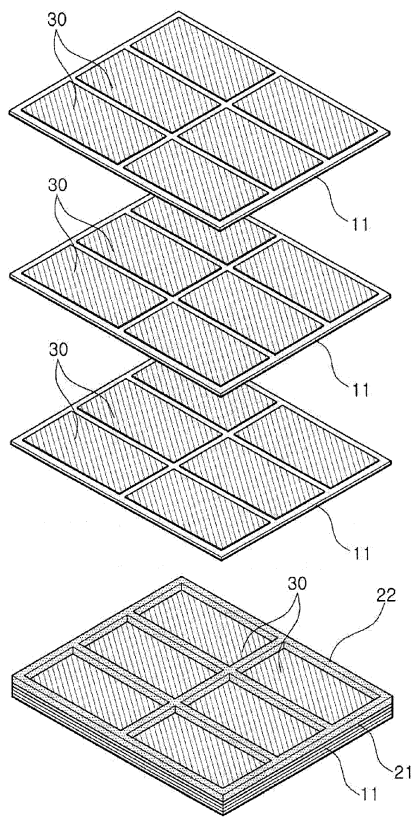
【図 7 b】



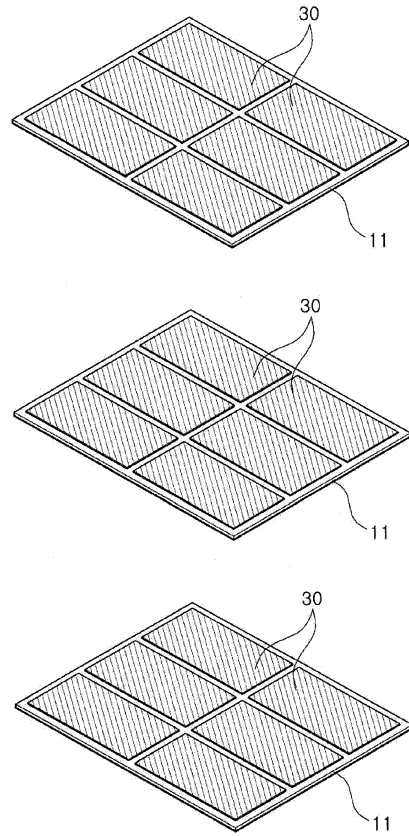
【図 7 d】



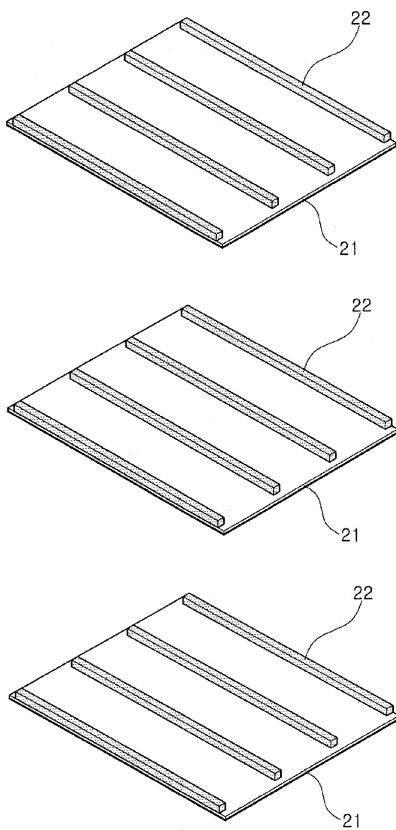
【図 7 e】



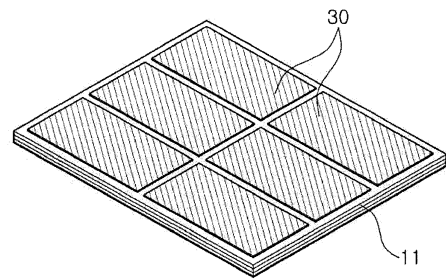
【図 8 a】



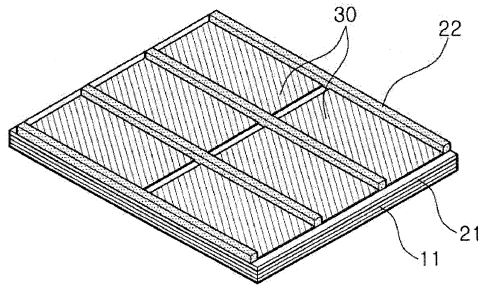
【図 8 b】



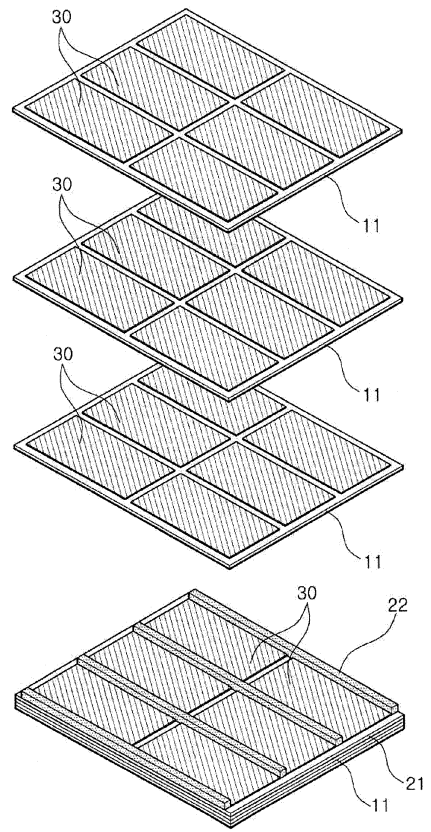
【図 8 c】



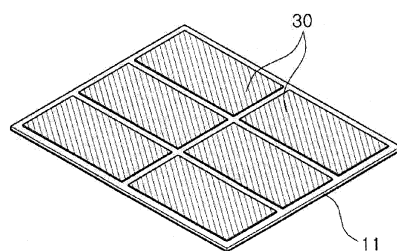
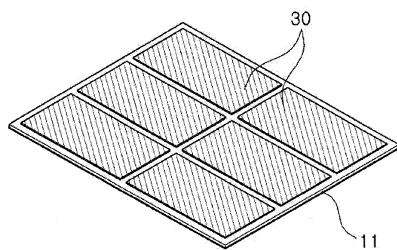
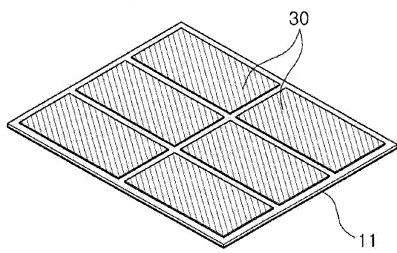
【図 8 d】



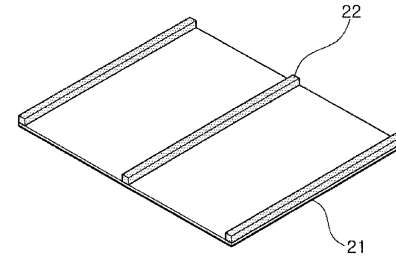
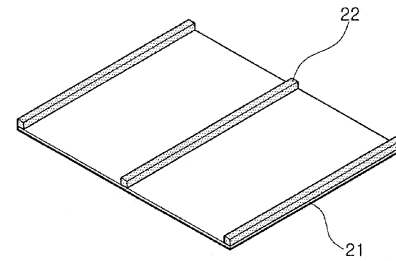
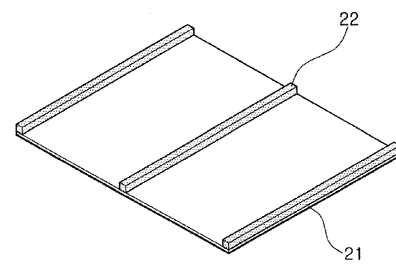
【図 8 e】



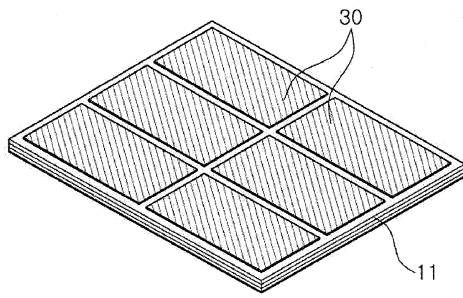
【図 9 a】



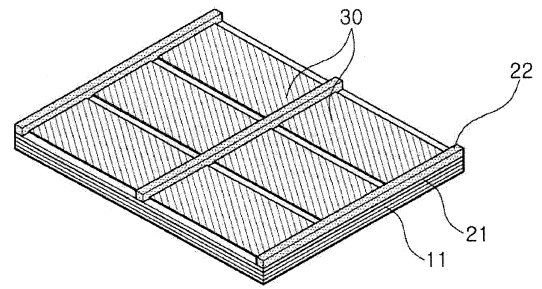
【図 9 b】



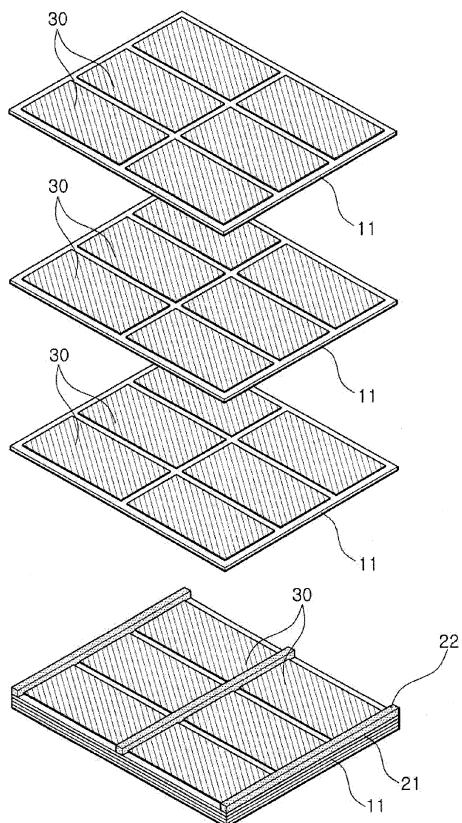
【図 9 c】



【図 9 d】



【図 9 e】



フロントページの続き

- (72)発明者 チョイ、ジャエ イエオル
大韓民国、キョンギ - ド、スウォン - シ、ヨントン - グ、(マエタン - ドン)マエヨン - ロ 15
0 サムソン エレクトロ - メカニックス カンパニーリミテッド . 内
- (72)発明者 ホン、キ ピョ
大韓民国、キョンギ - ド、スウォン - シ、ヨントン - グ、(マエタン - ドン)マエヨン - ロ 15
0 サムソン エレクトロ - メカニックス カンパニーリミテッド . 内
- (72)発明者 オー、ベオム セオック
大韓民国、キョンギ - ド、スウォン - シ、ヨントン - グ、(マエタン - ドン)マエヨン - ロ 15
0 サムソン エレクトロ - メカニックス カンパニーリミテッド . 内

審査官 小池 秀介

- (56)参考文献 特開平02 - 100306 (JP, A)
特開2010 - 040628 (JP, A)
特開平06 - 077087 (JP, A)
特開2013 - 135221 (JP, A)
特開2009 - 289958 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H01G 4/00 - 4/015
4/02 - 4/40
13/00 - 17/00