

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成24年3月15日(2012.3.15)

【公表番号】特表2011-514615(P2011-514615A)

【公表日】平成23年5月6日(2011.5.6)

【年通号数】公開・登録公報2011-018

【出願番号】特願2010-550709(P2010-550709)

【国際特許分類】

G 11 C 16/04 (2006.01)

G 11 C 16/06 (2006.01)

【F I】

G 11 C 17/00 6 2 4

G 11 C 17/00 6 3 4 E

【手続補正書】

【提出日】平成24年1月20日(2012.1.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

方法であつて、

第1の時間における複数の基準セルの最高出力電流を有するものとして、メモリデバイスのビット・セル・アレイの複数のビットセルに関連する前記複数の基準セルの第1の基準セルを前記第1の時間において決定すること、

前記第1の基準セルの第1の出力電流を用いて前記複数のビットセルの第1のビットセルに記憶されたデータ値を検知すること

を備える方法。

【請求項2】

前記第1の時間と前記第2の時間との間の第1の期間に前記第1の基準セルを除く前記複数の基準セルの各基準セルをディセーブルすること、

前記第2の時間の後の第2の期間に前記第2の基準セルを除く前記複数の基準セルの各基準セルをディセーブルすること

をさらに備える、請求項1に記載の方法。

【請求項3】

メモリデバイスであつて、

複数のビットセルを備えるビット・セル・アレイと、

前記複数のビットセルに関連する複数の基準セルと、

基準電流を受け取るための入力を備える検知增幅器であつて、前記基準電流に基づいて前記ビット・セル・アレイのビットセルに記憶されたデータ値を検知するよう構成される前記検知增幅器と、

前記複数の基準セルの第1の基準セルの出力電流を、前記複数の基準セルの最高出力電流を有するものとして前記第1の基準セルを決定することに対応して、前記複数のビットセルのビットセルを検知する前記基準電流として前記検知增幅器に供給するよう構成される基準コントローラと

を備えるメモリデバイス。

【請求項4】

前記基準コントローラは、

前記複数の基準セルの第1の基準セルの電流電極に結合された第1の入力と、前記複数の基準セルの第2の基準セルの電流電極に結合された第2の入力とを備える比較器であって、前記第1の入力で検出される第1の電流と第2の入力で検出される第2の電流との比較を表す出力値を供給するように構成される前記比較器と、

前記複数の基準セルの前記第1の基準セルの制御電極に結合された第1のワードラインと、前記第2の基準セルの制御電極に結合された第2のワードラインとを備えるワード・ライン・ドライバであって、前記比較器の前記出力値に基づいて前記第1のワードラインと前記第2のワードラインの一方を選択的にイネーブルするように構成される前記ワード・ライン・ドライバと

を備える、請求項3に記載のメモリデバイス。

【請求項5】

前記基準コントローラは、前記第1の基準セルおよび前記第2の基準セルの少なくとも一方の電流に基づく前記基準電流を供給するように構成された電流和モジュールをさらに備える、請求項4に記載のメモリデバイス。