



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월30일
 (11) 등록번호 10-1207052
 (24) 등록일자 2012년11월26일

- | | |
|--|---|
| (51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)
(21) 출원번호 10-2005-0122968
(22) 출원일자 2005년12월14일
심사청구일자 2010년12월10일
(65) 공개번호 10-2006-0067872
(43) 공개일자 2006년06월20일
(30) 우선권주장
JP-P-2004-00363580 2004년12월15일 일본(JP)
(56) 선행기술조사문헌
JP2003338615 A*
JP63129661 A*
*는 심사관에 의하여 인용된 문헌 | (73) 특허권자
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
마부찌 게이지
일본 도쿄도 시나가와구 기따시나가와 6쵸메 7-35
소니 가부시끼가이샤 내
(74) 대리인
구영창, 이중희, 장수길 |
|--|---|

전체 청구항 수 : 총 17 항

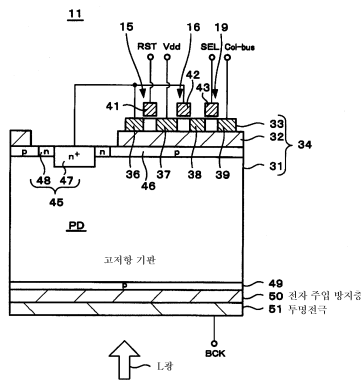
심사관 : 황재연

(54) 발명의 명칭 **이면 입사형 고체 촬상 장치 및 그 제조 방법**

(57) 요약

이면 입사형 고체 촬상 장치에 있어서, 신호 전하(예를 들면, 전자, 홀 등)를 수집하기 위한 전계를 확실하게 발생시켜, 크로스토크의 저감을 도모한다. 이를 위해, 반도체 기판(31) 상에 절연막(32)을 개재하여 반도체층(33)을 갖는 구성(34)을 구비하고, 반도체 기판(31)에 화소를 구성하는 광전 변환 소자(PD)가 형성되고, 화소를 구성하는 적어도 일부의 트랜지스터(15, 16, 19)가 반도체층(33)에 형성되고, 반도체 기판(31)의 이면측에 전압이 인가되는 이면 전극(51)이 형성되어 이루어진다.

대표도 - 도3



특허청구의 범위

청구항 1

반도체 기판 상에 절연막을 개재하여 반도체층을 갖는 구성을 구비하고,

상기 반도체 기판에 화소를 구성하는 광전 변환 소자로서 상기 반도체 기판의 표면에 형성된 전하 축적부를 구비하는 광전 변환 소자가 형성되고,

상기 화소를 구성하는 트랜지스터 중, 적어도 리세트 트랜지스터, 증폭 트랜지스터 및 선택 트랜지스터가 상기 반도체층에 형성되고,

상기 반도체 기판의 이면측에 전압이 인가되는 이면 전극이 형성되고,

상기 반도체 기판의 표면측으로서, 상기 절연막과 반도체 기판의 계면에, 상기 전하 축적부와는 반대 도전형의 반도체층이 형성되고,

상기 반도체 기판이, 상기 이면 전극의 인가 전압에 있어서, 상기 절연막과 상기 반도체 기판과의 계면에 형성된 반도체층과, 상기 반도체 기판의 이면측의 반도체층과의 사이에 공핍층이 연결되는 고저항 기판으로 형성되어 이루어지는, 이면 입사형 고체 촬상 장치.

청구항 2

제1항에 있어서,

상기 반도체 기판의 이면측에 상기 전하 축적부와는 반대 도전형의 반도체층이 더 형성되어 있는, 이면 입사형 고체 촬상 장치.

청구항 3

제1항 또는 제2항에 있어서,

수광 기간 중의 상기 이면 전극의 전압은, 상기 광전 변환 소자를 역바이어스로 하는 제1 극성의 전압인, 이면 입사형 고체 촬상 장치.

청구항 4

제1항 또는 제2항에 있어서,

상기 이면 전극과 상기 반도체 기판 사이에 전하 주입 방지막이 형성되어 이루어지는, 이면 입사형 고체 촬상 장치.

청구항 5

제1항 또는 제2항에 있어서,

상기 절연막과 상기 반도체 기판과의 계면에 형성된 반도체층은, 전기적으로 플로팅되어 있는, 이면 입사형 고체 촬상 장치.

청구항 6

제1항 또는 제2항에 있어서,

상기 절연막과 상기 반도체 기판과의 계면에 형성된 반도체층에는, 상기 이면 전극과 동일한 전압이 인가되는, 이면 입사형 고체 촬상 장치.

청구항 7

제1항 또는 제2항에 있어서,

상기 절연막과 상기 반도체 기판과의 계면에 형성된 반도체층의 하측에, 상기 전하 축적부와 같은 도전형의 반도체층이, 상기 전하 축적부에 접하여 형성되어 있는, 이면 입사형 고체 촬상 장치.

청구항 8

제1항에 있어서,

고체 활상 장치와 외부와의 인터페이스는, 범프와 상기 이면 전극으로의 와이어 본딩의 양쪽을 포함하는, 이면 입사형 고체 활상 장치.

청구항 9

제1항에 있어서,

상기 이면 전극에 제2 극성의 전압을 인가하여, 상기 광전 변환 소자를 리셋하도록 이루어지는, 이면 입사형 고체 활상 장치.

청구항 10

제1항에 있어서,

상기 반도체 기관 상에 절연막을 개재하여 형성된 상기 반도체층에 화소를 구성하는 전송 트랜지스터가 형성되어 이루어지는, 이면 입사형 고체 활상 장치.

청구항 11

제1항에 있어서,

상기 반도체 기관에 화소를 구성하는 전송 트랜지스터가 형성되고,

상기 광전 변환 소자가 매립형으로 형성되어 이루어지는, 이면 입사형 고체 활상 장치.

청구항 12

제3항에 있어서,

상기 반도체 기관에서 전하의 애벌란시(avalanche) 현상에 의해 전하 증배가 행해져 이루어지는, 이면 입사형 고체 활상 장치.

청구항 13

반도체 기관 상에 절연막을 개재하여 반도체층을 갖는 기체(基體)를 이용하여,

상기 반도체 기관 표면층으로서, 상기 반도체 기관과 상기 절연막과의 계면에 제1 도전형으로 이루어지는 반도체층을 형성하는 공정과,

상기 반도체 기관에 화소를 구성하는 광전 변환 소자로서, 상기 반도체 기관의 표면에 형성된 상기 제1 도전형과는 반대 도전형인 제2 도전형의 전하 축적부를 구비하는 광전 변환 소자를 형성하는 공정과,

상기 화소를 구성하는 트랜지스터 중, 적어도 리셋 트랜지스터, 증폭 트랜지스터 및 선택 트랜지스터를 상기 반도체층에 형성하는 공정과,

상기 반도체 기관의 이면측에 전압이 인가되는 이면 전극을 형성하는 공정을 포함하고,

상기 반도체 기관은, 상기 이면 전극의 인가 전압에 있어서, 상기 절연막과 상기 반도체 기관과의 계면에 형성된 반도체층과, 상기 반도체 기관의 이면측의 반도체층과의 사이에 공핍층이 연결되는 고저항 기관으로 형성되어 이루어지는, 이면 입사형 고체 활상 장치의 제조 방법.

청구항 14

제13항에 있어서,

상기 반도체 기관 상에 절연막을 개재하여 형성된 상기 반도체층에 리셋 트랜지스터, 증폭 트랜지스터 및 선택 트랜지스터가 형성된 후로서, 상기 이면 전극이 형성되는 공정 전에, 상기 반도체 기관의 이면측에, 제1 도전형으로 이루어지는 반도체층을 형성하는 공정을 포함하는, 이면 입사형 고체 활상 장치의 제조 방법.

청구항 15

제13항에 있어서,

상기 이면 전극을 형성하기 전에, 상기 반도체 기판의 이면에 전하 주입 방지막을 형성하는 공정을 포함하는, 이면 입사형 고체 촬상 장치의 제조 방법.

청구항 16

제13항에 있어서,

상기 반도체 기판 상에 절연막을 개재하여 형성된 상기 반도체층에, 화소를 구성하는 전송 트랜지스터를 포함하는 트랜지스터를 형성하는, 이면 입사형 고체 촬상 장치의 제조 방법.

청구항 17

제13항에 있어서,

상기 반도체 기판에, 화소를 구성하는 트랜지스터 중 전송 트랜지스터를 형성하고, 상기 광전 변환 소자를 매립 형태로 형성하는 공정을 포함하는, 이면 입사형 고체 촬상 장치의 제조 방법.

청구항 18

삭제

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

- [0050] [특허 문헌 1] 일본 특허공개 2003-338615호 공보
- [0051] [비특허 문헌 1] 2003 IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensors의 Session3에서 발표된, Process and Pixels for High Performance Imager in SOI-CMOS Technology(저자: Xinyu Zheng, SureshSeahadri, Michael Wood, ChrisWri gley, and Bedabrate Pain)

발명이 속하는 기술 및 그 분야의 종래기술

- [0052] 본 발명은, 이면 입사형 고체 촬상 장치, 특히 이면 입사형의 CMOS 고체 촬상 장치 및 그 제조 방법에 관한 것이다.
- [0053] 종래, CMOS 고체 촬상 장치로서, 광의 이용 효율을 예를 들어 고감도화를 도모하도록 기판 이면측으로부터 광을 입사하도록 한, 이면 입사형의 CMOS 고체 촬상 장치가 제안되어 있다. 이 이면 입사형 CMOS 고체 촬상 장치에서는, 반도체 기판의 표면측에 화소를 구성하는 MOS 트랜지스터를 형성하고, 기판 이면측에 면하도록 광전 변환 소자로 되는 수광부를 형성하고, 또한 기판 표면측에 다층 배선을 형성하여 기판 이면측으로부터 광을 입사하도록 구성된다. 이 경우, 반도체 기판의 다층 배선이 형성되는 표면측과는 반대측의 이면을 연마하여 제작된다.
- [0054] 반도체 기판을 안정적으로 연마하기 위해서는, 마진을 포함해서 10 μm 정도의 기판 두께로 되는 것이 바람직하다. 또한, 적색의 감도의 점으로부터도, 이 정도의 기판 두께가 바람직하다. 여기서, 청색광 등은, 이면측의 실리콘 반도체 기판에 입사하여 얇은 곳에서 광전 변환되므로, 광전자로서는 10 μm 정도의 거리를 표면측의 전하 축적부까지 이동시킬 필요가 있다.
- [0055] 예를 들면, 최근의 화소 피치는 4 μm 이하도 드물지 않게 되어 있고, 이와 같이 미세 화소 피치로 되면, 어스펙트비(=기판 두께/화소 피치)가 3 이상과 같이 매우 커져 버린다. 어스펙트비가 커지면, 그러한 형상의 광전 변환 소자를 만드는 것이 어려울 뿐 아니라, 광전자가 전하 축적부까지 이동하는 동안에, 이웃의 화소로 들어가 버려, 크로스토크의 원인으로 된다. 여기서, 크로스토크라 함은 본래의 화소의 신호에 인접 화소의 신호가 혼

입되는 것을 말한다. 크로스토크가 증가하면, 해상도가 저하하거나, 화소마다 색 필터가 부착되어 있는 단판식의 CMOS 고체 촬상 장치의 경우에는, 혼색이 심해진다.

- [0056] 이 대책으로서, 특허 문헌 1에서는, 이면 입사형의 CMOS 고체 촬상 장치에 있어서, 반도체 기판 내에 전계를 형성한 것을 제안하고 있다. 전계를 형성함으로써, 광전자가 기판의 깊이 방향으로 이동하기 쉬워져, 크로스토크를 저감시킬 수 있다.
- [0057] 다른 종래예로서 비특허 문헌 1이 발표되어 있다.

발명이 이루고자 하는 기술적 과제

- [0058] 그런데, 상술한 반도체 기판 내에 전계를 형성하여 크로스토크를 감소시키는 특허 문헌 1에 기재된 방법은, 원리적으로 우수하지만, 그 구체예인 실시예에 개시되어 있는 범위에서는, 형성되는 전계의 강도에 제한이 있었다. 에피택셜층의 농도 구배를 이용하여 전계를 형성하는 경우에는, 실리콘의 밴드 갭인 1.1V 이상의 포텐셜차를 만들 수 없다. 또한, 기판 이면에 전극을 갖는 경우에는, 특허 문헌 1의 도 7, 도 8의 구조 그대로에서는 이면 전극과 p형 반도체 웰 영역 사이에 전류가 흐르지 않도록, 이면 전극에는 작은 전압밖에 인가시킬 수 없다.
- [0059] 한편, 비특허 문헌 1에서는, 화소 회로를 SOI(semiconductor on insulator) 기판 상에 형성하고, 포토다이오드를 하층의 실리콘 기판에 형성하고 있다. 이 논문에서는, 광의 입사면은 이면이 아니고, 표면이다. 따라서, 당연히 상기한 문제 인식은 발생하지 않고, 이면측에서 발생한 광전자를 표면측으로 유도하기 위한 방법에 관한 기재는 없다.
- [0060] 또한, 이면 입사형의 CMOS 고체 촬상 장치에서는, 전자 셔터 동작을 리세트 트랜지스터를 통하여 행하고 있어, 전체 화소 동시의 전자 셔터가 곤란했다. 또한, 이면 입사형의 CMOS 고체 촬상 장치의 가일층의 감도 향상도 요망되고 있다.
- [0061] 본 발명은, 전술한 점을 감안하여, 신호 전하(예를 들면 전자, 홀 등)를 수집하기 위한 전계를 확실하게 발생시켜, 크로스토크를 저감시키는 이면 입사형의 고체 촬상 장치를 제공하는 것이다.
- [0062] 본 발명은, 전체 화소 동시의 전자 셔터를 가능하게 한 이면 입사형의 고체 촬상 장치, 보다 감도 향상을 기대할 수 있는 이면 입사형의 고체 촬상 장치를 제공하는 것이다.
- [0063] 또한, 본 발명은, 이들의 고체 촬상 장치의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

- [0064] 본 발명에 따른 이면 입사형 고체 촬상 장치는, 반도체 기판 상에 절연막을 개재하여 반도체 막을 갖는 구성을 구비하고, 반도체 기판에 화소를 구성하는 광전 변환 소자가 형성되고, 화소를 구성하는 적어도 일부의 트랜지스터가 상기 반도체 막에 형성되고, 반도체 기판의 이면측에 전압이 인가되는 이면 전극이 형성되어 이루어지는 것을 특징으로 한다.
- [0065] 본 발명은, 상기 이면 입사형 고체 촬상 장치에 있어서, 반도체 기판을 이면 전극의 인가 전압에 있어서, 표리 양면으로부터의 공핍층이 연결되는 고저항 기판으로 형성한 구성으로 할 수 있다.
- [0066] 본 발명은, 이 이면 입사형 고체 촬상 장치에 있어서, 수광 기간 동안의 이면 전극의 전압을 제1 극성의 전압으로 할 수 있다.
- [0067] 본 발명은, 이 이면 입사형 고체 촬상 장치에 있어서, 이면 전극과 반도체 기판 사이에 전하 주입 방지막(예를 들면 신호 전하가 전자인 경우에는 전자 주입 방지막으로 되고, 신호 전하가 홀인 경우에는 홀 주입 방지막으로 된다)을 형성한 구성으로 할 수 있다.
- [0068] 본 발명은, 상기 이면 입사형 고체 촬상 장치에 있어서, 절연막 아래의 반도체 기판에, 광전 변환 소자의 전하 축적부와는 반대 도전형의 전기적으로 플로팅인 반도체층을 형성한 구성으로 할 수 있다.
- [0069] 본 발명은, 상기 이면 입사형 고체 촬상 장치에 있어서, 절연막 아래의 반도체 기판에 광전 변환 소자의 전하 축적부와는 반대 도전형의 반도체층을 형성하고, 이 반도체층에 이면 전극과 동일한 전압을 인가한 구성으로 할 수 있다.
- [0070] 본 발명은, 상기 이면 입사형 고체 촬상 장치에 있어서, 절연막 아래의 반도체 기판에 광전 변환 소자의 전하

축적부와는 반대 도전형의 제1 반도체층을 형성하고, 제1 반도체층 아래에 광전 변환 소자의 일부로 되는 상기 제1 반도체층과는 반대 도전형의 제2 반도체층을 형성한 구성으로 할 수 있다.

- [0071] 본 발명은, 상기 이면 입사형 고체 촬상 장치에 있어서, 고체 촬상 장치와 외부와의 인터페이스를 범프와 이면 전극에의 와이어 본딩의 양쪽을 포함하도록 구성할 수 있다.
- [0072] 본 발명은, 상기 이면 입사형 고체 촬상 장치에 있어서, 이면 전극에 제2 극성의 전압을 인가하여, 광전 변환 소자를 리세트하도록 구성할 수 있다.
- [0073] 본 발명은, 상기 이면 입사형 고체 촬상 장치에 있어서, 반도체층에 화소를 구성하는 전송 트랜지스터를 형성한 구성으로 할 수 있다.
- [0074] 본 발명은, 상기 이면 입사형 고체 촬상 장치에 있어서, 반도체 기판에 화소를 구성하는 전송 트랜지스터를 형성하고, 광전 변환 소자를 매립형으로 형성한 구성으로 할 수 있다.
- [0075] 본 발명은, 이면 전극의 전압을 제1 극성의 전압으로 하고, 이면 전극과 반도체 기판 사이에 전하 주입 방지막을 갖는 상기 이면 입사형 고체 촬상 장치에 있어서, 반도체 기판에서 전하 증배를 행하는 구성으로 할 수 있다.
- [0076] 본 발명에 따른 이면 입사형 고체 촬상 장치의 제조 방법은, 반도체 기판상에 절연막을 개재하여 반도체 막을 갖는 기체를 이용하여, 반도체 기판에 화소를 구성하는 광전 변환 소자를 형성하는 공정과, 반도체 막에 화소를 구성하는 적어도 일부의 트랜지스터를 형성하는 공정과, 반도체 기판의 이면측에 전압이 인가되는 이면 전극을 형성하는 공정을 갖는 것을 특징으로 한다.
- [0077] 본 발명은, 상기 이면 입사형 고체 촬상 장치의 제조 방법에 있어서, 반도체 기판을, 이면 전극의 인가 전압에 있어서 기판 표리면으로부터의 공핍층이 연결되는 고저항 기판에 의해 형성할 수 있다.
- [0078] 본 발명은, 상기 이면 입사형 고체 촬상 장치의 제조 방법에 있어서, 이면 전극을 형성하기 전에, 반도체 기판의 이면에 전하 주입 방지막(예를 들면 신호 전하가 전자인 경우에는 전자 주입 방지막으로 되고, 신호 전하가 홀인 경우에는 홀 주입 방지막으로 된다)을 형성하는 공정을 가질 수 있다.
- [0079] 본 발명은, 상기 이면 입사형 고체 촬상 장치의 제조 방법에 있어서, 절연막 아래의 반도체 기판에, 광전 변환 소자의 전하 축적부와는 반대 도전형의 반도체 막을 형성하는 공정을 가질 수 있다.
- [0080] 본 발명은, 상기 이면 입사형 고체 촬상 장치의 제조 방법에 있어서, 반도체층에, 화소를 구성하는 전송 트랜지스터를 포함하는 트랜지스터를 형성할 수 있다.
- [0081] 본 발명은, 상기 이면 입사형 고체 촬상 장치의 제조 방법에 있어서, 반도체 기판에, 화소를 구성하는 트랜지스터 중 전송 트랜지스터를 형성하고, 광전 변환 소자를 매립형으로 형성하는 공정을 가질 수 있다.
- [0082] <발명을 실시하기 위한 최량의 형태>
- [0083] 이하, 도면을 참조하여 본 발명의 실시예를 설명한다.
- [0084] 도 1에, 본 발명에 따른 이면 입사형 고체 촬상 장치, 즉 이면 입사형의 CMOS 고체 촬상 장치의 전체 구성을 나타낸다. 본 실시예의 CMOS 고체 촬상 장치(1)는, 화소부(2)와, 제어 회로(3)와, 수직 구동 회로(4)와, 컬럼부(5)와, 수평 구동 회로(7)와, 출력 회로(8)를 구비해서 구성된다.
- [0085] 화소부(2)에는, 복수(다수를 포함한다)의 화소(11)가 2차원적으로 규칙 배열, 예를 들면 2차원 행렬 형상으로 배열된다. 제어 회로(3)는, 입력 클럭과, 동작 모드 등을 명령하는 데이터를 수취하고, 또한 고체 촬상 장치의 정보를 포함하는 데이터를 출력한다. 수직 구동 회로(4)는, 화소부(2)에 있어서의 화소(11)의 행을 선택하고, 그 행의 화소(11)에, 도시하지 않은 가로방향의 제어 배선을 통하여 필요한 구동 펄스를 공급한다.
- [0086] 여기서, 수직 신호선(12)은 화소(11)의 일부이지만, 특별히 도시했다. 선택된 행의 화소(11)의 출력은, 수직 신호선(12)을 통하여 컬럼부(5)로 보내진다. 컬럼부(5)에는 컬럼 신호 처리 회로(6)가 화소(11)의 열에 대응하여 배열된다. 컬럼부(5)에서는, 1행분의 화소(11)의 신호를 받아서, 그 신호에 CDS(Correlated Double Sampling: 고정 패턴 노이즈 제거의 처리)나 신호 증폭이나 아날로그/디지털(AD) 변환 등의 처리를 행한다.
- [0087] 수평 구동 회로(7)는, 컬럼 신호 처리 회로(6)를 순서대로 선택하고, 그 신호를 수평 신호선(13)으로 유도한다. 출력 회로(8)는, 수평 신호선(13)에 판독된 신호를 처리하여 출력한다. 예를 들면, 버퍼링만 하는 경우도

있고, 그 전에 후 레벨 조정, 열(列) 변동 보정, 신호 증폭, 색 관계 처리 등을 행하는 경우도 있다.

- [0088] 도 2는, 1화소의 등가 회로의 예이다. 본 실시예에 있어서는, 광전 변환 소자, 예를 들면 포토다이오드(PD)가 리세트 트랜지스터(15)의 소스에 접속되고, 포토 다이오드(PD)와 리세트 트랜지스터(15)의 소스 사이의 소위 플로팅 디퓨전(FD)이 증폭 트랜지스터(16)의 게이트에 접속된다. 즉, 증폭 트랜지스터(16)의 게이트와 전기적으로 연결된 노드가 플로팅 디퓨전(FD)이라고 불린다. 리세트 트랜지스터(15)의 드레인은 전원 전압(Vdd)이 공급되는 전원 배선(17)에 접속되고, 그의 게이트는 리셋 펄스가 공급되는 리세트 배선(18)에 접속된다. 증폭 트랜지스터(16)의 드레인은 전원 배선(17)에 접속되고, 그의 소스는 선택 트랜지스터(19)의 드레인에 접속된다. 선택 트랜지스터(19)의 게이트에는 선택 배선(20)이 접속된다. 한편, 선택 트랜지스터(19)의 소스는 수직 신호선(12)에 접속되고, 이 수직 신호선(12)에 드레인을 접속한 정전류원으로 되는 부하 트랜지스터(21)가 컬럼 신호 처리 회로(6)(도 1 참조)의 일부로서 설치된다. 부하 트랜지스터(21)의 게이트에는 부하 배선(22)이 접속된다.
- [0089] 이 화소 회로에서는, 포토다이오드(PD)에 있어서 광전 변환된다. 포토다이오드(PD)의 신호 전하, 본 예에서는 전자는, 플로팅 디퓨전(FD)을 통하여 증폭 트랜지스터(16)의 게이트에 전송된다. 선택 트랜지스터(19)가 온하고 있으면, 플로팅 디퓨전(FD)의 전위에 대응한 신호가 증폭 트랜지스터(16)를 통하여 수직 신호선(12)으로 출력된다.
- [0090] 리세트 트랜지스터(15)는, 플로팅 디퓨전(FD)의 신호 전하(전자)를 전원 배선(17)에 버리는 것에 의해, 플로팅 디퓨전(FD)의 신호 전하를 리세트한다. 각 가로방향 배선(18, 20)은 동일 행의 화소에 대하여 공통으로 되어 있고, 수직 구동 회로(4)에 의해서 제어된다.
- [0091] 컬럼 신호 처리 회로(6)의 일부에는, 정전류원을 이루는 부하 트랜지스터(21)를 갖고, 선택 행의 선택 트랜지스터(19)와 소스 폴로어를 통하여, 수직 신호선(12)으로 출력시키고 있다.
- [0092] 도 3은, 본 발명에 따른 CMOS 고체 촬상 장치의 제1 실시예의 화소 주요부의 단면 구조를 나타낸다. 본 실시예의 CMOS 고체 촬상 장치는, 실리콘 반도체 기판(31) 상에 절연막(32), 예를 들면 매립 실리콘 산화막을 개재하여 실리콘 반도체층(33)을 갖는, 소위 SOI 기판(34)을 이용하여 구성된다.
- [0093] 본 실시예에 있어서는, SOI 기판(34)의 절연막(32) 상의 반도체층(33)에, 리세트 트랜지스터(15), 증폭 트랜지스터(16) 및 선택 트랜지스터(19)의 각 트랜지스터가 형성된다. 즉, 제1 도전형, 이 예에서는 p형의 반도체층(33)에 형성한 제2 도전형인 n형의 소스?드레인 영역(36, 37)과 게이트 절연막을 개재하여 형성한 게이트 전극(41)에 의해 리세트 트랜지스터(15)가 형성되고, n형의 소스?드레인 영역(37, 38)과 게이트 절연막을 개재하여 형성한 게이트 전극(42)에 의해 증폭 트랜지스터(16)가 형성되고, n형의 소스?드레인 영역(38, 39)과 게이트 절연막을 개재하여 형성한 게이트 전극(43)에 의해 선택 트랜지스터(19)가 형성된다.
- [0094] 절연막(32)의 하층의 실리콘 반도체 기판(31)은, 고저항 기판으로 형성되고, 그 표면의 일부에 포토다이오드(PD)의 전하 축적층으로 되는 제2 도전형, 이 예에서는 n형 반도체 영역(45)이 형성된다. 절연막(32)의 하층의 다른부의 실리콘 기판 표면은 제1 도전형인 p형 반도체층(46)이 형성된다. 이 p형 반도체층(46)은, 계면으로부터의 암 전류를 저감하고 있다. 포토다이오드(PD)의 n형 반도체 영역(45)은, 콘택트 부근이 높은 불순물 농도 영역, 예를 들면 10^{20} cm^{-3} 정도의 고불순물 농도 영역(47)으로 형성되고, 그 주변이 낮은 불순물 농도 영역, 예를 들면 10^{18} cm^{-3} 정도의 저불순물 농도 영역(48)으로 형성된다. 고저항 기판(31)은, 후술하는 이면 전극의 인가 전압에 있어서, 기판의 표리 양면으로부터의 공핍층이 연결되는 고저항 기판으로 만들어진다.
- [0095] 절연막(32) 아래의 p형 반도체층(46)은, 예를 들면 10^{18} cm^{-3} 정도의 불순물 농도를 갖고 있다. 반도체 기판, 즉 고저항 기판(31)의 불순물 농도는, 10^{16} cm^{-3} 이하, 바람직하게는 $10^{12} \text{ cm}^{-3} \sim 10^{15} \text{ cm}^{-3}$ 정도의 범위, 본 예에서는 10^{13} cm^{-3} 정도의 낮은 불순물 농도로 되어 있다. 고저항 기판(31)은, 본 예에서는 n형으로 하지만, p형이라도 지장이 없다. 고저항 기판(31)의 두께는, 예를 들면 $10 \mu\text{m}$ 정도로 할 수 있다. 고저항 기판(31)의 이면측에는, 고불순물 농도, 예를 들면 10^{19} cm^{-3} 정도의 p형 반도체층(49)이 형성된다. 또한, 기판 이면측의 p형 반도체층(49) 상에 전자 주입 방지층(50)을 개재하여 이면 전극, 본 예에서는 투명 전극(51)이 형성된다. 전자 주입 방지층(50)은, 예를 들면 진공 증착법에 의한 삼황화 안티몬이나, 플라즈마 CVD에 의한 p형 비정질 실리콘 카바이드를 이용할 수 있다. 투명 전극(51)은, 예를 들면 스퍼터법에 의한 ITO(인듐과 주석의 산화물)막을 이용할 수 있다.

- [0096] 화소(11)의 트랜지스터(15, 16 및 19)는, 도 2의 회로도를 반영하여 배선되고, 소스?드레인 영역은 전술한 바와 같이 일부 공유하고 있다. 즉, 포토다이오드(PD)의 n형 반도체 영역(45)이 노출되도록, 절연막(32) 및 반도체 층(33)의 일부가 제거되고, 내부 배선을 통하여 n형 반도체 영역(45)의 고농도 불순물 영역(47)과 리셋트 트랜지스터(15)의 소스?드레인 영역(36), 증폭 트랜지스터(16)의 게이트 전극(42)이 접속되는 등, 도 2의 회로 접속이 이루어진다.
- [0097] 다음으로, 제1 실시예의 이면 입사형의 CMOS 고체 촬상 장치의 동작을 설명한다.
- [0098] 이 CMOS 고체 촬상 장치는, 광 L이 기관 이면측으로부터 투명 전극(51)을 통하여 포토다이오드(PD)의 고저항 기관(31) 내에 입사되는 것이다.
- [0099] 절연막(32) 아래의 p형 반도체층(46)은, 전기적으로 플로팅이다. 투명 전극(51)에는, 단자 BCK를 통하여 마이너스의 전압, 예를 들면 -2V가 공급된다. 여기서, 전압 0은, CMOS 고체 촬상 장치의 GND 단자의 전압, 또는 화소 트랜지스터(15, 16, 19)의 보디 바이어스, 또는 도 2의 부하 트랜지스터(21)용의 GND 전압이다.
- [0100] 포토다이오드(PD)의 n형 반도체 영역(45)의 전압은, 리셋트 트랜지스터(15)에 의해 플로팅 디퓨전(FD)이 리셋된 직후의 전원 전압 부근의 값으로부터, 광전자의 유입에 의해서 낮아지는 값이지만, 플러스의 값으로 제한되어 있다. 그 구조는, 리셋트 트랜지스터(15)를 임계값 전압 V_{th} 가 $-0.3V$ 이하의 디플리션형으로 하는 것에 의해서, 플로팅 디퓨전(FD)의 전압이 0V에 근접했을 때에는, 플로팅 디퓨전(FD)의 전자가 리셋트 트랜지스터(15)를 통과하여 전원 배선(17)으로 유출되는 것에 의한다.
- [0101] 고저항 기관(31)은 두께가 $10\mu m$ 정도이며, 농도가 얇기 때문에, 이 투명 전극(51)에 인가되는 마이너스의 전압으로 공핍화하고 있고, 즉, 고저항 기관(31) 중에 전계가 발생하고 있다. 이 전계에 의해, 고저항 기관(31) 중에서 발생한 전자?정공쌍 중, 정공은 기관 이면측으로 이동하고, 전자는 포토다이오드(PD)의 n형 반도체 영역(45), 특히 그 고불순물 농도 영역(47)으로 이동한다. 즉, 상기의 마이너스의 전압이라는 것은, 마이너스라는 것보다도, 기관(31)을 공핍화시키는 것이 본질이다.
- [0102] 여기서, p형 반도체층(46)이 전기적으로 플로팅이고, 화소(11)에 0V의 바이어스를 건 p형 반도체층이 없기 때문에, p형 반도체층(46)과 이면의 투명 전극(51) 사이에서 정상 전류가 흐르는 일이 없다. 따라서, 투명 전류(51)의 단자 BCK에는 -2V와 같은 절대값이 큰 전압을 걸 수 있어, 전자를 포토다이오드(PD)의 n형 반도체 영역(45)에 모으기에 충분한 크기의 전계를 고저항 기관(31)에 발생할 수 있다.
- [0103] 제1 실시예에 따른 이면 입사형의 CMOS 고체 촬상 장치에 따르면, SOI 기관을 이용하여, 절연막 상의 반도체층에 화소 트랜지스터를 형성하고, 절연막 아래의 반도체 기관을 고저항 기관으로 하여, 그 표면에 일부에 포토다이오드의 n형 반도체 영역을 형성하고, 다른 부분의 표면에 전기적으로 플로팅인 p형 반도체층을 형성하고, 고저항 기관의 이면측에 투명 전극을 형성하고 여기에 마이너스의 전압을 인가함으로써, 고저항 기관 내에 포토다이오드의 n형 반도체 영역에 광전자 수집을 위한 큰 전계를 확실하게 발생시킬 수 있다. 따라서, 광전자는 전하 축적층인 n형 반도체 영역으로 보다 확실하게 이동시킬 수 있어, 인접 화소에의 크로스토크를 저감할 수 있다.
- [0104] 또한, 고저항 기관의 이면측의 p 반도체층과 투명 전극 사이에 전자 주입 방지층이 형성되므로, 마이너스의 전압을 인가해도 고저항 기관 내에 투명 전극으로부터의 전자의 주입을 방지할 수 있다. 또한, SOI 기관의 절연막은, 고저항 기관으로의 홀의 주입을 방지하는 홀 주입 방지층을 겸하고 있다.
- [0105] 도 4는, 본 발명에 따른 이면 입사형의 CMOS 고체 촬상 장치의 제2 실시예의 화소 주요부의 단면 구조를 나타낸다. 본 실시예의 CMOS 고체 촬상 장치는, 전술한 도 3의 실시예에 있어서, 기관 표면측의 p형 반도체층(46) 아래의 일부로부터 n형 반도체 영역(45) 아래에 걸쳐서 n형 반도체 영역(45)보다 저불순물 농도의 n- 반도체 영역(54)을 형성하고, 기관 이면측의 투명 전극(51)을 생략함과 함께, 기관 이면측의 전자 주입 방지막(50) 상에 화소의 경계를 차광하는 차광막을 겸하는 이면 전극(55)을 형성하고, 기관 표면측의 p형 반도체층(46)에 p+ 컨택 영역(56)을 통하여 이면 전극(55)과 동일한 전압이 인가되도록 구성된다. n- 반도체 영역(54)의 불순물 농도는, 예를 들면 $10^{16} cm^{-3}$ 정도로 할 수 있다. 이면 전극(55)은, 예를 들면 스퍼터에 의한 알루미늄(Al)막 등의 금속막으로 형성할 수 있다.
- [0106] 그 밖의 구성은 도 3과 동일하므로, 대응하는 부분에는 동일 부호를 붙이고 중복 설명을 생략한다.
- [0107] 제2 실시예에 따른 이면 입사형의 CMOS 고체 촬상 장치에 따르면, p형 반도체층(46) 아래의 일부로부터 포토다이오드(PD)의 n형 반도체 영역(45) 아래에 걸쳐서 n- 반도체 영역(54)을 설치함으로써, 전자는 n- 반도체 영역

(54)에 수집되고 또한 n형 반도체 영역(45)에 수집된다. 따라서, 전자를 수집하는 면적이 증가함과 함께, 광전자가 인접 화소로 들어가 버리는 것에 의한 혼색을 더욱 저감할 수 있다. 또한, n- 반도체 영역(54)에 의해서 고저항 기관(31)에 발생하는 전계가 도 3에 비하여 보다 수직에 가깝게 되고, 전계의 방향이 균일화하여, 전자 수집의 불균일을 줄일 수 있다.

- [0108] 또한, 차광막을 겸하는 금속막에 의한 이면 전극(55)을 설치함으로써, 투명 전극(55)에 대해, 이면 전극(55)의 저항을 낮출 수 있다. 또한, 색 필터를 화소마다 형성하는 경우에는, 색 필터의 경계부를 통과하는 광을 차단하여, 이것이 원인인 혼색을 방지할 수 있다.
- [0109] 기관 표면층의 p형 반도체층(46)에 이면 전극(55)과 동일한 전압을 인가함으로써, p형 반도체층(46)의 전위를 안정화할 수 있다.
- [0110] 그 밖에, 포토다이오드(PD)에 광전자를 수집하기 위한 전계를 확실하게 발생시켜, 인접 화소에서의 크로스토크를 감소할 수 있는 등, 도 3의 제1 실시예와 마찬가지로의 효과를 발휘한다.
- [0111] 도 4의 구성에 있어서, 도 2의 투명 전극(51)을 남기고, 투명 전극(51)과 차광막을 겸하는 이면 전극(55)의 양쪽을 형성한 구성으로 할 수도 있다(도 9 참조).
- [0112] 도 4에 있어서의 (1) n- 반도체 영역(54), (2) 화소의 경계를 차광하는 이면 전극(55), (3) 기관 표면층의 p형 반도체층(46)에 이면 전극(55)과 동일한 전압을 인가하는, 3개의 구성 요소는, 동시에 실시할 필요는 없고, 제품에 따라 (1)~(3) 중 어느 요소를 이용할지를 적절하게 선택할 수 있다.
- [0113] 예를 들면, 도 4의 구성에 있어서, n- 반도체 영역(54)을 생략한 구성, 기관 표면층의 p형 반도체층(46)을 전기적으로 플로팅으로 한 구성, 이면 전극(55) 대신에 도 3의 투명 전극(51)을 설치한 구성으로 할 수 있다. 또한, 도 3의 구성에 있어서, 기관 표면층의 p형 반도체층(46)에 투명 전극(51)과 동일한 전압을 인가한 구성으로 할 수 있다.
- [0114] 다음으로, 도 5~도 9를 이용하여, 본 발명에 따른 이면 입사형 고체 촬상 장치의 제조 방법의 일 실시예를 설명한다. 본 예는 도 4에 도시한 n- 반도체 영역(54), 차광막을 겸하는 이면 전극(55)을 갖는 이면 입사형의 CMOS 고체 촬상 장치의 제조에 적용한 경우이다.
- [0115] 우선, 도 5의 A에 도시하는 바와 같이, 고저항 기관으로 되어 있는 실리콘 반도체 기관(31) 상에 절연막(소위 매립 실리콘 산화막)(32)을 개재하여 제1 도전형, 예를 들면 p형의 실리콘 반도체층(33)을 갖는 SOI 기관(34)을 준비한다. 이 SOI 기관(34)의 반도체층(33) 상에 예를 들면 실리콘 산화막에 의한 보호 산화막(61)을 형성한 후, 레지스트 마스크(62)를 통하여 절연막(32) 아래의 고저항 기관(31)의 소요 영역, 즉, 나중에 포토다이오드의 n형 반도체 영역을 형성해야 할 영역을 제외한 소요 영역에, p형 불순물을 이온 주입하여 p형 반도체층(46)을 형성한다.
- [0116] 다음으로, 도 5의 B에 도시하는 바와 같이, 보호 절연막(61) 상에 재차 형성한 레지스트 마스크(63)를 통하여 고저항 기관(31)의 p형 반도체층(46)보다 조금 더 깊은 곳의 소요 영역에, n형 불순물을 이온 주입하여 포토다이오드(PD)의 일부를 구성하는 n- 반도체 영역(54)을 형성한다.
- [0117] 다음으로, 도 5의 C에 도시하는 바와 같이, 레지스트 마스크(64)를 통하여 SOI 기관(34)의 반도체층(33)의 불필요 부분을 선택적으로 에칭 제거한다.
- [0118] 다음으로, 도 6의 D에 도시하는 바와 같이, 통상의 SOI 프로세스에 의한 MOS 트랜지스터를 형성한다. 즉, p형 반도체층(33)에 게이트 절연막(67)을 형성하고, 예를 들면 다결정 실리콘에 의한 게이트 전극(41, 42, 43)을 형성한 후, n형 소스/드레인 영역(36, 37, 38, 39)을 이온 주입으로 형성하여, 리세트 트랜지스터(15), 증폭 트랜지스터(16) 및 선택 트랜지스터(19)를 형성한다. 게이트 전극(41, 42, 43)의 표면에는 층간 절연막(68)이 형성된다.
- [0119] 다음으로, 도 6의 E에 도시하는 바와 같이, 레지스트 마스크(69)를 통하여 절연막(32)의 소요 영역을 선택적으로 에칭 제거하여 개구(70A, 70B)를 형성한다.
- [0120] 다음으로, 도 6의 F에 도시하는 바와 같이, 레지스트 마스크(71)를 통하여 개구(70A)에 대응하는 n- 반도체 영역(54)의 계면 부근에 p형 반도체층(46)에 인접하도록 포토다이오드(PD)의 전하 축적층으로 되는 n형 반도체 영역(48)을 이온 주입에 의해 형성한다.
- [0121] 다음으로, 도 7의 G에 도시하는 바와 같이, 트랜지스터(15, 16, 19)를 포함하는 전체면을 피복하도록 층간 절연

막(72)을 성막한다.

- [0122] 다음으로, 도 7의 H에 도시하는 바와 같이, 레지스트 마스크(73)를 통하여 층간 절연막(72)에 n형 반도체 영역(48)으로의 콘택트홀(74)을 형성한다. 그리고, 고농도의 n형 불순물을 이온 주입하여 n형 반도체 영역(48)에 오믹 콘택트를 취하기 위한 n형 고 불순물 영역(47)을 형성한다. 이 n형 반도체 영역(48) 및 n형 고 불순물 영역(47)에 의해 포토다이오드(PD)의 전하 축적층으로 되는 n형 반도체 영역(45)이 형성된다.
- [0123] 또한, 도면의 공간의 사정상 도시하지 않지만, n형 게이트 전극이나 n형 소스/드레인 영역에의 콘택트 영역도 동시에 형성한다.
- [0124] 다음으로, 도 7의 I에 도시하는 바와 같이, 레지스트 마스크(76)를 통하여 층간 절연막(72)에 p형 반도체 영역(46)에의 콘택트홀(77)을 형성한다. 그리고, 고농도의 p형 불순물을 이온 주입하여 p형 반도체 영역(46)에 오믹 콘택트를 취하기 위한 p형 고 불순물 영역(56)을 형성한다.
- [0125] 또한, 도면의 스페이스 사정상 도시하지 않지만, p형 게이트 전극이나 p형 소스/드레인 영역에의 콘택트 영역도 동시에 형성한다.
- [0126] 다음으로, 도 8의 J에 도시하는 바와 같이, 통상의 배선 공정을 이용하여 예를 들면 Cu막에 의한 다층 배선(78)을 형성한다. 도면에서는 간단하게 하기 위해 각 n형 고불순물 농도 영역(47) 및 p형 고불순물 농도 영역(56)에 각각 접속하도록 매립 도전층(79)을 개재하여 1층의 Cu 배선막에 도시하고 있지 않지만, 층간 절연막을 개재하여 다층 배선을 형성한다.
- [0127] 다음으로, 도 8의 K에 도시하는 바와 같이, 고저항 기판(31)을 이면으로부터 필요로 하는 두께까지 연마한 후, 고저항 기판(31)의 이면, 즉 계면 부근에 p형 불순물을 이온 주입하여 암 전류를 억제하기 위한 고불순물 농도의 p형 반도체층(49)을 형성한다. 이 때에, 실제로는, 도시하지 않은 기판 지지재를 이용하여 상하를 반전시켜 제조하는 것은, 종래예와 마찬가지로이다.
- [0128] 다음으로, 도 9에 도시하는 바와 같이, p형 반도체층(49) 상에 전자 주입 방지막(50), 투명 전극(51) 및 차광막을 겹치는 이면 전극(55)을 순차적으로 형성한다. 그 후, 색 필터, 온 칩 마이크로 렌즈 등을 형성하여, 원하는 이면 입사형의 CMOS 고체 촬상 장치를 얻는다.
- [0129] 본 실시예에 따른 이면 입사형의 CMOS 고체 촬상 장치의 제조 방법에 따르면, 포토레지스트 PD의 고저항 기판(31)에서 발생한 광전자를 수집하기 위한 전계를 확실하게 발생시켜, 인접 화소에의 크로스토크를 저감할 수 있는 등, 신뢰성이 우수한 이면 입사형 CMOS 고체 촬상 장치를 제조할 수 있다.
- [0130] 이와 같이 하여 제작한 CMOS 고체 촬상 장치는, 도 10에 도시하는 바와 같이 실장된다. 즉, 다층 배선(78) 등을 포함하는 반도체 기판(31)의 이면에 이면 전극(55)을 형성하고, 또한 색 필터 및 온 칩 마이크로 렌즈(81) 등을 형성한 도 9의 CMOS 고체 촬상 장치(82)가, 다층 배선(78)층을 패키지 저면 또는 회로 기판(83)에 범프(84)에 의해서 접속하고, 또한, 이면 전극(55)과 패키지 저면 또는 회로 기판(83) 사이를 본딩 와이어(85)를 통하여 접속한다. 반도체 기판(31)은, 패키지 저면 또는 회로 기판(83)에 대하여 수직 밀봉재(86)에 의해 밀봉된다. 이와 같이 CMOS 고체 촬상 장치(82)와 외부와의 인터페이스는, 범프(84)와 와이어 본딩의 양쪽에서 행해진다.
- [0131] 또한, 도시하지 않지만, 도 10에 있어서, 패키지 저면 또는 회로 기판(83)을 신호 처리 칩으로 치환하고, 또한 CMOS 고체 촬상 장치(82)를 CMOS 이미지 센서 칩의 상태로 하여, 그 다층 배선층의 표면층에 화소에 대응한 마이크로 패드를 형성하고, 마이크로 범프를 통하여 신호 처리 칩에 중첩해서 접합하여, CMOS 고체 촬상 장치를 구성하도록 해도 된다.
- [0132] 전술한 도 3에 도시한 CMOS 고체 촬상 장치는, 도 5~도 9의 제조 방법으로부터, 불필요한 공정을 삭제함으로써 제조할 수 있고, 여러 가지의 변형이 가능한 것은 해당 분야의 기술자이면 자명하다. 예를 들면 도 6의 C의 통상의 SOI 프로세스에 의한 트랜지스터 형성과, 포토다이오드의 형성의 순서는 반대로 할 수도 있다. 또한, 제조 방법에 따라서는, 트랜지스터와 포토다이오드의 일부의 이온 주입 공정을 공통화할 수 있다.
- [0133] 전술한 실시예의 CMOS 고체 촬상 장치에서는, 1개의 포토다이오드와 3개의 트랜지스터로 1화소를 구성했지만, 그 밖에, 1개의 포토다이오드와 전송 트랜지스터를 추가한 4개의 트랜지스터로 1화소를 구성할 수 있다. 도 11, 도 12는 그 실시예를 나타낸다.
- [0134] 도 11은, 본 발명에 따른 이면 입사형의 CMOS 고체 촬상 장치의 제3 실시예의 화소의 주요부를 나타내는 단면

구조이다. 본 실시예는, SOI 기판(34)의 반도체층(33)측에 전송 트랜지스터(91)를 추가해서 형성하여 구성된다. 즉, 반도체층(33)에 전송 트랜지스터(91), 리세트 트랜지스터(15), 선택 트랜지스터(19) 및 증폭 트랜지스터(16)가 형성된다. 이 화소에서는, 포토다이오드(PD)의 n형 반도체 영역(45)의 고불순물 농도 영역(47)이 전송 트랜지스터(91)의 소스에 접속되고, 전송 트랜지스터(91)의 드레인이 리세트 트랜지스터(15)의 소스에 접속된다. 전송 트랜지스터(91)와 리세트 트랜지스터(15)의 접속 중점의 플로팅 디퓨전(FD)이 증폭 트랜지스터(16)의 게이트에 접속된다. 증폭 트랜지스터(16)의 소스는 수직 신호선에 접속되고, 그의 드레인은 선택 트랜지스터(19)의 소스에 접속된다. 또한, 리세트 트랜지스터(15)의 드레인 및 선택 트랜지스터의 드레인이 전원 Vdd를 공급하는 전원 배선에 접속된다.

[0135] 그 밖의 구성은, 도 3, 도 4 등의 전술한 여러 가지의 실시예와 마찬가지로의 구성을 취할 수 있으므로, 상세한 설명을 생략한다.

[0136] 도 12는, 본 발명에 따른 이면 입사형의 CMOS 고체 촬상 장치의 제4 실시예의 화소의 주요부를 나타내는 단면 구조이다. 본 실시예는, SOI 기판(34)의 고저항 기판(31)측에 전송 트랜지스터(91)를 추가해서 형성하여 구성된다. 즉, SOI 기판(34)의 반도체층(33)측에 리세트 트랜지스터(15), 선택 트랜지스터(19), 증폭 트랜지스터(16)를 형성한다. 한편, 고저항 기판(31)측의 p 반도체층(46) 아래에 포토다이오드(PD)의 전하 축적층으로 되는 n형 반도체 영역(45)을 형성하고, 또한 p형 반도체 웰 영역(93) 내의 계면층에 n형 소스/드레인 영역(94)을 형성하고, 포토다이오드(PD)의 n형 반도체 영역(45)과 n형 소스/드레인 영역(94) 사이의 고저항 기판(31) 상에 게이트 절연막을 개재하여 게이트 전극(95)을 형성하고, 여기에 전송 트랜지스터(91)를 형성하여 구성된다. 포토다이오드(PD) 및 각 트랜지스터(91, 15, 16, 19)의 배선은 도 11과 마찬가지로이다. 또한, 게이트 전극(95) 바로 아래에서는 p형 불순물 농도가 조정된 채널 영역이 형성된다.

[0137] 이 실시예에서는, 포토다이오드(PD)의 n형 반도체 영역(45)의 계면층에 고불순물 농도의 p형 반도체층(46)이 형성되므로, HAD(Hole Accumulation Diode)라고 불리는 매립형의 포토다이오드(PD)로서 구성된다.

[0138] 그 밖의 구성은, 도 3, 도 4 등의 전술한 여러 가지의 실시예와 마찬가지로의 구성을 취할 수 있으므로, 상세한 설명을 생략한다.

[0139] 전술한 실시예에서는, 이면 전극(투명 전극(51) 혹은 이면 전극(55)을 가리킨다)에 부전압을 고정해서 인가했지만, 그 밖에, 인가 전압을 고정하지 않고 전자 셔터 동작도 행할 수 있도록 구성할 수 있다. 예를 들면, 일시적으로 이면 전극에 플러스의 전압을 인가함으로써, 포토다이오드(PD)에 축적된 전하(전자)를 이면 전극으로 배출하여 전체 화소의 포토다이오드(PD)를 동시에 리세트하여, 소위 전자 셔터 동작을 행하게 할 수 있다.

[0140] 또한, 전술한 실시예에 있어서는, 이면 전극에 인가하는 부전압을 더욱 크게, 예를 들면 -40V 정도로 하면, 고저항 기판(31)의 전계가 강해져, 전자가 표면층으로 이동하는 동안에 전자 애벌란시(avalanche) 현상이 발생하여, 전자 수를 증배할 수 있다. 즉, 전자 증배를 일으켜 감도를 예를 들면 수십배로 올릴 수 있다. 따라서, 노이즈가 적은, 고감도의 이면 입사형의 CMOS 고체 촬상 장치를 제공할 수 있다.

[0141] 전자 증배는, 배선의 상층에 적층한 적층막(NHK의 HARP막이 유명)으로 이루어지지만, 본 실시예와 같이 하면 이면에서 마찬가지로의 현상을 일으킬 수 있다. 적층막은 아몰퍼스막을 이용하기 때문에, 결함이 많고, 암 전류가 크고, 잔상이 크지만, 이면 입사형에서는, 예를 들면 단결정 실리콘이기 때문에, 결함이 적고, 따라서 암 전류가 적고, 잔상도 작다고 하는 효과를 발휘한다.

[0142] 전술한 실시예에서는, 신호 전하로서 전자를 이용한 구성으로 했지만, 홀을 신호 전하로서 이용할 수 있다. 이 홀을 신호 전하로서 이용할 때에는, 전술한 구성에 있어서의 반도체 기판, 반도체층, 포토다이오드 등의 도전형을 반대로 하고, 또한 화소 트랜지스터도 반대의 극성의 트랜지스터로 형성하도록 한다.

[0143] 전술한 바와 같이 본 발명의 실시예에 따르면, SOI 기판을 이용하여, 포토다이오드와 트랜지스터부를 분리한 후에, 이면 전극을 설치하여 전압을 인가하는 구성으로 함으로써, 어스펙트비가 높은 포토다이오드라도, 확실하게 전계를 형성하는 것이 가능하게 되어, 인접 화소에서의 크로스토크를 저감하는 이면 입사형의 CMOS 고체 촬상 장치를 제공할 수 있다. 또한, 이면 전극에 인가하는 전압을 제어함으로써, 전체 화소 동시의 전자 셔터 동작을 행할 수 있는 이면 입사형의 CMOS 고체 촬상 장치를 제공할 수 있다. 또한, 실리콘 기판에서 전자 증배하여, 노이즈가 적고, 감도가 향상된 이면 입사형의 CMOS 고체 촬상 장치를 제공할 수 있다.

발명의 효과

[0144] 본 발명에 따른 이면 입사형 고체 촬상 장치에 따르면, 절연막 아래의 반도체 기판에 화소를 구성하는 광전 변

환 소자를 형성하고, 절연막 상의 반도체 막에 화소를 구성하는 적어도 일부의 트랜지스터를 형성하고, 반도체 기판의 이면측에 이면 전극을 형성한 구성이므로, 이면 전극에 소요 전압, 예를 들면 전자를 신호 전하로 할 때에는 마이너스의 전압, 홀을 신호 전하로 할 때에는 플러스의 전압을 인가함으로써, 광전 변환 소자에 신호 전하 수집을 위한 전계를 확실하게 발생시킬 수 있어, 인접 화소에의 크로스토크를 저감할 수 있다.

- [0145] 상기 반도체 기판을 고저항 기관으로 형성하고, 이면 전극의 인가 전압으로 기관의 표리면으로부터의 공핍층이 연결되도록 구성함으로써, 고저항 기관 내에서의 광전 변환을 확실하게 하여, 신호 전하 수집을 위한 전계를 확실하게 발생시킬 수 있다.
- [0146] 수광 기간 동안에 이면 전극의 전압을 제1 극성의 전압, 예를 들면 전자를 신호 전하로 할 때에는 마이너스의 전압, 홀을 신호 전하로 할 때에는 플러스의 전압으로 함으로써, 광전 변환 소자에 신호 전하 수집을 위한 전계를 확실하게 발생시킬 수 있다.
- [0147] 이면 전극과 반도체 기관 사이에 전하 주입 방지막을 형성함으로써, 이면 전극에 제1 극성의 전압을 인가했을 때에, 이면 전극으로부터 반도체 기관에의 전하의 주입을 방지할 수 있다.
- [0148] 절연막 아래의 반도체 기관에, 광전 변환 소자의 전하 축적부와는 반대 도전형의 전기적으로 플로팅인 반도체층을 형성함으로써, 이면 전극에 제1 극성의 전압을 인가하여 전계를 발생시켰을 때에, 전류가 흐르는 것을 저지할 수 있다. 또한, 이 전기적으로 플로팅인 반도체층에 의해, 계면으로부터의 전하가 재결합하여, 암(暗) 전류를 억제할 수 있다.
- [0149] 상기 반대 도전형의 반도체층에 이면 전극과 동일한 전압을 인가함으로써, 반도체 기관 내에 전계를 발생시킴과 함께, 전류가 흐르는 것을 저지할 수 있다.
- [0150] 상기 반대 도전형의 제1 반도체층의 아래에, 이것과 반대 도전형의 제2 반도체층을 형성함으로써, 반도체 기관에 발생하는 전계가 수직에 가깝게 되어, 신호 전하의 수집 불균일을 저감할 수 있다.
- [0151] 고체 촬상 장치와 외부와의 인터페이스를, 범프와 와이어 본딩으로 행하므로, 인터페이스를 용이하게 행할 수 있다.
- [0152] 이면 전극에 제2 극성의 전압, 예를 들면 전자를 신호 전하로 할 때에는 플러스의 전압, 홀을 신호 전하로 할 때에는 마이너스의 전압을 인가함으로써, 광전 변환 소자를 리셋하는, 즉 전체 화소에 축적된 신호 전하를 이면 전극측으로 배출하여, 전체 화소 동시의 전자 셔터 동작을 행할 수 있다.
- [0153] 절연막 상의 반도체층에 전송 트랜지스터를 포함해서 형성함으로써, 화소를 1개의 광전 변환 소자와, 전송 트랜지스터를 포함하는 복수 트랜지스터로 구성할 수 있다.
- [0154] 절연막 아래의 반도체 기관에 전송 트랜지스터를 형성함으로써, 화소를 1개의 광전 변환 소자와, 전송 트랜지스터를 포함하는 복수 트랜지스터로 구성할 수 있다. 또한, 광전 변환 소자를 매립형으로 함으로써, 계면으로부터의 전하가 재결합하여, 암 전류를 억제할 수 있다.
- [0155] 이면 전극의 전압을 제1 극성의 전압으로 하여, 반도체 기관에서 전자 증배를 행하도록 구성함으로써, 노이즈가 적고, 감도가 향상된 이면 입사형 고체 촬상 장치를 제공할 수 있다.
- [0156] 본 발명에 따른 이면 입사형 고체 촬상 장치의 제조 방법에 따르면, 전술한 광전 변환 소자에 발생한 신호 전하를 수집하기 위한 전계를 확실하게 발생시켜, 인접 화소에의 크로스토크를 저감할 수 있는 등, 신뢰성이 우수한 이면 입사형 고체 촬상 장치를 제조할 수 있다.

도면의 간단한 설명

- [0001] 도 1은 본 발명에 따른 이면 입사형 고체 촬상 장치의 실시예를 나타내는 전체의 개략 구성도.
- [0002] 도 2는 도 1의 1화소에 대응한 등가 회로도.
- [0003] 도 3은 본 발명에 따른 이면 입사형 고체 촬상 장치의 제1 실시예를 나타내는 화소 주요부의 단면도.
- [0004] 도 4는 본 발명에 따른 이면 입사형 고체 촬상 장치의 제2 실시예를 나타내는 화소 주요부의 단면도.
- [0005] 도 5의 A~C는 본 발명에 따른 이면 입사형 고체 촬상 장치의 제조 방법의 일례를 나타내는 제조 공정도.
- [0006] 도 6의 D~F는 본 발명에 따른 이면 입사형 고체 촬상 장치의 제조 방법의 일례를 나타내는 제조 공정도.

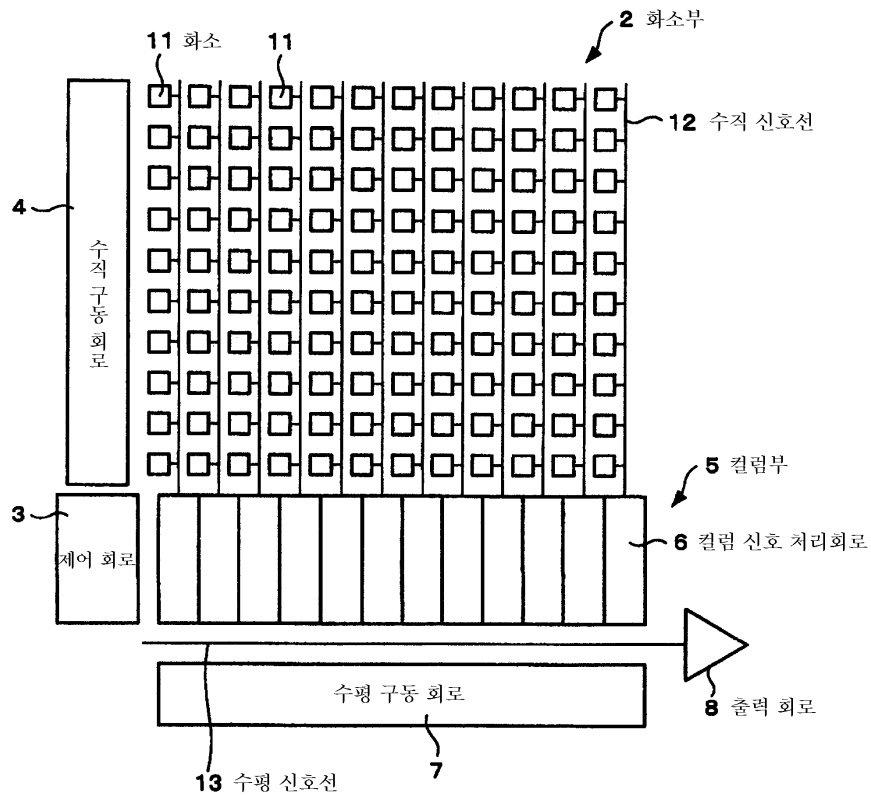
- [0007] 도 7의 G~I는 본 발명에 따른 이면 입사형 고체 촬상 장치의 제조 방법의 일례를 나타내는 제조 공정도.
- [0008] 도 8의 J~K는 본 발명에 따른 이면 입사형 고체 촬상 장치의 제조 방법의 일례를 나타내는 제조 공정도.
- [0009] 도 9는 본 발명에 따른 이면 입사형 고체 촬상 장치의 제조 방법의 일례를 나타내는 제조 공정도.
- [0010] 도 10은 본 발명에 따른 이면 입사형 고체 촬상 장치를 실장한 상태의 일례를 나타내는 구성도.
- [0011] 도 11은 본 발명에 따른 이면 입사형 고체 촬상 장치의 제3 실시예를 나타내는 화소 주요부의 단면도.
- [0012] 도 12는 본 발명에 따른 이면 입사형 고체 촬상 장치의 제4 실시예를 나타내는 화소 주요부의 단면도.
- [0013] <도면의 주요 부분에 대한 부호의 설명>
- [0014] 1 : 이면 입사형의 CMOS 고체 촬상 장치
- [0015] 2 : 화소부
- [0016] 3 : 제어부
- [0017] 4 : 수직 구동 회로
- [0018] 5 : 컬럼부
- [0019] 6 : 컬럼 신호 처리 회로
- [0020] 7 : 수평 구동 회로
- [0021] 8 : 출력 회로
- [0022] 11 : 화소
- [0023] 12 : 수직 신호선
- [0024] 13 : 수평 신호선
- [0025] PD : 포토다이오드
- [0026] 15 : 리셋 트랜지스터
- [0027] 16 : 증폭 트랜지스터
- [0028] 17 : 전원 배선
- [0029] 18 : 리셋 배선
- [0030] 19 : 선택 트랜지스터
- [0031] 20 : 선택 배선
- [0032] 21 : 부하 트랜지스터
- [0033] 22 : 부하 배선
- [0034] 31 : 반도체 기판(고저항 기판)
- [0035] 32 : 절연막
- [0036] 33 : 반도체층
- [0037] 34 : SOI 기판
- [0038] 36~39 : 소스?드레인 영역
- [0039] 41~43 : 게이트 전극
- [0040] 45 : 전하 축적층
- [0041] 47 : 콘택트용의 고 불순물 영역
- [0042] 48 : n형 반도체 영역

- [0043] 46 : p형 반도체층
- [0044] 49 : p형 반도체층
- [0045] 50 : 전자 주입 방지층
- [0046] 51 : 투명 전극
- [0047] 54 : n-형 반도체 영역
- [0048] 55 : 차광막을 겸하는 이면 전극
- [0049] 91 : 전송 트랜지스터

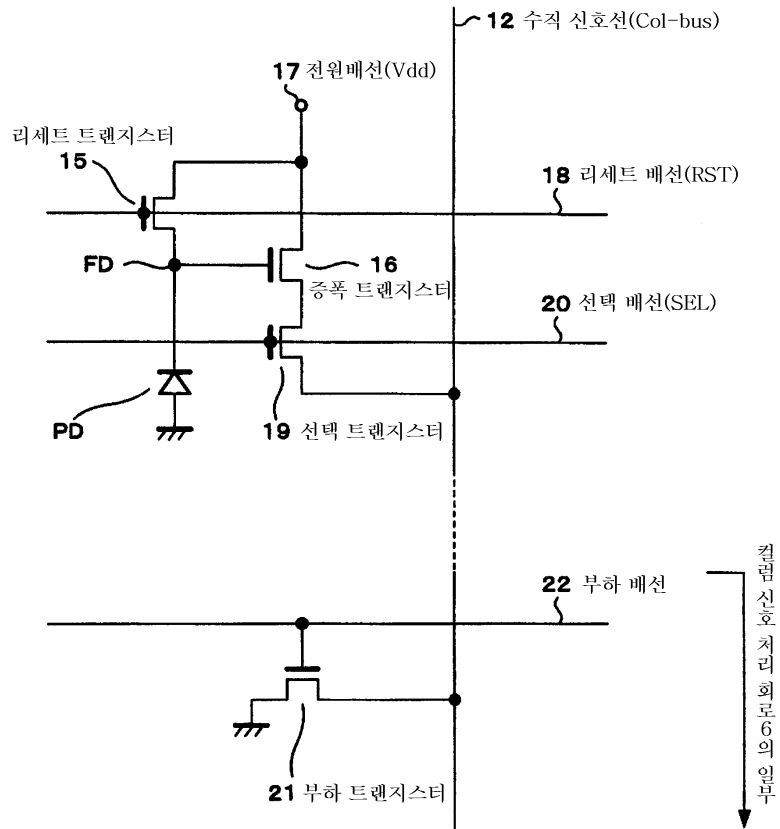
도면

도면1

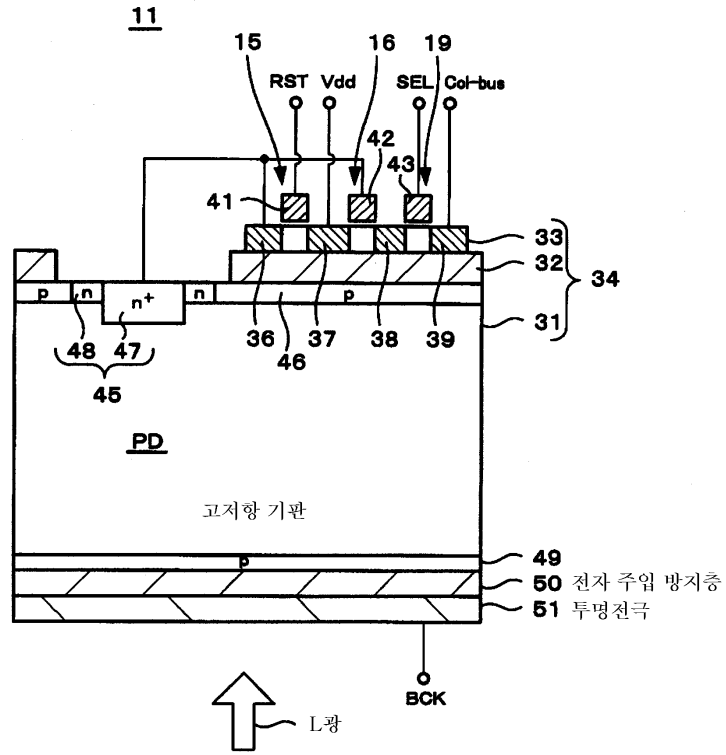
1 이면 입사형 CMOS 고체 촬상 장치



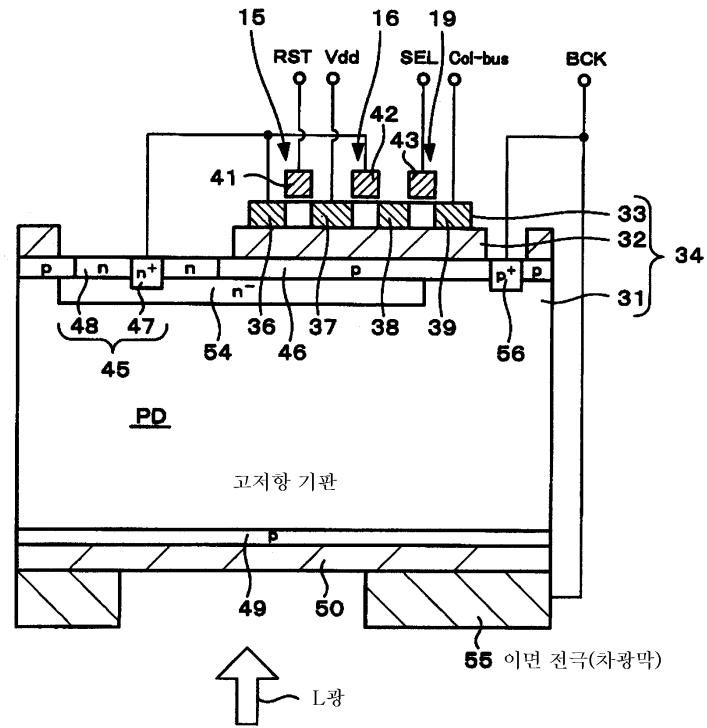
도면2



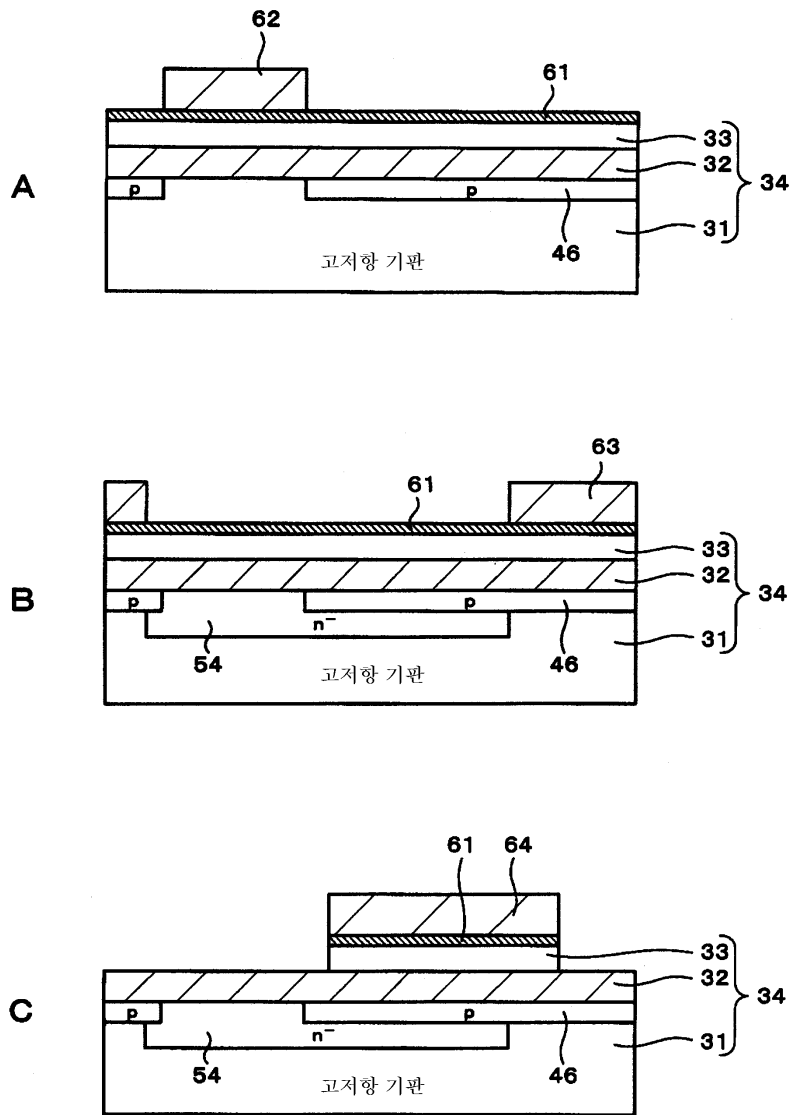
도면3



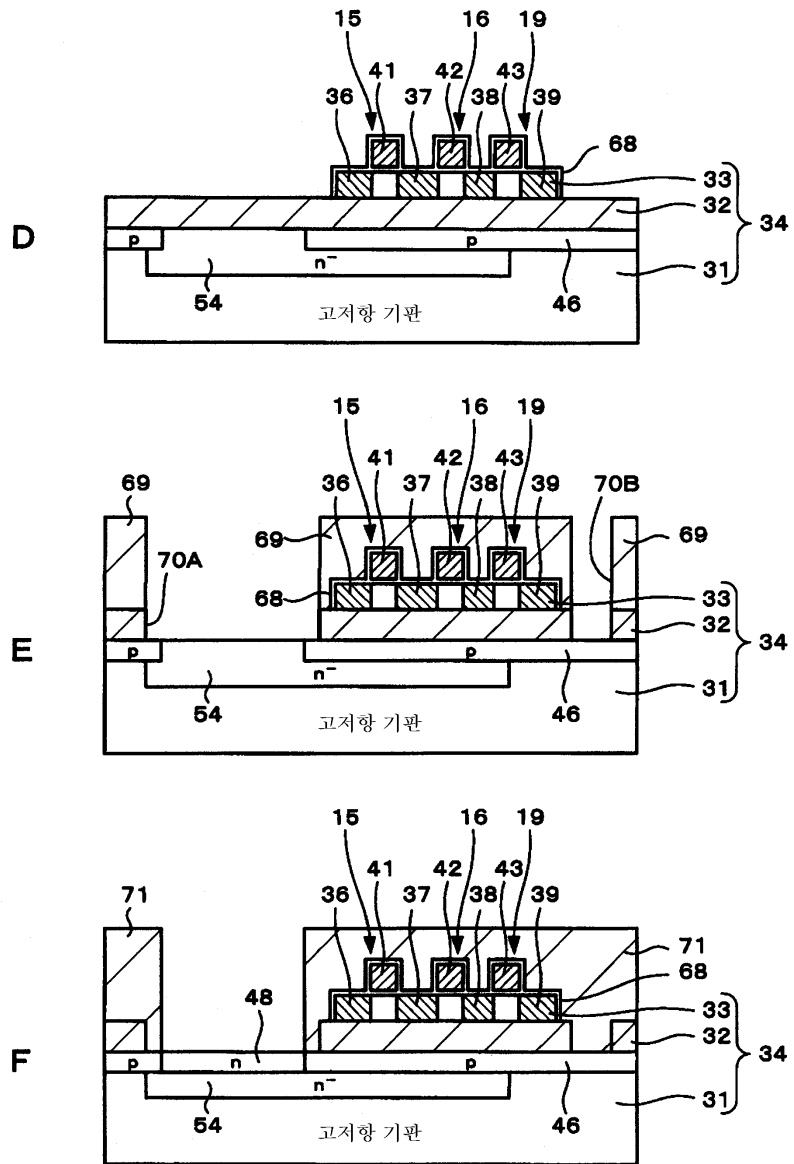
도면4



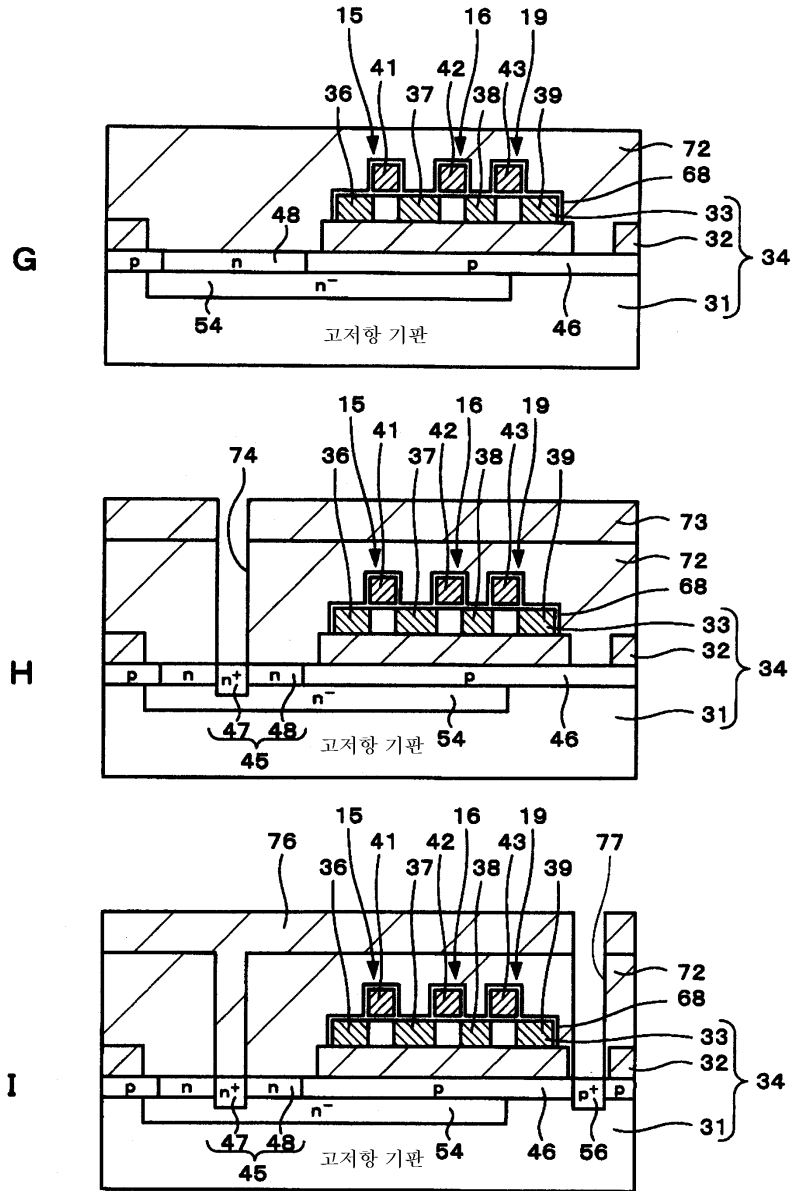
도면5



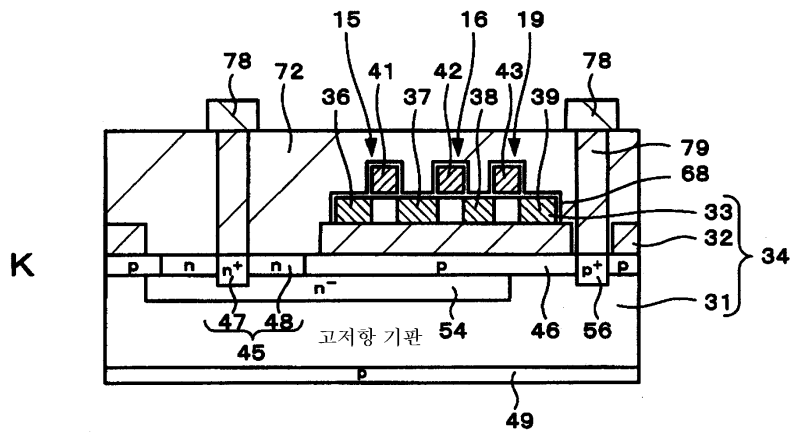
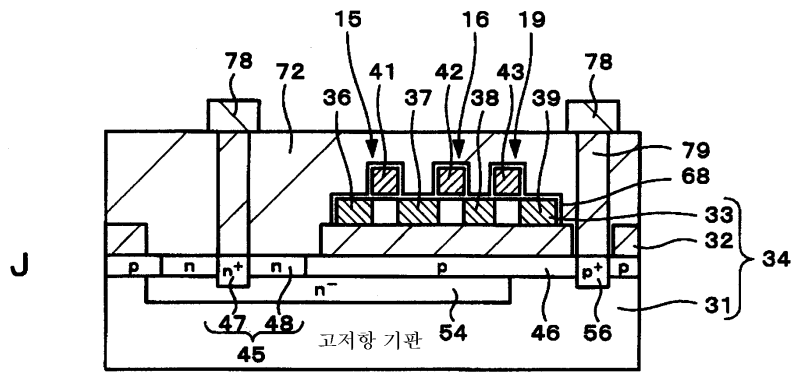
도면6



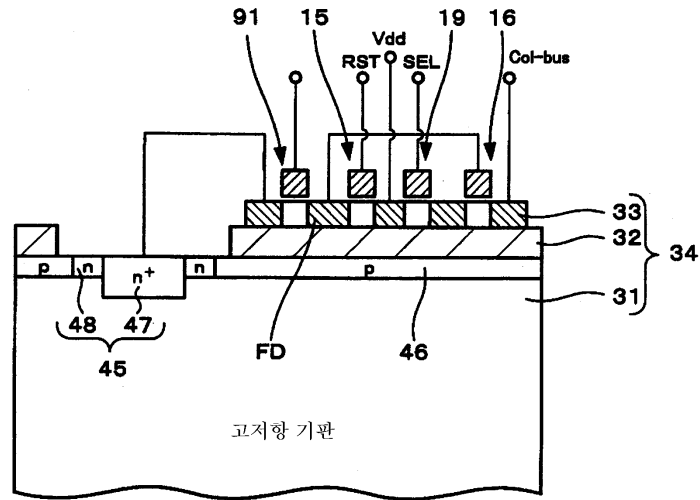
도면7



도면8



도면11



도면12

