

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月24日(24.09.2020)



(10) 国際公開番号

WO 2020/189166 A1

(51) 国際特許分類:

G01J 3/02 (2006.01) G01N 15/14 (2006.01)
G01J 3/443 (2006.01) G01N 21/64 (2006.01)

(21) 国際出願番号: PCT/JP2020/006640

(22) 国際出願日: 2020年2月19日(19.02.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-052000 2019年3月19日(19.03.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP). ソニー株式会社 (SONY

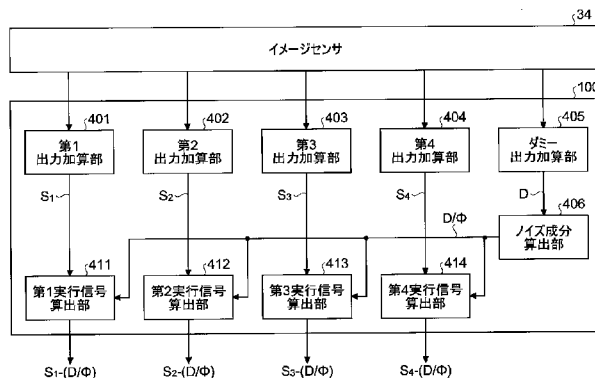
CORPORATION) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).

(72) 発明者: 西原 利幸 (NISHIHARA, Toshiyuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 丸山 務(MARUYAMA, Tsutomu); 〒1080075 東京都港区港南1丁目7番1号 ソニーイメージングプロダクツ&ソリューションズ株式会社内 Tokyo (JP). 原 雅明 (HARA, Masaaki); 〒1080075 東京都港区港南1丁目7番1号 ソニーイメージングプロダクツ&ソリューションズ株式会社内 Tokyo (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が

(54) Title: OPTICAL MEASUREMENT DEVICE AND OPTICAL MEASUREMENT SYSTEM

(54) 発明の名称: 光学測定装置及び光学測定システム



- 34 Image sensor
- 401 First output addition unit
- 402 Second output addition unit
- 403 Third output addition unit
- 404 Fourth output addition unit
- 405 Dummy output addition unit
- 406 Noise component calculation
- 411 First execution signal calculation unit
- 412 Second execution signal calculation unit
- 413 Third execution signal calculation unit
- 414 Fourth execution signal calculation unit

(57) Abstract: The purpose of the present invention is to suppress reductions in precision of analysis. The optical measurement device according to an embodiment of the present invention comprises: an excitation light source (32) that emits excitation light having a prescribed wavelength; a spectral dispersion optical system (37) that spectrally disperses fluorescence emitted from a specimen that has been irradiated with the excitation light; a solid-state imaging element (34) that comprises a pixel array part (91) in which a plurality of pixels are arrayed in the form of a matrix, the solid-state imaging element detecting a quantity of light for each wavelength band of the fluorescence that has been spectrally dispersed by the spectral dispersion optical system; and a computation unit (100) that, on the basis of a pixel value acquired from one or more of the pixels included in a first region that is a portion of the pixel array part, subtracts a noise component from a pixel value acquired from one or more of the pixels included in a second region that is another portion of the pixel array part.

関 3 丁 目 8 番 1 号 虎 の 門 三 井 ビ ル
ディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：分析精度の低下を抑制する。実施形態に係る光学測定装置は、所定波長の励起光を出射する励起光源（32）と、前記励起光が照射された検体から放射した蛍光を分光する分光光学系（37）と、複数の画素が行列状に配列した画素アレイ部（91）を備え、前記分光光学系で分光された前記蛍光の波長帯ごとの光量を検出する固体撮像素子（34）と、前記画素アレイ部の一部である第1領域に含まれる1つ以上の前記画素から取得された画素値に基づいて、前記画素アレイ部の他の一部である第2領域に含まれる1つ以上の前記画素から取得された画素値からノイズ成分を減算する演算部（100）とを備える。

明 細 書

発明の名称：光学測定装置及び光学測定システム

技術分野

[0001] 本開示は、光学測定装置及び光学測定システムに関する。

背景技術

[0002] 細胞等の検体をシース流で包んでフローセル内を通過させ、そこにレーザー光等を照射して、散乱光または励起された蛍光から個々の検体の特性を取得する光学測定装置として、フローサイトメータが注目されている。

[0003] フローサイトメータは、短時間に大量の検体を定量的に検査することができ、血球計数を始め、検体にさまざまな蛍光標識を付着させることで各種の検体異常やウイルス感染等を検出することができる。また、磁気ビーズに抗体やDNA (Deoxyribo Nucleic Acid) を付着させたものを検体として用いる等により、抗体検査やDNA検査にも応用される。

[0004] このような蛍光や散乱光は、個々の検体がビームスポットを通過する都度に、パルス状の光として検出される。検体にダメージを与えぬよう、レーザー光の強度は抑制されるため、側方散乱光や蛍光は非常に微弱である。従って、そのような光パルスの検出器には、光電子増倍管を使用することが一般的であった。

[0005] また、近年では、光電子増倍管の代わりに、イメージセンサを用いたフローサイトメータも開発されてきている。

先行技術文献

特許文献

[0006] 特許文献1：国際公開第2017／145816号

発明の概要

発明が解決しようとする課題

[0007] しかしながら、フローサイトメータにイメージセンサを用いた場合、電源から供給される電力の変動などに起因して、画像データに横方向の筋状のノ

イズ（以下、横筋ノイズという）が発生する場合がある。画像データに横筋ノイズが発生すると、蛍光における各波長帯の光量を正確に取得することができず、分析精度が低下してしまうという問題を発生させる。

[0008] そこで本開示では、分析精度の低下を抑制することが可能な光学測定装置及び光学測定システムを提案する。

課題を解決するための手段

[0009] 上記の課題を解決するために、本開示に係る一形態の光学測定装置は、所定波長の励起光を出射する励起光源と、前記励起光が照射された検体から放射した蛍光を分光する分光光学系と、複数の画素が行列状に配列した画素アレイ部を備え、前記分光光学系で分光された前記蛍光の波長帯ごとの光量を検出する固体撮像素子と、前記画素アレイ部の一部である第1領域に含まれる1つ以上の前記画素から取得された画素値に基づいて、前記画素アレイ部の他の一部である第2領域に含まれる1つ以上の前記画素から取得された画素値からノイズ成分を減算する演算部とを備える。

図面の簡単な説明

[0010] [図1]第1の実施形態に係るフローサイトメータの概略構成例を示す模式図である。

[図2]図1における分光光学系の一例を示す模式図である。

[図3]第1の実施形態に係るイメージセンサの概略構成例を示すブロック図である。

[図4]図3における画素アレイ部と検出回路アレイとの位置関係の一例を示す図である。

[図5]図3における画素と検出回路との接続関係の一例を示す図である。

[図6]第1の実施形態に係る画素の回路構成例を示す回路図である。

[図7]第1の実施形態に係るイメージセンサの断面構造例を示す断面図である。

[図8]第1の実施形態に係る画素の動作例を示すタイミングチャートである。

[図9]第1の実施形態の変形例に係る画素の動作例を示すタイミングチャート

である。

[図10]第1の実施形態に係るフローサイトメータにおけるパルス光検出のオペレーション例を説明するためのタイミングチャートである。

[図11]第1の実施形態に係る画素アレイ部の使用形態の一例を示す模式図である。

[図12]第1の実施形態に係る演算部の概略構成例を示すブロック図である。

[図13]第1の実施形態に係るノイズキャンセルをしない場合の実験結果を示すグラフである。

[図14]第1の実施形態によるノイズキャンセルをした場合の実験結果を示すグラフである。

[図15]第1の実施形態の第1の変形例に係る画素と検出回路との接続関係の一例を示す図である。

[図16]第1の実施形態の第1の変形例に係る画素の概略構成例を示す回路図である。

[図17]第1の実施形態の第2の変形例に係る画素と検出回路との接続関係の一例を示す図である。

[図18]第1の実施形態の第3の変形例に係るイメージセンサのチップ構成例を示す図である。

[図19]図18における受光チップの平面レイアウト例を示す平面図である。

[図20]図18における検出チップの平面レイアウト例を示す平面図である。

[図21]第1の実施形態の第3の変形例の第1の積層構造例を示す断面図である。

[図22]第1の実施形態の第3の変形例の第2の積層構造例を示す断面図である。

[図23]第1の実施形態の第3の変形例の第3の積層構造例を示す断面図である。

[図24]第1の実施形態の第3の変形例の第4の積層構造例を示す断面図である。

[図25]第1の実施形態の第3の変形例の第5の積層構造例を示す断面図である。

[図26]第2の実施形態に係る画素アレイ部の使用形態の一例を示す模式図である。

[図27]第2の実施形態に係る演算部の概略構成例を示すブロック図である。

[図28]第3の実施形態に係る画素アレイ部の使用形態の一例を示す模式図である。

[図29]第3の実施形態において使用する励起光の波長と検体から放射する蛍光の波長との関係例を示す図である。

発明を実施するための形態

[0011] 以下に、本開示の一実施形態について図面に基づいて詳細に説明する。なお、以下の実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0012] また、以下に示す項目順序に従って本開示を説明する。

1. 第1の実施形態

1. 1 フローサイトメータの概略構成例
1. 2 イメージセンサの構成例
1. 3 画素の回路構成例
1. 4 画素の断面構造例
1. 5 画素の動作例
 1. 5. 1 画素動作の変形例
1. 6 パルス光検出のオペレーション例
1. 7 横筋ノイズ
1. 8 画素アレイ部の使用形態例
1. 9 演算部の概略構成例
1. 10 ノイズキャンセル
1. 11 作用・効果
1. 12 変形例

1. 1 2. 1 第1の変形例

1. 1 2. 1. 1 画素と検出回路との接続例

1. 1 2. 1. 2 画素の回路構成例

1. 1 2. 2 第2の変形例

1. 1 2. 3 第3の変形例

1. 1 2. 3. 1 チップ構成例

1. 1 2. 3. 2 積層構造例

1. 1 2. 3. 2. 1 第1の積層構造例

1. 1 2. 3. 2. 2 第2の積層構造例

1. 1 2. 3. 2. 3 第3の積層構造例

1. 1 2. 3. 2. 4 第4の積層構造例

1. 1 2. 3. 2. 5 第5の積層構造例

2. 第2の実施形態

2. 1 演算部の概略構成例

2. 2 作用・効果

3. 第3の実施形態

3. 1 作用・効果

[0013] 1. 第1の実施形態

まず、第1の実施形態に係る光学測定装置及び光学測定システムとしてのフローサイトメータについて、図面を参照して詳細に説明する。

[0014] 1. 1 フローサイトメータの概略構成例

まず、第1の実施形態に係るフローサイトメータの概略構成例について説明する。図1は、第1の実施形態に係るフローサイトメータの概略構成例を示す模式図である。図2は、図1における分光光学系の一例を示す模式図である。

[0015] 図1に示すように、フローサイトメータ11は、フローセル31と、励起光源32と、フォトダイオード33と、分光光学系37と、個体撮像素子（以下、イメージセンサという）34と、集光レンズ35及び36とを備える

- 。
- [0016] 図中の上方には、円筒状のフローセル 3 1 が設けられており、その中であって、かつ、ほぼ同軸上にサンプルチューブ 5 1 が内挿されている。フローセル 3 1 は、サンプル流 5 2 が図中の下方向に流れ下る構造とされ、さらに、サンプルチューブ 5 1 から細胞等からなる検体 5 3 が放出される。検体 5 3 は、フローセル 3 1 内のサンプル流 5 2 に乗って、一列に並んで流れ下る。
- 。
- [0017] 励起光源 3 2 は、例えば、単一波長の励起光 7 1 を出射するレーザ光源であり、励起光 7 1 を検体 5 3 が通過する位置に設定された照射スポット 7 2 に照射する。励起光 7 1 は、連続光であってもよいし、ある程度長い時間幅を持つパルス光であってもよい。
- [0018] 励起光 7 1 が照射スポット 7 2 で検体 5 3 に照射されると、検体 5 3 による励起光 7 1 の散乱や、検体 5 3 やこれに付された蛍光マーカ等の励起が発生する。
- [0019] 本説明において、検体 5 3 で散乱した散乱光のうち、照射スポット 7 2 を挟んで励起光源 3 2 と反対方向へ向かう成分を前方散乱光 7 3 という。なお、散乱光には、励起光源 3 2 と照射スポット 7 2 とを結ぶ直線から外れた方向へ向かう成分や、照射スポット 7 2 から励起光源 3 2 へ向かう成分も含まれる。本説明では、散乱光のうち、励起光源 3 2 と照射スポット 7 2 とを結ぶ直線から外れた所定の方向（以下、側方という）へ向かう成分を側方散乱光と称し、照射スポット 7 2 から励起光源 3 2 へ向かう成分を後方散乱光と称する。
- [0020] また、励起した検体 5 3 や蛍光マーカ等からは、これらが脱励起する際に、それらを構成する原子や分子に固有の波長を持つ蛍光が放射される。なお、蛍光 7 4 は、検体 5 3 や蛍光マーカ等から全方位へ向けて放射されるが、図 1 に示す構成では、それらのうち、側方へ放射された成分を分析対象としている。本実施形態では、この分析対象の成分を、蛍光 7 4 という。
- [0021] 前方散乱光 7 3 は、集光レンズ 3 5 により平行光に変換された後、フォト

ダイオード 33 に入射する。一方、側方散乱光及び蛍光 74 は、集光レンズ 36 により平行光に変換された後、分光光学系 37 に入射する。なお、集光レンズ 35 及び 36 それぞれは、特定の波長を吸収するフィルタや光の進行方向を変更するプリズムなどの他の光学素子を含んでもよい。例えば、集光レンズ 36 は、入射した側方散乱光及び蛍光 74 のうち、側方散乱光を低減する光学フィルタを含んでもよい。

[0022] 分光光学系 37 は、図 2 に示すように、例えば、プリズムや回折格子などの 1 つ以上の光学素子 371 を含んで構成され、入射した蛍光 74 を、波長ごとに異なる角度へ向けて出射する分散光 75 に分光する。なお、本説明では、分散光 75 の広がりの方角 H1 を、後述する画素アレイ部 91 における行方向とする。

[0023] 分光光学系 37 から出射した分散光 75 は、イメージセンサ 34 に入射する。したがって、イメージセンサ 34 には、方角 H1 における位置に応じて異なる波長の分散光 75 が入射する。

[0024] ここで、前方散乱光 73 が光量の大きい光である一方、側方散乱光や蛍光 74 は、検体 53 が照射スポット 72 を通過した際に発生する微弱なパルス光である。そこで本実施形態では、前方散乱光 73 をフォトダイオード 33 で観察することで、検体 53 が照射スポット 72 を通過したタイミングを検出する。

[0025] 例えば、フォトダイオード 33 は、常時、照射スポット 72 を通過した励起光 71 を観察している。その状態で、検体 53 の通過により検出されている光量が一時的に減少すると、フォトダイオード 33 は、光量が減少したタイミングで、検体 53 の通過を示すイベント信号を生成し、このイベント信号をイメージセンサ 34 に入力する。

[0026] イメージセンサ 34 は、例えば、同一の半導体チップ内に A/D (Analog to Digital) 変換器を内蔵した複数画素よりなる撮像素子である。各画素は光電変換素子と増幅素子とを有し、光電変換された電荷は画素内部に蓄積される。蓄積電荷量を反映した信号は、所望のタイミングで増幅素子を介して

増幅されて出力され、内蔵されたA/D変換器によってデジタル信号に変換される。

[0027] 1. 2 イメージセンサの構成例

次に、第1の実施形態に係るイメージセンサ34について説明する。図3は、第1の実施形態に係るCMOS (Complementary Metal-Oxide-Semiconductor) 型のイメージセンサの概略構成例を示すブロック図である。図4は、図3における画素アレイ部と検出回路アレイとの位置関係の一例を示す図である。図5は、図3における画素と検出回路との接続関係の一例を示す図である。

[0028] ここで、CMOS型のイメージセンサとは、CMOSプロセスを応用して、または、部分的に使用して作成された固体撮像素子（固体撮像装置ともいう）である。第1の実施形態に係るイメージセンサ34は、入射面が半導体基板における素子形成面とは反対側の面（以下、裏面という）側である、いわゆる裏面照射型であってもよいし、表面側である、いわゆる表面照射型であってもよい。なお、以下の説明において例示するサイズ、個数、行数、列数等は、単なる例であって、種々変更することが可能である。

[0029] 図3に示すように、イメージセンサ34は、画素アレイ部91と、接続部92と、検出回路93と、画素駆動回路94と、ロジック回路95と、出力回路96とを備える。

[0030] 画素アレイ部91は、例えば、行方向に240画素、列方向に40画素の行列状（以下、240画素×40画素という）に配列した複数の画素101を備える。各画素101の配列面におけるサイズは、例えば、30 μ m（マイクロメートル）×30 μ mであってよい。その場合、画素アレイ部91の開口は、7.2mm（ミリメートル）×1.2mmとなる。

[0031] 照射スポット72から側方へ出射した側方散乱光及び蛍光74等は、集光レンズ36でコリメートされた後、分光光学系37により分散光75に変換された後、画素アレイ部91の画素101が配列する受光面に集光される。したがって、各画素101には、側方散乱光及び蛍光74のうち、画素アレ

イ部 91 における各画素 101 の行方向の位置によって定まる波長成分が入力される。例えば、図 2 に例示する位置関係では、図 2 のイメージセンサ 34 中、右側に位置する画素 101 ほど波長の短い光が入射し、左側に位置する画素 101 ほど波長の長い光が入射する。

[0032] 各画素 101 は、照射された光量に応じた画素信号を生成する。生成された画素信号は、検出回路 93 により読み出される。

[0033] 検出回路 93 は、例えば、画素 101 と一対一に設けられており、対応する画素 101 から画素信号を読み出す。また、検出回路 93 は、AD 変換器を含み、読み出したアナログの画素信号をデジタルの画素信号に変換する。

[0034] 図 4 に示すように、複数の検出回路 93 は、例えば、画素アレイ部 91 に対し、2 つのグループ（検出回路アレイ 93 A 及び 93 B）に分かれて配列している。一方の検出回路アレイ 93 A は、例えば、画素アレイ部 91 の列方向上側に配置され、他方の検出回路アレイ 93 B は、例えば、画素アレイ部 91 の列方向下側に配置される。各検出回路アレイ 93 A 及び 93 B では、複数の検出回路 93 が行方向に沿って 1 行又は複数行に配列している。各検出回路アレイ 93 A 及び 93 B それぞれにおいて検出回路 93 を 2 行（合計で 4 行）に配列させる場合、検出回路 93 間の行方向のピッチは、例えば、 $3\mu\text{m}$ とされてよい。

[0035] 図 5 に示すように、列方向上側の検出回路アレイ 93 A に属する検出回路 93 は、例えば、画素アレイ部 91 における上半分に相当する 240×20 個の画素 101 に一対一に接続され、列方向下側の検出回路アレイ 93 B に属する検出回路 93 は、例えば、画素アレイ部 91 における下半分に相当する 240×20 個の画素 101 に接続される。したがって、 240 画素 $\times$ 40 画素の計 9600 個の画素 101 を備える本例では、計 9600 個の検出回路 93 が設けられている。

[0036] ただし、このような構成に限定されず、種々変形することが可能である。たとえば、複数の検出回路 93 が画素アレイ部 91 の 1 つの側に 1 行又は複数行に配列していてもよい。また、例えば、列方向上側の検出回路アレイ 9

3 Aに属する検出回路93が画素アレイ部91における奇数列又は奇数行の画素101に接続され、列方向下側の検出回路アレイ93Bに属する検出回路93が画素アレイ部91における偶数列又は偶数行の画素101に接続されるように構成されてもよい。

[0037] 複数の画素101で生成された画素信号は、複数の検出回路93で一斉に読み出され（グローバルシャッタ）、それぞれのAD変換器によってデジタルの画素信号に変換される。そして、デジタルの画素信号は、1フレーム分の画像データとして、出力回路96を介して外部の演算部100へ出力される。

[0038] 演算部100は、入力された画像データに対し、後述するノイズキャンセルを実行する。なお、演算部100は、イメージセンサ34から入力された画像データをオンザフライでノイズキャンセルしてもよいし、一旦不図示のメモリに画像データを蓄積しておき、その後、必要に応じて、メモリから画像データを読み出してノイズキャンセルを実行してもよい。

[0039] なお、演算部100は、イメージセンサ34と同一チップ内又は外部に設けられたDSP（Digital Signal Processor）やFPGA（Field-Programmable Gate Array）等であってもよいし、イメージセンサ34にバスやネットワークを介して接続されたパーソナルコンピュータなどの情報処理装置等であってもよい。

[0040] 画素駆動回路94は、各画素101を駆動することで、各画素101に画素信号を生成させる。ロジック回路95は、画素駆動回路94の他、検出回路93や出力回路96の駆動タイミングを制御する。

[0041] 以上のような構成によれば、複数の画素101から同時並列に画素信号を読み出すこと（グローバルシャッタ）が可能となるため、高速な読出し動作を実現することが可能となる。

[0042] なお、イメージセンサ34は、AD変換前の画素信号を増幅するオペアンプ等の増幅回路をさらに備えていてもよい。

[0043] 1. 3 画素の回路構成例

次に、図6を参照して、第1の実施形態に係る画素101の回路構成例について説明する。図6は、第1の実施形態に係る画素の回路構成例を示す回路図である。

- [0044] 図6に示すように、画素101は、フォトダイオード(PD)111と、蓄積ノード112と、転送トランジスタ113と、増幅トランジスタ114と、リセットトランジスタ116と、浮遊拡散層(Floating Diffusion: FD)117とを備える。転送トランジスタ113、増幅トランジスタ114、及びリセットトランジスタ116には、例えば、N型のMOS(Metal-Oxide-Semiconductor)トランジスタが用いられてよい。
- [0045] フォトダイオード111、転送トランジスタ113、増幅トランジスタ114、リセットトランジスタ116及び浮遊拡散層117で構成された回路は、画素回路とも称される。また、画素回路のうち、フォトダイオード111を除く構成は、読出し回路とも称される。
- [0046] フォトダイオード111は、光子を光電変換により電荷に変換する。このフォトダイオード111は、蓄積ノード112を介して転送トランジスタ113に接続される。フォトダイオード111は、自身が形成された半導体基板に入射した光子から、電子とホールペアを発生させ、そのうちの電子をカソードに相当する蓄積ノード112に蓄積する。フォトダイオード111は、リセットによる電荷排出時に、蓄積ノード112が完全空乏化される、いわゆる埋込み型であってもよい。
- [0047] 転送トランジスタ113は、行駆動回路121の制御に従って、蓄積ノード112から浮遊拡散層117へ電荷を転送する。浮遊拡散層117は、転送トランジスタ113からの電荷を蓄積して、その蓄積した電荷の量に応じた電圧値の電圧を生成する。この電圧は、増幅トランジスタ114のゲートに印加される。
- [0048] リセットトランジスタ116は、蓄積ノード112や浮遊拡散層117に蓄積された電荷を電源118に放出して初期化する。このリセットトランジスタ116のゲートは行駆動回路121に接続され、ドレインは電源118

に接続され、ソースは浮遊拡散層 117 に接続される。

[0049] 行駆動回路 121 は、例えば、リセットトランジスタ 116 と転送トランジスタ 113 とをオン状態に制御することで、蓄積ノード 112 に蓄積された電子を電源 118 に引き抜き、画素 101 を蓄積前の暗状態、すなわち、光が未入射の状態に初期化する。また、行駆動回路 121 は、リセットトランジスタ 116 のみをオン状態に制御することで、浮遊拡散層 117 に蓄積された電荷を電源 118 に引き抜き、その電荷量を初期化する。

[0050] 増幅トランジスタ 114 は、ゲートに印加された電圧を増幅してドレインに出現させる。この増幅トランジスタ 114 のゲートは浮遊拡散層 117 に接続され、ソースは電源に接続され、ドレインは垂直信号線 124 に接続される。この増幅トランジスタ 114 と定電流回路 122 とは、ソースフォロワ回路を形成している。増幅トランジスタ 114 は、浮遊拡散層 117 の電圧を 1 弱のゲインで増幅して、垂直信号線 124 に出現させる。垂直信号線 124 に出現した電圧は、画素信号として、AD 変換回路を含む信号検出回路 123 により読み出される。

[0051] 以上のような構成を備える画素 101 は、フォトダイオード 111 のリセットが実行されてから画素信号の読出しが実行されるまでの期間、光電変換により発生した電荷を内部に蓄積する。そして、画素信号の読出しが実行された際には、蓄積電荷に応じた画素信号を垂直信号線 124 に出現させる。

[0052] なお、図 6 における行駆動回路 121 は、例えば、図 3 における画素駆動回路 94 の一部であり、信号検出回路 123 及び定電流回路 122 は、例えば、図 3 における検出回路 93 の一部である。

[0053] 1. 4 画素の断面構造例

次に、図 7 を参照して、第 1 の実施形態に係るイメージセンサ 34 の断面構造例を説明する。図 7 は、第 1 の実施形態に係るイメージセンサの断面構造例を示す断面図である。なお、図 7 には、画素 101 におけるフォトダイオード 111 が形成された半導体基板 218 の断面構造例が示されている。

[0054] 図 7 に示すように、イメージセンサ 34 では、フォトダイオード 111 が

、半導体基板 2 1 8 の裏面（図では上面）側から入射する入射光 2 1 0 を受光する。フォトダイオード 1 1 1 の上方には、平坦化膜 2 1 3 及びオンチップレンズ 2 1 1 が設けられており、各部を順次介して入射した入射光 2 1 0 を、受光面 2 1 7 で受光して光電変換が行われる。

[0055] 例えば、フォトダイオード 1 1 1 は、N 型半導体領域 2 2 0 が、電荷（電子）を蓄積する電荷蓄積領域として形成されている。フォトダイオード 1 1 1 においては、N 型半導体領域 2 2 0 は、半導体基板 2 1 8 の P 型半導体領域 2 1 6 及び 2 4 1 で囲まれた領域内に設けられている。N 型半導体領域 2 2 0 の、半導体基板 2 1 8 の表面（下面）側には、裏面（上面）側よりも不純物濃度が高い P 型半導体領域 2 4 1 が設けられている。つまり、フォトダイオード 1 1 1 は、H A D（Hole-Accumulation Diode）構造になっており、N 型半導体領域 2 2 0 の上面側と下面側との各界面において、暗電流が発生することを抑制するように、P 型半導体領域 2 1 6 及び 2 4 1 が形成されている。

[0056] 半導体基板 2 1 8 の内部には、複数の画素 1 0 1 の間を電氣的に分離する画素分離部 2 3 0 が設けられており、この画素分離部 2 3 0 で区画された領域に、フォトダイオード 1 1 1 が設けられている。図中、上面側から、イメージセンサ 3 4 を見た場合、画素分離部 2 3 0 は、例えば、複数の画素 1 0 1 の間に介在するように格子状に形成されており、フォトダイオード 1 1 1 は、この画素分離部 2 3 0 で区画された領域内に形成されている。

[0057] 各フォトダイオード 1 1 1 では、アノードが接地されており、イメージセンサ 3 4 において、フォトダイオード 1 1 1 が蓄積した信号電荷（例えば、電子）は、図示せぬ転送トランジスタ 1 1 3（図 6 参照）等を介して読み出され、電気信号として、図示せぬ垂直信号線 1 2 4（図 6 参照）へ出力される。

[0058] 配線層 2 5 0 は、半導体基板 2 1 8 のうち、遮光膜 2 1 4、オンチップレンズ 2 1 1 等の各部が設けられた裏面（上面）とは反対側の表面（下面）に設けられる。

- [0059] 配線層 250 は、配線 251 と絶縁層 252 とを含み、絶縁層 252 内において、配線 251 が各素子に電氣的に接続するように形成されている。配線層 250 は、いわゆる多層配線の層になっており、絶縁層 252 を構成する層間絶縁膜と配線 251 とが交互に複数回積層されて形成されている。ここでは、配線 251 としては、転送トランジスタ 113 等のフォトダイオード 111 から電荷を読み出すためのトランジスタへの配線や、垂直信号線 124 等の各配線が、絶縁層 252 を介して積層されている。
- [0060] 配線層 250 の、フォトダイオード 111 が設けられている側に対して反対側の面には、シリコン基板などによる支持基板 261 が接合されている。
- [0061] 遮光膜 214 は、半導体基板 218 の裏面（図では上面）の側に設けられている。
- [0062] 遮光膜 214 は、半導体基板 218 の上方から半導体基板 218 の裏面へ向かう入射光 210 の一部を、遮光するように構成されている。
- [0063] 遮光膜 214 は、半導体基板 218 の内部に設けられた画素分離部 230 の上方に設けられている。ここでは、遮光膜 214 は、半導体基板 218 の裏面（上面）上において、シリコン酸化膜等の絶縁膜 215 を介して、凸形状に突き出るように設けられている。これに対して、半導体基板 218 の内部に設けられたフォトダイオード 111 の上方においては、フォトダイオード 111 に入射光 210 が入射するように、遮光膜 214 は、設けられておらず、開口している。
- [0064] つまり、図中、上面側から、イメージセンサ 34 を見た場合、遮光膜 214 の平面形状は、格子状になっており、入射光 210 が受光面 217 へ通過する開口が形成されている。
- [0065] 遮光膜 214 は、光を遮光する遮光材料で形成されている。例えば、チタン（Ti）膜とタングステン（W）膜とを、順次、積層することで、遮光膜 214 が形成されている。この他に、遮光膜 214 は、例えば、窒化チタン（TiN）膜とタングステン（W）膜とを、順次、積層することで形成することができる。

[0066] 遮光膜 214 は、平坦化膜 213 によって被覆されている。平坦化膜 213 は、光を透過する絶縁材料を用いて形成されている。画素分離部 230 は、溝部 231、固定電荷膜 232、及び、絶縁膜 233 を有する。

[0067] 固定電荷膜 232 は、半導体基板 218 の裏面（上面）の側において、複数の画素 101 の間を区画している溝部 231 を覆うように形成されている。

[0068] 具体的には、固定電荷膜 232 は、半導体基板 218 において裏面（上面）側に形成された溝部 231 の内側の面を一定の厚みで被覆するように設けられている。そして、その固定電荷膜 232 で被覆された溝部 231 の内部を埋め込むように、絶縁膜 233 が設けられている（充填されている）。

[0069] ここでは、固定電荷膜 232 は、半導体基板 218 との界面部分において正電荷（ホール）蓄積領域が形成されて暗電流の発生が抑制されるように、負の固定電荷を有する高誘電体を用いて形成されている。固定電荷膜 232 が負の固定電荷を有するように形成されていることで、その負の固定電荷によって、半導体基板 218 との界面に電界が加わり、正電荷（ホール）蓄積領域が形成される。

[0070] 固定電荷膜 232 は、例えば、ハフニウム酸化膜（ HfO_2 膜）で形成することができる。また、固定電荷膜 232 は、その他、例えば、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、マグネシウム、イットリウム、ランタノイド元素等の酸化物の少なくとも 1 つを含むように形成することができる。

[0071] 1. 5 画素の動作例

次に、図 8 のタイミングチャートを参照して、第 1 の実施形態に係る画素 101 の動作例について説明する。図 8 は、第 1 の実施形態に係る画素の動作例を示すタイミングチャートである。

[0072] 図 8 に示すように、タイミング T41 において、行駆動回路 121 は、蓄積期間直前となるタイミングで、転送トランジスタ 113 及びリセットトランジスタ 116 をともにオン状態に制御する。この制御により、フォトダイ

オード 1 1 1 及び転送トランジスタ 1 1 3 の間の蓄積ノード 1 1 2 に蓄積された電荷が全て電源へ排出される。なお、以降において、この制御を「PD (PhotoDiode) リセット」と称する。

[0073] その後、行駆動回路 1 2 1 は、転送トランジスタ 1 1 3 をオフ状態に制御する。この制御により、蓄積ノード 1 1 2 は浮遊状態となって、新たな電荷蓄積が開始される。

[0074] また、行駆動回路 1 2 1 は、PD リセット後において、リセットトランジスタ 1 1 6 をオフ状態に制御する。この制御により、浮遊拡散層 1 1 7 の電位は、リセットトランジスタ 1 1 6 のゲートとのカップリングを受けて基準電位から幾分低下し、浮遊状態となる。

[0075] さらに、この際に浮遊拡散層 1 1 7 には、有意な kTC ノイズが発生する。この制御を、以下、「FD リセット」と称する。本例では、PD リセットと FD リセットとが連続して実施されている。

[0076] このように FD リセットを実行後、垂直信号線 1 2 4 には、リセット状態にある浮遊拡散層 1 1 7 の電圧が増幅トランジスタ 1 1 4 により増幅されて出現する。

[0077] 信号検出回路 1 2 3 は、1 回以上（例えば、4 回）のサンプリングを行う。これらのサンプリングにおいて、垂直信号線 1 2 4 の電位の信号が、リセット信号として、信号検出回路 1 2 3 によりデジタル信号 $D_s 1$ に変換される。リセット信号の多重サンプリングは、相関二重サンプリングにおいて 1 回目の読出しとして扱われる。

[0078] そして、タイミング T_{42} において、行駆動回路 1 2 1 は、蓄積期間が終了する直前に、転送トランジスタ 1 1 3 をオン状態に制御する。この制御により、蓄積ノード 1 1 2 に蓄積された電荷が浮遊拡散層 1 1 7 へ転送される。この際に、浮遊拡散層 1 1 7 のポテンシャルが十分に深ければ、蓄積ノード 1 1 2 に蓄積されていた電子は、浮遊拡散層 1 1 7 に全て転送され、蓄積ノード 1 1 2 は完全空乏状態になる。

[0079] また、タイミング T_{42} からパルス期間が経過したとき、行駆動回路 1 2

1 は、転送トランジスタ 113 をオフ状態に制御する。この制御により、浮遊拡散層 117 の電位は、転送トランジスタ 113 の駆動前に比較して、蓄積電荷量の分だけ下降する（すなわち、ポテンシャルが浅くなる）。

[0080] このように、蓄積ノード 112 に蓄積された電荷を浮遊拡散層 117 へ転送すると、垂直信号線 124 には、この下降分の電圧が増幅トランジスタ 114 により増幅されて出現する。

[0081] ここで信号検出回路 123 は、1 回以上（例えば、4 回）のサンプリングを行う。これらのサンプリングにおいて、垂直信号線 124 の電位の信号が、入射光子量に応じた電圧値の画素信号（以下、蓄積信号という）として、信号検出回路 123 によりデジタル信号 $D_s 2$ に変換される。この蓄積信号の多重サンプリングは、相関二重サンプリングにおいて 2 回目の読出しとして扱われる。

[0082] 信号検出回路 123 は、サンプリングした蓄積信号（すなわち、デジタル信号 $D_s 2$ ）及びリセット信号（すなわち、デジタル信号 $D_s 1$ ）を比較して、その比較結果に基づいて入射光子量を判定する。複数のデジタル信号 $D_s 1$ は、全て加算され、必要に応じて、それらの平均値が算出される。同様に、デジタル信号 $D_s 2$ も全て加算され、必要に応じて平均化される。

[0083] 信号検出回路 123 は、デジタル信号 $D_s 1$ の加算値（または平均値）と、デジタル信号 $D_s 2$ の加算値（または平均値）との差分を正味の蓄積信号として求める。FD リセットの際に生じる kTC ノイズは、デジタル信号 $D_s 1$ 及び $D_s 2$ の差分を正味の蓄積信号とすることにより相殺される。

[0084] 各画素（画素回路）101 の露光蓄積期間は、上述の PD リセット動作と蓄積信号の読出し動作との間の期間であり、正確には転送トランジスタ 113 がリセット後にオフしてから、読み出してオフするまでの期間である。この蓄積期間にフォトダイオード 111 に光子が入射し電荷が発生すると、それはリセット信号及び蓄積信号の間の差分となり、上述の手順に従って信号検出回路 123 により導出される。

[0085] すなわち、信号検出回路 123 は、所謂 CDS (Correlated Double Sam

pling) 機能を有しており、k T C ノイズを含む画素の低周波ノイズをこれで相殺する。また、信号検出回路 1 2 3 は、A D 変換器を通したデジタル値同士で C D S を実施することで、A D 変換過程に伴って混入したノイズも相殺する。

[0086] 1. 5. 1 画素動作の変形例

ところで、図 8 を用いて動作例では、単位蓄積が完了して次の蓄積が開始される間、特に、蓄積信号のサンプリング期間において、蓄積が実施されない不感期間が発生している。そこで、特に、高速なサンプリングに対応するため、このような不感期間を除去するようにしてもよい。

[0087] 図 9 は、変形例に係る画素の動作例を示すタイミングチャートである。図 9 の例では、図 8 で実施したタイミング T 4 1 における P D リセットが省略されており、読出し時となるタイミング T 4 2 における電荷転送に伴うフォトダイオード 1 1 1 の電荷排出がこれと兼用されている。

[0088] すなわち、図 8 のタイミング T 4 1 に対応するタイミング T 5 1 においては、F D リセットのみが実施され、つづいて、リセットレベルのサンプリングが実施される。この時、転送トランジスタ 1 1 3 へのパルス印加は実施されず、フォトダイオード 1 1 1 の蓄積電荷はそのまま保持される。

[0089] そして、タイミング T 5 2 において、転送トランジスタ 1 1 3 にパルスが印加されて、蓄積信号の浮遊拡散層 1 1 7 への転送が実施されるが、この電荷排出を P D リセットと兼用させる。この時、フォトダイオード 1 1 1 の次の蓄積期間は、その直後からスタートすることになる。これによって画素 1 0 1 に入射した光子が検知されない不感期間はほぼゼロになる。

[0090] なお、図 8 及び図 9 のいずれの動作例においても、単位蓄積の最短サイクルはリセットレベルのサンプリングと蓄積レベルのサンプリングの合計所要時間によって規定される。

[0091] 1. 6 パルス光検出のオペレーション例

次に、図 1 0 のタイミングチャートを参照して、第 1 の実施形態に係るフローサイトメータ 1 1 におけるパルス光検出のオペレーション例について説

明する。図10は、第1の実施形態に係るフローサイトメータにおけるパルス光検出のオペレーション例を説明するためのタイミングチャートである。

[0092] 側方散乱光または蛍光74の光強度は、照射スポット72への検体53の通過に伴って、図10の最上段で示されるようなパルス波形PL1として描かれ、各パルス波形PL1が検体53の1個分の通過に対応する波形となる。この時、図10の中段で示される、前方散乱光73のフォトダイオード33で検出された前方散乱光73の光強度は、図10の上段におけるパルス波形PL1とタイミングが類似して、かつ、強度の高いパルス波形PL2のように描かれる。

[0093] タイミングT61において、フォトダイオード33は、前方散乱光のパルス波形PL2の強度と、閾値L1との比較から、検体53の通過タイミングを取得して、イベント信号S11を発生する。

[0094] ここで、イメージセンサ34における蓄積の完了と出力読出しは、検体53が通過したことを示すイベント信号S11に同期して実施される。読出しのアクセスシーケンスは、図10に準じ、不感期間の殆ど無いグローバルシャッタとする。

[0095] すなわち、蓄積の開始と終了は全画素同時一斉に行われる。この時、検体53の通過を示すイベント信号S11に同期して画素内転送が行われ、蓄積期間が全画素一斉に終了する。そして、蓄積信号の読出しが開始される。さらに、このとき次の蓄積期間が全画素一斉にスタートする。

[0096] タイミングT62において、イメージセンサ34は、画素における蓄積を完了し、蓄積信号の読出しを開始し、さらには、次の蓄積をスタートする。ここで、タイミングT62は、イベント信号S11を取得したタイミングT61から、検体53の流速と大きさを考慮した一定の遅延時間t1が経過した後のタイミングである。

[0097] 蓄積信号の読出しは、蓄積信号のAD変換値と、既に取得済みであるリセット信号とのAD変換値との差分取得を伴って実施され、これによってkTCノイズ等を相殺した正味の蓄積信号が導出される。さらに、これに引き続

いて、次のサイクルにおけるリセット信号の取得とA/D変換が実施され、それが完了した時点で次の蓄積完了と読出しが可能になる。すなわち、イベント処理の最短サイクルは単位蓄積の最短サイクルに等しく、それは蓄積信号とリセット信号の各々の取得とA/D変換に要する時間により決定される。

[0098] 各イベント処理において複数の画素から出力される正味の蓄積信号の総計値は、パルスごとに光検出器が受光した光子の総量に相当する。これによって検体53ごとの側光散乱光や蛍光74の強度が導出される。すなわち、本実施形態においては、画素101が光電変換された電荷を内部に蓄積することにより、画素101内で入射光の積分が行われている。したがって、各画素出力に対するA/D変換は一回でよく、時系列的に複数回のA/D変換を実施する必要はない。

[0099] 例えば、リセット信号のA/D変換と蓄積信号のA/D変換、及び、その差分取得に合わせて10 μ sの時間を要したとすると、対応できるイベントの最小間隔は約10 μ sとなり、1秒間に最大100,000個のイベント、すなわち、照射スポット72への検体53の通過を評価できることになる。

[0100] なお、画素101、及び信号検出回路123毎に導出した正味の蓄積信号を、例えば、図3で示されるイメージセンサ34において、出力回路96に転送して出力する際にも有意な時間を要する。しかしながら、信号検出回路123にレジスタを設けて信号を一時保存することで、それらの出力はA/D変換と並列にパイプライン方式で実行することができるので、出力転送が蓄積サイクルを制約することはない。

[0101] また、この例では検体53が通過したことを示すイベント信号S11はパルス波形PL2が閾値L1を超える冒頭となるタイミングT61で発生させているが、パルス波形PL2が閾値L1を下回る末尾となるタイミングT63で発生させてもよい。イベント信号S11は、パルス波形PL2が閾値L1を下回る末尾で発生させた方が検体53の大きさや流量の変動にも対応し易いメリットがある。また、イベント信号S11は、側方散乱光や蛍光74（分散光75）の検出結果を用いて発生させてもよく、この場合、それらを

分光させて他のイベント発生用素子に当てるか、イメージセンサ 34 内にイベント発生用素子を別途搭載してもよい。

[0102] さらに、イベント信号 S 11 からの遅延時間 t_1 をここでは一定としたが、一般に前方散乱光 73 によるパルス波形 PL 2 の強度は検体 53 が大きいほど高い。従って、パルス波形 PL 2 の強度を、例えば、パルスの立ち上がり状態から同時に評価して、それに応じて遅延時間 t_1 の長さを設定してもよい。この場合、大きな検体 53 に対しては長めの遅延時間 t_1 が設定される。

[0103] 1. 7 横筋ノイズ

以上のような構成を備えるイメージセンサ 34 では、電源から供給される電力の変動などに起因して、画像データに横方向（行方向に対応）の筋状のノイズ（以下、横筋ノイズという）が発生する場合がある。画像データに横筋ノイズが発生すると、蛍光 74（分散光 75）における各波長帯の光量を正確に取得することができず、分析精度が低下してしまう可能性が存在する。

[0104] そこで本実施形態では、横筋ノイズに起因した分析精度の低下を抑制するために、画素アレイ部 91 における一部の領域をダミー領域として使用し、このダミー領域から読み出された画素信号を用いて横筋ノイズを含むノイズ成分を算出する。そして、蛍光 74（分散光 75）を検出するための領域（以下、検出領域という）から読み出された画素信号から上記算出したノイズ成分を減算することで、横筋ノイズを含むノイズ成分による影響をキャンセルし、これにより、蛍光 74 における各波長帯の正確な光量を取得して分析精度の低下を抑制する。

[0105] 1. 8 画素アレイ部の使用形態例

図 11 は、第 1 の実施形態に係る画素アレイ部の使用形態の一例を示す模式図である。図 11 に示すように、本実施形態では、例えば、240 画素×40 画素の行列状に画素 101 が配列する画素アレイ部 91 のうち、外周に位置する 2 行及び 2 列の画素 101 を除外した 216 画素×36 画素の領域

を有効画素領域 9 1 A として使用することとする。

[0106] この場合において、有効画素領域 9 1 A は、例えば、1 つ以上の検出領域と、1 つ以上のダミー領域に区画される。図 1 1 に示す例では、第 1 ～第 4 検出領域 3 0 1 ～3 0 4 の 4 つの検出領域（第 2、第 3 領域）と、共通ダミー領域 3 1 1 及び 3 1 2 の 2 つのダミー領域（第 1 領域）との、合計 6 つの領域に区画されている。ただし、このような使用形態は、単なる一例に過ぎず、行方向により細かい領域に分割するなど、種々変形することが可能である。

[0107] 共通ダミー領域 3 1 1 及び 3 1 2 には、例えば、有効画素領域 9 1 A のうち、使用する励起光 7 1 の波長と、照射スポット 7 2 及び分光光学系 3 7 との位置関係とから、光学的に側方散乱光及び蛍光 7 4（分散光 7 5）が入射しない領域が設定されてもよい。言い換えれば、共通ダミー領域 3 1 1 及び 3 1 2 は、分光光学系 3 7 に対して、分光光学系 3 7 で分光された蛍光 7 4（分散光 7 5）が出射しない角度に位置する領域であってよい。

[0108] その場合、例えば、図 1 1 に例示するように、有効画素領域 9 1 A の行方向における両端に位置する 2 つの領域を、共通ダミー領域 3 1 1 及び 3 1 2 として使用することができる。ただし、これに限定されず、有効画素領域 9 1 A の行方向における何れか一方の端に位置する 2 つの領域が、共通ダミー領域 3 1 1 及び 3 1 2 として使用されてもよい。

[0109] なお、第 1 ～第 4 検出領域 3 0 1 ～3 0 4 は、分光光学系 3 7 に対して、分光光学系 3 7 で分光された蛍光 7 4（分散光 7 5）が出射する角度に位置する領域であってよい。

[0110] また、共通ダミー領域 3 1 1 及び 3 1 2 に属する画素 1 0 1 には、光学的に遮光された画素が使用されてもよい。その場合、共通ダミー領域 3 1 1 及び 3 1 2 の位置は、有効画素領域 9 1 A の行方向における端に限定されず、種々変更することが可能である。

[0111] 共通ダミー領域 3 1 1 及び 3 1 2 に光学的に遮光された画素 1 0 1 を使用する場合、これらの画素 1 0 1 では、例えば、図 7 に例示した構成において

、フォトダイオード 1 1 1 の上部開口を覆うように、遮光膜 2 1 4 が延在していてもよい。なお、共通ダミー領域 3 1 1 及び 3 1 2 に属する画素 1 0 1 のオンチップレンズ 2 1 1 は、省略することができる。

[0112] 第 1 ～第 4 検出領域 3 0 1 ～3 0 4 及び共通ダミー領域 3 1 1 及び 3 1 2 それぞれは、例えば、3 6 画素×3 6 画素の計 1 2 9 6 個の画素 1 0 1 を含む領域であってよい。

[0113] その際、それぞれの領域に含まれる画素数を均等とすることで、後述するノイズキャンセル処理を軽減することが可能となる。ただし、それぞれの領域に含まれる画素数を均等とすることは必須ではなく、適宜変更されてよい。

[0114] また、第 1 ～第 4 検出領域 3 0 1 ～3 0 4 それぞれの画素数に対して、1 つ以上の共通ダミー領域 3 1 1 及び 3 1 2 に含まれる合計の画素数を十分に多くすることで、より正確なノイズ成分を取得することが可能となるため、蛍光 7 4 における各波長帯の光量をより正確に取得することが可能となる。

[0115] その際、全ての共通ダミー領域 3 1 1 及び 3 1 2 に含まれるトータルの画素 1 0 1 の数を、第 1 ～第 4 検出領域 3 0 1 ～3 0 4 それぞれの画素数の整数倍（後述する中に相当）とすることで、後述するノイズキャンセル処理を軽減することが可能となる。

[0116] 1. 9 演算部の概略構成例

以上のように区画された構成を備える有効画素領域 9 1 A から読み出された画素信号は、例えば、図 3 に例示した演算部 1 0 0 に出力回路 9 6 を介して入力され、横筋ノイズを含むノイズ成分が除去される。なお、上述したように、演算部 1 0 0 は、イメージセンサ 3 4 と同一チップ内又は外部に設けられた DSP や FPGA 等であってもよいし、イメージセンサ 3 4 にバスやネットワークを介して接続されたパーソナルコンピュータなどの情報処理装置等であってよい。

[0117] 図 1 2 は、第 1 の実施形態に係る演算部の概略構成例を示すブロック図である。図 1 2 に示すように、演算部 1 0 0 は、第 1 ～第 4 検出領域 3 0 1 ～

304 それぞれに対して設けられた第1～第4出力加算部（第2加算部）401～404と、第1～第4出力加算部401～404それぞれに対して設けられた第1～第4実行信号算出部（第2算出部）411～414と、2つの共通ダミー領域311及び312に対して共通に設けられたダミー出力加算部（第1加算部）405と、ノイズ成分算出部（第1算出部）406とを備える。

[0118] 1. 10 ノイズキャンセル

つづいて、本実施形態に係るノイズキャンセルについて、図12を用いて説明する。

[0119] そこで、一度のPDリセット及び／又はFDリセットに対して実行されるサンプリングの回数Nを1とすると、第1出力加算部401には、例えば、第1検出領域301から読み出された 36×36 個のデジタルの画素信号が入力される。第1出力加算部401は、入力された 36×36 個の画素信号それぞれの画素値を加算して、その合計値である第1画素加算値 S_1 を算出する。

[0120] 他の第2～第4出力加算部402～404も同様に、第2～第4検出領域302～304それぞれから入力された 36×36 個のデジタルの画素信号それぞれの画素値を合計して、その合計値である第2～第4画素加算値 $S_2 \sim S_4$ を算出する。

[0121] 一方、ダミー出力加算部405には、2つの共通ダミー領域311及び312から読み出された $36 \times 36 \times 2$ 個のデジタルの画素信号が入力される。ダミー出力加算部405は、入力された $36 \times 36 \times 2$ 個の画素信号それぞれの画素値を合計して、その合計値であるダミー画素加算値Dを算出する。

[0122] 算出された第1～第4画素加算値 $S_1 \sim S_4$ は、第1～第4実行信号算出部411～414に入力される。また、算出されたダミー画素加算値Dは、ノイズ成分算出部406に入力される。

[0123] ノイズ成分算出部406は、入力されたダミー画素加算値Dを、共通ダミ

一領域 3 1 1 及び 3 1 2 に含まれるトータルの画素 1 0 1 の数（本例では、 $36 \times 36 \times 2 = 2592$ 個）を第 1 ～ 第 4 検出領域 3 0 1 ～ 3 0 4 それぞれに含まれる画素 1 0 1 の数（本例では、 $36 \times 36 = 1296$ 個）で除算した値 Φ （本例では、 $\Phi = 2592 \div 1296 = 2$ ）で除算することで、ノイズ成分 D / Φ を算出する。

[0124] なお、共通ダミー領域 3 1 1 及び 3 1 2 それぞれに含まれる画素 1 0 1 の数と、第 1 ～ 第 4 検出領域 3 0 1 ～ 3 0 4 それぞれに含まれる画素 1 0 1 の数とが同じである本例の場合、入力されたダミー画素加算値 D を共通ダミー領域 3 1 1 及び 3 1 2 の数 Φ （本例では、 $\Phi = 2$ ）で除算することでも、同様に、領域単位でのノイズ成分 D / Φ を算出することが可能である。

[0125] ただし、ノイズ成分の算出を領域単位とすることは必須ではなく、例えば、画素単位や複数の画素 1 0 1 よりなる画素グループ単位など、種々変形することが可能である。

[0126] 算出されたノイズ成分 D / Φ は、第 1 ～ 第 4 実行信号算出部 4 1 1 ～ 4 1 4 それぞれに入力される。

[0127] 第 1 実行信号算出部 4 1 1 は、入力された第 1 画素加算値 S_1 からノイズ成分 D / Φ を減算することで、第 1 検出領域 3 0 1 への入射光量に基づく信号成分である、すなわち、読み出された画素信号から横筋ノイズを含むノイズ成分が除去された正味の信号成分である第 1 実行信号 $S_1 - (D / \Phi)$ を算出する。

[0128] 第 2 ～ 第 4 実行信号算出部 4 1 2 ～ 4 1 4 も同様に、入力された第 2 ～ 第 4 画素加算値 $S_2 \sim S_4$ それぞれからノイズ成分 D / Φ を減算することで、第 2 ～ 第 4 検出領域 3 0 2 ～ 3 0 4 それぞれへの入射光量に基づく信号成分である第 2 ～ 第 4 実行信号 $S_2 - (D / \Phi) \sim S_4 - (D / \Phi)$ を算出する。

[0129] このように、第 1 ～ 第 4 画素加算値 $S_1 \sim S_4$ それぞれからノイズ成分 D / Φ を減算することで、第 1 ～ 第 4 画素加算値 $S_1 \sim S_4$ それぞれに含まれるランダムノイズを $\sqrt{(1 + 1 / \Phi)}$ 倍とすることが可能となる。これにより、横筋ノイズによる影響を低減して蛍光 7 4 における各波長帯の正確な光量を

取得することが可能となる。

[0130] なお、以上のようにして算出された第1～第4実行信号 $S_1 - (D/\Phi) \sim S_4 - (D/\Phi)$ は、例えば、外部の情報処理装置へ送信され、適宜分析されてよい。

[0131] 1. 1.1 作用・効果

以上のように、本実施形態によれば、第1～第4検出領域301～304それぞれから取得した第1～第4画素加算値 $S_1 \sim S_4$ に含まれる横筋ノイズを含むノイズ成分が、共通ダミー領域311及び312から取得したノイズ成分 D/Φ を用いてキャンセルされるため、蛍光74における各波長帯の正確な光量を取得して分析精度の低下を抑制することが可能となる。

[0132] 図13は、第1の実施形態に係るノイズキャンセルをしない場合の実験結果を示すグラフであり、図14は、第1の実施形態によるノイズキャンセルをした場合の実験結果を示すグラフである。なお、図13及び図14には、検体53の代わりに流動するマイクロビーズを用い、マイクロビーズから発するチャンネル#1～#8の8段階の蛍光強度をモデル化により見積もった場合の結果が示されている。

[0133] 図13と図14とを比較すると分かるように、本実施形態に係るノイズキャンセルをすることで、ダーク(Dark)に相当する領域におけるノイズが低減され、より正確に蛍光の光子数を検出することが可能となっている。

[0134] 1. 1.2 変形例

なお、上述した第1の実施形態では、有効画素領域91Aにおける行方向の端(例えば、図11に示す有効画素領域91Aの左右両端)に位置する領域をダミー領域として使用する場合を例示したが、このような構成に限定されず、例えば、画素アレイ部91又は有効画素領域91Aにおける列方向の端(例えば、図11に示す画素アレイ部91又は有効画素領域91Aにおける上下両端)の領域をダミー領域として使用することも可能である。

[0135] また、以下に、その他の変形例の幾つかを、図面を参照して説明する。

[0136] 1. 1.2. 1 第1の変形例

第1の実施形態では、画素101と検出回路93とが一対一に対応し、全ての画素101から同時並列に画素信号を読み出す、いわゆるグローバルシャッタ駆動が可能なイメージセンサ34を例示したが、このような構成に限定されない。例えば、1つの検出回路93が2つ以上の画素101に接続され、それぞれの画素101から順番に画素信号を読み出す、いわゆるローリングシャッタ駆動のイメージセンサ34を用いることも可能である。

[0137] 1. 12. 1. 1 画素と検出回路との接続例

図15は、第1の変形例に係る画素と検出回路との接続関係の一例を示す図である。図15に示すように、第1の変形例では、1つの検出回路93が、列方向に配列する複数（本例では40個）の画素101のうちの2つの画素101Aに接続されている。

[0138] 1. 12. 1. 2 画素の回路構成例

図16は、第1の変形例に係る画素の概略構成例を示す回路図である。図16に示すように、各画素101Aは、第1の実施形態において図6を用いて説明した回路構成例と同様の構成に加え、増幅トランジスタ114のドレインと垂直信号線124との間接続された選択トランジスタ115をさらに備えている。

[0139] 選択トランジスタ115のゲートは、行駆動回路121に接続され、ソースは増幅トランジスタ114のドレインに接続され、ドレインは垂直信号線124に接続される。

[0140] 行駆動回路121は、検出回路93に接続された2つの画素101Aのうち、先に読出し対象とする一方の画素101Aの選択トランジスタ115をオン状態とし、その後、この一方の画素101Aからの画素信号の読出しが完了すると、つづいて、他方の画素101Aの選択トランジスタ115をオン状態とすることで、この他方の画素101Aからの画素信号の読出しを可能にする。

[0141] 1. 12. 2 第2の変形例

図17は、第2の変形例に係る画素と検出回路との接続関係の一例を示す

図である。図 17 に例示するように、第 1 の変形例で例示されたローリングシャッタ駆動のイメージセンサ 34 では、1 つの検出回路 93 に 1 列に含まれる全ての画素 101A が接続された、いわゆるカラム ADC (Analog-to-Digital Converter) の構成とすることも可能である。

[0142] 第 2 の変形例では、行駆動回路 121 は、検出回路 93 に接続された 1 列分の画素 101A における選択トランジスタ 115 を順次オン状態とすることで、読出し対象とする画素 101A を順番に切り替える。

[0143] 1. 12. 3 第 3 の変形例

また、上述した第 1 の実施形態では、画素 101 と検出回路 93 とが同一の半導体基板に作り込まれた、いわゆる平置き型のイメージセンサ 34 について例示したが、このような構成に限定されるものではない。例えば、画素 101 におけるフォトダイオード 111 と読出し回路とが異なる半導体基板に設けられ、これらが貼り合わされたスタック構造のイメージセンサ 34 とすることも可能である。

[0144] 1. 12. 3. 1 チップ構成例

図 18 は、第 3 の変形例に係るイメージセンサのチップ構成例を示す図である。図 19 は、図 18 における受光チップの平面レイアウト例を示す平面図である。図 20 は、図 18 における検出チップの平面レイアウト例を示す平面図である。

[0145] 図 18 に示すように、第 3 の変形例に係るイメージセンサ 34A は、例えば、受光チップ (センサダイともいう) 201 と検出チップ (ロジックダイともいう) 202 とが上下に貼り合わされたスタック構造を備える。

[0146] 受光チップ 201 は、図 19 に示すように、例えば、画素 101 におけるフォトダイオード 111 が行列状に配列するフォトダイオードアレイ 111A を備える半導体チップである。

[0147] 一方、検出チップ 202 は、図 20 に示すように、例えば、画素 101 におけるフォトダイオード 111 以外の回路素子である読出し回路が行列状に配列する読出し回路アレイ 101a と、周辺回路である検出回路アレイ 93

A及び93B、画素駆動回路94並びにロジック回路95等とが形成された半導体チップである。

[0148] 受光チップ201におけるフォトダイオードアレイ111Aは、例えば、受光チップ201の光の入射面における中央に配置される。

[0149] 検出チップ202における読出し回路アレイ101aは、例えば、検出チップ202における受光チップ201との接合面であって、受光チップ201のフォトダイオードアレイ111Aと対応する位置に配置される。

[0150] 検出回路アレイ93A及び93Bは、例えば、読出し回路アレイ101aを列方向から挟む領域に配置される。また、画素駆動回路94及びロジック回路95は、例えば、読出し回路アレイ101aを行方向から挟む領域に配置される。

[0151] 1. 12. 3. 2 積層構造例

受光チップ201と検出チップ202との接合には、例えば、それぞれの接合面を平坦化して両者を電子間力で貼り合わせる、いわゆる直接接合を用いることができる。ただし、これに限定されず、例えば、互いの接合面に形成された銅(Cu)製の電極パッド同士をボンディングする、いわゆるCu-Cu接合や、その他、バンプ接合などを用いることも可能である。

[0152] また、受光チップ201と検出チップ202とは、例えば、半導体基板を貫通するTSV(Through-Silicon Via)などの接続部を介して電氣的に接続される。TSVを用いた接続には、例えば、受光チップ201に設けられたTSVと受光チップ201から検出チップ202にかけて設けられたTSVとの2つのTSVをチップ外表で接続する、いわゆるツインTSV方式や、受光チップ201から検出チップ202まで貫通するTSVで両者を接続する、いわゆるシェアードTSV方式などを採用することができる。

[0153] ただし、受光チップ201と検出チップ202との接合にCu-Cu接合やバンプ接合を用いた場合には、Cu-Cu接合部やバンプ接合部を介して両者が電氣的に接続される。

[0154] 1. 12. 3. 2. 1 第1の積層構造例

図21は、第1の積層構造例を示す断面図である。図21に示すように、第1の積層構造例では、イメージセンサ23020のセンサダイ23021には、画素領域23012（画素アレイ部91に相当）となる画素101を構成するフォトダイオードPDや、浮遊拡散層FD、読出し回路等を構成する各種トランジスタTr、及び、制御回路23013（画素駆動回路94に相当）となる各種トランジスタTr等が形成される。さらに、センサダイ23021には、複数層、本例では3層の配線23110を有する配線層23101が形成される。なお、制御回路23013（となるトランジスタTr）は、センサダイ23021ではなく、ロジックダイ23024に構成することができる。

[0155] ロジックダイ23024には、ロジック回路23014（ロジック回路95に相当）を構成する各種トランジスタTrが形成される。さらに、ロジックダイ23024には、複数層、本例では3層の配線23170を有する配線層23161が形成される。また、ロジックダイ23024には、内壁面に絶縁膜23172が形成された接続孔23171が形成され、接続孔23171内には、配線23170等と接続される接続導体23173が埋め込まれる。

[0156] センサダイ23021とロジックダイ23024とは、互いの配線層23101及び23161が向き合うように貼り合わされ、これにより、センサダイ23021とロジックダイ23024とが積層された積層型の固体撮像装置23020が構成されている。センサダイ23021とロジックダイ23024とが貼り合わされる面には、保護膜等の膜23191が形成されている。

[0157] センサダイ23021には、センサダイ23021の裏面側（フォトダイオードPDに光が入射する側）（上側）からセンサダイ23021を貫通してロジックダイ23024の最上層の配線23170に達する接続孔23111が形成される。さらに、センサダイ23021には、接続孔23111に近接して、センサダイ23021の裏面側から1層目の配線23110に

達する接続孔 23121 が形成される。接続孔 23111 の内壁面には、絶縁膜 23112 が形成され、接続孔 23121 の内壁面には、絶縁膜 23122 が形成される。そして、接続孔 23111 及び 23121 内には、接続導体 23113 及び 23123 がそれぞれ埋め込まれる。接続導体 23113 と接続導体 23123 とは、センサダイ 23021 の裏面側で電氣的に接続され、これにより、センサダイ 23021 とロジックダイ 23024 とが、配線層 23101、接続孔 23121、接続孔 23111、及び、配線層 23161 を介して、電氣的に接続される。

[0158] 1. 12. 3. 2. 2 第2の積層構造例

図 22 は、第2の積層構造例を示す断面図である。図 22 に示すように、第2の積層構造例では、イメージセンサ 23020 のセンサダイ 23021 に形成する1つの接続孔 23211 によって、センサダイ 23021 (の配線層 23101 (の配線 23110)) と、ロジックダイ 23024 (の配線層 23161 (の配線 23170)) とが電氣的に接続される。

[0159] すなわち、図 22 では、接続孔 23211 が、センサダイ 23021 の裏面側からセンサダイ 23021 を貫通してロジックダイ 23024 の最上層の配線 23170 に達し、且つ、センサダイ 23021 の最上層の配線 23110 に達するように形成される。接続孔 23211 の内壁面には、絶縁膜 23212 が形成され、接続孔 23211 内には、接続導体 23213 が埋め込まれる。上述の図 21 では、2つの接続孔 23111 及び 23121 によって、センサダイ 23021 とロジックダイ 23024 とが電氣的に接続されるが、図 22 では、1つの接続孔 23211 によって、センサダイ 23021 とロジックダイ 23024 とが電氣的に接続される。

[0160] 1. 12. 3. 2. 3 第3の積層構造例

図 23 は、第3の積層構造例を示す断面図である。図 23 に示すように、第3の積層構造例では、センサダイ 23021 とロジックダイ 23024 とが貼り合わされる面に、保護膜等の膜 23191 が形成されていない点で、センサダイ 23021 とロジックダイ 23024 とが貼り合わされる面に、

保護膜等の膜 2 3 1 9 1 が形成されている図 2 1 の場合と異なる。

[0161] 図 2 3 のイメージセンサ 2 3 0 2 0 は、配線 2 3 1 1 0 及び 2 3 1 7 0 が直接接触するように、センサダイ 2 3 0 2 1 とロジックダイ 2 3 0 2 4 とを重ね合わせ、所要の加重をかけながら加熱し、配線 2 3 1 1 0 及び 2 3 1 7 0 を直接接合することで構成される。

[0162] 1. 1 2. 3. 2. 4 第 4 の積層構造例

図 2 4 は、第 4 の積層構造例を示す断面図である。図 2 4 に示すように、第 4 の積層構造例では、イメージセンサ 2 3 4 0 1 は、センサダイ 2 3 4 1 1 と、ロジックダイ 2 3 4 1 2 と、メモリダイ 2 3 4 1 3 との 3 枚のダイが積層された 3 層の積層構造になっている。

[0163] メモリダイ 2 3 4 1 3 は、例えば、ロジックダイ 2 3 4 1 2 で行われる信号処理において一時的に必要となるデータの記憶を行うメモリ回路を有する。

[0164] 図 2 4 では、センサダイ 2 3 4 1 1 の下に、ロジックダイ 2 3 4 1 2 及びメモリダイ 2 3 4 1 3 が、その順番で積層されているが、ロジックダイ 2 3 4 1 2 及びメモリダイ 2 3 4 1 3 は、逆順、すなわち、メモリダイ 2 3 4 1 3 及びロジックダイ 2 3 4 1 2 の順番で、センサダイ 2 3 4 1 1 の下に積層することができる。

[0165] なお、図 2 4 では、センサダイ 2 3 4 1 1 には、画素の光電変換部となるフォトダイオード P D や、読出し回路等を構成する各種トランジスタ（以下、画素トランジスタという）T r のソース／ドレイン領域が形成されている。

[0166] フォトダイオード P D の周囲にはゲート絶縁膜を介してゲート電極が形成され、ゲート電極と対のソース／ドレイン領域により画素トランジスタ 2 3 4 2 1、画素トランジスタ 2 3 4 2 2 が形成されている。

[0167] フォトダイオード P D に隣接する画素トランジスタ 2 3 4 2 1 が転送トランジスタ 1 1 3 であり、その画素トランジスタ 2 3 4 2 1 を構成する対のソース／ドレイン領域の一方が浮遊拡散層 1 1 7 になっている。

[0168] また、センサダイ 23411 には、層間絶縁膜が形成され、層間絶縁膜には、接続孔が形成される。接続孔には、画素トランジスタ 23421、及び、画素トランジスタ 23422 に接続する接続導体 23431 が形成されている。

[0169] さらに、センサダイ 23411 には、各接続導体 23431 に接続する複数層の配線 23432 を有する配線層 23433 が形成されている。

[0170] また、センサダイ 23411 の配線層 23433 の最下層には、外部接続用の電極となるアルミパッド 23434 が形成されている。すなわち、センサダイ 23411 では、配線 23432 よりもロジックダイ 23412 との接着面 23440 に近い位置にアルミパッド 23434 が形成されている。アルミパッド 23434 は、外部との信号の入出力に係る配線の一端として用いられる。

[0171] さらに、センサダイ 23411 には、ロジックダイ 23412 との電氣的接続に用いられるコンタクト 23441 が形成されている。コンタクト 23441 は、ロジックダイ 23412 のコンタクト 23451 に接続されるとともに、センサダイ 23411 のアルミパッド 23442 にも接続されている。

[0172] そして、センサダイ 23411 には、センサダイ 23411 の裏面側（上側）からアルミパッド 23442 に達するようにパッド孔 23443 が形成されている。

[0173] 1. 12. 3. 2. 5 第5の積層構造例

図25は、第5の積層構造例を示す断面図である。図25に示すように、第5の積層構造例では、画素アレイ部 28023 と制御回路 28024 が形成された第1の半導体チップ部 28022 と、ロジック回路 28025 が形成された第2の半導体チップ部 28026 とが貼り合わされた積層半導体チップ 28032 を有して構成される。第1の半導体チップ部 28022 と第2の半導体チップ部 28026 とは、後述する互いの多層配線層が向かい合うようにして、かつ接続配線が直接接合するように、貼り合わされる。

[0174] 第1の半導体チップ部28022は、薄膜化されたシリコンによる第1の半導体基板28033に、光電変換部となるフォトダイオードPDと複数の画素トランジスタ T_{r1} 、 T_{r2} からなる複数の画素を列状に2次元配列した画素アレイ28034が形成される。また、図示しないが、半導体基板28033に制御回路28024を構成する複数のMOSトランジスタが形成される。半導体基板28033の表面28033a側には、層間絶縁膜28034を介して複数、この例では5層のメタル $M_1 \sim M_5$ による配線28035(28035a~28035d)及び28036を配置した多層配線層28037が形成される。配線28035及び28036は、デュアルダマシン法で形成された銅(Cu)配線が用いられる。半導体基板28033の裏面側には、絶縁膜28038を介してオプティカルブラック領域28041上を含んで遮光膜28039が形成され、さらに平坦化膜28043を介して有効画素領域28042上にカラーフィルタ28044及びオンチップレンズ28045が形成される。オプティカルブラック領域28041上にもオンチップレンズ28045を形成することもできる。

[0175] 図25において、画素トランジスタ T_{r1} 、 T_{r2} は、複数の画素トランジスタを代表して示している。第1の半導体チップ28022では、薄膜化された半導体基板28033にフォトダイオードPDが形成される。フォトダイオードPDは、例えばn型半導体領域と基板表面側のp型半導体領域を有して形成される。画素を構成する基板表面には、ゲート絶縁膜を介してゲート電極が形成され、ゲート電極と対のソース・ドレイン領域により画素トランジスタ T_{r1} 、 T_{r2} が形成される。フォトダイオードPDに隣接する画素トランジスタ T_{r1} がフローティングディフュージョンFDに相当する。各単位画素は素子分離領域で分離される。素子分離領域は、例えば基板に形成した溝内に SiO_2 膜等の絶縁膜を埋め込んでなるSTI(Shallow Trench Isolation)構造に形成される。

[0176] 第1の半導体チップ部28022の多層配線層28037では、対応する画素トランジスタと配線28035間、隣り合う上下層の配線28035間

が、導電ビア28052を介して接続される。さらに、第2の半導体チップ部28026との接合面28040に臨んで、5層目のメタルM₅による接続配線28036が形成される。接続配線28036は、導電ビア28052を介して4層目のメタルM₄による所要の配線28035dに接続される。

[0177] 第2の半導体チップ部28026は、シリコンによる第2の半導体基板28054の各チップ部となる領域に、周辺回路を構成するロジック回路28055が形成される。ロジック回路28055は、CMOSトランジスタを含む複数のMOSトランジスタT_{r11}～T_{r14}で形成される。半導体基板28054の表面側上には、層間絶縁膜28056を介して複数層、本例では4層のメタルM₁₁～M₁₄による配線28057（28057a～28057c）及び28058を配置した多層配線層28059が形成される。配線28057、28058は、デュアルダマシン法による銅（Cu）配線が用いられる。

[0178] 図25において、ロジック回路28055の複数のMOSトランジスタを、MOSトランジスタT_{r11}～T_{r14}で代表して示している。第2の半導体チップ部28026では、半導体基板28054の表面側の半導体ウェル領域に、各MOSトランジスタT_{r11}、T_{r12}が一对のソース・ドレイン領域とゲート絶縁膜を介してゲート電極を有して形成される。各MOSトランジスタT_{r11}、T_{r12}は例えばSTI構造の素子分離領域で分離される。

[0179] 第2の半導体チップ部28026の多層配線層28059では、MOSトランジスタT_{r11}～T_{r14}と配線28057間、隣り合う上下層の配線28057間が、導電ビア28064を介して接続される。さらに、第1の半導体チップ部28022との接合面28040に臨んで、4層目のメタルM₁₄による接続配線28058が形成される。接続配線28058は、導電ビア28065を介して3層目のメタルM₁₃による所要の配線28057cに接続される。

[0180] 第1の半導体チップ部28022と第2の半導体チップ部28026は、互いの多層配線層28037及び28059が向かい合うようにして、接合

面 28040 に臨む接続配線 28036 及び 28058 を直接接合して、電氣的に接続される。接合付近の層間絶縁膜 28066 は、後述の製法で示すように、Cu 配線の Cu 拡散を防止するための Cu 拡散バリア性絶縁膜と Cu 拡散バリア性を有しない絶縁膜の組み合わせで形成される。Cu 配線による接続配線 28036 及び 28058 の直接接合は、熱拡散接合で行う。接続配線 28036、28058 以外の絶縁膜 28066 同士の接合は、プラズマ接合、あるいは接着剤で行う。

[0181] そして、第 5 の積層構造例では、特に、図 25 に示すように、第 1 及び第 2 の半導体チップ部 28022 及び 28026 の接合付近に、接続配線と同じ層の導電膜による遮光層 28068 が形成される。遮光層 28068 は、第 1 の半導体チップ部 28022 側の接続配線 28036 と同じ層のメタル M_5 による遮光部 28071 と、第 2 の半導体チップ部 28026 側の接続配線 28058 と同じ層のメタル M_{14} による遮光部 28072 とにより形成される。この場合、遮光部 28071 及び 28072 のいずれか一方、本例では、遮光部 28071 が上面から見て縦横所定のピッチで複数の開口を有する形状に形成され、他方の遮光部 28072 が上面から見て遮光部 28071 の開口を塞ぐドット状に形成される。遮光層 28068 は、両遮光部 28071 及び 28072 が上面から見て一様に閉塞された状態で重なり合って構成される。

[0182] 遮光部 28071 と、その開口を塞ぐ遮光部 28072 とは、互いに一部重なるように形成される。遮光部 28071 と遮光部 28072 は、接続配線 28036 及び 28058 が直接接合されるとき、同時に重なり部分において直接接合される。遮光部 28071 の開口 28073 の形状は種々の形状が考えられ、例えば、四角形状に形成される。一方、ドット状の遮光部 28072 は、開口を塞ぐ形状をなし、例えば、開口の面積より大きめの四角形状に形成される。遮光層 28068 は、固定電位、例えば接地電位が印加され、電位的に安定にすることが好ましい。

[0183] 2. 第 2 の実施形態

次に、第2の実施形態に係る光学測定装置及び光学測定システムとしてのフローサイトメータについて、図面を参照して詳細に説明する。なお、以下の説明において、上述した実施形態又はその変形例と同様の構成については、それを引用することで、その重複する説明を省略する。

[0184] 上述した第1の実施形態では、検出領域（第1～第4検出領域301～304）の数や画素アレイ部91上の位置及びサイズが予め固定されていた場合を例示したが、検出領域の数や画素アレイ部91上の位置及びサイズは、使用する励起光71や検体53及び蛍光マーカの種類等に応じて適宜変更されてもよい。

[0185] 例えば、図26に例示するように、有効画素領域91Aにおける共通ダミー領域311及び312以外の検出用領域91Bのうちのいずれか1つ以上の36画素×36画素の領域を1つ以上の検出領域（図26では、第1検出領域301及び第2検出領域302の2つ）に設定することが可能である。

[0186] その場合、第1の実施形態における演算部100は、後述する演算部500に置き換えられる。

[0187] 2. 1 演算部の概略構成例

図27は、第2の実施形態に係る演算部の概略構成例を示すブロック図である。図12に示すように、演算部500は、第1の実施形態において図12を用いて説明した演算部100と同様の構成（出力加算部及び実行信号算出部は2つずつ）に加え、領域設定部501と、領域設定レジスタ（領域情報保持部）502とをさらに備える。

[0188] 領域設定レジスタ502は、有効画素領域91A又は検出用領域91Bのうちのいずれの領域を検出領域（例えば、第1検出領域301及び第2検出領域302）として使用するかのアドレス情報（位置情報）を記憶する。このアドレス情報は、例えば、外部のホスト等から領域設定レジスタ502に設定されてよい。

[0189] 領域設定部501は、領域設定レジスタに設定されているアドレス情報に基づいて、イメージセンサ34から入力された画像データから、第1検出領

域 3 0 1 に相当する領域の画像データと、第 2 検出領域 3 0 2 に相当する領域の画像データとを切り出し、この切り出した画像データを、第 1 出力加算部 4 0 1 及び第 2 出力加算部 4 0 2 へそれぞれ入力する。また、領域設定部 5 0 1 は、同じく領域設定レジスタに設定されているアドレス情報に基づいて、イメージセンサ 3 4 から入力された画像データから、共通ダミー領域 3 1 1 及び 3 1 2 に相当する領域の画像データを切り出し、この切り出した画像データを、ダミー出力加算部 4 0 5 へ入力する。

[0190] その後、第 1 の実施形態と同様に、第 1 及び第 2 実行信号算出部 4 1 1 及び 4 1 2 が、第 1 及び第 2 出力加算部 4 0 1 及び 4 0 2 で算出された第 1 及び第 2 画素加算値 S_1 及び S_2 それぞれからノイズ成分算出部 4 0 6 で算出されたノイズ成分 D/Φ を減算することで、第 1 及び第 2 検出領域 3 0 1 ~ 3 0 2 それぞれへの入射光量に基づく信号成分である第 1 ~ 第 2 実行信号 $S_1 - (D/\Phi)$ 及び $S_2 - (D/\Phi)$ が算出される。

[0191] 2. 2 作用・効果

以上のように、本実施形態によれば、検出領域の数や画素アレイ部 9 1 上の位置及びサイズを自由に設定することが可能となるため、使用する励起光 7 1 や検体 5 3 や蛍光マーカ等に応じて最適な波長帯の蛍光 7 4 を検出対象とすること可能となる。

[0192] また、例えば、イメージセンサ 3 4 から読み出した画像データを保存しておいた場合には、分析時に自由に検出領域を再設定することが可能であるため、よりの確且つ詳細な検体 5 3 の分析が可能になる。

[0193] なお、図 2 7 では、演算部 5 0 0 が検出領域の数（本例では 2 つ）に応じた数（本例では 2 つずつ）の出力加算部及び実行信号算出部を備える場合を例示したが、演算部 5 0 0 が備える出力加算部及び実行信号算出部の数は、適宜変更されてよい。例えば、領域設定レジスタ 5 0 2 に検出領域のアドレスが追加された場合には、演算部 5 0 0 に出力加算部及び実行信号算出部が 1 つずつ追加されるように、演算部 5 0 0 が組み換えられてもよい。

[0194] この組み替えは、例えば、演算部 5 0 0 を DSP や FPGA で構成した場

合には、DSPやFPGAに組み込む回路ロジックを変更することで実現することができる。また、演算部500をパーソナルコンピュータなどでプログラムを用いて実現する場合には、追加の出力加算部及び実行信号算出部を実現するスレッド又はタスクを新たに立ち上げることで実現することが可能である。

[0195] その他の構成、動作及び効果は、上述した実施形態又はその変形例と同様であってよいため、ここでは詳細な説明を省略する。

[0196] 3. 第3の実施形態

次に、第3の実施形態に係る光学測定装置及び光学測定システムとしてのフローサイトメータについて、図面を参照して詳細に説明する。なお、以下の説明において、上述した実施形態又はその変形例と同様の構成については、それを引用することで、その重複する説明を省略する。

[0197] 第3の実施形態では、第2の実施形態における検出領域に加え、ダミー領域の数や画素アレイ部91上の位置及びサイズを、使用する励起光71や検体53及び蛍光マーカの種類等に応じて適宜変更することができるように構成した場合について、例を挙げて説明する。

[0198] 例えば、図28に例示するように、第2の実施形態において例示した領域設定レジスタ502及び領域設定部501を利用することで、有効画素領域91Aにおける任意の領域を、共通ダミー領域611に設定することが可能である。

[0199] ここで、検体53から放射する蛍光74の波長スペクトルは、使用する励起光71の波長に依存して変化する。

[0200] 図29は、使用する励起光の波長と検体から放射する蛍光の波長との関係例を示す図である。図29に示すように、例えば、励起光71に、波長355nm、405nm又は488nmの単色光を用いた場合、検体53から放射する蛍光74の波長スペクトルSP355、SP405及びSP488（すなわち、分散光75の行方向の広がり）は、画素アレイ部91における検出用領域91Bの全体に広がる。

- [0201] したがって、励起光 7 1 にこれらの波長の単色光を用いた場合には、第 1 の実施形態において例示したような、開口が遮光された画素 1 0 1 が配列する領域（以下、遮光領域という）や、照射スポット 7 2 及び分光光学系 3 7 との位置関係とから、光学的に側方散乱光及び蛍光 7 4 が入射しない領域（以下、外側領域という）を、共通ダミー領域 6 1 1 に使用することとなる。
- [0202] 一方、励起光 7 1 に波長 $5 \times X \text{ nm}$ の単色光を用いた場合には、例えば、 540 nm 程度以下の波長帯には、蛍光 7 4 が発生しない。そこで、このような場合には、遮光領域や外側領域に加え又は代えて、有効画素領域 9 1 A における 540 nm 程度以下の波長帯に対応する領域を、共通ダミー領域 6 1 1 に使用することが可能である。
- [0203] 同様に、励起光 7 1 に波長 594 nm 又は 637 nm の単色光を用いた場合には、例えば、 570 nm 程度以下の波長帯には、蛍光 7 4 が発生しない。そこで、このような場合には、遮光領域や外側領域に加え又は代えて、有効画素領域 9 1 A における 570 nm 程度以下の波長帯に対応する領域を、共通ダミー領域 6 1 1 に使用することが可能である。
- [0204] このように、共通ダミー領域 6 1 1 には、例えば、有効画素領域 9 1 A のうち、使用する励起光 7 1 との関係から検体 5 3 又は蛍光マーカから蛍光 7 4 が放射しない波長帯に対応する領域が設定されるとよい。
- [0205] なお、図 2 8 には、共通ダミー領域 6 1 1 が 1 つの領域である場合が例示されているが、共通ダミー領域 6 1 1 は、1 つの領域に限られず、複数の領域に分割されていてもよい。
- [0206] ただし、共通ダミー領域 6 1 1 を複数の領域で構成する場合、全ての共通ダミー領域 6 1 1 に含まれるトータルの画素 1 0 1 の数は、検出領域（例えば、第 1 及び第 2 検出領域 3 0 1 及び 3 0 2）それぞれに含まれる画素 1 0 1 の数（本例では、 36×36 の合計 1 2 9 6 個）の倍数（ Φ ）であるとよい。
- [0207] また、第 3 の実施形態に係る演算部は、例えば、第 2 の実施形態において図 2 7 を用いて例示した演算部 5 0 0 と同様の構成であってよい。ただし、

本実施形態では、領域設定レジスタ 5 0 2 に格納されているアドレス情報のうち、検出領域のアドレス情報に加え、共通ダミー領域 6 1 1 のアドレス情報も、適宜書き換えられる。

[0208] 領域設定レジスタ 5 0 2 における共通ダミー領域 6 1 1 のアドレス情報は、使用する励起光 7 1 の波長又は励起光源 3 2 や検体 5 3 の種類等に応じて適宜書き換えられてもよいし、イメージセンサ 3 4 で取得された画像データやその分析結果に応じて自動又は手動で着替えられてもよい。

[0209] 3. 1 作用・効果

以上のように、第 3 の実施形態によれば、検出領域に加え、ダミー領域の数や画素アレイ部 9 1 上の位置及びサイズを自由に設定することが可能となるため、よりの確なダミー領域の設定により、蛍光 7 4 における各波長帯のより正確な光量を取得して分析精度の低下を抑制することが可能となるとともに、より柔軟な装置構成が可能となる。

[0210] その他の構成、動作及び効果は、上述した実施形態又はその変形例と同様であってよいので、ここでは詳細な説明を省略する。

[0211] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0212] また、本明細書に記載された各実施形態における効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0213] なお、本技術は以下のような構成も取ることができる。

(1)

所定波長の励起光を出射する励起光源と、
前記励起光が照射された検体から放射した蛍光を分光する分光光学系と、
複数の画素が行列状に配列した画素アレイ部を備え、前記分光光学系で分光された前記蛍光の波長帯ごとの光量を検出する固体撮像素子と、
前記画素アレイ部の一部である第 1 領域に含まれる 1 つ以上の前記画素か

ら取得された画素値に基づいて、前記画素アレイ部の他の一部である第2領域に含まれる1つ以上の前記画素から取得された画素値からノイズ成分を減算する演算部と、

を備える光学測定装置。

(2)

前記演算部は、

前記第1領域に含まれる前記1つ以上の画素から取得された前記画素値を合計して第1画素加算値を算出する第1加算部と、

前記第2領域に含まれる前記1つ以上の画素から取得された前記画素値を合計して第2画素加算値を算出する第2加算部と、

前記第1領域に含まれる前記1つ以上の画素の数を前記第2領域に含まれる前記1つ以上の画素の数で除算した値で前記第1画素加算値を除算することで前記ノイズ成分を算出する第1算出部と、

前記第2画素加算値から前記ノイズ成分を減算する第2算出部と、

を備える前記(1)に記載の光学測定装置。

(3)

前記第1領域に含まれる前記1つ以上の画素の数は、前記第2領域に含まれる前記1つ以上の画素の数の整数倍である前記(2)に記載の光学測定装置。

(4)

前記第2領域の前記画素アレイ部における位置を示す位置情報を保持する領域情報保持部と、

前記領域情報保持部に保持されている前記位置情報に基づいて、前記第2領域に含まれる前記1つ以上の画素から取得された前記画素値を前記第2加算部に入力する領域設定部と、

をさらに備える前記(2)又は(3)に記載の光学測定装置。

(5)

前記第1領域の前記画素アレイ部における位置を示す第1位置情報と、前

記第2領域の前記画素アレイ部における位置を示す第2位置情報とを保持する領域情報保持部と、

前記領域情報保持部に保持されている前記第1位置情報に基づいて前記第1領域に含まれる前記1つ以上の画素から取得された前記画素値を前記第1加算部に入力し、前記領域情報保持部に保持されている前記第2位置情報に基づいて前記第2領域に含まれる前記1つ以上の画素から取得された前記画素値を前記第2加算部に入力する領域設定部と、

をさらに備える前記(2)又は(3)に記載の光学測定装置。

(6)

前記演算部は、前記画素アレイ部における前記第1及び第2領域とは異なる第3領域に含まれる1つ以上の前記画素から取得された画素値から前記ノイズ成分を減算する前記(1)～(5)の何れか1項に記載の光学測定装置。

(7)

前記第1領域に含まれる前記1つ以上の画素それぞれは、光学的に遮光された画素である前記(1)～(6)の何れか1項に記載の光学測定装置。

(8)

前記第1領域は、前記分光光学系に対して、当該分光光学系で分光された前記蛍光が出射しない角度に位置する領域であり、

前記第2領域は、前記分光光学系に対して、当該分光光学系で分光された前記蛍光が出射する角度に位置する領域である

前記(1)～(6)の何れか1項に記載の光学測定装置。

(9)

前記分光光学系は、前記行列状の配列における行方向に前記蛍光を分光し、

前記第1領域は、前記画素アレイ部において前記第2領域の行方向に位置する

前記(1)～(8)の何れか1項に記載の光学測定装置。

(10)

前記分光光学系は、前記行列状の配列における行方向に前記蛍光を分光し、

前記第1領域は、前記画素アレイ部の前記行方向の2つの端における少なくとも一方に位置する

前記(1)～(8)の何れか1項に記載の光学測定装置。

(11)

前記第1領域は、分離した2以上の領域を含む前記(1)～(10)の何れか1項に記載の光学測定装置。

(12)

前記固体撮像素子は、前記画素それぞれに対して一対一に接続され、前記画素それぞれから前記画素値を取得する複数の検出回路をさらに備える前記(1)～(11)の何れか1項に記載の光学測定装置。

(13)

前記固体撮像素子は、前記複数の画素のうち、前記行列状の配列における列方向に配列する2つ以上の画素に接続され、当該2つ以上の画素それぞれから順に前記画素値を取得する複数の検出回路をさらに備える前記(1)～(11)の何れか1項に記載の光学測定装置。

(14)

所定波長の励起光を出射する励起光源と、
前記励起光が照射された検体から放射した蛍光を分光する分光光学系と、
複数の画素が行列状に配列した画素アレイ部を備え、前記分光光学系で分光された前記蛍光の波長帯ごとの光量を検出する固体撮像装置と、

前記画素アレイ部の一部である第1領域に含まれる1つ以上の前記画素から取得された画素値に基づいて、前記画素アレイ部の他の一部である第2領域に含まれる1つ以上の前記画素から取得された画素値からノイズ成分を減算する情報処理装置と、

を備える光学測定システム。

符号の説明

- [0214] 1 1 フローサイトメータ
- 3 1 フローセル
- 3 2 励起光源
- 3 3 フォトダイオード
- 3 4、3 4 A イメージセンサ
- 3 5、3 6 集光レンズ
- 3 7 分光光学系
- 3 7 1 光学素子
- 5 1 サンプルチューブ
- 5 2 サンプル流
- 5 3 検体
- 7 1 励起光
- 7 2 照射スポット
- 7 3 前方散乱光
- 7 4 蛍光
- 7 5 分散光
- 9 1 画素アレイ部
- 9 1 A 有効画素領域
- 9 1 B 検出用領域
- 9 2 接続部
- 9 3 検出回路
- 9 3 A、9 3 B 検出回路アレイ
- 9 4 画素駆動回路
- 9 5 ロジック回路
- 9 6 出力回路
- 1 0 0、5 0 0 演算部
- 1 0 1、1 0 1 A 画素

- 1 0 1 a 読出し回路アレイ
- 1 1 1 フォトダイオード
- 1 1 1 A フォトダイオードアレイ
- 1 1 2 蓄積ノード
- 1 1 3 転送トランジスタ
- 1 1 4 増幅トランジスタ
- 1 1 5 選択トランジスタ
- 1 1 6 リセットトランジスタ
- 1 1 7 浮遊拡散層
- 1 1 8 電源
- 1 2 1 行駆動回路
- 1 2 2 定電流回路
- 1 2 3 信号検出回路
- 1 2 4 垂直信号線
- 2 0 1 受光チップ
- 2 0 2 検出チップ
- 2 1 0 入射光
- 2 1 1 オンチップレンズ
- 2 1 3 平坦化膜
- 2 1 4 遮光膜
- 2 1 5 絶縁膜
- 2 1 6 P型半導体領域
- 2 1 7 受光面
- 2 1 8 半導体基板
- 2 2 0 N型半導体領域
- 2 3 0 画素分離部
- 2 3 1 溝部
- 2 3 2 固定電荷膜

- 2 3 3 絶縁膜
- 2 5 0 配線層
- 2 5 1 配線
- 2 5 2 絶縁層
- 2 6 1 支持基板
- 3 0 1 第1検出領域
- 3 0 2 第2検出領域
- 3 0 3 第3検出領域
- 3 0 4 第4検出領域
- 3 1 1、3 1 2、6 1 1 共通ダミー領域
- 5 0 1 領域設定部
- 5 0 2 領域設定レジスタ

請求の範囲

- [請求項1] 所定波長の励起光を出射する励起光源と、
前記励起光が照射された検体から放射した蛍光を分光する分光光学系と、
複数の画素が行列状に配列した画素アレイ部を備え、前記分光光学系で分光された前記蛍光の波長帯ごとの光量を検出する固体撮像素子と、
前記画素アレイ部の一部である第1領域に含まれる1つ以上の前記画素から取得された画素値に基づいて、前記画素アレイ部の他の一部である第2領域に含まれる1つ以上の前記画素から取得された画素値からノイズ成分を減算する演算部と、
を備える光学測定装置。
- [請求項2] 前記演算部は、
前記第1領域に含まれる前記1つ以上の画素から取得された前記画素値を合計して第1画素加算値を算出する第1加算部と、
前記第2領域に含まれる前記1つ以上の画素から取得された前記画素値を合計して第2画素加算値を算出する第2加算部と、
前記第1領域に含まれる前記1つ以上の画素の数を前記第2領域に含まれる前記1つ以上の画素の数で除算した値で前記第1画素加算値を除算することで前記ノイズ成分を算出する第1算出部と、
前記第2画素加算値から前記ノイズ成分を減算する第2算出部と、
を備える請求項1に記載の光学測定装置。
- [請求項3] 前記第1領域に含まれる前記1つ以上の画素の数は、前記第2領域に含まれる前記1つ以上の画素の数の整数倍である請求項2に記載の光学測定装置。
- [請求項4] 前記第2領域の前記画素アレイ部における位置を示す位置情報を保持する領域情報保持部と、

前記領域情報保持部に保持されている前記位置情報に基づいて、前記第2領域に含まれる前記1つ以上の画素から取得された前記画素値を前記第2加算部に入力する領域設定部と、

をさらに備える請求項2に記載の光学測定装置。

[請求項5] 前記第1領域の前記画素アレイ部における位置を示す第1位置情報と、前記第2領域の前記画素アレイ部における位置を示す第2位置情報とを保持する領域情報保持部と、

前記領域情報保持部に保持されている前記第1位置情報に基づいて前記第1領域に含まれる前記1つ以上の画素から取得された前記画素値を前記第1加算部に入力し、前記領域情報保持部に保持されている前記第2位置情報に基づいて前記第2領域に含まれる前記1つ以上の画素から取得された前記画素値を前記第2加算部に入力する領域設定部と、

をさらに備える請求項2に記載の光学測定装置。

[請求項6] 前記演算部は、前記画素アレイ部における前記第1及び第2領域とは異なる第3領域に含まれる1つ以上の前記画素から取得された画素値から前記ノイズ成分を減算する請求項1に記載の光学測定装置。

[請求項7] 前記第1領域に含まれる前記1つ以上の画素それぞれは、光学的に遮光された画素である請求項1に記載の光学測定装置。

[請求項8] 前記第1領域は、前記分光光学系に対して、当該分光光学系で分光された前記蛍光が出射しない角度に位置する領域であり、

前記第2領域は、前記分光光学系に対して、当該分光光学系で分光された前記蛍光が出射する角度に位置する領域である

請求項1に記載の光学測定装置。

[請求項9] 前記分光光学系は、前記行列状の配列における行方向に前記蛍光を分光し、

前記第1領域は、前記画素アレイ部において前記第2領域の行方向に位置する

請求項 1 に記載の光学測定装置。

[請求項10] 前記分光光学系は、前記行列状の配列における行方向に前記蛍光を分光し、

前記第 1 領域は、前記画素アレイ部の前記行方向の 2 つの端における少なくとも一方に位置する

請求項 1 に記載の光学測定装置。

[請求項11] 前記第 1 領域は、分離した 2 以上の領域を含む請求項 1 に記載の光学測定装置。

[請求項12] 前記固体撮像素子は、前記画素それぞれに対して一対一に接続され、前記画素それぞれから前記画素値を取得する複数の検出回路をさらに備える請求項 1 に記載の光学測定装置。

[請求項13] 前記固体撮像素子は、前記複数の画素のうち、前記行列状の配列における列方向に配列する 2 つ以上の画素に接続され、当該 2 つ以上の画素それぞれから順に前記画素値を取得する複数の検出回路をさらに備える請求項 1 に記載の光学測定装置。

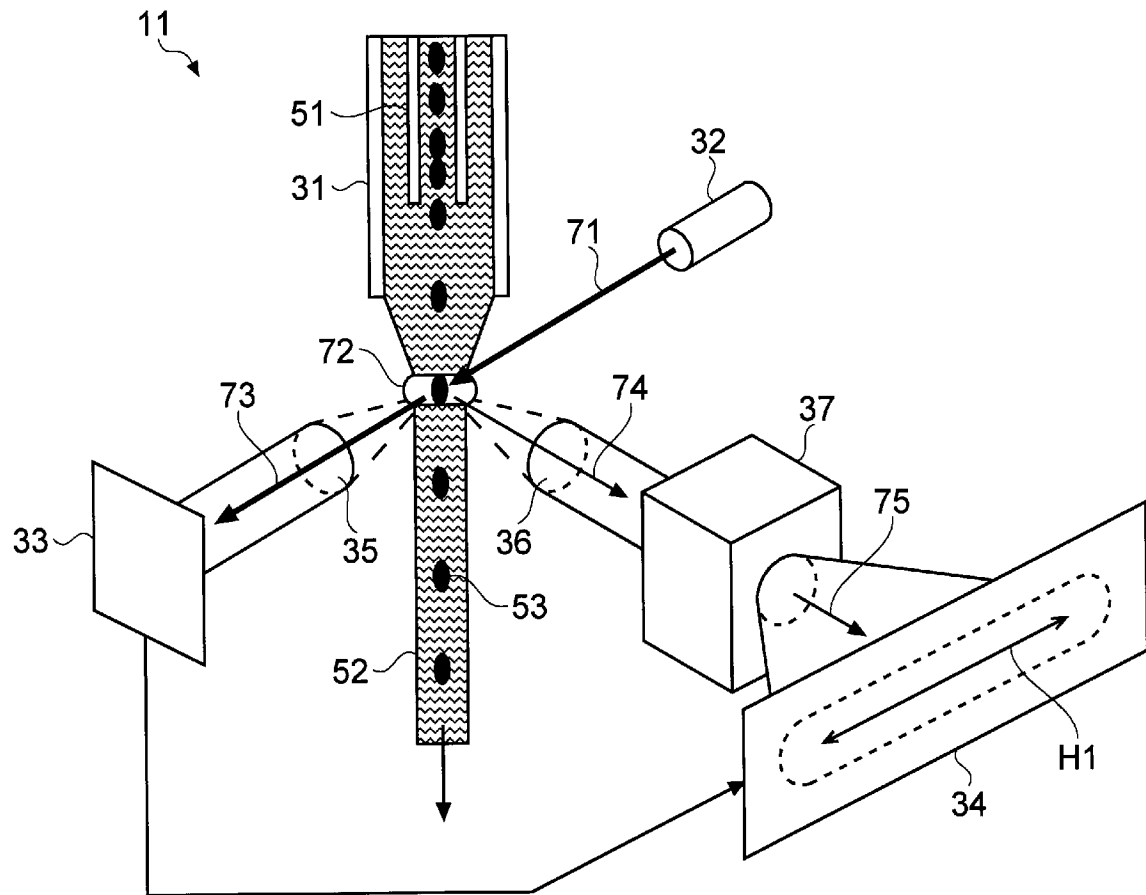
[請求項14] 所定波長の励起光を出射する励起光源と、
前記励起光が照射された検体から放射した蛍光を分光する分光光学系と、

複数の画素が行列状に配列した画素アレイ部を備え、前記分光光学系で分光された前記蛍光の波長帯ごとの光量を検出する固体撮像装置と、

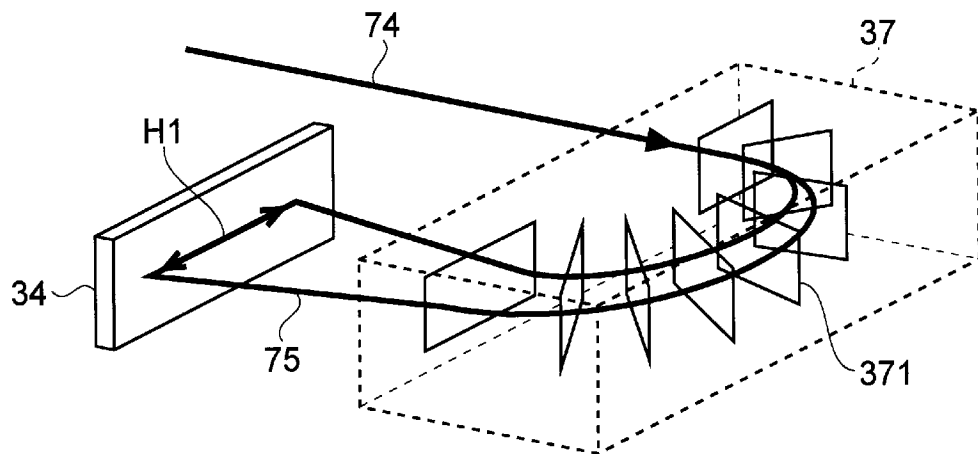
前記画素アレイ部の一部である第 1 領域に含まれる 1 つ以上の前記画素から取得された画素値に基づいて、前記画素アレイ部の他の一部である第 2 領域に含まれる 1 つ以上の前記画素から取得された画素値からノイズ成分を減算する情報処理装置と、

を備える光学測定システム。

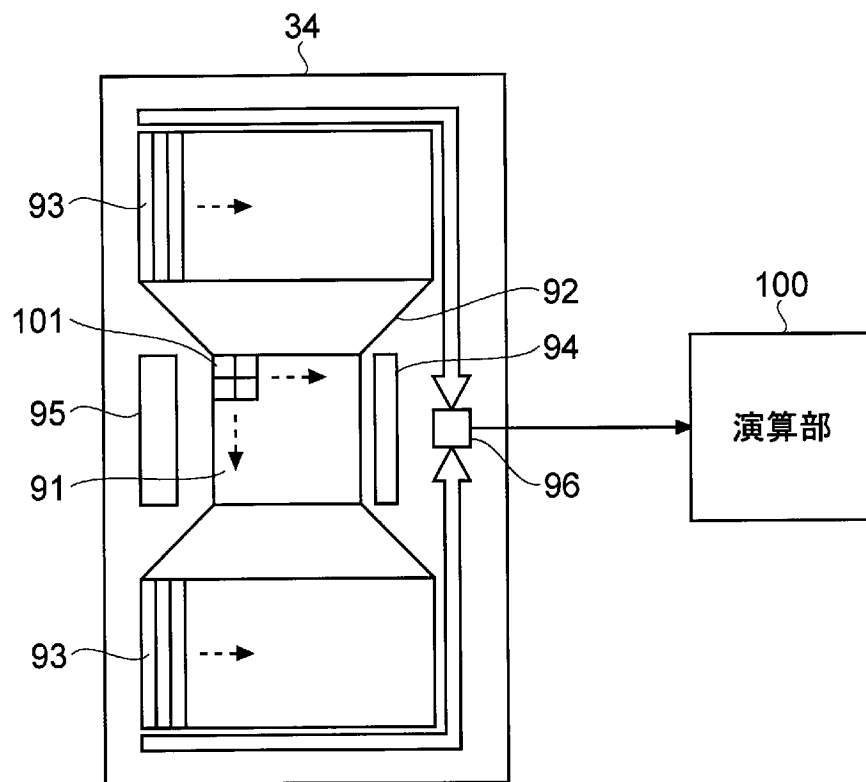
[図1]



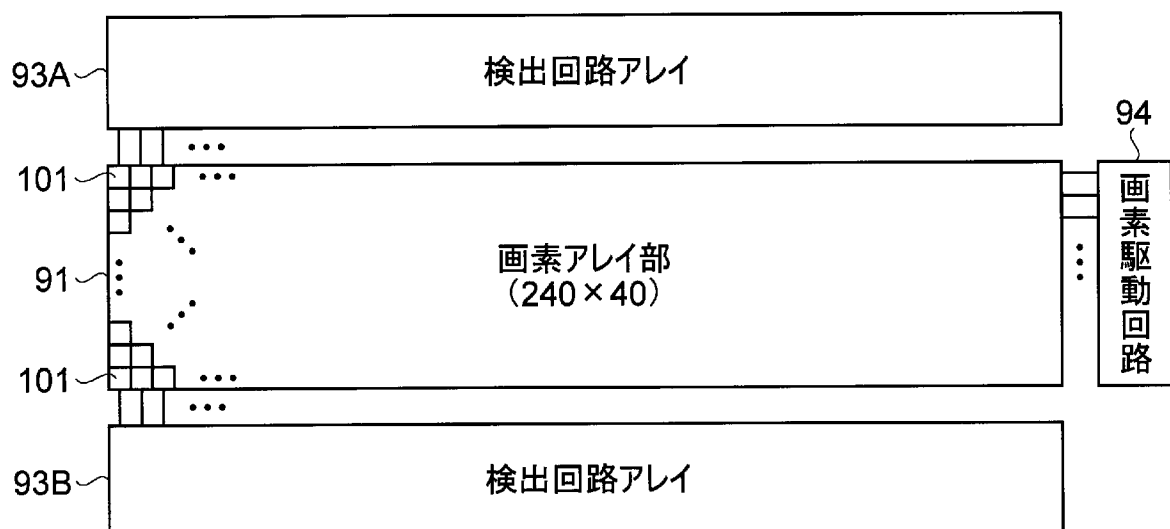
[図2]



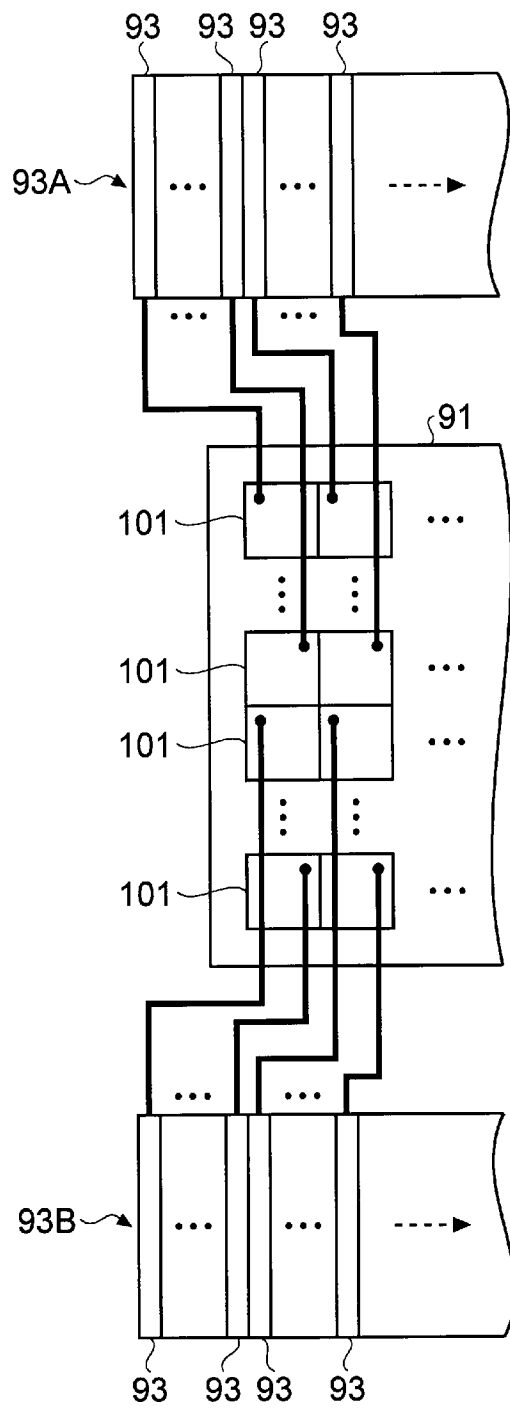
[図3]



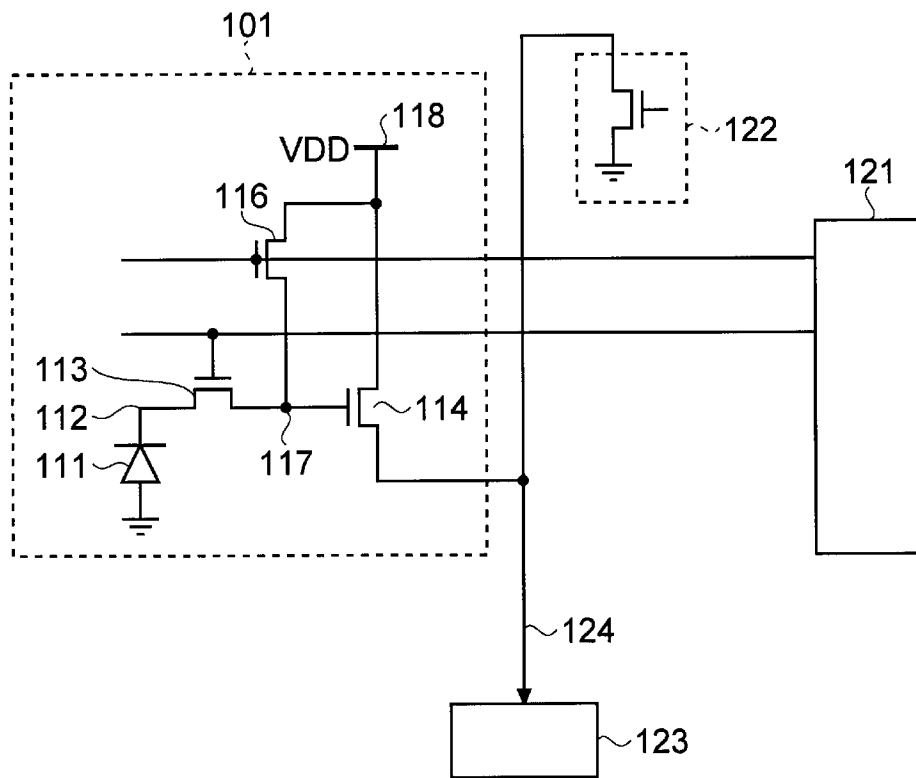
[図4]



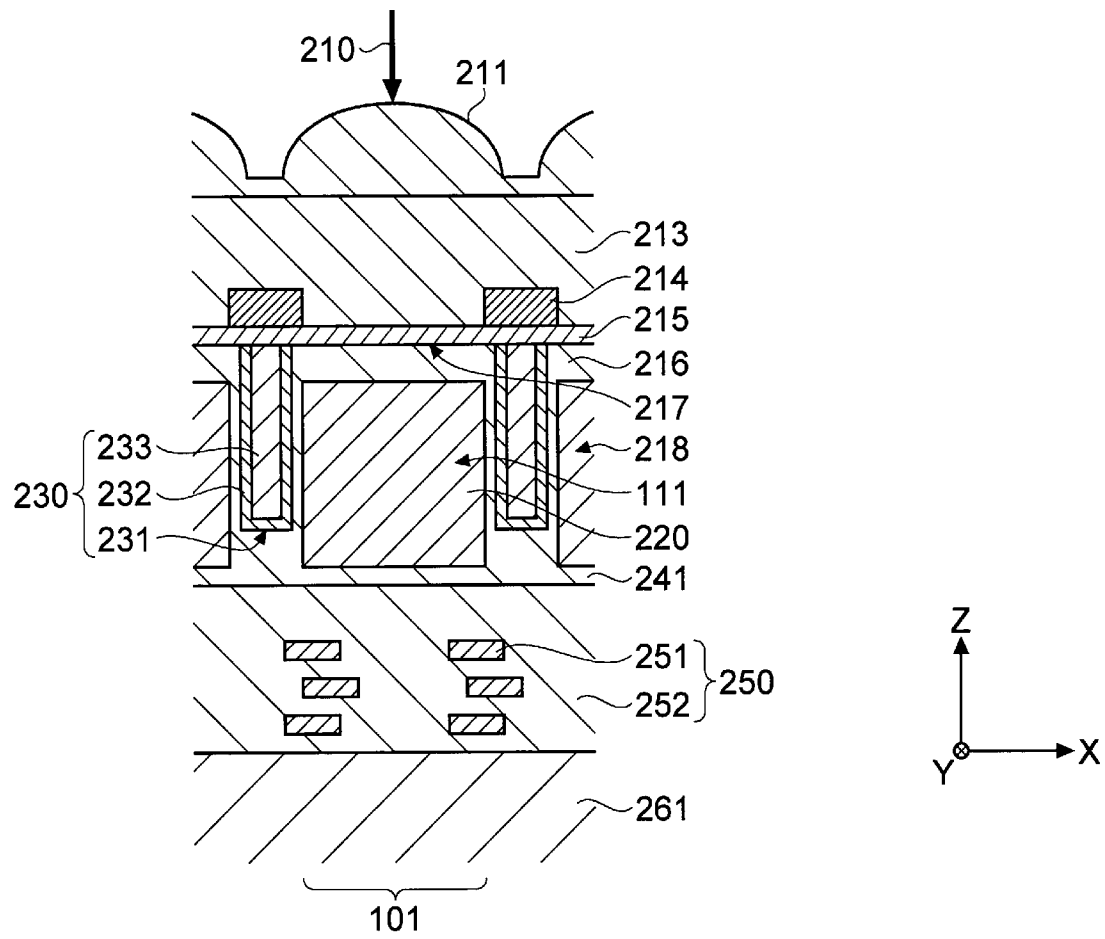
[図5]



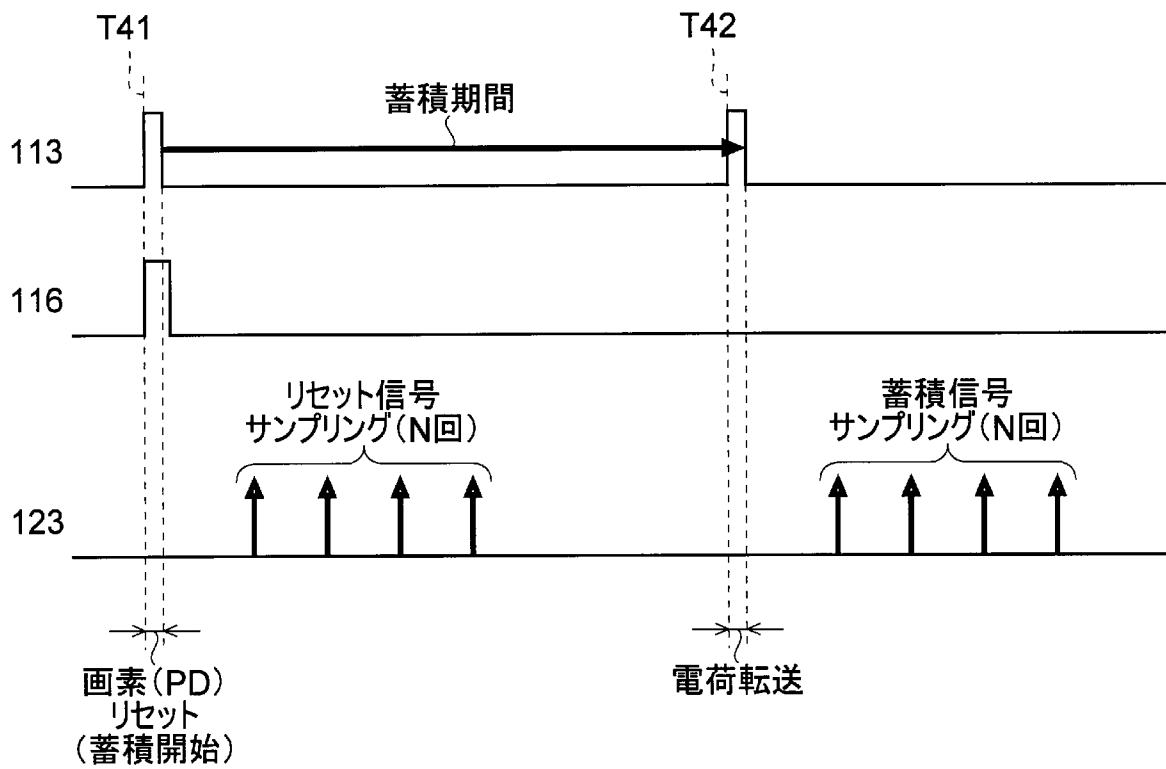
[図6]



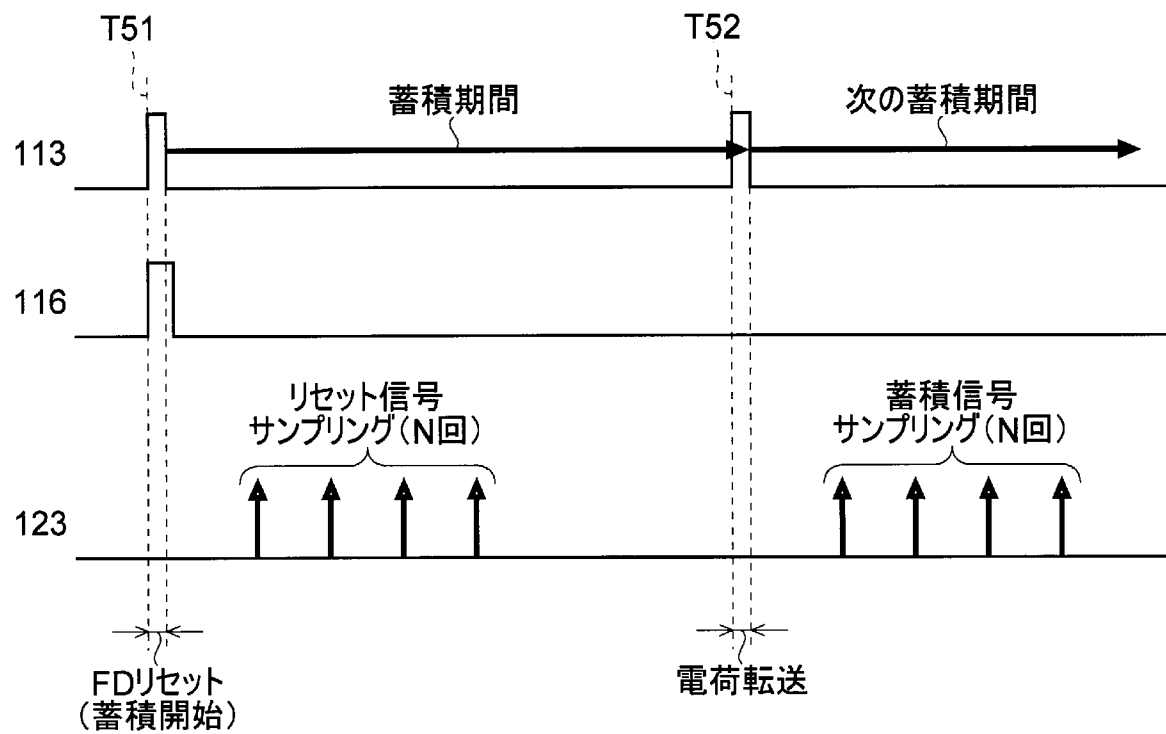
[図7]



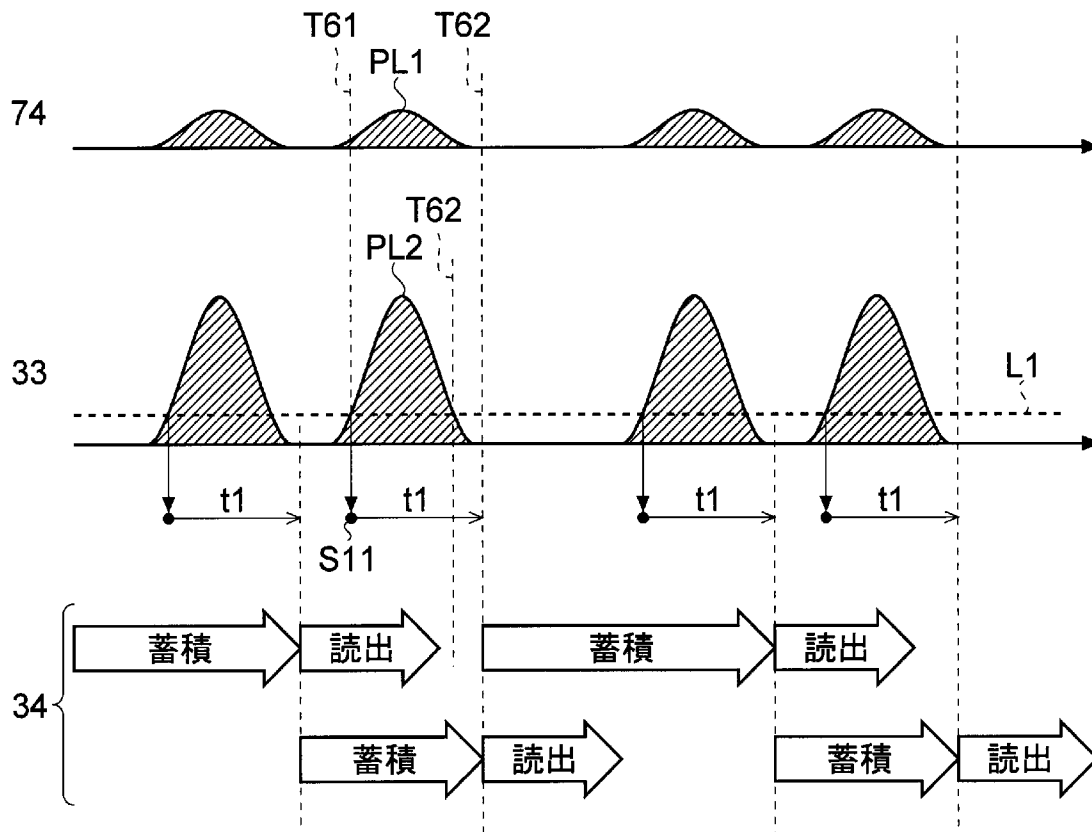
[図8]



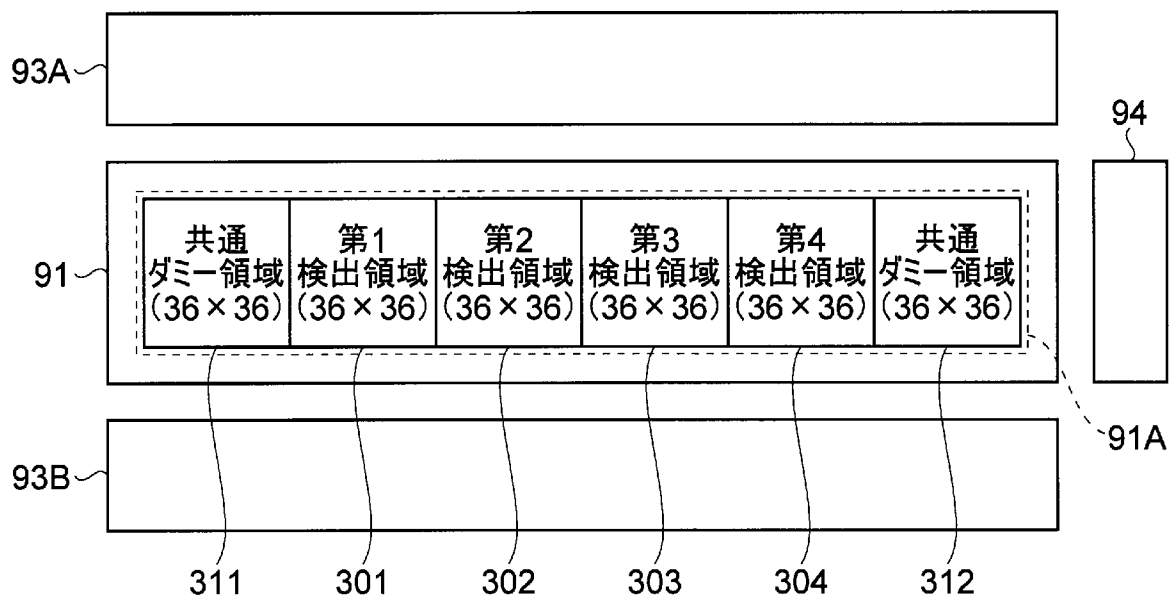
[図9]



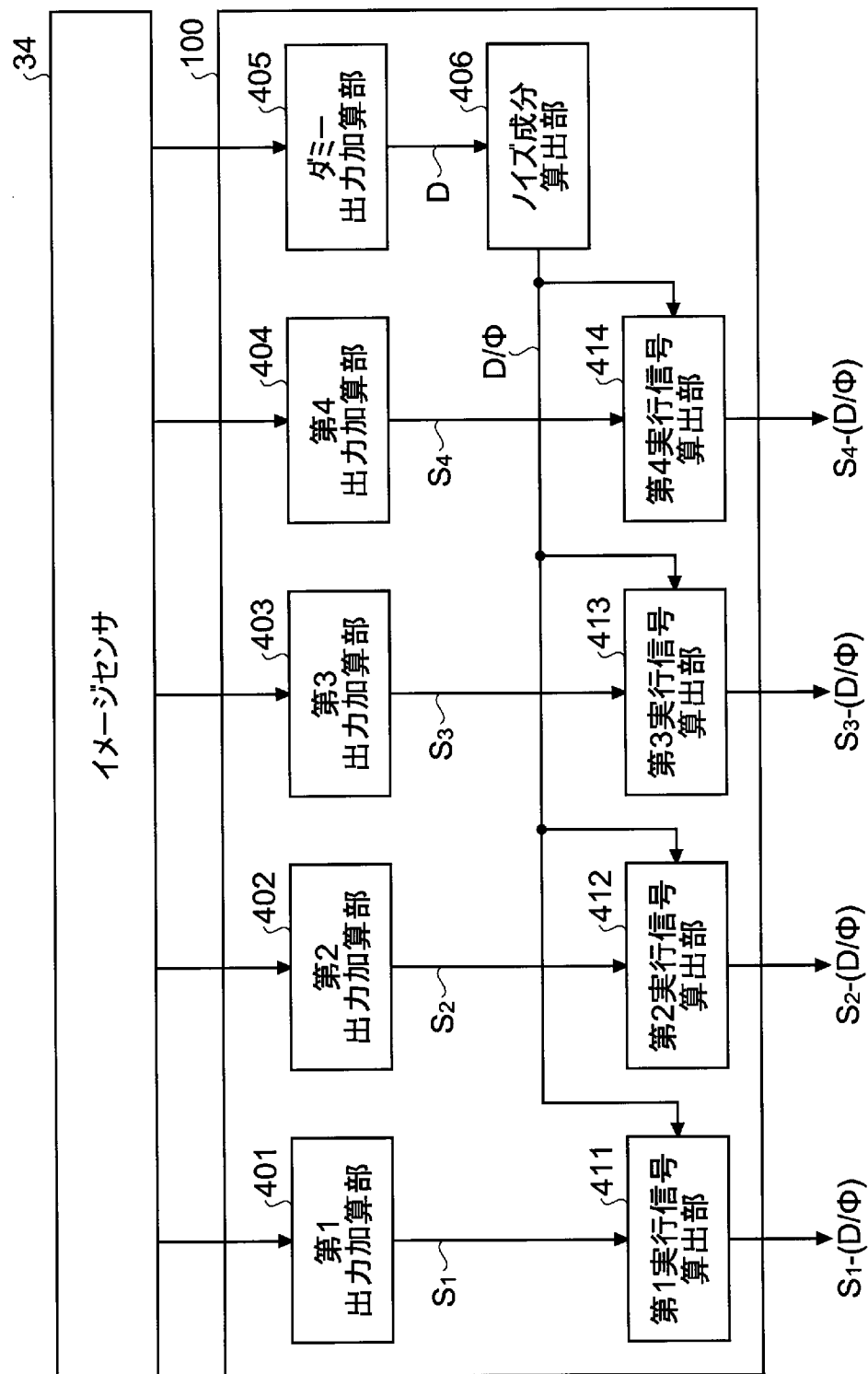
[図10]



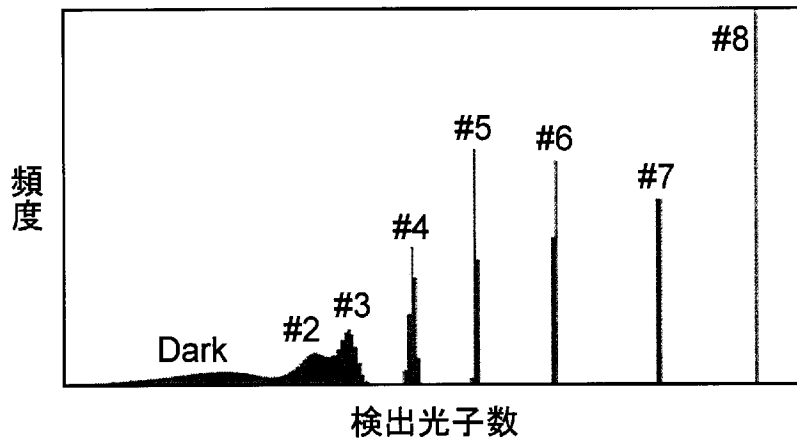
[図11]



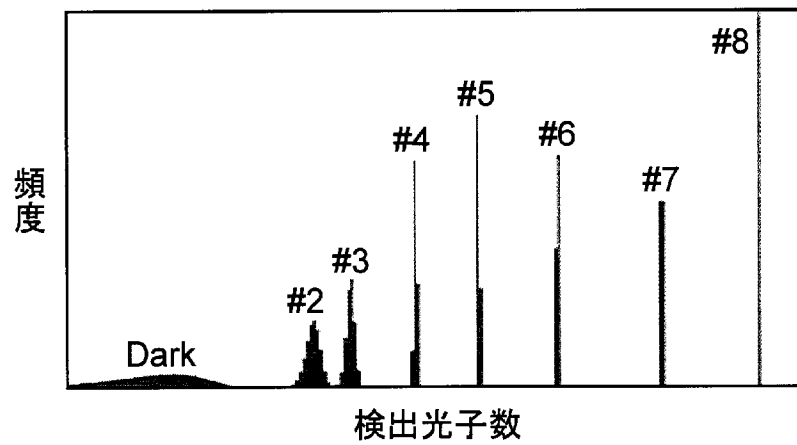
[図12]



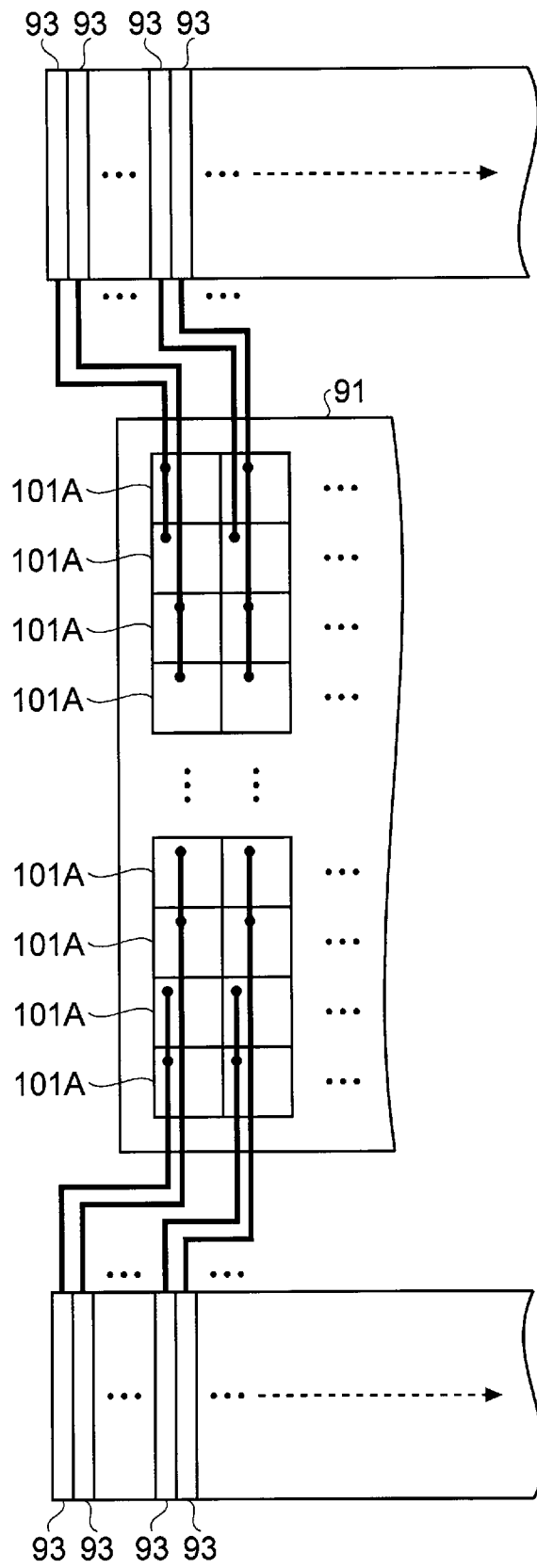
[図13]



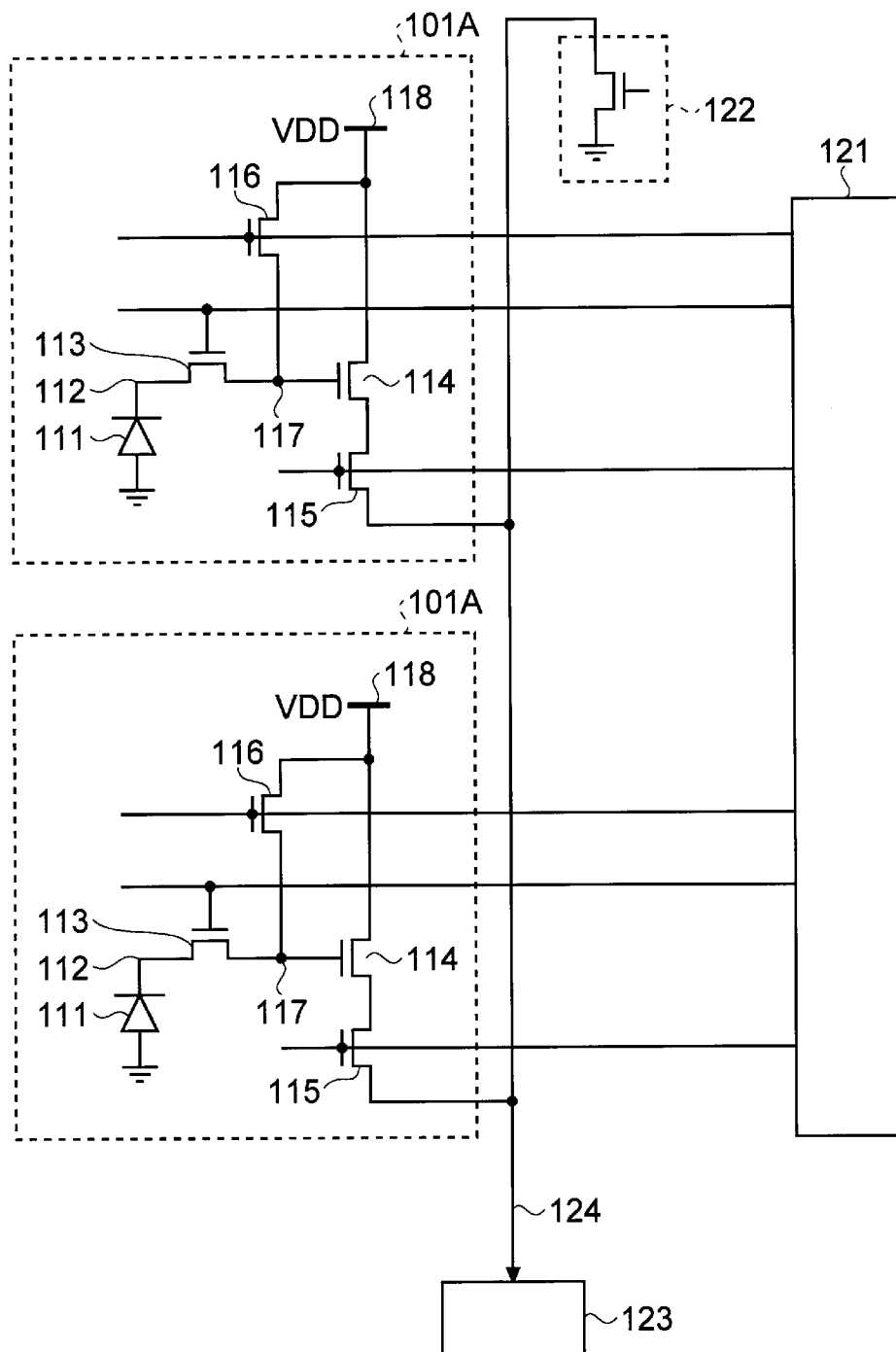
[図14]



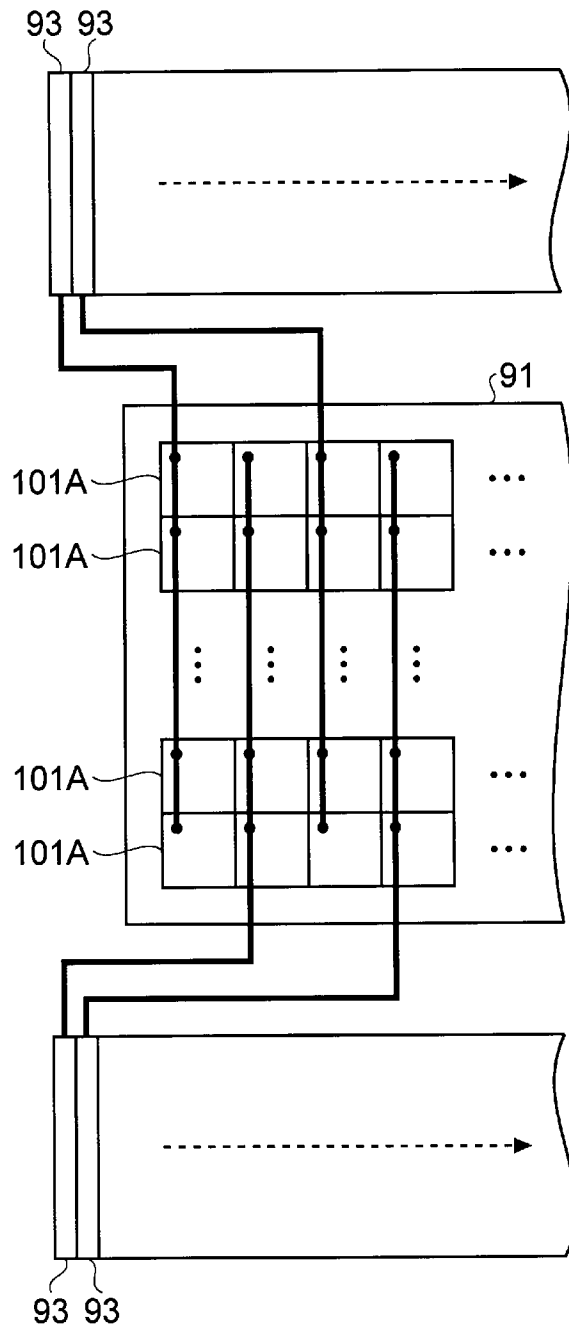
[図15]



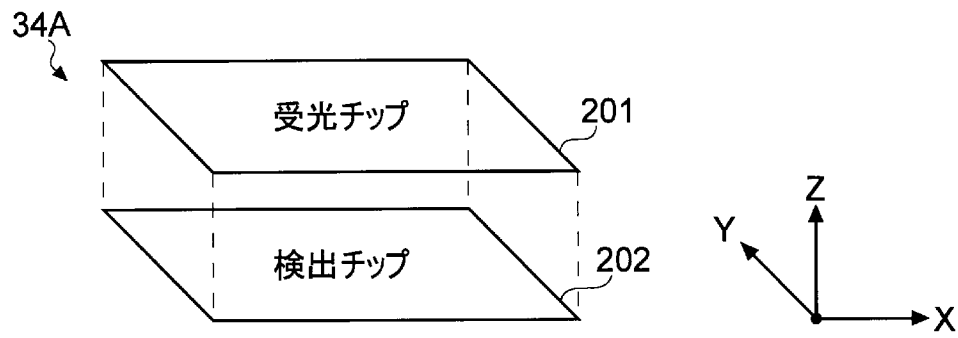
[図16]



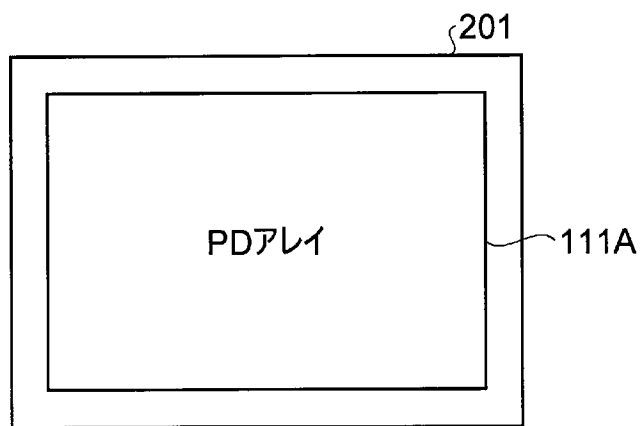
[図17]



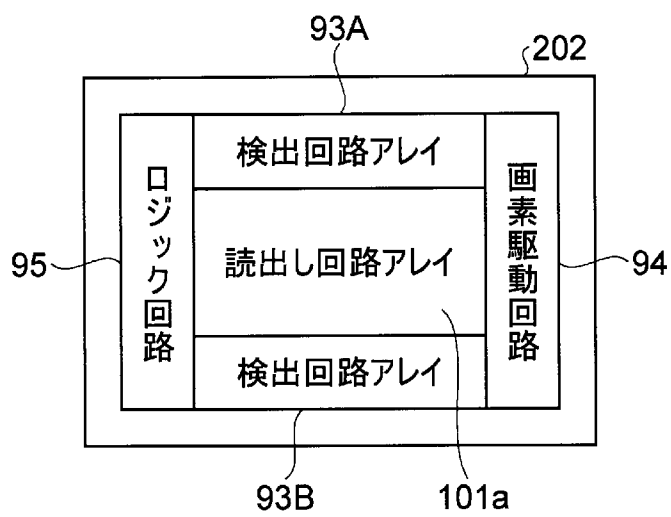
[図18]



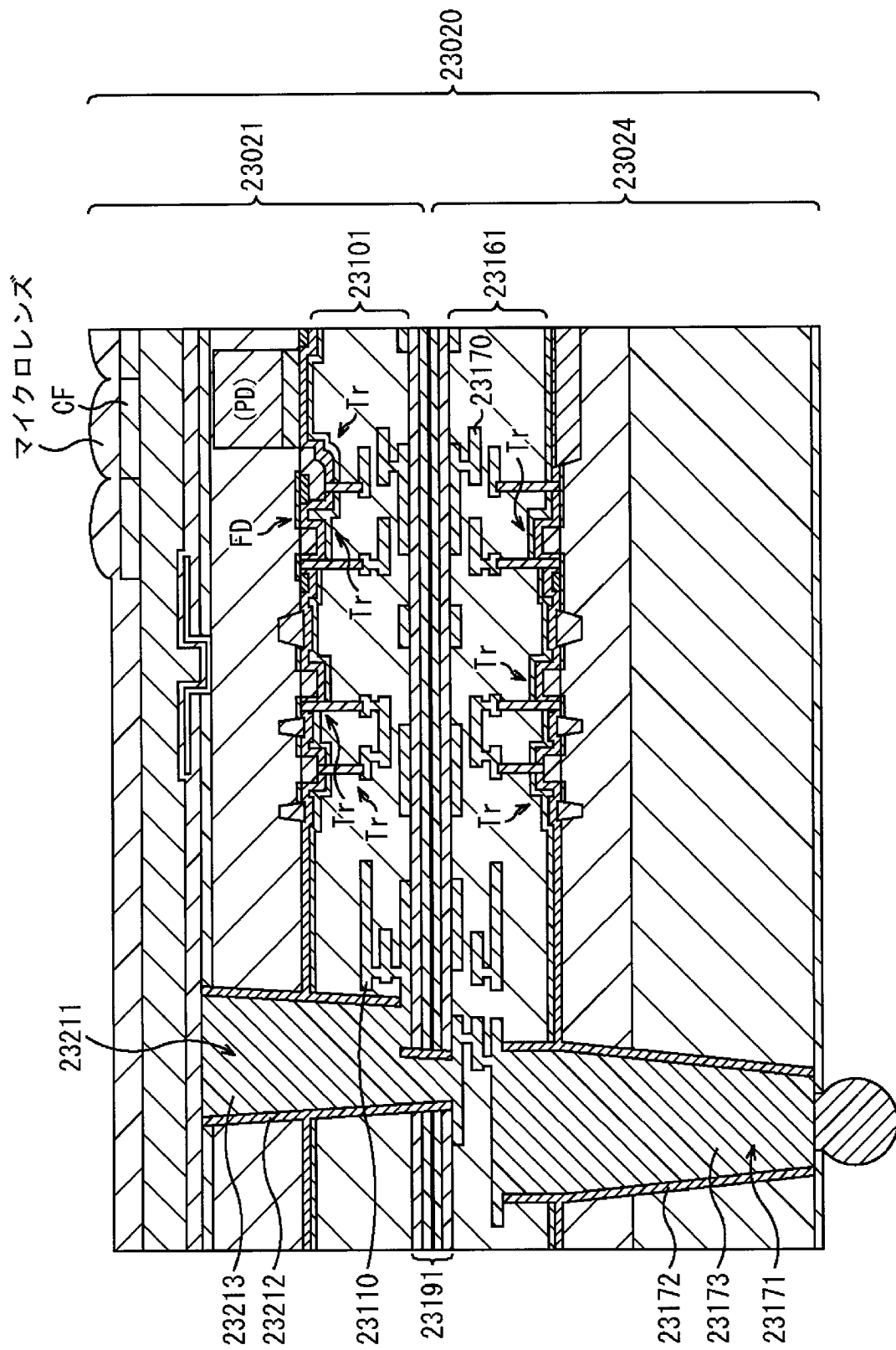
[図19]



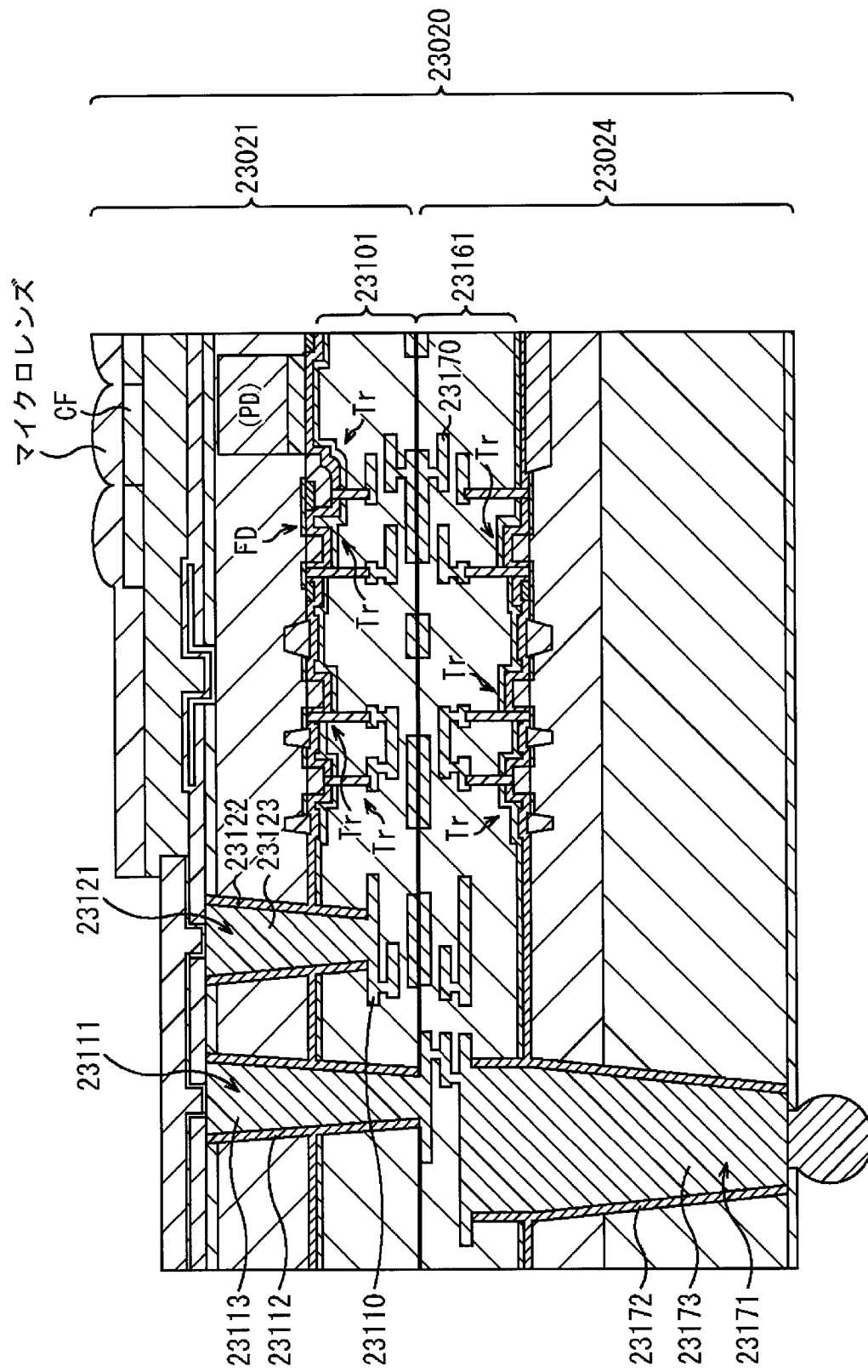
[図20]



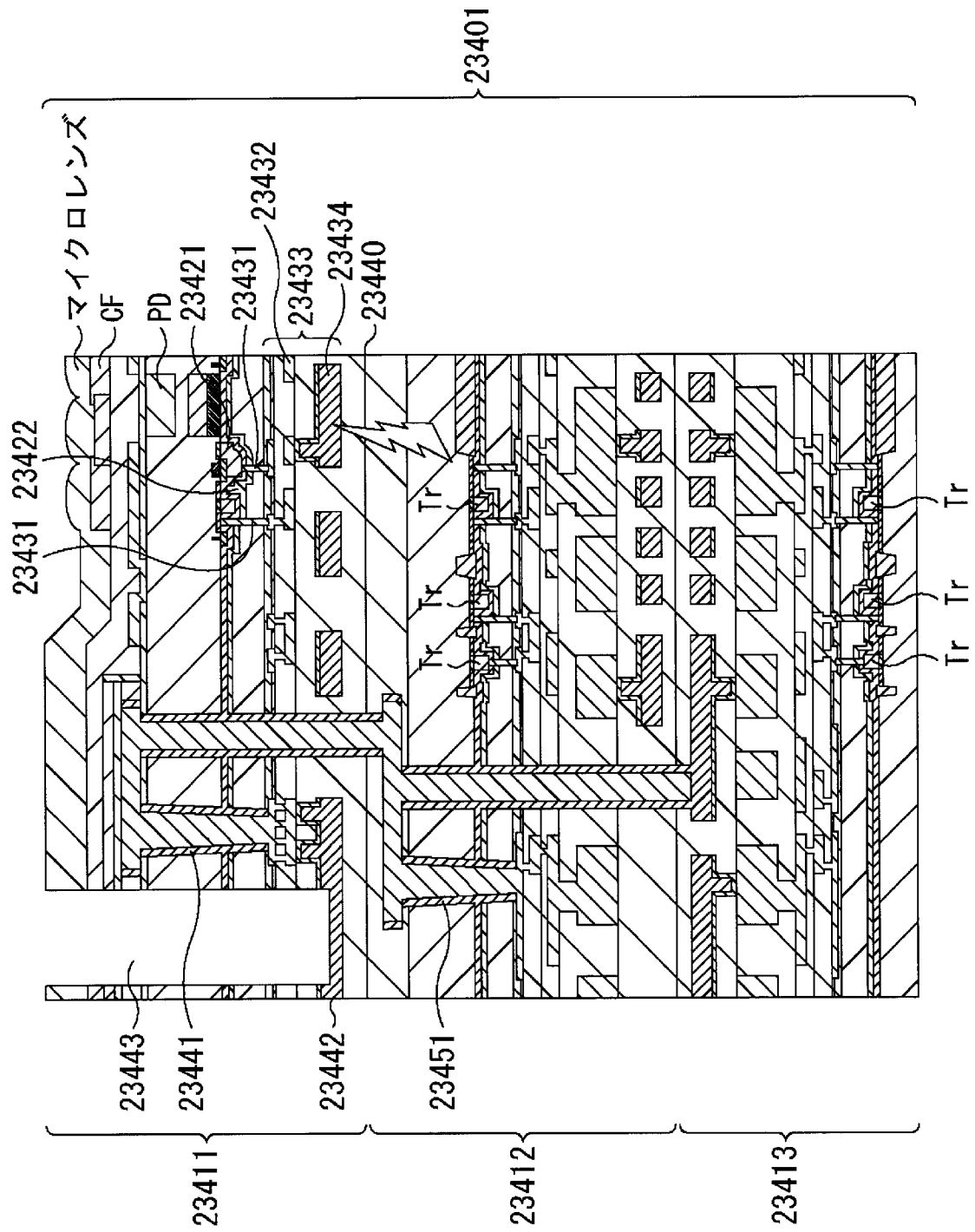
[図22]



[図23]

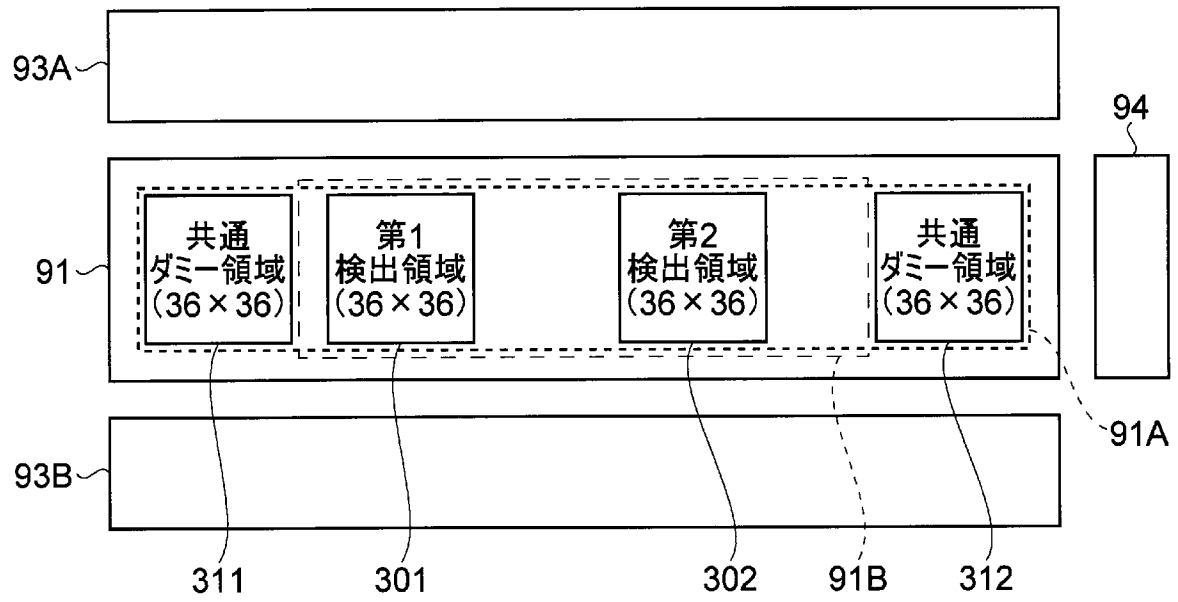


[図24]

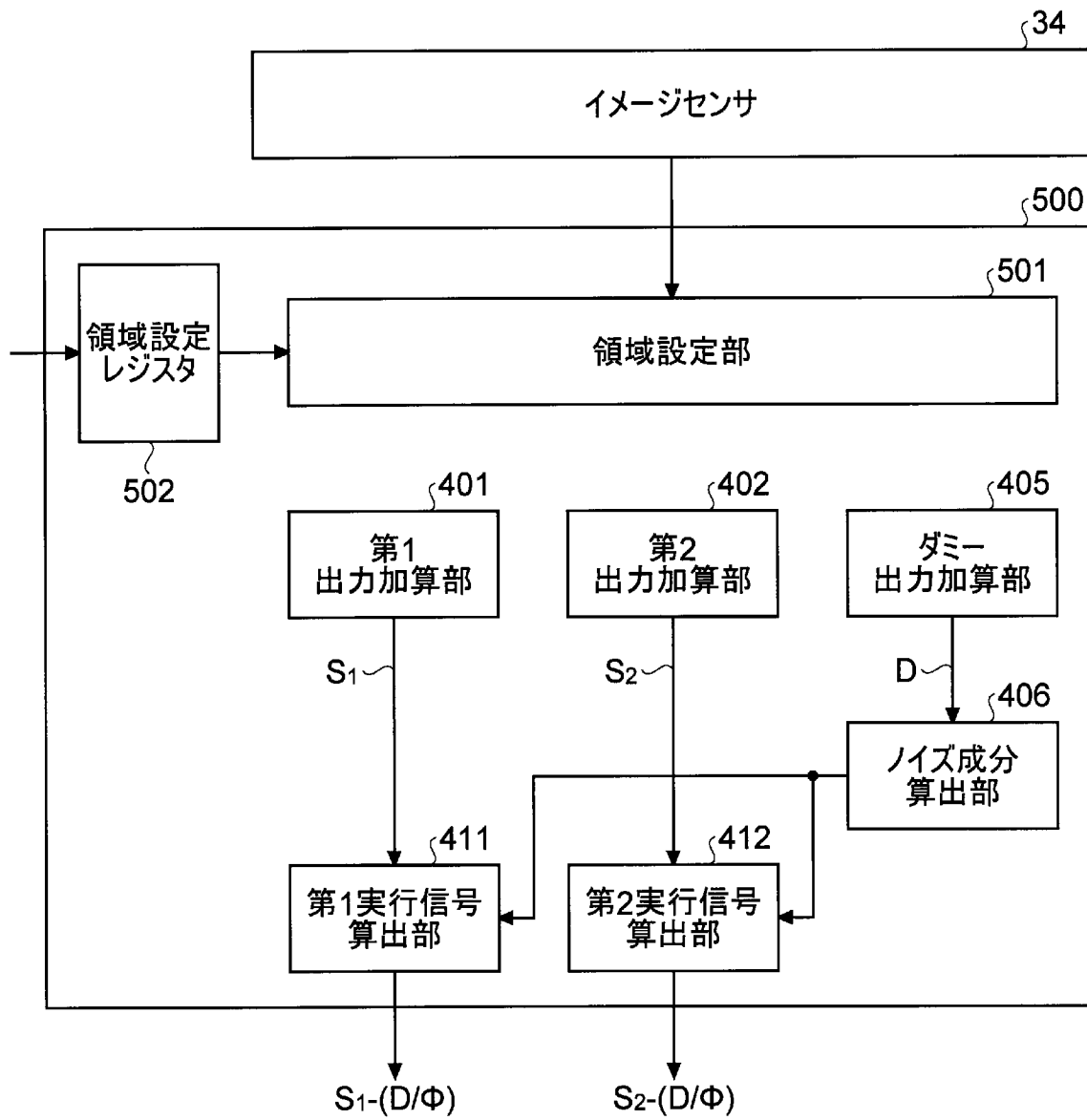


This cross-sectional view illustrates a semiconductor device 28034. The device is built on a substrate 28054, which is covered by a layer 28050. A series of transistors (Tr₁₁, Tr₁₂, Tr₁₃, Tr₁₄) are formed in this layer. Above the transistors, a layer 28056 contains various components including M₁₁, M₁₂, M₁₃, and M₁₄. A layer 28040 is positioned above 28056, featuring components like 28062 and 28058. A layer 28036 contains M₅ and M₁₄. A layer 28034 includes M₁, M₂, M₃, M₄, and M₅, along with various interconnects (28035a, 28035b, 28035c, 28035d, 28052) and a component 28033a. A layer 28030 contains four photodiodes (PD). A layer 28033 is positioned above 28030. A layer 28038 is above 28033, followed by a layer 28043 and a top layer 28044. A layer 28042 is above 28044, containing components 28045 and 28048. A layer 28041 is above 28042. A layer 28031 is above 28041. A layer 28037 is above 28031, containing components 28066, 28068, 28071, and 28072. A layer 28059 is above 28037, containing components 28057a, 28057b, and 28057c. A layer 28055 is above 28059, containing components 28064 and 28062. A layer 28050 is above 28055, containing components Tr₁₁, Tr₁₂, Tr₁₃, and Tr₁₄. A layer 28054 is above 28050, containing components M₁₁, M₁₂, M₁₃, and M₁₄. A layer 28040 is above 28054, containing components 28062 and 28058. A layer 28036 is above 28040, containing components M₅ and M₁₄. A layer 28034 is above 28036, containing components M₁, M₂, M₃, M₄, and M₅, along with various interconnects (28035a, 28035b, 28035c, 28035d, 28052) and a component 28033a. A layer 28030 is above 28034, containing four photodiodes (PD). A layer 28033 is above 28030. A layer 28038 is above 28033, followed by a layer 28043 and a top layer 28044. A layer 28042 is above 28044, containing components 28045 and 28048. A layer 28041 is above 28042. A layer 28031 is above 28041. A layer 28037 is above 28031, containing components 28066, 28068, 28071, and 28072. A layer 28059 is above 28037, containing components 28057a, 28057b, and 28057c. A layer 28055 is above 28059, containing components 28064 and 28062. A layer 28050 is above 28055, containing components Tr₁₁, Tr₁₂, Tr₁₃, and Tr₁₄. A layer 28054 is above 28050, containing components M₁₁, M₁₂, M₁₃, and M₁₄.

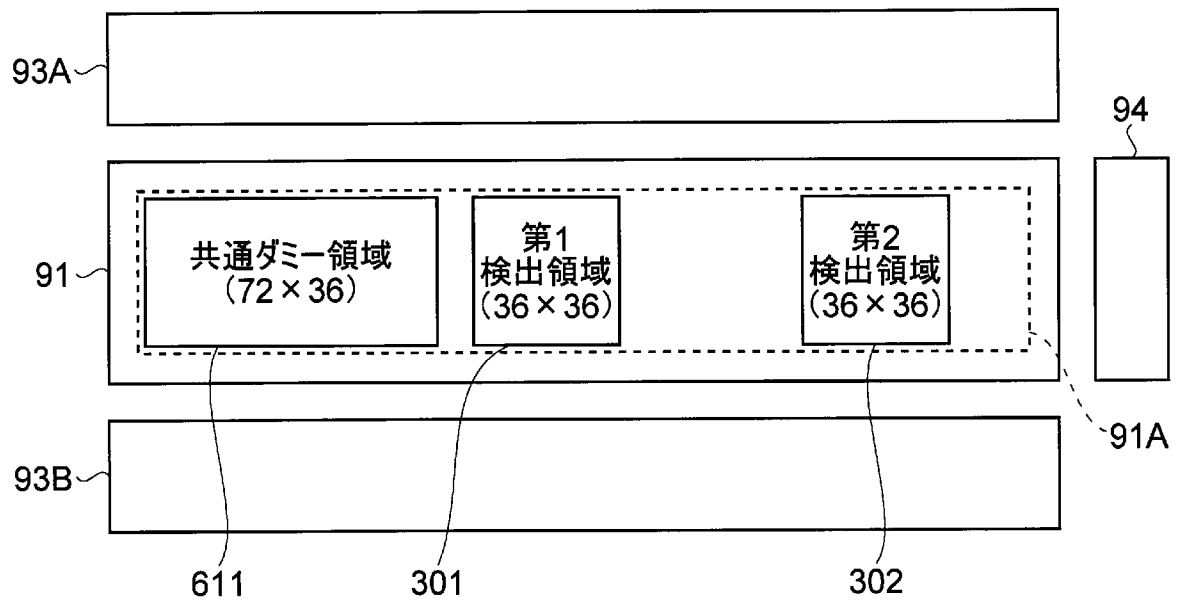
[図26]



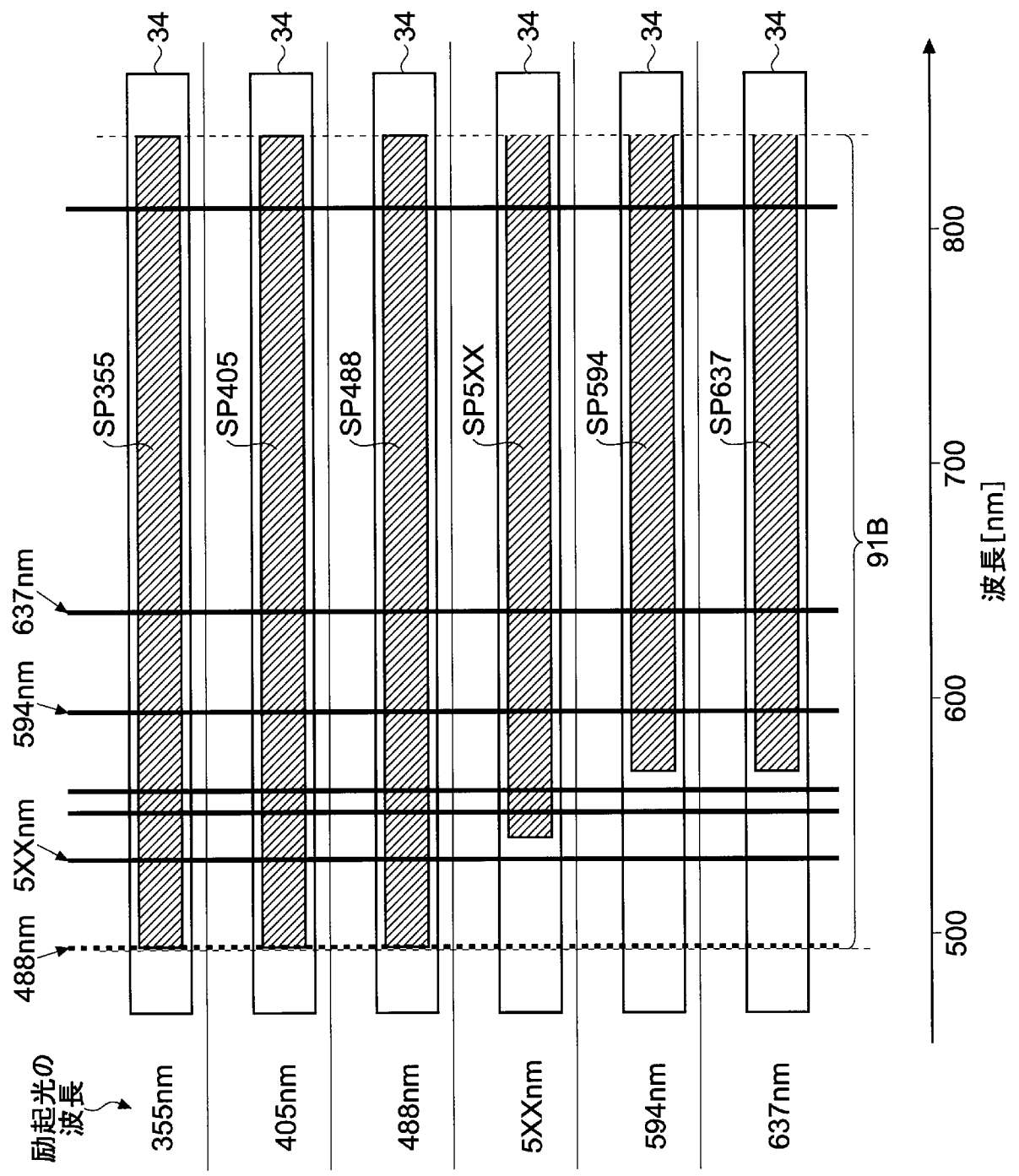
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/006640

A. CLASSIFICATION OF SUBJECT MATTER

G01J 3/02 (2006.01) i; G01J 3/443 (2006.01) i; G01N 15/14 (2006.01) i; G01N 21/64 (2006.01) i

FI: G01N15/14 B; G01J3/02 S; G01J3/443; G01J3/02 C; G01N21/64 Z;
G01N15/14 D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01J3/02; G01J3/443; G01N15/14; G01N21/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2014/024556 A1 (SONY CORP.) 13.02.2014 (2014-02-13) paragraphs [0002], [0015]-[0019], fig. 1	1-14
Y	JP 2000-033083 A (PICKER INTERNATL INC.) 02.02.2000 (2000-02-02) paragraphs [0002]-[0003], [0015]-[0023], fig. 2-3	1-14
A	WO 2016/121353 A1 (PANASONIC IP MANAGEMENT CO., LTD.) 04.08.2016 (2016-08-04) paragraph [0004]	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
07 April 2020 (07.04.2020)

Date of mailing of the international search report
21 April 2020 (21.04.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/006640

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2014/024556 A1	13 Feb. 2014	US 2015/0177113 A1 paragraphs [0002], [0054]-[0060], fig. 1 EP 2884257 A1 CN 104508455 A	
JP 2000-033083 A	02 Feb. 2000	US 6031891 A column 1, lines 15- 35, column 4, line 10 to column 5, line 33, fig. 2-3 EP 954170 A2	
WO 2016/121353 A1	04 Aug. 2016	US 2017/0302870 A1 paragraph [0004] CN 107251545 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01J 3/02(2006.01)i; G01J 3/443(2006.01)i; G01N 15/14(2006.01)i; G01N 21/64(2006.01)i FI: G01N15/14 B; G01J3/02 S; G01J3/443; G01J3/02 C; G01N21/64 Z; G01N15/14 D										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） G01J3/02; G01J3/443; G01N15/14; G01N21/64										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2020年									
日本国実用新案登録公報	1996 - 2020年									
日本国登録実用新案公報	1994 - 2020年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y	WO 2014/024556 A1 (ソニー株式会社) 13.02.2014 (2014 - 02 - 13) [0002]、[0015] - [0019]、[図1]	1-14								
Y	JP 2000-033083 A (ピッカー インターナショナル インコーポレイテッド) 02.02.2000 (2000 - 02 - 02) [0002] - [0003]、[0015] - [0023]、[図2] - [図3]	1-14								
A	WO 2016/121353 A1 (パナソニック IPマネジメント株式会社) 04.08.2016 (2016 - 08 - 04) [0004]	1-14								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 07.04.2020		国際調査報告の発送日 21.04.2020								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 外川 敬之 2J 3718 電話番号 03-3581-1101 内線 3252								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/006640

引用文献			公表日	パテントファミリー文献			公表日
WO	2014/024556	A1	13.02.2014	US	2015/0177113	A1	
				[0002], [0054]-[0060], Fig.1			
				EP	2884257	A1	
				CN	104508455	A	
JP	2000-033083	A	02.02.2000	US	6031891	A	
				Column 1 line 15-35, Column 4 line 10-Column 5 line 33, Figs. 2-3			
				EP	954170	A2	
WO	2016/121353	A1	04.08.2016	US	2017/0302870	A1	
				[0004]			
				CN	107251545	A	