

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006 年 5 月 26 日 (26.05.2006)

PCT

(10) 国際公開番号
WO 2006/054355 A1

(51) 国際特許分類:

G11C 11/412 (2006.01) H01L 27/11 (2006.01)
H01L 21/8244 (2006.01)

(21) 国際出願番号:

PCT/JP2004/017271

(22) 国際出願日:

2004 年 11 月 19 日 (19.11.2004)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 金谷 一男 (KANETANI, Kazuo) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP).

の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 南部 博昭 (NAMBU, Hiroaki) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP).

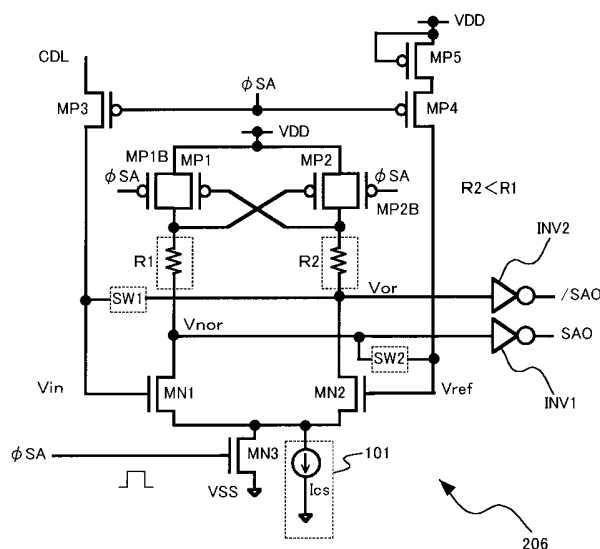
(74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒1010052 東京都千代田区神田小川町 1 丁目 1 番地 山城ビル 901 号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,

/ 続葉有 /

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: When a memory cell array and a sense amplifier for amplifying a signal output from this memory cell are included, a memory cell includes a driving first transistor, a second transistor capable of coupling its output node with the above bit line, a driving third transistor coupled with the first transistor, and a fourth transistor capable of coupling its output node with the above bit line, a memory cell current is increased by making the gate width of the first transistor different from the gate width of the third transistor and the gate width of the second transistor different from the gate width of the fourth transistor, the above sense amplifier includes a fifth transistor and a sixth transistor differentially coupled with the fifth transistor, and the base electrode voltage of the sixth transistor is arranged to reactively follow up a variation in the base electrode voltage of the fifth transistor to thereby expand an operation margin.

(57) 要約: メモリセルアレイと、このメモリセルから出力された信号を増幅するためのセンスアンプとを含むとき、メモリセルは、駆動用の第 1 トランジスタと、その出力ノードを上記ビット線に結合可能な第 2 トランジスタと、上記第 1 トランジスタに結合された駆動用の第 3 トランジスタと、その出力ノードを上記ビット線に結合可能な第 4 トランジスタとを含み、上記第 1 トランジスタのゲ

/ 続葉有 /



WO 2006/054355 A1



SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, YU, ZA, ZM, ZW.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ート幅と上記第3トランジスタのゲート幅とを異ならせ、上記第2トランジスタのゲート幅と上記第4トランジスタのゲート幅とを異ならせることでメモリセル電流の増大を図り、上記センスアンプは、第5トランジスタと、上記第5トランジスタに差動結合された第6トランジスタとを含み、上記第6トランジスタのベース電極電圧が、上記第5トランジスタのベース電極の電圧変動に対し、反動的に追従する構成とすることで動作マージンの拡大を図る。

明 細 書

半導体記憶装置

技術分野

- [0001] 本発明は、SRAM(スタティック・ランダム・アクセス・メモリ)に代表される半導体記憶装置に関し、特にアクセス時間の短縮化に適用して有効な技術に関する。

背景技術

- [0002] 半導体記憶装置の一例とされるスタティック型ランダムアクセスメモリ(「SRAM」と略記する)のメモリセルは、通常双安定回路を用いて構成され、ダイナミック型メモリセルと比較すると、メモリセルが双安定回路となっているため、リフレッシュ動作が不要で高速動作が可能となる長所を有する。
- [0003] このようなSRAMにおいて、より高い周波数での読み取り動作を可能とするための技術として、シングルエンド型読み出し差動型書き込みのSRAMにおいて、メモリセルを二つのインバータで形成し、上記インバータを形成するFETのゲート幅又は駆動電流を異ならせる技術が知られている(例えば特許文献1参照)。
- [0004] 特許文献1:特開2001-257275号公報(図2)

発明の開示

発明が解決しようとする課題

- [0005] SRAMの高集積化のためにメモリセルの面積を縮小すると、読み出し動作時のメモリセル電流が小さくなる。その結果、読み出し動作時のビット線遅延時間が大きくなり、SRAMの動作サイクル時間がメモリセルアレイの動作サイクル時間で律則されてしまうため、高速アクセスが困難になる。また、SRAMのアクセス時間の短縮も困難となる。逆にメモリセル電流の増大を図るためにメモリセル面積を増大すると、SRAMの高集積化が阻害される。本発明者は、SRAMの高集積化と、アクセス時間の短縮化とを両立させることについて検討した。
- [0006] それによれば、特許文献1記載の技術では、ワード線が選択状態になってからセンスアンプが入力動作マージンを確保し、ビット線の電位を増幅するまでの総合的な遅延時間の短縮化を、メモリセル面積の増大を抑制しつつ達成する点で配慮にかけて

いるのが見いだされた。その原因は、読み出しビット線の電位がシングルエンド型のセンス方式で増幅されることにある。ここで、センスアンプは、入力動作マージン(ΔV_m)が確保できたときに、活性化される。その活性化タイミングにおける必要なビット線の電位変化(ΔV_{BL})をシングルエンド型センス方式とディファレンシャル型センス方式とで比較してみる。

[0007] 例えば図4に示されるように、pチャンネル型MOSTランジスタMP11とnチャンネル型MOSTランジスタMN11とが直列接続されて成るインバータと、pチャンネル型MOSTランジスタMP12とnチャンネル型MOSTランジスタMN12とが直列接続されて成るインバータとが結合され、それにpチャンネル型MOSTランジスタMP13, MP14、nチャンネル型MOSTランジスタMN13、インバータINV1, INV2とが結合されて成るセンスアンプにおいて、ディファレンシャル型の場合、pチャンネル型MOSTランジスタMP13のソース電極は、コモンデータ線CDLを介してメモリセルアレイに結合され、pチャンネル型MOSTランジスタMP14のソース電極は相補コモンデータ線CDLBを介してメモリセルアレイに結合される。また、シングルエンド型の場合、pチャンネル型MOSTランジスタMP14のソース電極には参照電圧 V_{ref} が供給される。センスアンプ活性化信号 ϕ_{SA} がローレベルの期間に、メモリセルアレイからセンスアンプへの信号取り込みが行われ、センスアンプ活性化信号 ϕ_{SA} がハイレベルの期間にセンスアンプが動作されることで上記信号が増幅され、インバータINV1, INV2を介して出力される。

[0008] シングルエンド方式の場合、参照電圧 V_{ref} は、 $V_{ref} = V_{DD} - \Delta V_m$ とされる。ここで、 V_{DD} は高電位側電源電圧、 ΔV_m はセンスアンプの入力動作マージンである。図5に示されるように、論理値“1”がリードされる場合、コモンデータ線CDLの電圧 V_{BL} は、高電位側電源 V_{DD} レベルに等しくなる。従って、 V_{BL} の変動分は $\Delta V_{BL} = V_{DD} - V_{BL} = 0$ となる。 $V_{BL} - V_{ref} = \Delta V_m$ となり、 ΔV_m のマージンが確保される。また、シングルエンド方式において論理値“0”がリードされる場合、 $V_{BL} = V_{DD} - V_{ref} - \Delta V_m$ とされ、 $\Delta V_{BL} = V_{DD} - V_{BL} = 2\Delta V_m$ とされる。従って、 $-V_{ref} - V_{BL} = \Delta V_m$ となり、 ΔV_m のマージンが確保される。

[0009] 一方、ディファレンシャル型センス方式において論理値“1”がリードされる場合、図

6に示されるように、 $VBL = VDD$ とされ、 $\Delta VBL = VDD - VBL = 0$ である。また、 $VBL - VBLB = \Delta V_m$ となり、 ΔV_m のマージンが確保される。ここで、 $VBLB$ は相補コンデータ線CDLBの電圧である。また、ディファレンシャル型センス方式において論理値“0”がリードされる場合には、 $VBLB = VDD$ であり、 $VBL = VDD - \Delta V_m$ とされ、 $\Delta VBL = VDD - VBL = \Delta V_m$ とされる。 $VBLB - VBL = \Delta V_m$ となり、 ΔV_m のマージンが確保される。

[0010] このように図5と図6の比較で明らかなように、シングルエンド方式でディファレンシャル方式と同等のビット線遅延時間(t_{pd})を得るにはビット線の電位変化(ΔVBL)が2倍、すなわち2倍のメモリセル電流が必要である。しかしながら、メモリセル面積の増大を抑制しつつ、従来の2倍のメモリセル電流を得ることは容易なことではない。むしろ、メモリセルをアンバランスにしないでディファレンシャル型センス方式を用いる一般的な方式のほうが、同等のメモリセル面積でより小さな遅延時間が得られる可能性が高い。

[0011] 本発明の目的は、シングルエンド型センス方式においてメモリセル面積の増大を抑制しつつ、半導体記憶装置のアクセス時間の短縮化を図るための技術を提供することにある。

[0012] 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

[0013] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

[0014] [1]それぞれビット線に結合された複数のメモリセルが配置されて成るメモリセルアレイと、上記メモリセルから出力された信号を増幅するためのセンスアンプとを含む半導体記憶装置において、上記メモリセルは、駆動用の第1トランジスタと、上記第1トランジスタの出力ノードを上記ビット線に結合可能な第2トランジスタと、上記第1トランジスタに結合された駆動用の第3トランジスタと、上記第3トランジスタの出力ノードを上記ビット線に結合可能な第4トランジスタとを含み、上記第1トランジスタのゲート幅と上記第3トランジスタのゲート幅とを異ならせ、上記第2トランジスタのゲート幅と上記

第4トランジスタのゲート幅とを異ならせ、上記センスアンプは、第5トランジスタと、上記第5トランジスタに差動結合された第6トランジスタとを含み、上記第6トランジスタのベース電極電圧が、上記第5トランジスタのベース電極の電圧変動に対し、反動的に追従するように構成する。

[0015] 上記の手段によれば、上記第1トランジスタのゲート幅と上記第3トランジスタのゲート幅とを異ならせ、上記第2トランジスタのゲート幅と上記第4トランジスタのゲート幅とを異ならせることにより、メモリセルのチップ占有面積を不所望に増大させない範囲でメモリセル電流の増大を図る。また、上記センスアンプにおいて上記第5トランジスタと上記第6トランジスタとの動作をアンバランスさせることで、センスアンプ入力信号の変化に対して反動的に追従する参照電圧機能を実現する。これにより半導体記憶装置のアクセス時間の短縮化を達成する。

[0016] [2] 具体的な形態として、上記第1トランジスタのゲート幅よりも上記第3トランジスタのゲート幅が小さくされ、上記第2トランジスタのゲート幅よりも上記第4トランジスタのゲート幅が小さくされる。メモリセルのチップ占有面積を同一とした場合、上記第1トランジスタのゲート幅、及び上記第2トランジスタのゲート幅をより大きくすることができ、それによってメモリセル電流を増大させてメモリアクセス時間の短縮化を達成する。

[0017] [3] 上記第5トランジスタのソース・ドレイン経路に設けられた第1抵抗と、上記第6トランジスタのソース・ドレイン経路に設けられた第2抵抗とを含み、上記第1抵抗の値を上記第2抵抗の値よりも大きくする。論理値“1”リードにおいて、上記第6トランジスタに供給される参照電圧は、上記第5トランジスタと上記第6トランジスタとの差動電流である上記第5トランジスタに流れる電流と上記第1抵抗との積となり、上記第1抵抗の値を第2抵抗の値よりも大きくすることでセンスアンプの動作に必要な入力マージンを十分に確保できる。

[0018] [4] 上記第5トランジスタのソース電極と、上記第6トランジスタのソース電極とに共通接続された定電流源と、上記定電流源に並列接続された第7トランジスタと、を含み、上記第7トランジスタは、センスアンプ起動信号によってオンオフ動作が制御される。

[0019] [5] 上記センスアンプの入力ノードと、上記センスアンプの出力ノードとの間に、上

記センスアンプ起動信号によってオンオフ動作が制御される第1スイッチを配置することができる。

- [0020] [6] 上記第5トランジスタのゲート電極に上記メモリセルの出力電圧が供給され、上記第6トランジスタのゲート電極に参照電圧が供給されるとき、上記第5トランジスタのドレイン電極の電圧変動に追従して上記参照電圧のレベルが変動される。
- [0021] [7] 上記第5トランジスタのドレイン電極と上記第6トランジスタのゲート電極との間には、電源電圧が印加されることで導通される第2スイッチが設けられ、この第2スイッチを介して上記第5トランジスタのドレイン電圧が上記第6トランジスタのゲート電極に供給される。
- [0022] [8] 複数のビット線が選択的に結合されるコモンデータ線と、上記コモンデータ線の近傍に配置されたダミーコモンデータ線と、を含み、上記コモンデータ線の電位が上記第5トランジスタのゲート電極に伝達され、上記ダミーコモンデータ線の電位が上記第6トランジスタのゲート電極に伝達される。
- [0023] [9] 上記定電流源を抵抗とすることができる。
- [0024] [10] 上記定電流源を、上記センスアンプ起動信号よりも早いタイミングでアクティブにされる信号によって導通される第8トランジスタとすることができる。
- [0025] [11] 上記第5トランジスタのソース電極側と、上記第6トランジスタのソース電極側には、上記第5トランジスタのしきい値と上記第6トランジスタのしきい値との差を補償可能な抵抗を設けることができる。
- [0026] [12] それぞれビット線に結合された複数のメモリセルが配置されて成るメモリセルアレイと、上記メモリセルから出力された信号を増幅するためのセンスアンプと、を含む半導体記憶装置において、上記センスアンプは、第5トランジスタと、上記第5トランジスタに差動結合された第6トランジスタと、を含み、上記第5トランジスタのゲート電極に上記メモリセルの出力電圧が供給され、上記第6トランジスタのゲート電極に上記メモリセルの出力電圧に寄らない参照電圧が供給されるとき、上記第5トランジスタのドレイン電極の電圧変動に追従して上記参照電圧のレベルが変動される。このように上記第5トランジスタのドレイン電極の電圧変動に追従して上記参照電圧のレベルが変動されることによりセンスアンプの動作マージを拡大させ、半導体記憶装置のア

クセス時間の短縮化を達成する。

- [0027] [13]このとき、上記第5トランジスタのドレイン電圧が上記第6トランジスタのゲート電極に供給される。

発明の効果

- [0028] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

- [0029] すなわち、半導体記憶装置のアクセス時間の短縮化を図ることができる。

図面の簡単な説明

- [0030] [図1]本発明にかかる半導体記憶装置の一例であるSRAMに含まれるセンスアンプの構成例回路図である。

[図2]上記センスアンプの動作タイミング図である。

[図3]上記センスアンプにおける主要部の構成例回路図である。

[図4]上記センスアンプの比較対象とされるセンスアンプの構成例回路図である。

[図5]シングルエンド型センス方式の動作説明図である。

[図6]ディファレンシャル型センス方式の動作説明図である。

[図7]上記SRAMに含まれるメモリセルの比較対象とされるメモリセルの構成例回路図である。

[図8]図7に示されるメモリセルのレイアウト説明図である。

[図9]上記SRAMに含まれるメモリセルの構成例回路図である。

[図10]図9に示されるメモリセルのレイアウト説明図である。

[図11]上記SRAMに含まれるメモリセルの別の構成例回路図である。

[図12]図11に示されるメモリセルのレイアウト説明図である。

[図13]上記SRAMに含まれるセンスアンプの別の構成例回路図である。

[図14]図13に示されるセンスアンプにおける主要部の特性図である。

[図15]上記SRAMに含まれるセンスアンプの別の構成例回路図である。

[図16]上記SRAMの全体的な構成例ブロック図である。

符号の説明

- [0031] 101 定電流源

200 メモリセルアレイ

201 ロウアドレスバッファ

202 ロウデコーダ

203 カラムスイッチアレイ

204 カラムデコーダ

205 カラムアドレスバッファ

206 センスアンプ

207 書き込み回路

208 データ入出力バッファ

210 SRAM

MN1, MN2, MN3 nチャンネル型MOSトランジスタ

MP1, MP1B, MP2, MP2B, MP3, MP4, MP5 pチャンネル型MOSトランジスタ

R1, R2, R3, R4 抵抗

SW1, SW2 スイッチ

LP1, LP2 負荷MOSトランジスタ

Dn1, Dn2 駆動MOSトランジスタ

Tn1, Tn2 トランスファMOSトランジスタ

BL, BLB ビット線

CDL, CDLB コモンデータ線

発明を実施するための最良の形態

[0032] 図16には、本発明にかかる半導体記憶装置の一例であるSRAM(スタティック・ランダム・アクセス・メモリ)が示される。図16に示されるSRAM210は、特に制限されないが、メモリセルアレイ(MCA)200、ロウアドレスバッファ(RA-BUFF)201、ロウデコーダ(RDEC)202、カラムスイッチアレイ(CSW)203、カラムデコーダ(CDEC)204、カラムアドレスバッファ(CA-BUFF)205、センスアンプ(SA)206、書き込み回路(WAMP)207、及びデータ入出力バッファ(D-BUFF)208を含み、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成さ

れる。

[0033] 上記メモリセルアレイ200は、複数のワード線とそれに交差するように配置された複数のビット線とを含み、上記ワード線と上記ビット線との交差する箇所には、複数のスタティック型メモリセルが配置されて成る。スタティック型メモリセルは選択端子とデータ入出力端子とを有し、上記選択端子は、対応するワード線に接続され、上記データ入出力端子は、対応するビット線に接続される。ロウアドレスバッファ201は、ロウアドレス信号(Row-ADDRESS)を取り込む。このロウアドレスバッファ201の出力アドレスは後段のロウデコーダ202に伝達される。ロウデコーダ202は、入力されたロウアドレス信号をデコードすることにより、上記メモリセルアレイ200における複数のワード線から1本のワード線を選択するための信号を形成する。カラムアドレスバッファ205は、カラムアドレス信号(Column-ADDRESS)を受け、その出力を後段のカラムデコーダ204に供給する。カラムデコーダ204は、入力されたカラムアドレス信号をデコードすることによりカラム選択信号を形成する。カラムスイッチアレイ203は、上記カラム選択信号に応じて、上記メモリセルアレイ200におけるビット線をコモンデータ線に結合させる。読み出し動作では、選択のコモンデータ線に伝達される。センスアンプ206は、コモンデータ線を介して伝えられた読み出しデータを増幅し、その増幅出力をデータ入出力バッファ208に供給する。それに応じて読み出しデータがデータ入出力バッファ208を介して外部に出力される。書き込み動作では、外部からデータ入出力バッファ208に供給された書き込みデータが書き込み回路207、共通データ線、カラムスイッチアレイ203、及びビット線を介して選択メモリセルに供給される。

[0034] 図9には、上記メモリセルアレイ200における複数のメモリセルのうちのひとつについての構成例が示される。

[0035] 図9に示されるメモリセルMC1は、特に制限されないが、負荷MOSTランジスタLp1と駆動MOSTランジスタDn1とが直列接続されて成る第1インバータと、負荷MOSTランジスタLp2と駆動MOSTランジスタDn2とが直列接続されて成る第2インバータとがループ状に結合されて成る記憶部90と、上記記憶部90の第1記憶ノードN1をビット線BLに結合可能な第1トランスファMOSTランジスタTn1と、上記記憶部90の第2記憶ノードN2をビット線BLに結合可能な第2トランスファMOSTランジスタTn2とを

含む。上記負荷MOSTランジスタLp1, Lp2のソース電極は高電位側電源VDDに結合され、また、上記駆動MOSTランジスタDn1, Dn2のソース電極は低電位側電源VSSに結合される。上記第1トランスファMOSTランジスタTn1のゲート電極は第1サブワード線SWL1に結合され、上記第2トランスファMOSTランジスタTn2のゲート電極は第2サブワード線SWL2に結合される。第1サブワード線SWL1がハイレベルに駆動されることにより第1トランスファMOSTランジスタTn1が導通されて、上記記憶部90の第1記憶ノードN1がビット線BLに選択的に結合される。また、第2サブワード線SWL2がハイレベルに駆動されることにより第2トランスファMOSTランジスタTn2が導通されて、上記記憶部90の第2記憶ノードN2がビット線BLに選択的に結合される。

[0036] 上記負荷MOSTランジスタLp1, Lp2はpチャネル型MOSTランジスタとされ、上記駆動MOSTランジスタDn1, Dn2、及びトランスファMOSTランジスタTn1, Tn2はnチャネル型MOSTランジスタとされる。そして、上記駆動MOSTランジスタDn1のゲート幅Wを「A」とし、上記駆動MOSTランジスタDn2のゲート幅Wを「B」とし、上記トランスファMOSTランジスタTn1のゲート幅Wを「C」とし、上記トランスファMOSTランジスタTn2のゲート幅Wを「D」とした場合、 $A > B$ 、及び $C > D$ の関係が成立するように各MOSTランジスタのゲート幅が設定される。つまり、第1駆動MOSTランジスタDn1のゲート幅 $W = A$ に比べて第2駆動MOSTランジスタDn2のゲート幅 $W = B$ が小さくされ、第1トランスファMOSTランジスタTn1のゲート幅 $W = C$ に比べて第2トランスファMOSTランジスタTn2のゲート幅 $W = D$ が小さくされる。

[0037] 上記の構成において、リード時には、サブワード線SWL1がハイレベルに駆動されることで第1トランスファMOSTランジスタTn1が導通されることによって第1記憶ノードN1がビット線BLに結合される。論理値“0”ライト時には、上記もリード時と同様にサブワード線SWL1がハイレベルに駆動されることで第1トランスファMOSTランジスタTn1が導通されることによって第1記憶ノードN1がビット線BLに結合される。これに対して論理値“1”ライト時には、サブワード線SWL2がハイレベルに駆動されることで第2記憶ノードN2がビット線BLに結合される。

[0038] 図7には、図9に示されるメモリセルMC1の比較対象とされるメモリセルの構成が示

される。図7に示されるメモリセルMC2は、ビット線BLと、それに対になる相補ビット線BLBを備え、トランスファMOSTランジスタTn1, Tn2のゲート電極がサブワード線SWLに共通接続されている。また、第1駆動MOSTランジスタDn1のゲート幅 $W=A$ と、第2駆動MOSTランジスタDn2のゲート幅 $W=B$ とが等しくされ、第1トランスファMOSTランジスタTn1のゲート幅 $W=C$ と、第2トランスファMOSTランジスタTn2のゲート幅 $W=D$ とが等しくされる。

[0039] 図8には、図7に示されるメモリセルMC2のレイアウト例が示され、図10には、図9に示されるメモリセルMC1のレイアウト例が示される。

[0040] 図9に示される構成では、トランスファMOSTランジスタTn1, Tn2のソース電極がビット線BLに共通接続される構成とされるため、図10に示されるように、トランスファMOSTランジスタTn1, Tn2のソース電極が共通化でき、それによりメモリセル1個当たりチップ占有面積を約25%低減することができる。逆に、メモリセル1個当たりのチップ占有面積を同一とした場合には、第1駆動MOSTランジスタDn1のゲート幅 $W=A$ や第1トランスファMOSTランジスタTn1のゲート幅 $W=C$ を十分に大きくすることができる。第1駆動MOSTランジスタDn1のゲート幅 $W=A$ を十分に大きくすることによって第1駆動MOSTランジスタDn1を流れるメモリセル電流を増大することができ、そして、第1トランスファMOSTランジスタTn1のゲート幅 $W=C$ を十分に大きくすることによってビット線BLの電荷がハイレベルからローレベルに引き抜かれるまでの時間を短縮することができるので、メモリセルMC1からのデータ読み出しの高速化を図ることができる。しかも、このようにデータ読み出しの高速化を図った場合でも、メモリセルのチップ占有面積を不所望に増大させないで済む。

[0041] 図1には、上記センスアンプ206の構成例が示される。

[0042] 図1に示されるセンスアンプ206は、シングルエンド型とされ、相補コモンデータ線CDLBからの信号に代えて参照電圧Vrefが用いられる。nチャンネル型MOSTランジスタMN1のソース電極と、nチャンネル型MOSTランジスタMN2のソース電極とがnチャンネル型MOSTランジスタMN3を介して低電位側電源VSSに結合される。nチャンネル型MOSTランジスタMN3はセンスアンプ起動信号 ϕ_{SA} によってスイッチ制御される。定電流源101が設けられ、この定電流源101はnチャンネル型MOSTラン

ジスタMN3に並列接続される。ここで、定電流源101は、図3(a)に示されるように抵抗36によって形成することができる。上記nチャンネル型MOSTランジスタMN1のドレイン電極は、抵抗R1を介してpチャンネル型MOSTランジスタMP1に結合される。このpチャンネル型MOSTランジスタMP1のソース電極は高電位側電源VDDに結合される。上記pチャンネル型MOSTランジスタMP1にはpチャンネル型MOSTランジスタMP1Bが並列接続される。このpチャンネル型MOSTランジスタMP1Bはセンスアンプ起動信号 ϕ SAによってスイッチ制御される。

- [0043] 上記nチャンネル型MOSTランジスタMN2のドレイン電極は、抵抗R2を介してpチャンネル型MOSTランジスタMP2に結合される。このpチャンネル型MOSTランジスタMP2のソース電極は高電位側電源VDDに結合される。上記pチャンネル型MOSTランジスタMP2にはpチャンネル型MOSTランジスタMP2Bが並列接続される。このpチャンネル型MOSTランジスタMP2Bはセンスアンプ起動信号 ϕ SAによってスイッチ制御される。上記pチャンネル型MOSTランジスタMP1のゲート電極は上記pチャンネル型MOSTランジスタMP2のドレイン電極に結合され、上記pチャンネル型MOSTランジスタMP2のゲート電極は上記pチャンネル型MOSTランジスタMP1のドレイン電極に結合される。コモンデータ線CDLは、pチャンネル型MOSTランジスタMP3を介して上記nチャンネル型MOSTランジスタMN1のゲート電極に結合される。nチャンネル型MOSTランジスタMN1のゲート電極とnチャンネル型MOSTランジスタMN2のドレイン電極との間に第1スイッチSW1が設けられ、センスアンプ起動信号 ϕ SAが起動された時、上記コモンデータ線CDLを介して伝達された信号Vinがセンスアンプ206の出力側に伝達されるようになっている。この第1スイッチSW1は、図3(c)に示されるように、pチャンネル型MOSTランジスタ31と、それに並列接続されたnチャンネル型MOSTランジスタ32と、インバータ33とを含み、センスアンプ起動信号 ϕ SAによってスイッチ制御される。さらにセンスアンプ206ではpチャンネル型MOSTランジスタMP4が設けられ、このpチャンネル型MOSTランジスタMP4を介して、pチャンネル型MOSTランジスタMP5のドレイン電極が上記nチャンネル型MOSTランジスタMN2のゲート電極に結合される。上記pチャンネル型MOSTランジスタMP5のゲート電極及びソース電極は高電位側電源VDDに結合され、上記pチャンネル型MOSTランジスタMP4の

ゲート電極にはセンスアンプ起動信号 ϕ SAが供給される。センスアンプ起動信号 ϕ SAにより上記pチャネル型MOSTランジスタMP4がオンされたとき、上記MP5を介して所定レベルの参照電圧Vrefが上記nチャネル型MOSTランジスタMN2のゲート電極に供給される。また、nチャネル型MOSTランジスタMN1のドレイン電極とnチャネル型MOSTランジスタMN2のゲート電極との間に、第2スイッチSW2が設けられる。この第2スイッチSW2は、図3(d)に示されるようにpチャネル型MOSTランジスタ34とnチャネル型MOSTランジスタ35とが並列接続され、pチャネル型MOSTランジスタ34のゲート電極は低電位側電源VSSに結合され、nチャネル型MOSTランジスタ35のゲート電極は高電位側電源VDDに結合されることにより、常にオン状態とされる。センスアンプ206ではさらに、nチャネル型MOSTランジスタMN1のドレイン電極にインバータINV1が結合され、nチャネル型MOSTランジスタMN2のドレイン電極にインバータINV2が結合される。インバータINV1により電圧Vnorが反転されてセンスアンプ206の出力SAOが得られ、インバータINV2により電圧Vorが反転されてセンスアンプ206の相補出力／SAOが得られる。

[0044] 図2には、図1に示されるセンスアンプ206の動作タイミングが示される。

[0045] 上記の構成において、抵抗R1の値は抵抗R2の値よりも大きく設定される。これにより、nチャネル型MOSTランジスタMN2の負荷に比べてnチャネル型MOSTランジスタMN1の負荷のほうが重くなっている。

[0046] 論理値“1”リードの場合、センスアンプ起動信号 ϕ SAが起動されるとセンスアンプ入力電圧Vinは高電位側電源電圧VDDとなり、このとき定電流源に流れる定電流Icsは、nチャネル型MOSTランジスタMN1を介して流れるため、上記nチャネル型MOSTランジスタMN2のゲート電極に供給される参照電圧Vrefは、上記nチャネル型MOSTランジスタMN1と上記nチャネル型MOSTランジスタMN2との差動電流である上記nチャネル型MOSTランジスタMN1に流れる電流と上記抵抗R1との積となる、すなわち、 $V_{ref} = I_{cs} \times R1$ となり、上記のように抵抗R1の値が抵抗R2の値よりも大きく設定されることにより、メモリ信号のセンスに必要な入力マージン(ΔV_m)を十分に確保することができる。

[0047] これに対して論理値“0”リードの場合、センスアンプ起動信号 ϕ SAが起動されると

センスアンプ入力電圧 V_{in} が低下してくる。このとき、定電流源101に流れる定電流 I_{cs} は、nチャンネル型MOSTランジスタMN1とMN2に分流され、nチャンネル型MOSTランジスタMN1のドレイン電極の電圧 V_{nor} が上昇される。この電圧上昇は、スイッチSW2を介してnチャンネル型MOSTランジスタMN2のゲート電極に伝達される。これにより、参照電圧 V_{ref} が上昇される。 $V_{ref}-V_{in} > \Delta V_m$ が成立するタイミングで、センスアンプ起動信号 ϕ_{SA} によりセンスアンプ206が起動される。このように参照電圧 V_{ref} が上昇されることにより、センスアンプの動作マージン ΔV_m を早期に確保できるため、メモリセルから論理値“0”のデータが読み出されてからセンスアンプ起動信号 ϕ_{SA} がアサートされるまでの時間を短縮することができる。

[0048] このように論理値“1”リードの場合には、抵抗 R_1 の値が抵抗 R_2 の値よりも大きく設定されることにより、メモリ信号のセンスに必要な入力マージン(ΔV_m)を十分に確保し、論理値“0”リードの場合には、参照電圧 V_{ref} を上昇させることにより、センスアンプの動作マージン ΔV_m を早期に確保できるので、センスアンプ起動信号 ϕ_{SA} のアサートタイミングを早めることができ、その分、高速アクセスが可能とされる。

[0049] 上記のようにスイッチSW1, SW2が設けられている場合には、抵抗 R_2 を省略することができるが、負荷を合わせるためのダミーとして抵抗 R_2 を設けることができる。スイッチSW1, SW2が省略される場合には、センスアンプ入力電圧 V_{in} のレベル確保のため、抵抗 R_2 は不可欠とされる。図1に示される構成例では、センスアンプ入力電圧 V_{in} が参照電圧 V_{ref} よりも低くなると定電流 I_{cs} が抵抗 R_2 に流れるようになるため、センスアンプ入力電圧 V_{in} の電圧変化が加速されるという利点がある。

[0050] 抵抗 R_2 の値よりも大きな抵抗 R_1 が設けられることにより、nチャンネル型MOSTランジスタMN1, MN2の負荷がアンバランスとなっているが、センスアンプの動作マージンの最適化のために、nチャンネル型MOSTランジスタMN1, MN2や、その他のMOSTランジスタのゲート幅を異ならせるようにしても良い。また、pチャンネル型MOSTランジスタMP1, MP1B, MP2, MP2Bの電流駆動特性によっては抵抗 R_1 も省略可能となる。

[0051] 図11には、上記メモリセルMC1の別の構成例が示される。

[0052] 図11に示されるメモリセルが図9に示されるメモリセルと大きく相違するのは、ビット

線BLに対になる相補ビット線BLBが設けられ、第2記憶ノードN2が第2トランスファMOSTランジスタTn2を介して相補ビット線BLBに結合されている点、及びトランスファMOSTランジスタTn1, Tn2のゲート電極がサブワード線SWLに共通接続されている点である。そして、かかる構成においても、第1駆動MOSTランジスタDn1のゲート幅Wを「A」とし、第2駆動MOSTランジスタDn2のゲート幅Wを「B」とし、第1トランスファMOSTランジスタTn1のゲート幅Wを「C」とし、第2トランスファMOSTランジスタTn2のゲート幅Wを「D」とした場合、 $A > B$ 、及び $C > D$ の関係が成立するように各MOSTランジスタのゲート幅が設定される。

[0053] 図12には、図11に示されるメモリセルのレイアウト例が示される。

[0054] 図11に示される構成においては、図7に示される構成のレイアウト(図8参照)に比べて、第2駆動MOSTランジスタDn2のゲート幅121が小さくされ、第2トランスファMOSTランジスタTn2のゲート幅122が小さくされるため、メモリセルのチップ占有面積を約5%低減することができる。逆に、メモリセルのチップ占有面積を同一とした場合には、第1駆動MOSTランジスタDn1のゲート幅 $W = A$ 、及び第トランスファMOSTランジスタTn1のゲート幅 $W = C$ を大きくすることができる。第1駆動MOSTランジスタDn1のゲート幅 $W = A$ を十分に大きくすることによって、第1駆動MOSTランジスタDn1を流れるメモリセル電流を増大することができ、そして、第1トランスファMOSTランジスタTn1のゲート幅 $W = C$ を十分に大きくすることによってビット線BLの電荷がハイレベルからローレベルに引き抜かれるまでの時間を短縮することができるので、メモリセルMC1からのデータ読み出しの高速化を図ることができる。

[0055] 図13には、上記センスアンプ206の別の構成例が示される。

[0056] 図13に示されるセンスアンプ206が、図4に示されるのと大きく相違するのは、nチャンネル型MOSTランジスタMN12とnチャンネル型MOSTランジスタMN13との間に抵抗R3が設けられ、nチャンネル型MOSTランジスタMN11とnチャンネル型MOSTランジスタMN13との間に抵抗R4が設けられている点である。このように抵抗R3, R4を設けるのは、以下のようにMOSTランジスタのしきい値の差を補償するためである。

[0057] 図13に示される構成において、抵抗R3, R4の抵抗値を「R」としたとき、図14に示

されるように、 $R=0.5\Omega$ で $\Delta V_{th}=20\text{mV}$ のときの電流分流比と、 $R=0\Omega$ で $\Delta V_{th}=50\text{mV}$ のときの電流分流比とは同等となる。ここで、 ΔV_{th} は、nチャンネル型MOSトランジスタMN12のしきい値 V_{th1} と、nチャンネル型MOSトランジスタMN11のしきい値 V_{th2} との差($\Delta V_{th}=V_{th1}-V_{th2}$)である。また図14において、 I_{mn1} はnチャンネル型MOSトランジスタMN1のドレイン電流、 I_{mn2} はnチャンネル型MOSトランジスタMN2のドレイン電流である。

[0058] 図14の特性図から明らかなように、 $R=0.5\Omega$ で $\Delta V_{th}=20\text{mV}$ のときの電流分流比と、 $R=0\Omega$ で $\Delta V_{th}=50\text{mV}$ のときの電流分流比とは同等となるため、抵抗 R_3 、 R_4 の抵抗値を各々 0.5Ω とすることで、 ΔV_{th} を 30mV 低減するのと同等の効果が期待できる。これにより、センスアンプ活性化タイミングを早めることができるので、ワード線が駆動されてからセンスアンプ出力までの時間を短縮することができる。

[0059] 尚、本例はシングルエンド型、ディファレンシャル型の双方に適用することができる。

[0060] 図15には、上記センスアンプ206の別の構成例が示される。

[0061] 図15に示される構成が図1に示されるのと大きく相違するのは、pチャンネル型MOSトランジスタMP5、MP4の直列接続ノードにダミーのコモンデータ線CDLBが結合されている点である。シングルエンド型のセンスアンプの場合、nチャンネル型MOSトランジスタMN2のゲート電極には参照電圧 V_{ref} が供給され、コモンデータ線CDLとは相補レベルの関係にある相補コモンデータ線CDLBをセンスアンプ206に結合する必要性は基本的には無い。しかし、図15に示されるように、nチャンネル型MOSトランジスタMN2のゲート電極には参照電圧 V_{ref} が供給されるにもかかわらず、相補コモンデータ線CDLBをダミーのコモンデータ線として配線することにより、ノイズ補償が可能とされる。つまり、相補コモンデータ線CDLBをコモンデータ線CDLの近傍に設けることにより、ノイズは、相補コモンデータ線CDLBとコモンデータ線CDLとの双方に同相で混入されるため、そのようなノイズは、nチャンネル型MOSトランジスタMN1、MN2での差動増幅により相殺されることから、センスアンプの動作を安定させることができる。

[0062] 以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、

本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

- [0063] 例えば、図1における定電流源101は、図3(a)に示される抵抗36に代えて図3(b)に示されるようなnチャンネル型MOSTランジスタ37で形成することができる。この場合、nチャンネル型MOSTランジスタ37のゲート電極には、センスアンプ起動信号 ϕ SAよりも若干早めに立ち上がるパルス信号又は、nチャンネル型MOSTランジスタ37を抵抗として働かすための所定レベルの直流電圧とされる。センスアンプ起動信号 ϕ SAよりも若干早めに立ち上がるパルス信号によってnチャンネル型MOSTランジスタ37を駆動するようにすれば、無駄なタイミングで電流を流さないで済むから、その分、消費電力の低減を図ることができる。

産業上の利用可能性

- [0064] 本発明は、それぞれビット線に結合された複数のメモリセルが配置されて成るメモリセルアレイと、上記メモリセルから出力された信号を増幅するためのセンスアンプと、を含む半導体記憶装置に広く適用することができる。

請求の範囲

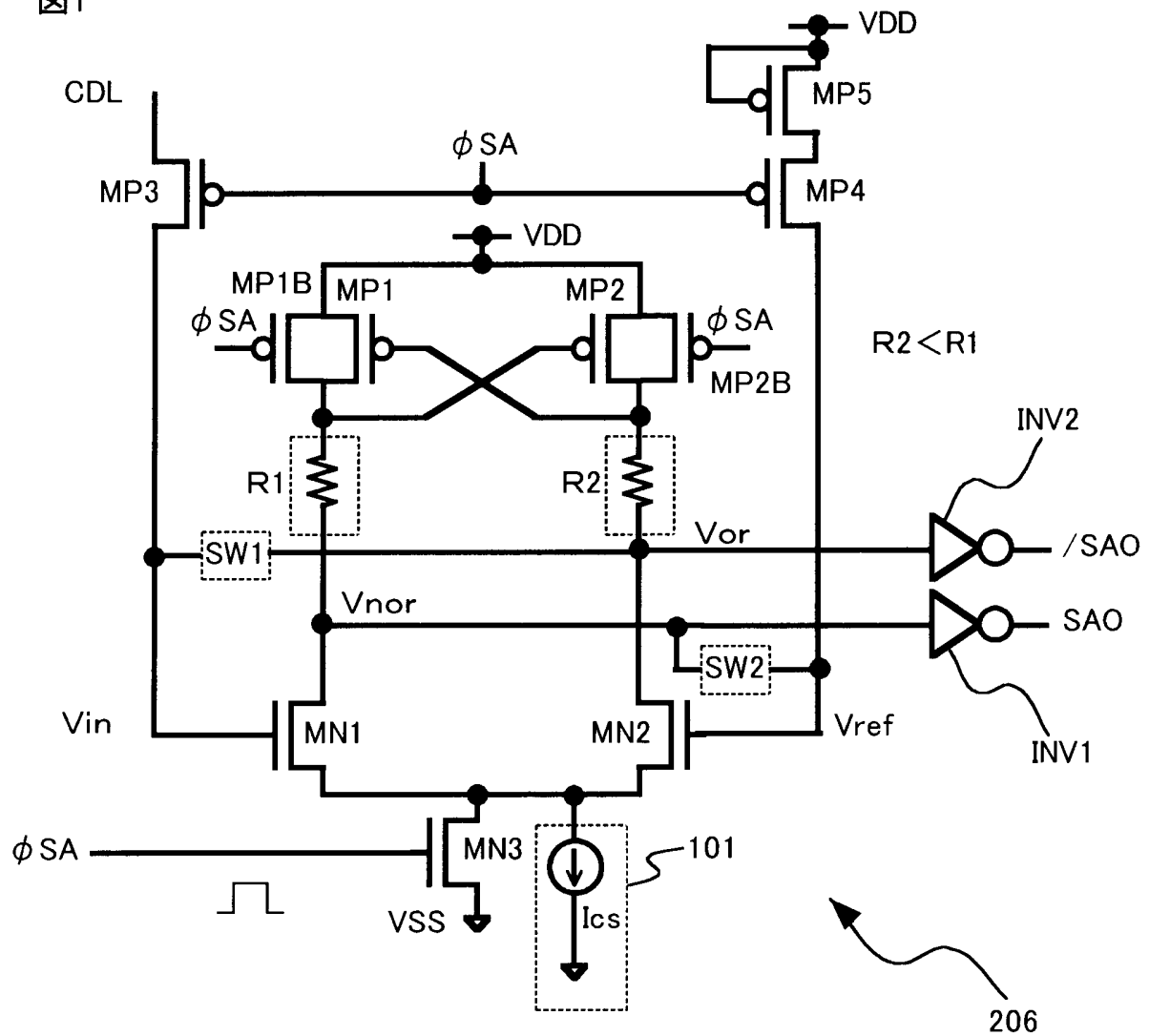
- [1] それぞれビット線に結合された複数のメモリセルが配置されて成るメモリセルアレイと、上記メモリセルから出力された信号を増幅するためのセンスアンプと、を含む半導体記憶装置であって、
- 上記メモリセルは、駆動用の第1トランジスタと、上記第1トランジスタの出力ノードを上記ビット線に結合可能な第2トランジスタと、上記第1トランジスタに結合された駆動用の第3トランジスタと、上記第3トランジスタの出力ノードを上記ビット線に結合可能な第4トランジスタと、を含み、上記第1トランジスタのゲート幅と上記第3トランジスタのゲート幅とが異なり、上記第2トランジスタのゲート幅と上記第4トランジスタのゲート幅とが異なり、
- 上記センスアンプは、第5トランジスタと、上記第5トランジスタに差動結合された第6トランジスタと、を含み、上記第6トランジスタのベース電極電圧が、上記第5トランジスタのベース電極の電圧変動に対し、反動的に追従される半導体記憶装置。
- [2] 上記第1トランジスタのゲート幅よりも上記第3トランジスタのゲート幅が小さくされ、上記第2トランジスタのゲート幅よりも上記第4トランジスタのゲート幅が小さくされて成る請求項1記載の半導体記憶装置。
- [3] 上記第5トランジスタのソース・ドレイン経路に設けられた第1抵抗と、上記第6トランジスタのソース・ドレイン経路に設けられた第2抵抗とを含み、上記第1抵抗の値を上記第2抵抗の値よりも大きくされた請求項2記載の半導体記憶装置。
- [4] 上記第5トランジスタのソース電極と、上記第6トランジスタのソース電極とに共通接続された定電流源と、
- 上記定電流源に並列接続された第7トランジスタと、を含み、上記第7トランジスタは、センスアンプ起動信号によってオンオフ動作が制御される請求項3記載の半導体記憶装置。
- [5] 上記センスアンプの入力ノードと、上記センスアンプの出力ノードとの間に、上記センスアンプ起動信号によってオンオフ動作が制御される第1スイッチが配置された請求項4記載の半導体記憶装置。
- [6] 上記第5トランジスタのゲート電極に上記メモリセルの出力電圧が供給され、上記第6

トランジスタのゲート電極に参照電圧が供給されるとき、上記第5トランジスタのドレイン電極の電圧変動に追従して上記参照電圧のレベルが変動される請求項5載の半導体記憶装置。

- [7] 上記第5トランジスタのドレイン電極と上記第6トランジスタのゲート電極との間には、電源電圧が印加されることで導通される第2スイッチが設けられ、この第2スイッチを介して上記第5トランジスタのドレイン電圧が上記第6トランジスタのゲート電極に供給される請求項6記載の半導体記憶装置。
- [8] 複数のビット線が選択的に結合されるコモンデータ線と、上記コモンデータ線の近傍に配置されたダミーコモンデータ線と、を含み、上記コモンデータ線の電位が上記第5トランジスタのゲート電極に伝達され、上記ダミーコモンデータ線の電位が上記第6トランジスタのゲート電極に伝達される請求項7記載の半導体記憶装置。
- [9] 上記定電流源を抵抗とした請求項8記載の半導体記憶装置。
- [10] 上記定電流源を、上記センスアンプ起動信号よりも早いタイミングでアクティブにされる信号によって導通される第8トランジスタとした請求項8記載の半導体記憶装置。
- [11] 上記第5トランジスタのソース電極側と、上記第6トランジスタのソース電極側には、上記第5トランジスタのしきい値と上記第6トランジスタのしきい値との差を補償可能な抵抗が設けられた請求項9又は10記載の半導体記憶装置。
- [12] それぞれビット線に結合された複数のメモリセルが配置されて成るメモリセルアレイと、上記メモリセルから出力された信号を増幅するためのセンスアンプと、を含む半導体記憶装置であって、
上記センスアンプは、第5トランジスタと、上記第5トランジスタに差動結合された第6トランジスタと、を含み、
上記第5トランジスタのゲート電極に上記メモリセルの出力電圧が供給され、上記第6トランジスタのゲート電極に上記メモリセルの出力電圧によらない参照電圧が供給されるとき、上記第5トランジスタのドレイン電極の電圧変動に追従して上記参照電圧のレベルが変動される半導体記憶装置。
- [13] 上記第5トランジスタのドレイン電圧が上記第6トランジスタのゲート電極に供給される請求項12記載の半導体記憶装置。

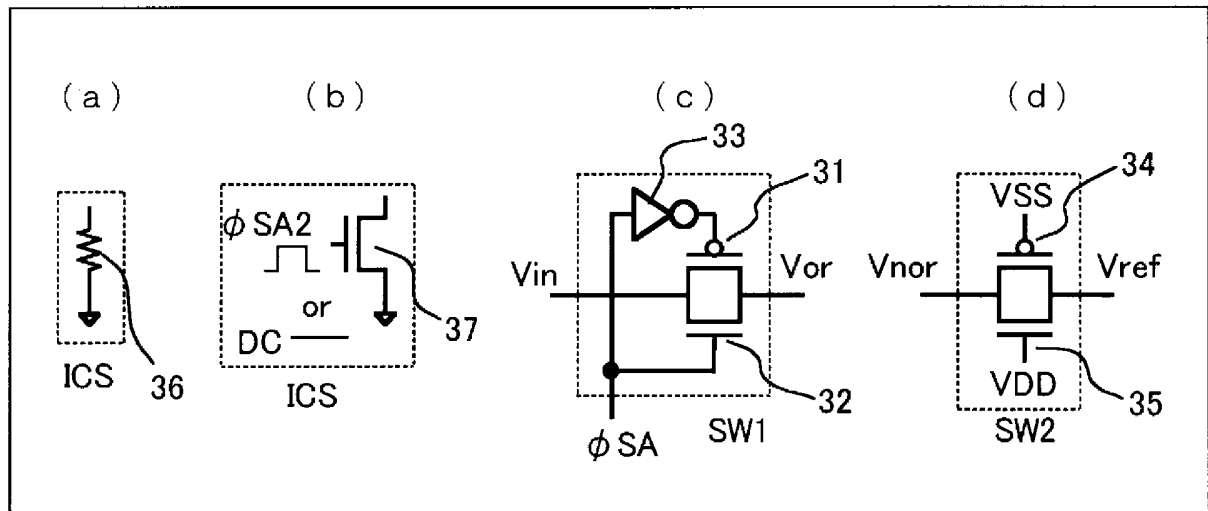
[図1]

图 1



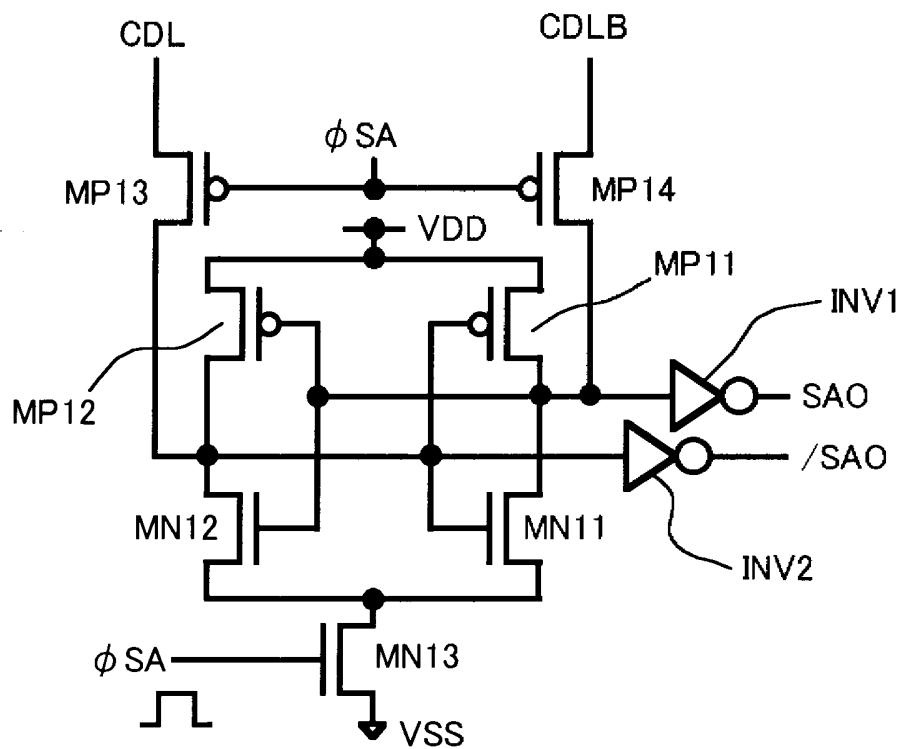
[図3]

図3



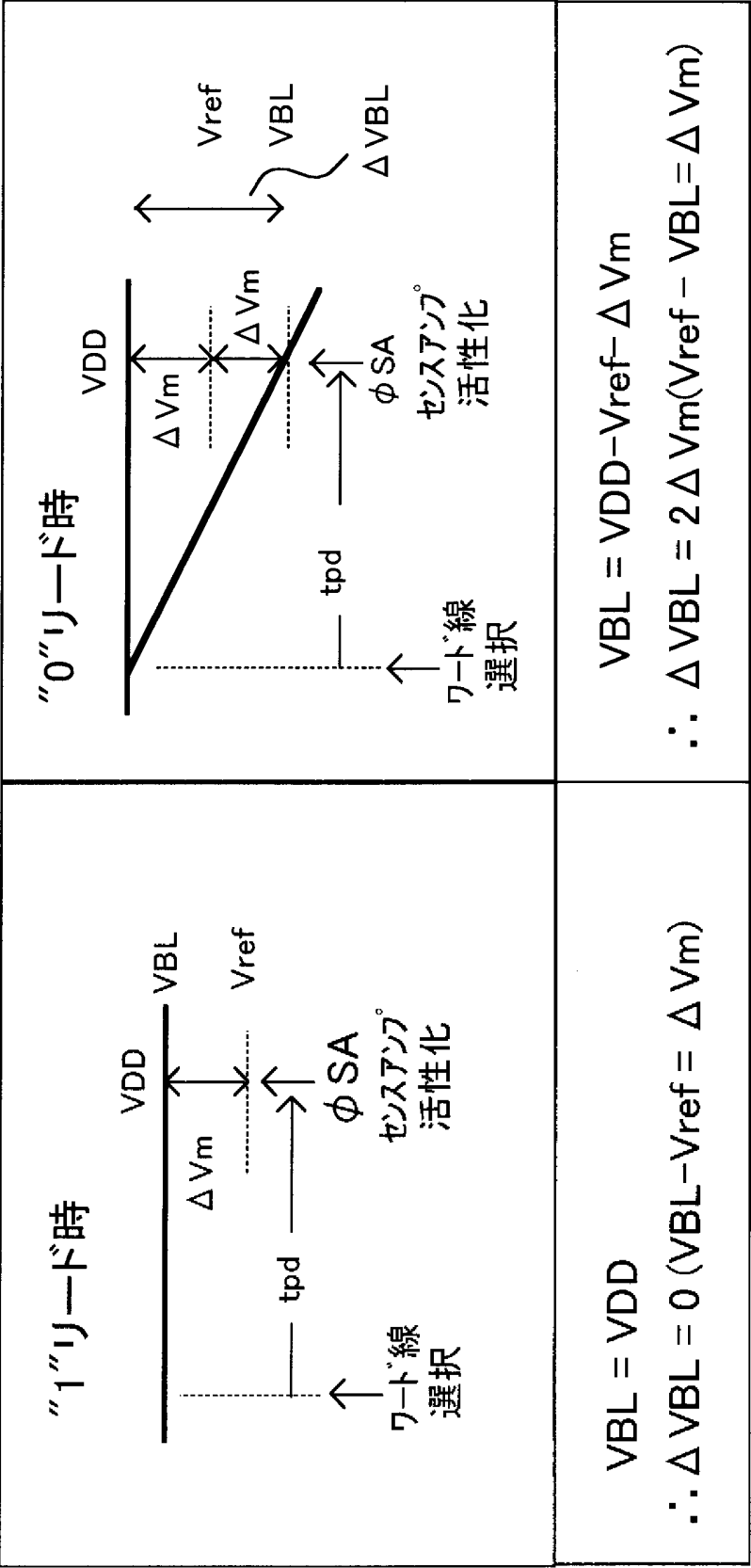
[図4]

図4



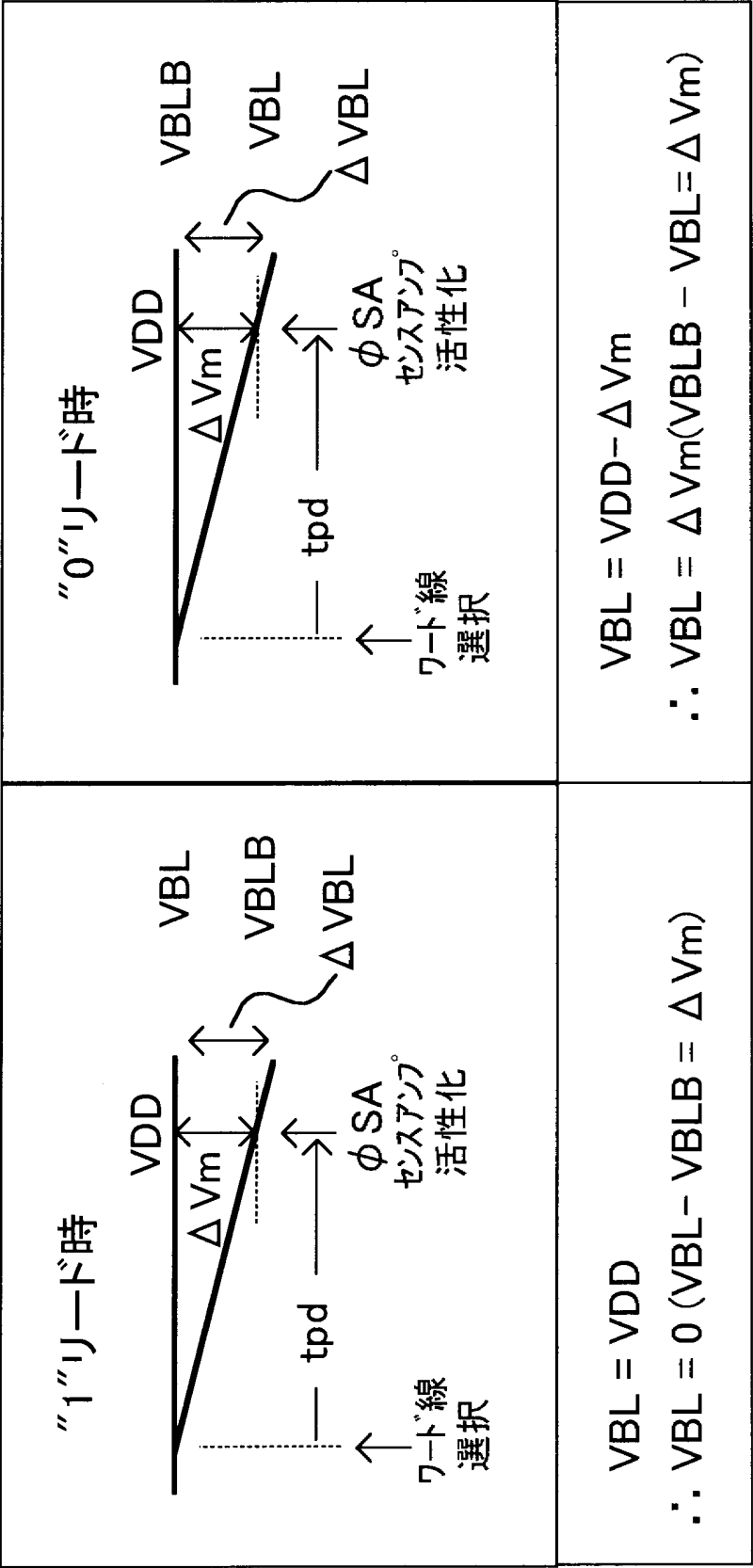
[図5]

図5



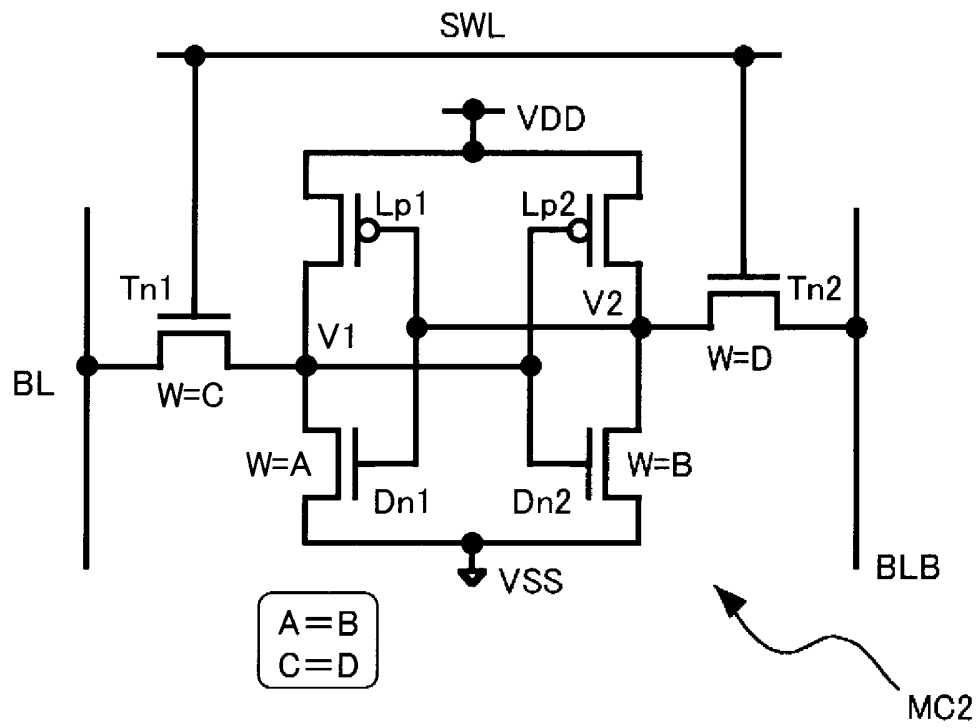
[図6]

図6



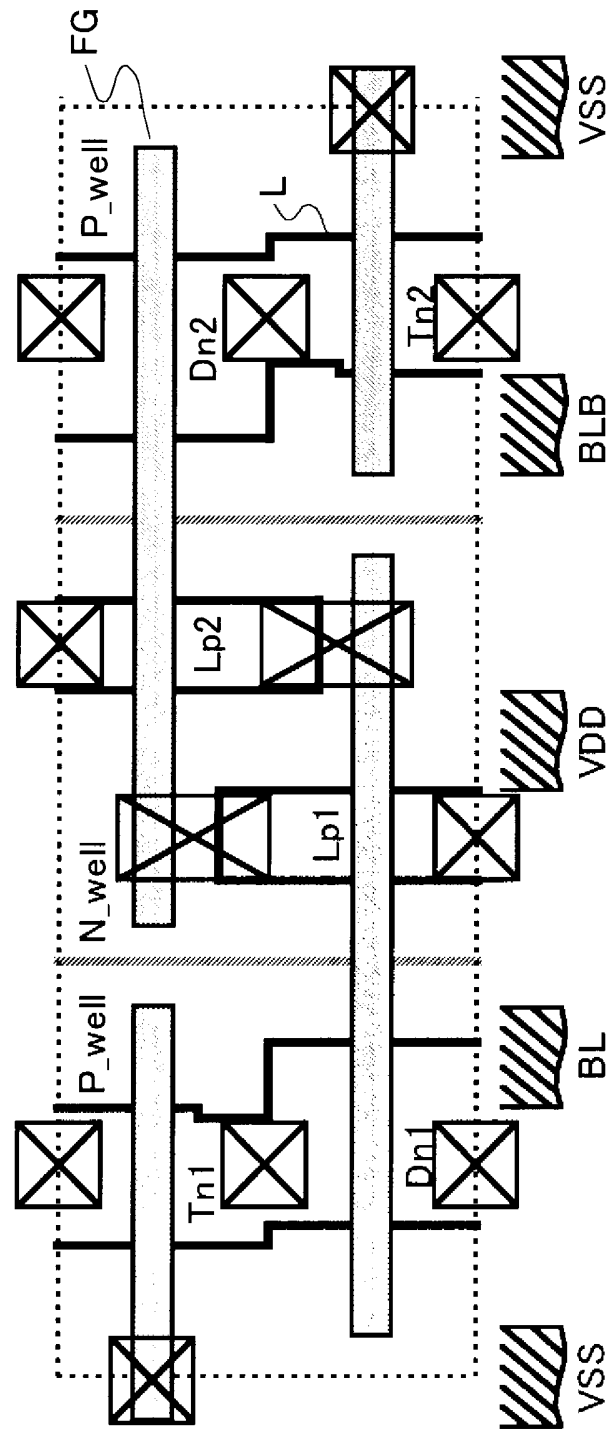
[図7]

図7

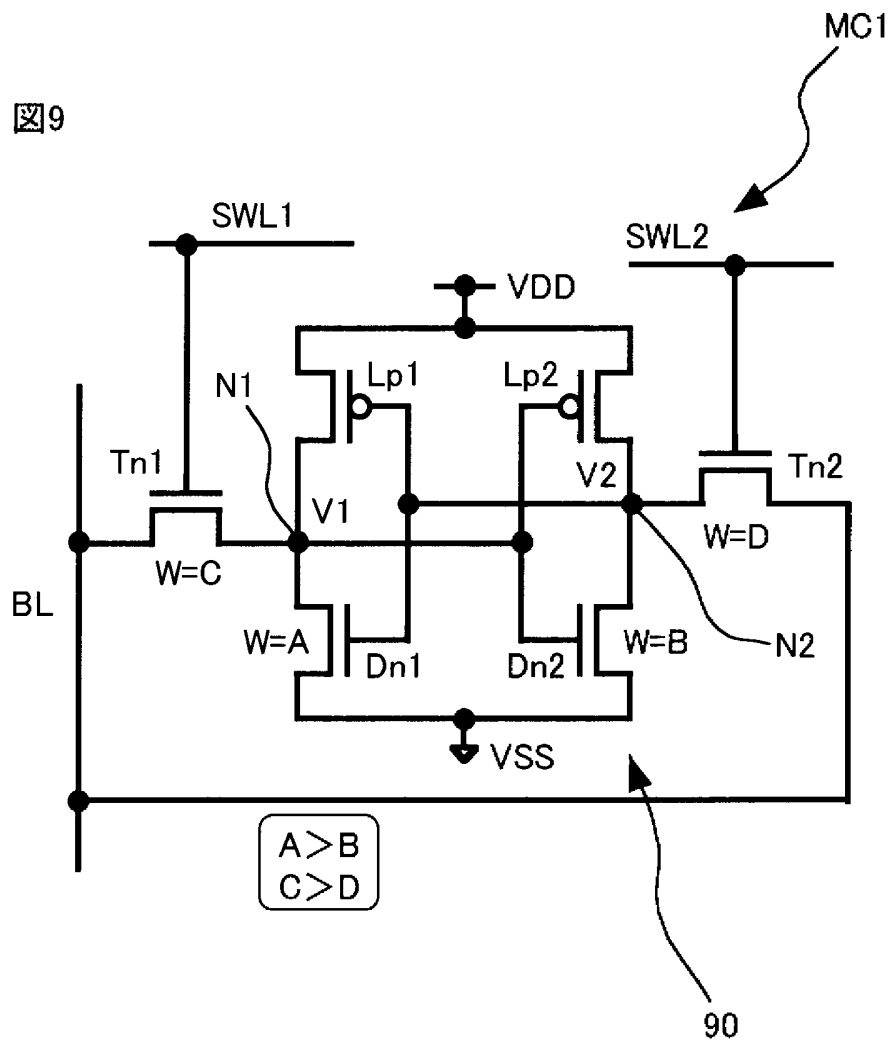


[図8]

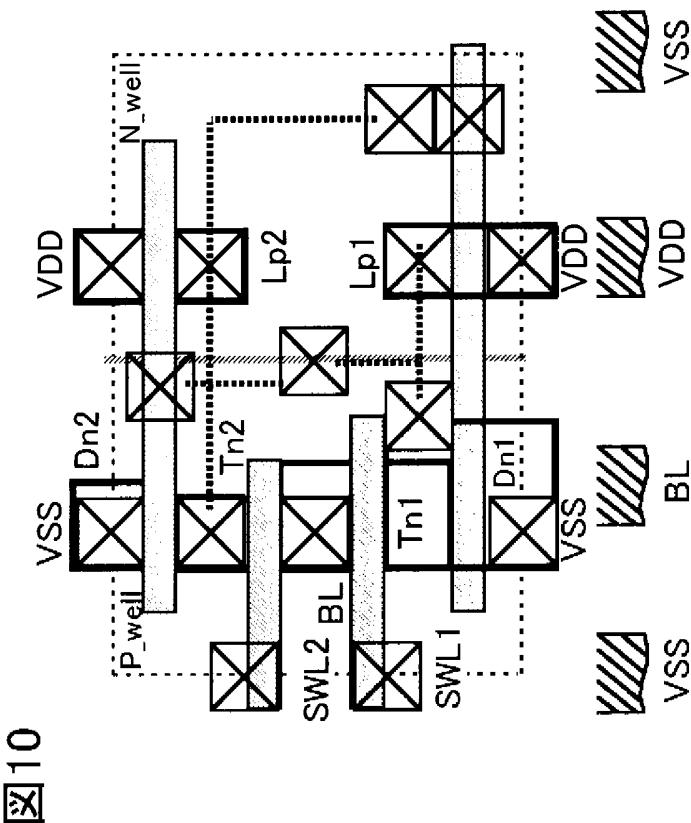
図8



[図9]

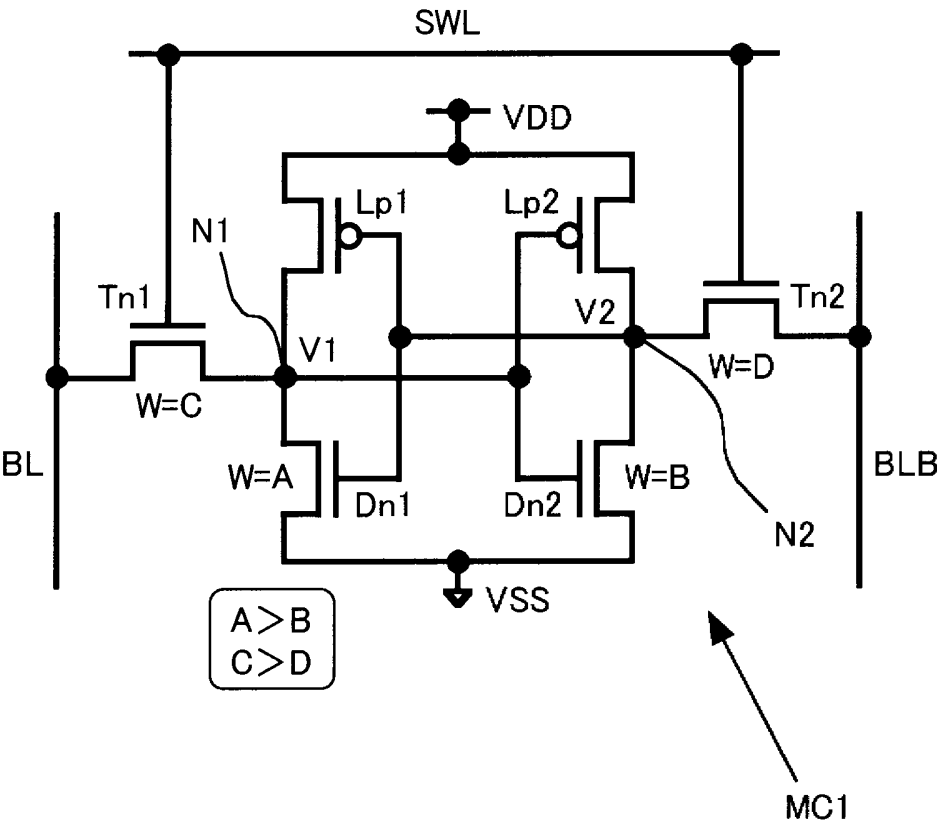


[図10]



[図11]

図11



[図12]

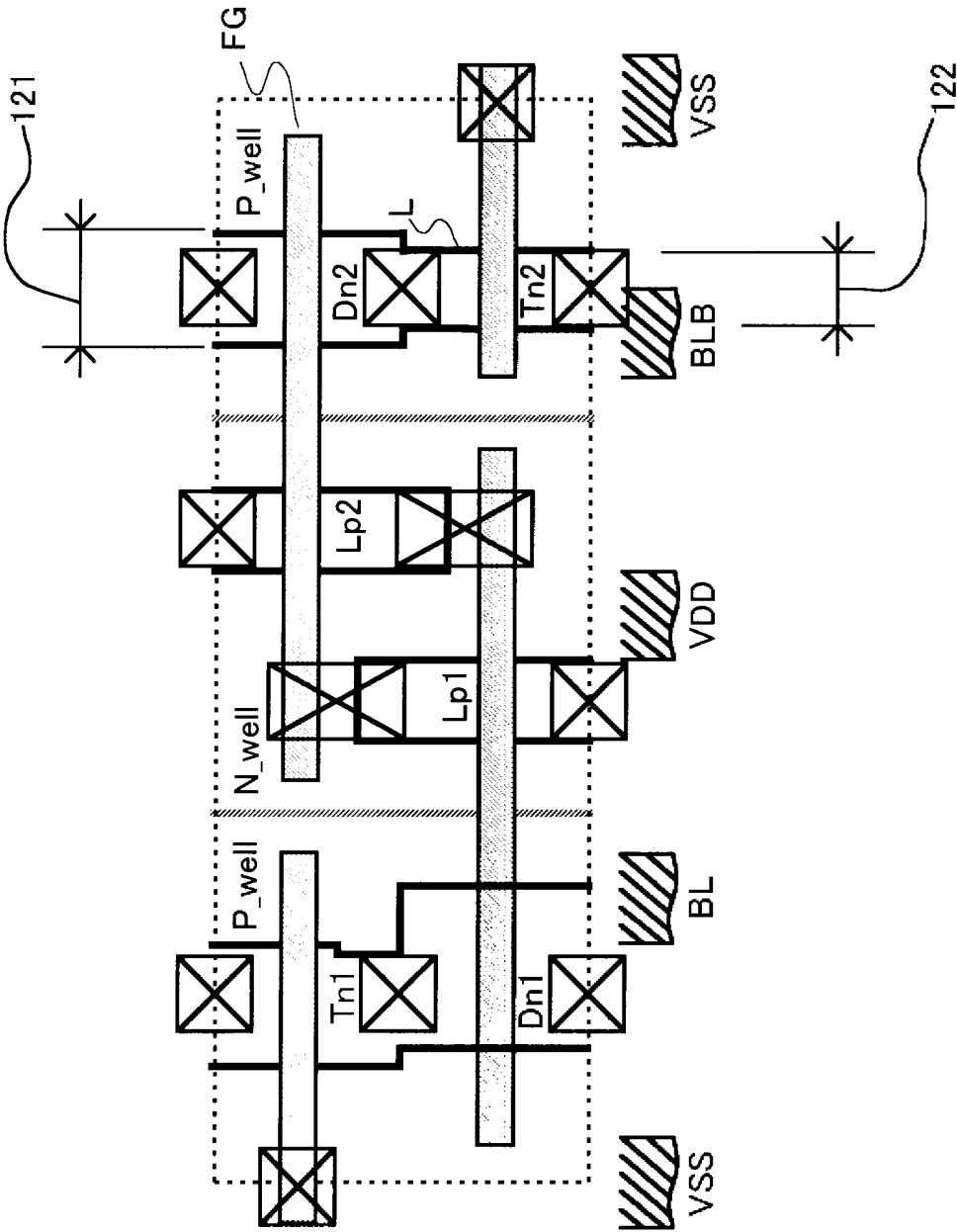
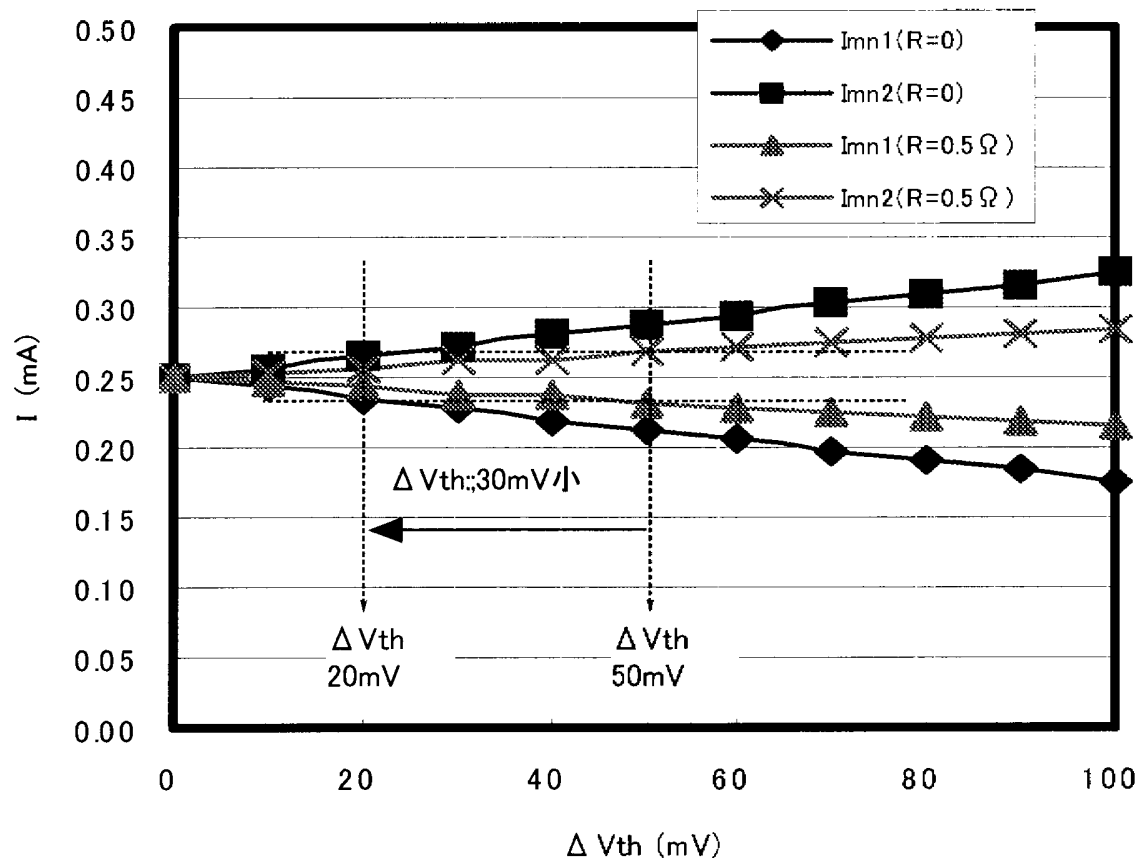


図12

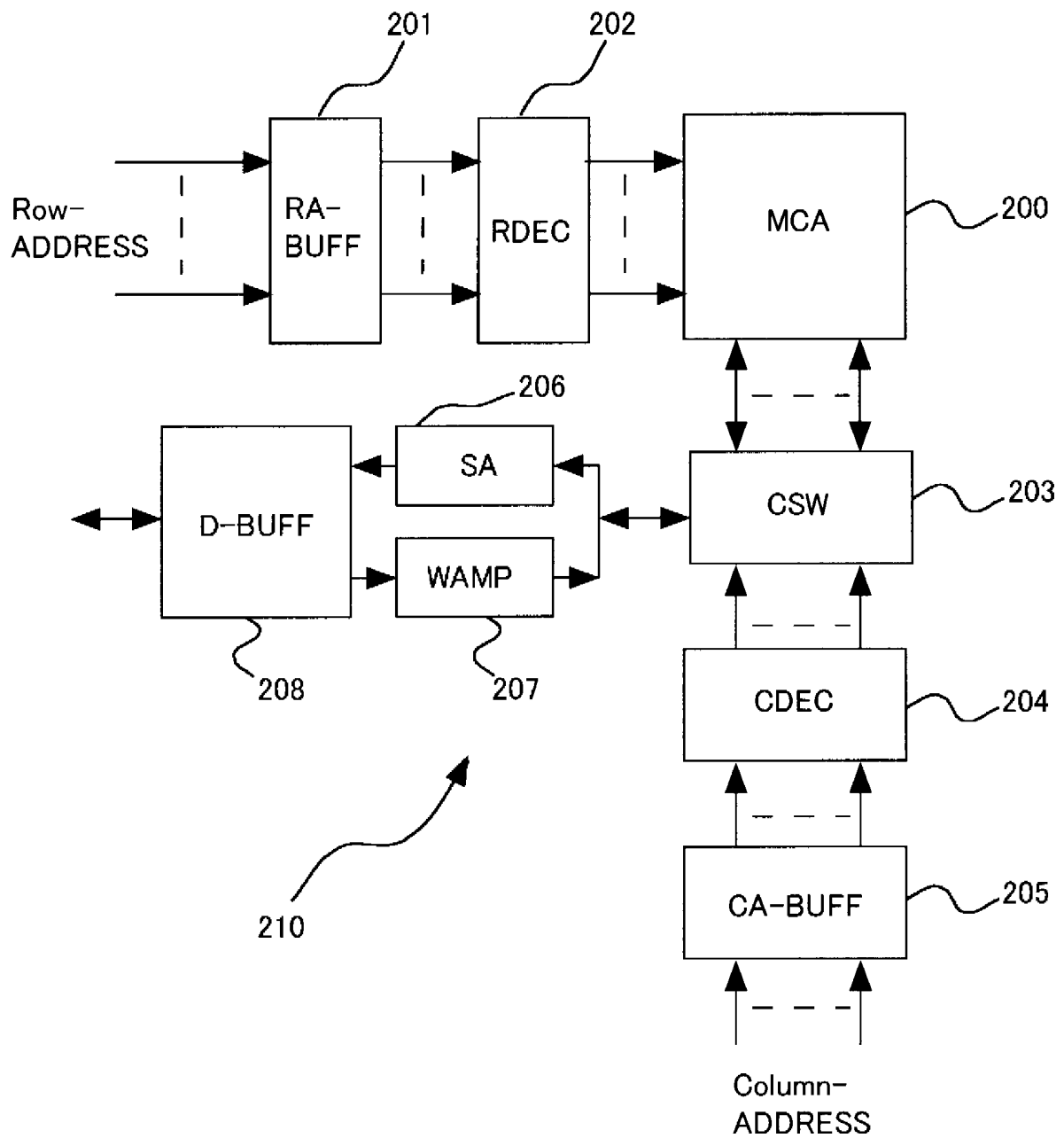
[図14]

図14



[図16]

図16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017271

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C11/412, H01L21/8244, 27/11

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/412, H01L21/8244, 27/11

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-200300 A (Toshiba Corp.), 15 July, 2004 (15.07.04), Par. No. [0045]; Fig. 1 & US 2004/0114422 A1	1, 2 3-11
X Y A	JP 11-219591 A (Hewlett-Packard Co.), 10 August, 1999 (10.08.99), Fig. 1 & US 5949256 A	12, 13 1, 2 3-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

29 July, 2005 (29.07.05)

Date of mailing of the international search report

16 August, 2005 (16.08.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G11C11/412, H01L21/8244, 27/11

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G11C11/412, H01L21/8244, 27/11

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2004-200300 A (株式会社東芝) 2004.07.15, 【0045】, 第1図 & US 2004/0114422 A1	1, 2 3-11
X Y A	JP 11-219591 A (ヒューレット・パカード・カンパニー) 1999.08.10, 第1図 & US 5949256 A	12, 13 1, 2 3-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

29.07.2005

国際調査報告の発送日

16.8.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 俊哉

電話番号 03-3581-1101 内線 3586

5N

9554