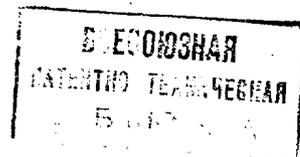




(51)4 Н 03 М 13/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

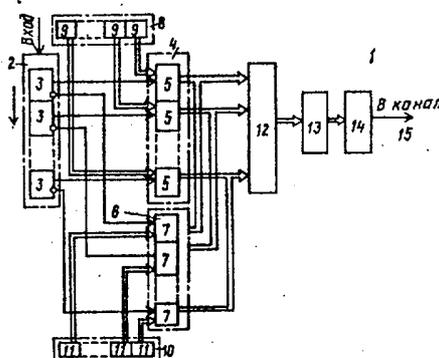


1
(61) 1325718
(21) 4285413/24-24
(22) 16.07.87
(46) 30.09.89. Бюл. № 36
(71) Минский радиотехнический институт
(72) Л.М.Трубицын, Н.И.Цупрев
и А.Г.Саперов
(53) 621.398(088.8)
(56) Авторское свидетельство СССР
№ 1325718, кл. Н 03 М 13/00, 1986.

(54) УСТРОЙСТВО ДЛЯ ПЕРЕДАЧИ ДВОИЧНОГО КОДА

(57) Изобретение относится к технике передачи данных и может быть использовано для передачи цифровой информации в информационных системах. Цель изобретения - повышение достоверности передаваемой информации. Устройство содержит передающую сторону 1, в состав которой входят регистр 2 сдвига, состоящий из триггеров 3, блок 4 перемножителей, состоящий из перемножителей 5, дополнительный блок 6 перемножителей, состоящий из перемножителей 7, блок 8

2
гоящий из перемножителей 7, блок 8 генераторов опорных сигналов, состоящий из генераторов 9 опорных сигналов, дополнительный блок 10 генераторов опорных сигналов, состоящий из генераторов 11 опорных сигналов, сумматор 12, цифроаналоговый преобразователь 13, фильтр 14, канал 15 связи, приемная сторона содержит регистр сдвига, состоящий из триггеров, блок перемножителей, дополнительный блок перемножителей, блок генераторов опорных сигналов, дополнительный блок опорных сигналов, первый сумматор, аналого-цифровой преобразователь, второй сумматор, блок памяти, блок счетчиков, пороговый элемент. Устройство позволяет повысить достоверность передачи информации за счет оптимизации значений передаваемого кодового сигнала при его кодировании-декодировании путем передачи значений двоичного кода единичного и нулевого значений двумя различными импульсами. 3 ил.



Фиг. 1

Изобретение относится к технике передачи данных, может быть использовано для передачи цифровой информации в информационных системах.

Цель изобретения - увеличение достоверности передаваемой информации.

На фиг. 1 приведена функциональная схема устройства; на фиг. 2 - функциональная схема приемной стороны устройства; на фиг. 3 - функциональная схема перемножителей.

Передающая сторона 1 (фиг. 1) содержит регистр 2 сдвига, состоящий из триггеров 3, блок 4 перемножителей, состоящий из перемножителей 5, дополнительный блок 6 перемножителей, состоящий из перемножителей 7, блок 8 генераторов опорных сигналов, состоящий из генераторов 9 опорных сигналов, дополнительный блок 10 генераторов опорных сигналов, состоящий из генераторов 11 опорных сигналов, сумматор 12, цифроаналоговый преобразователь 13, фильтр 14, канал 15 связи.

Приемная сторона 16 (фиг. 2) содержит регистр 17 сдвига, состоящий из триггеров 18, блок 19 перемножителей, состоящий из перемножителей 20, дополнительный блок 21 перемножителей, состоящий из перемножителей 22, блок 23 генераторов опорных сигналов, состоящий из генераторов 24 опорных сигналов, дополнительный блок 25 опорных сигналов, состоящий из генераторов 26 опорных сигналов, первый сумматор 27, аналого-цифровой преобразователь 28, второй сумматор 29, блок 30 памяти, блок 31 счетчиков, содержащий счетчики 32, пороговый элемент 33.

Первые перемножители 5 (20) (фиг. 3) содержат элементы И 34, вторые перемножители 7 (21) содержат элементы И 35.

Устройство работает следующим образом.

Передаваемый двоичный код (ПДК) поступает последовательно в регистр сдвига 2 и сдвигается в нем с интервалом времени

$$T = \frac{t}{Q}, \quad (1)$$

где t - длительность импульсов $Y_1(t)$ и $Y_2(t)$;

Q - число интервалов, на которое делится t .

Значения коэффициентов базисных функций $Y_1(t)$ и $Y_2(t)$ для интервалов времени $t_1, t_1 + T, t_1 + 2T, \dots, t_1 + QT (Q = 1, 2, 3, \dots)$ вычисляются предварительно по формуле

$$Y(t) = \sum_{m_1=1}^Q y[t - (m_1 - 1)T] \times \exp[-\beta^2(m_1 - 1)^2 \cdot T^2], \quad (2)$$

где m - порядковый номер импульса.

$$y(t) = a(t) \cos \varphi(t);$$

$$a(t) = \exp(-\beta^2 t^2), \quad \varphi(t) = \int_0^t w(t) \cdot dt;$$

$$w(t) = w_0 \exp(-\beta^2 t^2) \text{ для } Y_1(t);$$

$$w(t) = w_1 \exp(-\beta^2 t^2) \text{ для } Y_2(t),$$

при условии $w_0 \neq w_1, (w_0 - w_1)/w_0 \ll 1$.

$$\beta^2 = \frac{4 \ln c}{t_y^2}, \quad t = -\frac{t_y}{2} - \frac{t_y}{2}, \quad c \gg 1,$$

t_y - длительность импульса $y(t)$, c - число раз, в которое изменяются $a(t)$ и $w(t)$ и подаются в виде параллельных N -разрядных кодов функции $Y_1(t)$ на соответствующие перемножители 5 блока 4, а функции $Y_2(t)$ на соответствующие перемножители 7 блока 6.

Значения базисных функций вычисляются, начиная с момента времени, соответствующего максимальному значению производной функции $y(t)$ и равного $1/\sqrt{2}\beta$, причем функция синуса для $y(t)$ в этой точке равна нулю. В результате этого в блоках 4 и 6 происходит поразрядное перемножение ПДК на соответствующие значения коэффициентов базисных функций.

При передаче "1" прямые выходы триггеров 3 регистра 2 разрешают прохождение параллельных N -разрядных кодов с выхода блока 8 через блок перемножителей 4, что соответствует передаче отсчетов функции $Y_2(t)$. Инверсные выходы триггеров блока 30 при этом запрещают прохождение отсчетов $Y_1(t)$ через перемножители блока 6, в результате чего после суммирования в блоке 12 и преобразования суммы в цифроаналоговом преобразователе 13 на выходе блока 14 будет в каждом T сигнал

$$U_{k,i} = \sum_{k=1}^Q [X_{i-k+1} \cdot Y_1(k \cdot T) + \bar{X}_{i-k+1} \cdot Y_2(k \cdot T)] \quad (3)$$

На приемной стороне аналого-цифровой преобразователь 28 в каждом T сигнал $U_{k,i}$ преобразуется в цифровую форму и подается на второй сумматор 29, который выполняет операцию

$$U_{p,i} = U_{k,i} - U_{m,i} - d, \quad (4)$$

где $U_{m,i}$ — значение модулирующего сигнала;

d — код постоянного числа.

Так как речь идет о двоичном коде, то в каждом T могут существовать два различных значения $U_{p,i}$. Перед началом работы эти значения вычисляются и заносятся в блок 30 памяти.

В каждом T на вход блока 30 памяти поступает один из кодов $U_{p,i}$, с помощью которого происходит считывание из памяти двоичного L-разрядного слова, "1" в любом разряде которого означает наличие "1" в соответствующем разряде ПДК. Единицы соответствующих разрядов с выхода блока 30 памяти добавляются (или не добавляются в случае нулей) к содержимому соответствующих счетчиков. Перед началом следующего такта содержимое каждого j-го счетчика (где $j = 1, 2, 3, \dots, L$) переписывается в (j+1)-й счетчик, после этого 1-й счетчик обнуляется.

Таким образом, после L тактов в крайнем левом счетчике накапливается число единиц, равное числу случаев, когда данный разряд определен как единичный. Если это число единиц больше $L/2$, то пороговый элемент 33 формирует на выходе единицу, если меньше либо равно $L/2$ — ноль.

Выхода порогового элемента 33 значение сформированного разряда заносится в регистр 17 сдвига, пос-

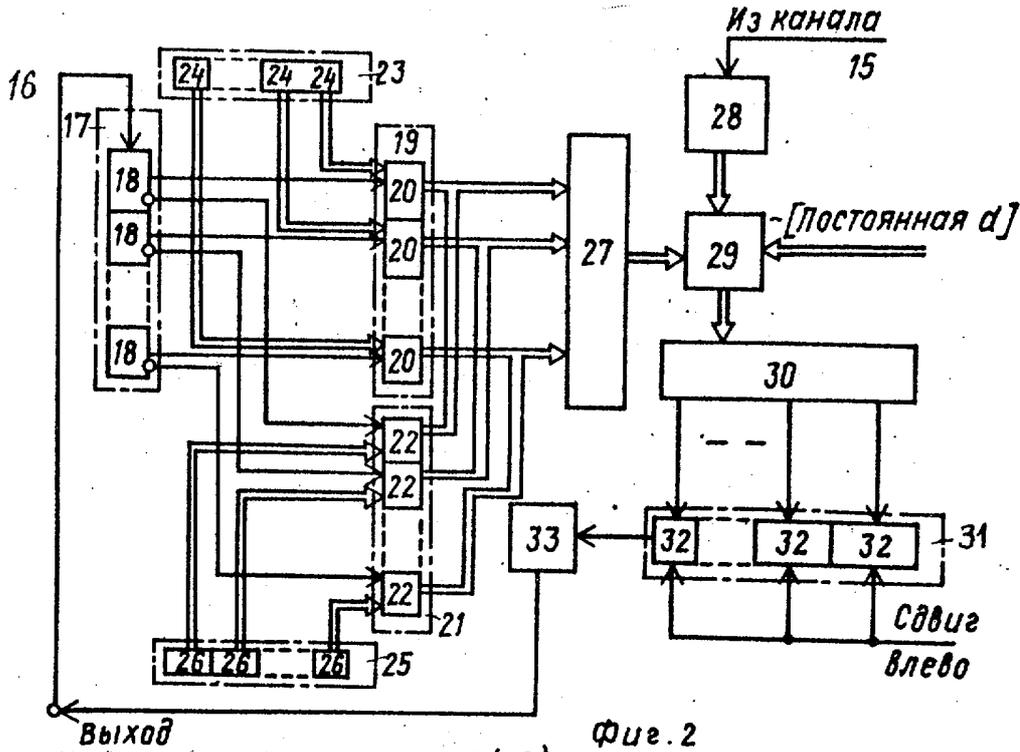
ле чего блоки 19 и 21 перемножителей производят операцию $X; Y_1(iT) + \bar{X}; Y_2(iT)$ и подают данные значения на первый многоходовый сумматор 27.

Работа блоков 17, 19, 23, 25 и 21 аналогична работе блоков 2, 4, 8, 6 и 10. В каждом T происходит вычитание в блоке 29 содержимого блока 27 из содержимого блока 28.

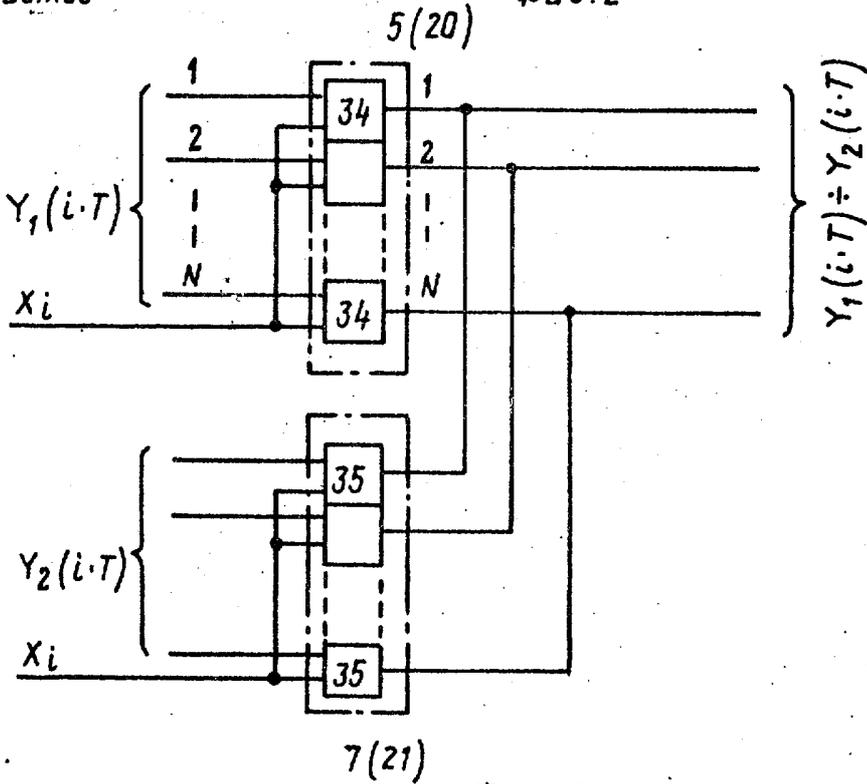
Применение для передачи двоичного кода импульсов вида $Y_1(t)$ и $Y_2(t)$ позволяет добиться повышения достоверности передачи информации за счет оптимизации значений $U_{p,i}$ при кодировании и декодировании передаваемой информации.

Ф о р м у л а и з о б р е т е н и я

Устройство для передачи двоичного кода по авт. св. № 1325718, о т л и ч а ю щ е е с я тем, что, с целью увеличения достоверности передаваемой информации, на передающей стороне введены дополнительный блок генераторов опорных сигналов и дополнительный блок перемножителей, инверсные выходы регистра сдвига соединены с соответствующими первыми входами дополнительного блока перемножителей, вторые входы которого подключены к соответствующим выходам дополнительного блока генераторов опорных сигналов, выходы дополнительного блока перемножителей объединены с соответствующими выходами блока перемножителей, на приемной стороне введены дополнительный блок генераторов опорных сигналов и дополнительный блок перемножителей, инверсные выходы регистра сдвига соединены с соответствующими первыми входами дополнительного блока перемножителей, вторые входы которого подключены к соответствующим выходам дополнительного блока перемножителей и объединены с соответствующими выходами блока перемножителей, третий вход второго сумматора является входом кода постоянного числа.



Фиг. 2



Фиг. 3

Составитель В. Струков

Редактор К. Крупкина

Техред Л. Сердюкова

Корректор О. Ципле

Заказ 5911/57

Тираж 884

Подписное

ВНИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101