

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7612323号  
(P7612323)

(45)発行日 令和7年1月14日(2025.1.14)

(24)登録日 令和6年12月27日(2024.12.27)

(51)国際特許分類	F I	
H 0 3 K 17/0812(2006.01)	H 0 3 K	17/0812
H 0 2 M 1/08 (2006.01)	H 0 2 M	1/08 A
H 0 3 K 17/08 (2006.01)	H 0 3 K	17/08 Z
H 0 3 K 17/16 (2006.01)	H 0 3 K	17/16 F
H 0 3 K 17/567 (2006.01)	H 0 3 K	17/567

請求項の数 13 外国語出願 (全17頁)

(21)出願番号	特願2019-191728(P2019-191728)	(73)特許権者	516153409
(22)出願日	令和1年10月21日(2019.10.21)		インフィニオン テクノロジーズ オーストリア アーゲー
(65)公開番号	特開2020-68528(P2020-68528A)		Infineon Technologies Austria AG
(43)公開日	令和2年4月30日(2020.4.30)		オーストリア共和国 9500 フィラッハ ジーメンスストラッセ 2
審査請求日	令和4年10月21日(2022.10.21)		Siemensstr. 2, A-9500 Villach, Austria
(31)優先権主張番号	16/166,953	(74)代理人	100114890
(32)優先日	平成30年10月22日(2018.10.22)		弁理士 アインゼル・フェリックス=ラインハルト
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	100098501
			弁理士 森田 拓
		(74)代理人	100116403

最終頁に続く

(54)【発明の名称】 マルチ出力ゲートドライバシステムにおいて静的にゲートをクランプする方法

(57)【特許請求の範囲】

【請求項1】

マルチ出力ゲートドライバシステムであって、前記マルチ出力ゲートドライバシステムは、

ゲートノードを有するパワーデバイスと、

入力端を有するとともに、第1のゲート抵抗を含む第1の電流経路を介して前記ゲートノードに結合された、前記パワーデバイスの能動的なオンオフ切り替えを行うための出力端を有する第1のドライバと、

入力端を有するとともに、前記第1の電流経路とは別の第2の電流経路を介して前記ゲートノードに結合された出力端を有する第2のドライバであって、オン状態、オフ状態および高インピーダンス状態のうちの一つで動作するように構成される第2のドライバと、

前記第2のドライバの前記出力端に結合された第1の入力端、前記パワーデバイスの切り替えオンの過渡が経過したときのゲートノード電圧に対応する第1の基準電圧に結合された第2の入力端および出力端を有する第1の比較器と、

前記第2のドライバの前記出力端に結合された第1の入力端、前記パワーデバイスの切り替えオフの過渡が経過したときのゲートノード電圧に対応する第2の基準電圧に結合された第2の入力端および出力端を有する第2の比較器と、

前記パワーデバイスのオンオフ切り替えのための制御信号を受信する第1の入力端、前記第1の比較器の前記出力端および前記第2の比較器の前記出力端に結合された第2の入力端、前記第1のドライバの前記入力端に結合された第1の出力端ならびに前記第2のド

ライバの前記入力端に結合された第2の出力端を有する論理回路と、  
前記第2のドライバの前記出力端と、前記パワーデバイスの前記ゲートノードと、の間に結合され、前記第1のゲート抵抗と同じ値を有する第2のゲート抵抗と、  
を含み、

前記論理回路の前記第2の入力端の信号は、前記第2のドライバの前記出力端が前記第1の基準電圧に達したかもしくは上回ったか否か、または、前記第2のドライバの前記出力端が前記第2の基準電圧に達したかもしくは下回ったか否かを示し、

前記第2のドライバの前記出力端は、前記論理回路の前記第2の出力端の信号にตอบสนองして、正の電圧レールもしくは負の電圧レールのいずれかへ相応にクランプされるように構成されており、

前記論理回路は、前記パワーデバイスの切り替えオンおよび切り替えオンの過渡の間のみ、前記第2のドライバを高インピーダンス状態で動作させるように構成されている、マルチ出力ゲートドライバシステム。

【請求項2】

前記第2のドライバは、ターンオン動作モードおよびターンオフ動作モード双方の間、クランプされるように構成されている、

請求項1記載のマルチ出力ゲートドライバシステム。

【請求項3】

前記第2のドライバは、ターンオン動作モード中はクランプされ、ターンオフ動作モード中は能動的な切り替えを行うように構成されている、

請求項1記載のマルチ出力ゲートドライバシステム。

【請求項4】

前記第2のドライバは、ターンオフ動作モード中はクランプされ、ターンオン動作モード中は能動的な切り替えを行うように構成されている、

請求項1記載のマルチ出力ゲートドライバシステム。

【請求項5】

前記第2のドライバは、前記論理回路が受信した付加的な制御信号にตอบสนองしてクランプされるかまたは能動的な切り替えを行うように構成されている、

請求項1記載のマルチ出力ゲートドライバシステム。

【請求項6】

前記第1の比較器および前記第2の比較器は、入力フィルタまたは出力フィルタの少なくとも一方を含む、

請求項1記載のマルチ出力ゲートドライバシステム。

【請求項7】

前記第1のゲート抵抗は、前記第1のドライバの前記出力端と、前記パワーデバイスの前記ゲートノードと、の間に結合されている、

請求項1記載のマルチ出力ゲートドライバシステム。

【請求項8】

第1のゲートドライバおよび第2のゲートドライバを含むマルチ出力ゲートドライバシステムを動作させる方法であって、前記第1のゲートドライバの出力端は、第1のゲート抵抗を含む第1の電流経路を介してパワーデバイスのゲートノードに結合され、第2のドライバの出力端は、前記第1の電流経路とは別の第2の電流経路を介して前記ゲートノードに結合され、前記第2のドライバは、活動状態、不活動状態および高インピーダンス状態のうちの1つで動作するように構成され、前記方法は、

前記第2のドライバを高インピーダンス状態で動作させる間、前記第1のゲートドライバの出力端によって前記パワーデバイスをターンオンするステップと、

前記第2のゲートドライバの出力端の電圧を測定して、前記第2のゲートドライバの出力端の前記電圧が第1の基準電圧より大きいか否かを判別するステップであって、前記第1の基準電圧は、前記パワーデバイスの切り替えオンの過渡が経過したときのゲートノード電圧に対応するステップと、

10

20

30

40

50

第 1 の動作モードにおいて前記第 2 のゲートドライバの出力端の前記電圧を第 1 のクランプ電圧へクランプするステップと、

前記第 2 のドライバを高インピーダンス状態で動作させる間、前記第 1 のゲートドライバの出力端によって前記パワーデバイスをターンオフするステップと、

前記第 2 のゲートドライバの出力端の電圧を測定して、前記第 2 のゲートドライバの出力端の前記電圧が第 2 の基準電圧より小さいか否かを判別するステップであって、前記第 2 の基準電圧は、前記パワーデバイスの切り替えオフの過渡が経過したときのゲートノード電圧に対応するステップと、

第 2 の動作モードにおいて前記第 2 のゲートドライバの出力端の前記電圧を第 2 のクランプ電圧へクランプするステップと、

前記第 2 のゲートドライバと前記パワーデバイスとの間に、前記第 1 のゲート抵抗と同じ値を有する第 2 のゲート抵抗を結合するステップと、

を含み、

前記パワーデバイスをターンオンするステップおよび前記パワーデバイスをターンオフするステップの間のみ、前記第 2 のドライバは、高インピーダンス状態で動作する、方法。

#### 【請求項 9】

前記第 2 のゲートドライバは、前記第 1 の動作モードでは、前記第 1 のゲートドライバに対して遅延される、

請求項 8 記載の方法。

#### 【請求項 10】

前記第 2 のゲートドライバは、前記第 2 の動作モードでは、前記第 1 のゲートドライバに対して遅延される、

請求項 8 記載の方法。

#### 【請求項 11】

前記方法はさらに、前記第 1 の動作モードにおいて、第 1 の比較器および第 2 の比較器により、前記第 2 のゲートドライバの前記出力端を測定するステップを含む、

請求項 8 記載の方法。

#### 【請求項 12】

前記方法はさらに、前記第 2 の動作モードにおいて、第 1 の比較器および第 2 の比較器により、前記第 2 のゲートドライバの前記出力端を測定するステップを含む、

請求項 8 記載の方法。

#### 【請求項 13】

前記方法はさらに、前記第 1 のゲートドライバと前記パワーデバイスとの間に前記第 1 のゲート抵抗を結合するステップを含む、

請求項 8 記載の方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、一般に、マルチ出力ゲートドライバシステムにおいて静的にゲートをクランプするシステムおよび方法に関する。

#### 【背景技術】

#### 【0002】

ゲートドライバは、電力増幅器であって、付加的な回路、例えばレベルシフタも含むことができる。ゲートドライバは、関連するコントローラ IC から低電力の入力信号を受け取り、ハイパワートランジスタ、例えば絶縁ゲートバイポーラトランジスタ (“IGBT”) またはパワー金属酸化物半導体電界効果トランジスタ (“MOSFET”) のゲートに対する高電流の駆動入力信号を形成する。典型的には、ゲートドライバの単一の出力端が、パワートランジスタの単一のゲートノードの駆動に用いられる。時に応じて、2 つの出力端が、ハイサイドのパワートランジスタおよびローサイドのパワートランジスタの駆動に

10

20

30

40

50

使用されることもある。ゲートドライバは、クランプ機能を提供するための1つもしくは複数の専用の出力端を有することができる。

【発明の概要】

【課題を解決するための手段】

【0003】

マルチ出力ゲートドライバシステムは、ゲートノードを有するパワーデバイスと、入力端およびゲートノードに結合された出力端を有する第1のドライバと、入力端およびゲートノードに結合された出力端を有する第2のドライバと、第2のドライバの出力端に結合された第1の入力端、第1の基準電圧に結合された第2の入力端および出力端を有する第1の比較器と、第2のドライバの出力端に結合された第1の入力端、第2の基準電圧に結合された第2の入力端および出力端を有する第2の比較器と、制御信号を受信する入力端、第1のドライバの入力端に結合された第1の出力端および第2のドライバの入力端に結合された第2の出力端を有する論理回路と、を含む。

10

【0004】

本発明およびその利点のより完全な理解のため、添付の図を参照しつつ、これに即して以下の説明を行う。

【図面の簡単な説明】

【0005】

【図1A】ON状態およびOFF状態の動作条件に関連する電圧比較器を含むマルチ出力ゲートドライバシステムの一実施形態の概略図、ならびにゲートドライバシステムで使用されるゲート抵抗の代替構成の概略図である。

20

【図1B】図1Aのマルチ出力ゲートドライバシステムに関連する論理テーブルである。

【図2A】第2の出力端をクランプのみに用いる、マルチ出力ゲートドライバシステムの別の実施形態の概略図である。

【図2B】図2Aのマルチ出力ゲートドライバシステムに関連する論理テーブルである。

【図3A】第2の出力端をOFF状態中のソースおよびクランプに用いる、マルチ出力ゲートドライバシステムの別の実施形態の概略図である。

【図3B】図3Aのマルチ出力ゲートドライバシステムに関連する論理テーブルである。

【図4】図1から図3に示したマルチ出力ゲートドライバシステムに関連する時間図である。

30

【図5】パワーデバイスのゲート抵抗の規定値に対するターンオン動作条件およびターンオフ動作条件でのコレクタ電流の関数としての、パワーデバイスのコレクタ電圧の変化量対時間 ( $dv/dt$ ) のグラフである。

【図6】それぞれ電流をシンク可能およびソース可能な2つの出力端を有するマルチ出力ゲートドライバ集積回路 (IC) を含む、マルチ出力ゲートドライバシステムの一実施形態の概略図である。

【図7】図6に示したものに類似しているが、ターンオフ条件中に第2の出力端の不活動化を生じさせるための直列ダイオードを含む、マルチ出力ゲートドライバシステムの一実施形態の概略図である。

【図8】一実施形態による、規定された  $dv/dt$  目標値でのパワーデバイスの駆動のためにマルチ出力ゲートドライバICで使用される制御スキーマの図である。

40

【図9】図6のマルチ出力ゲートドライバシステムに関連する論理テーブルである。

【図10】図9に示したテーブルに対応する時間図である。

【図11】入力端に印加される論理条件に応じて、ゲートドライバICの第2の出力端が予め設定されたもしくはプログラミング可能な遅延量を用いて切り替え可能であるかまたは第1の出力端に対して対抗的に切り替え可能である、マルチ出力ゲートドライバシステムの概略図である。

【図12】ゲートドライバICの第2の出力端がパワーデバイスのゲートの電圧レベルの検出のための比較器を用いて動作可能である、マルチ出力ゲートドライバシステムの概略図である。

50

【図 1 3】それぞれ単一の出力端を有する 3 個以上のドライバを示した、マルチ出力ゲートドライバシステムの概略図である。

【図 1 4】それぞれ別個のシンク出力端とソース出力端とを有する 3 個以上のドライバを示した、マルチ出力ゲートドライバシステムの概略図である。

【発明を実施するための形態】

【0006】

実施形態によれば、ゲートドライバは、1つの動作モードにおいて、双方ともにゲート電圧を駆動されるパワートランジスタに印加する 2 つ以上の独立もしくは非独立の制御可能出力端を有することができる。出力端のそれぞれは、ターンオンおよびターンオフに対して独立に使用されるゲート抵抗を有することができる。個々の出力端は、専用の負荷条件または温度条件または他の動作条件に応じて活動化可能である。活動化される出力端（並列切り替え）が多くなるにつれ、駆動されるパワートランジスタ（時に応じて「スイッチ」または「デバイス」とも称される）はより高速に切り替え可能となる。その結果、当該ゲートドライバおよび当該スイッチを含む相応のコンバータまたはインバータの切替速度も増大可能である。切替損失と EMI または安全動作領域との間の良好なトレードオフも達成可能である。

10

【0007】

デュアル出力ゲートドライバで、2 つの出力端のうち一方のみが動作する場合、他方の出力端は高インピーダンス状態に維持可能である。しかし、第 2 の出力端の高インピーダンス動作は、パワートランジスタに関する 2 つの欠点、すなわち

20

1. パワートランジスタが、OFF 状態における  $dv/dt$  イベント中、寄生ターンオンにより敏感となること、

2. ON 状態におけるハイサイドクランプの強度が比較的弱いこと、

を有する。

【0008】

ゆえに、マルチ出力ゲートドライバシステムの実施形態によれば、第 2 の出力端が、負のゲート電圧へのクランプを行う OFF 状態と正のゲート電圧へのクランプを行う ON 状態との双方を支援する。クランプとは、関連するドライバ段、回路または 1 つもしくは複数の出力 FET の活動化をいう。クランプハイとは、関連するドライバのソース段を活動化することをいう。クランプローとは、関連するドライバのシンク段を活動化することをいう。

30

【0009】

マルチ出力ゲートドライバシステムは、駆動されるトランジスタの電流および電圧の切替過渡特性が経過した時点のレベルに第 1 の出力端のゲート電圧が達すると直ちに、第 1 の出力端の状態を第 2 の出力端へ複製する。当該機能は、例えば、後に詳述する、瞬時ゲート電圧を監視する電圧比較器によって構成可能である。パワートランジスタのゲート電圧がパワートランジスタのゲート エミッタ閾値またはゲート ソース閾値よりも低い場合、ゲートは負のゲート電圧へクランプ可能である。同様に、ゲート電圧が正のルールに近い場合、ゲートは正のルール電圧へクランプ可能である。ただし、第 2 の出力端は、ゲート電圧が変化するたびに不活動状態となる。

40

【0010】

図 1 A には、マルチ出力ゲートドライバシステム 100 の概略図が示されており、当該システム 100 は、ゲートノードを有するパワーデバイス 108 と、入力端およびゲートノードに結合された出力端 OUT 1 を有する第 1 のドライバ 104 と、入力端およびゲートノードに結合された出力端 OUT 2 を有する第 2 のドライバ 102 と、第 2 のドライバ 102 の出力端に結合された正の入力端、第 1 の基準電圧 VON に結合された負の入力端および出力端を有する第 1 の比較器 CP 1 と、第 2 のドライバ 102 の出力端に結合された負の入力端、第 2 の基準電圧 VOFF に結合された正の入力端および出力端を有する第 2 の比較器 CP 2 と、パワーデバイスのオンオフ切り替えのための制御信号を受信する第 1 の入力端、第 1 の比較器 CP 1 の出力端および第 2 の比較器 CP 2 の出力端に結合され

50

た第2の入力端、第1のドライバ104の入力端に結合された第1の出力端112ならびに第2のドライバ102の入力端に結合された第2の出力端110を有する論理回路106と、を含む。図1Aでは、論理回路106は、ハードウェアまたはソフトウェアとして構成可能である。少なくとも2つの入力信号、すなわちパワーデバイス108の状態を変更するオン・オフ信号と、比較器CP1, CP2の出力端に関連する信号と、が論理回路106によって受信される。論理回路106が使用する論理関数に依存して、例えば使用される出力端の数に応じた“n”ビット幅の入力バスを構成することができる。例えば、図1Aの実施形態では、入力バスの2ビット幅が、2つの異なる入力信号に対応して使用可能である。論理回路106およびマルチ出力ゲートドライバシステム100全体の動作を以下に詳述する。

10

#### 【0011】

ゲートドライバ102, 104、比較器CP1, CP2および論理回路106を含むゲートドライバ回路116は、他の回路、例えばマイクロプロセッサならびに一実施形態での他の回路を含む単一の集積回路として構成可能である。他の実施形態では、離散的な要素もしくは複数の集積回路またはこれらの組み合わせも使用可能である。

#### 【0012】

図1Aでは、2つのゲート抵抗 $R_{g1}$ ,  $R_{g2}$ が使用されている。ゲート抵抗 $R_{g1}$ は、ドライバ104の出力端とパワーデバイス108のゲートノードとの間に結合されている。ゲート抵抗 $R_{g2}$ は、ドライバ102の出力端とパワーデバイス108のゲートノードとの間に結合されている。同じ値もしくは異なる値を有する個別の抵抗素子を、ゲート抵抗 $R_{g1}$ ,  $R_{g2}$ に対して使用可能である。なお、代替の並列抵抗回路114も、種々の動作モードの適合化のために使用可能である。並列抵抗回路114では、第1の抵抗 $R_{goff}$ にダイオードDが直列に組み合わせられることが示されている。第1の抵抗およびダイオードは、第2の抵抗 $R_{gon}$ に対して並列に配置されている。並列抵抗回路114内の第1の抵抗および第2の抵抗は、一実施形態では、異なる値を有しうる。当該ケースでは、並列抵抗回路114は、パワーデバイス108のゲートからの電流がシンクするまたはソースする際に、異なる値を有する。ダイオードDは、(抵抗 $R_{gon}$ に接続された)ソース電流に対する個別の端子と(抵抗 $R_{goff}$ に接続された)シンク電流に対する個別の端子とを有する実施形態が使用される場合、省略可能である。こうした実施形態は図14に示されている。

20

30

#### 【0013】

各比較器CP1, CP2の入力端および/または出力端のフィルタは任意である。適切なフィルタ配置は例えば図13, 図14に示されており、後に詳述する。

#### 【0014】

動作中、制御設定に依存して、第2の出力端OUT2がゲート電圧の測定入力端として用いられる。これは、OUT2が不活動状態(高インピーダンス)に維持される、OUT1の過渡特性の後、適切な時間インターバル中に可能である。ターンオフ過渡特性のケースでは、OUT2は、ゲート電圧がCP2の比較器閾値( $V_{OFF}$ )を下回ると直ちに活動化される。ターンオン閾値のケースでは、OUT2は、ゲート電圧がCP1の比較器閾値( $V_{ON}$ )を上回ると直ちに活動化される。全体的により低いゲート抵抗を得るべく、2つの出力端(OUT1, OUT2)がともに切り替えられるように制御が変更される場合、基本的に、2つのドライバ段のケースでは、監視を行う比較器は必要ない。2つの比較器CP1, CP2を用いない代替実施形態については、後に詳述する。ここでの実施形態では、測定は第2の出力端OUT2で行うことができる。3個以上のドライバ段が並列に使用される場合、測定は、他方の出力端(図1Aには示されていない)と共に能動的な切り替えを行った出力端で行わなければならない。代替的に、別個の測定ピンも使用可能である。

40

#### 【0015】

図1Aに示したマルチ出力ゲートドライバシステム100の抵抗および電圧の範囲は、特定の用途に適合するように変化可能である。

50

## 【 0 0 1 6 】

図 1 B は、1 2 個の論理状態を含む、図 1 A の回路実施形態に対応する論理テーブルであり、ここでは、個々の  $I N$  ,  $I N F$  ,  $O U T 1$  ,  $O U T 2$  の論理状態が規定されている。付加的に、図 1 A の回路実施形態の出力インピーダンスおよび動作状態も示されている。

## 【 0 0 1 7 】

図 1 B , 図 2 B , 図 3 B に関して、論理テーブル内のアスタリスクは任意の論理状態をいい、代替的に出力端  $O U T 2$  は  $H i Z$  (高インピーダンス状態) に留まりうる。

## 【 0 0 1 8 】

クランプ機能に関して、 $O U T 2$  の電圧が  $O U T 1$  の電圧に近いレベルに達するまで、 $O U T 2$  出力端は、 $O N$  状態または  $O F F$  状態に達しない。

10

## 【 0 0 1 9 】

図 2 A は、第 2 の出力端  $O U T 2$  をゲートクランプとしてのみ用いる、マルチ出力ゲートドライバシステム 2 0 0 の別の実施形態の概略図である。ゲートドライバシステム 2 0 0 では、第 1 の出力端  $O U T 1$  が  $O N$  状態または  $O F F$  状態のいずれかである定常状態に達した場合にのみ、第 2 の出力端  $O U T 2$  が活動化される。したがって、第 2 のゲート抵抗は、ゲートドライバシステム 2 0 0 では必要ない。それ以外は、図 2 A に示した番号付きの要素の全てが上述されている。

## 【 0 0 2 0 】

図 2 B は、1 2 個の論理状態を含む、図 2 A の回路実施形態に対応する論理テーブルであり、ここでは、個々の  $I N$  ,  $I N F$  ,  $O U T 1$  ,  $O U T 2$  の論理状態が規定されている。付加的に、図 2 A の回路実施形態に対する出力インピーダンスおよび動作状態も示されている。

20

## 【 0 0 2 1 】

図 3 A は、 $O U T 1$  に対して並列の抵抗  $R g 2$  を介して第 2 の出力端  $O U T 2$  をゲート電流のソースに使用可能な、マルチ出力ゲートドライバシステム 3 0 0 の別の実施形態の概略図である。付加的に、第 2 の出力端  $O U T 2$  は、 $O F F$  状態中、アクティブミラークランプピンとして使用可能である。もちろん、アクティブミラークランプの性能は、 $R g 2$  に対して並列の任意のダイオードによって低減されてしまうこともある。ダイオードは、ゲートドライバシステム 3 0 0 の抵抗  $R g 2$  に対して並列に示されている。それ以外は、図 3 A に示した番号付きの要素の全てが上述されている。

30

## 【 0 0 2 2 】

図 3 B は、1 2 個の論理状態を含む、図 3 A の回路実施形態に対応する論理テーブルであり、ここでは、個々の  $I N$  ,  $I N F$  ,  $O U T 1$  ,  $O U T 2$  の論理状態が規定されている。付加的に、図 3 A の回路実施形態に対する出力インピーダンスおよび動作状態 (ならびに関連する制御設定) も示されている。

## 【 0 0 2 3 】

図 4 に示した可能な時間図 4 0 0 は、ゲート電圧を監視する 2 つの比較器を用いた図 1 A から図 3 A の実施形態により得られ、ここでは、全体時間図 4 0 4 および拡大時間図 4 0 2 , 4 0 6 によって、さらに、比較器の動作の詳細および任意の安全時間遅延が示されている。一方の比較器または他方の比較器のいずれかが、ゲート電圧が各閾値電圧に達したこと (期間  $t_{T D O N}$  または  $t_{T D O F F}$  がかりうる) を検出した後、安全遅延  $t_{d c l a m p H}$  または  $t_{d c l a m p L}$  は、いずれかの比較器の決定が第 2 の出力端  $O U T 2$  の活動化を判別する論理回路に送信される前に、終了する。

40

## 【 0 0 2 4 】

時間図 4 0 4 には、双方の出力端 ( $O U T 1$  ,  $O U T 2$ ) が  $O F F$  状態にあるとき、第 1 の出力端  $O U T 1$  のみが  $O N$  状態にあるとき、双方の出力端 ( $O U T 1$  ,  $O U T 2$ ) が  $O N$  状態にあるとき、第 1 の出力端  $O U T 1$  のみが  $O F F$  状態にあり、その後双方の出力端 ( $O U T 1$  ,  $O U T 2$ ) が再び  $O F F$  状態となるとき、という切り替えシーケンスの全体が示されている。時間図 4 0 4 の例では、制御設定が当該シーケンスを判別することが仮定されている。制御設定により、比較器の決定に依存してまたはこれから独立に、 $O U$

50

T 1 , O U T 2 のどの遷移が行われるべきかが判別される。

【 0 0 2 5 】

時間図 4 0 6 には、さらに、O U T 1 , O U T 2 の波形を有するターンオンシーケンスの詳細と、比較器 C P 1 からの出力信号 ( O U T \_ C P 1 および任意に遅延した O U T \_ C P 1 \_ D E L ) とが示されている。差電圧  $V_{ON}$  は、O N 状態中の最終ゲート電圧と比較器 C P 1 のトリガ閾値との間の差を表す。

【 0 0 2 6 】

時間図 4 0 2 にはさらに、O U T 1 , O U T 2 の波形と、比較器 C P 1 からの出力信号 ( O U T \_ C P 1 および任意に遅延した O U T \_ C P 1 \_ D E L ) と、を含む、ターンオフシーケンスの詳細が示されている。差電圧  $V_{OFF}$  は、O F F 状態中の最終ゲート電圧と比較器 C P 2 のトリガ閾値との間の差を表す。代替的に、差電圧  $V_{OFF}$  は、グラウンド ( 0 V ) と比較器 C P 2 のトリガ閾値との間の差を表すこともできる。

10

【 0 0 2 7 】

システム関連条件に応じて、第 2 の出力端 O U T 2 は、比較器と任意の付加的な遅延とに依存して O U T 1 により切り替え可能であるか、または O U T 1 に対して対抗的に切り替え可能であり、これにより図 4 に示した例としての時間図 4 0 0 とは異なる時間図が生じている。

【 0 0 2 8 】

まとめると、図 1 から図 3 に示したマルチ出力ゲートドライバシステムの実施形態は、パワーデバイスのゲート電圧の改善された O F F 状態および O N 状態のクランプを提供する。つまり、こうして、より厳密なゲート制御が支援され、寄生効果への敏感性が低減される。したがって、不活動状態の全ての出力端 ( デュアル出力の実施形態では 1 つ、またはマルチ出力の実施形態ではそれ以上 ) を、正のレール ( O N 状態 ) または負のレール ( O F F 状態 ) へのゲートクランプに使用することができる。

20

【 0 0 2 9 】

ゲートを駆動する所定の抵抗  $R_g$  により、パワートランジスタ、特に I G B T のドレイン/コレクタ電圧の変化率は、当該パワートランジスタがターンオンされたかまたはターンオフされたかに応じ、コレクタ電流の増大に対して反対の挙動を示す。ターンオン時には、ドレイン/コレクタ  $d v / d t$  はコレクタ電流の増大につれて低下し、ターンオフ時には、ドレイン/コレクタ  $d v / d t$  はコレクタ電流の増大につれて図 5 に示したように増大し、このことについては後に詳述する。例えば、グラフ 5 0 0 には、ターンオンモード 5 0 2 中のコレクタ電圧の  $d v / d t$  およびターンオフモード 5 0 4 中のコレクタ電圧の  $d v / d t$  が示されている。  $d v / d t$  は、高  $d v / d t$  動作モードの領域および低  $d v / d t$  動作モード領域の双方の動作モードで示されていることに注意されたい。

30

【 0 0 3 0 】

当該切り替え挙動により、各用途において、特に最大許容ドレイン/コレクタ  $d v / d t$  が規定された駆動システムにおいて、きわめて高いドレイン/コレクタ  $d v / d t$  値が得られる。一実施例によれば、2 つの独立した出力端を有しかつ図 6 に示したような高いコレクタ電流で双方の出力端が並列に動作するゲート駆動回路が使用され、このことについては後に詳述するが、軽負荷時には、一方のドライバ出力端のみが使用され、他方の出力端はトライステートで維持される。

40

【 0 0 3 1 】

より一定のドレイン/コレクタ  $d v / d t$  を達成するために、増大する負荷電流でのターンオン時には、低下するゲート抵抗  $R_g$  が選択的にドレイン/コレクタ  $d v / d t$  の増大に用いられ、一方、低下する負荷電流でのターンオフ時には、低下するゲート抵抗  $R_g$  が選択的にドレイン/コレクタ  $d v / d t$  の増大に用いられる。

【 0 0 3 2 】

図 6 には、ゲートノードを有するパワーデバイス 1 0 8 と、入力端およびゲートノードに結合された出力端 O U T 1 を有する第 1 のドライバ 1 0 4 と、入力端およびゲートノードに結合された出力端 O U T 2 を有する第 2 のドライバ 1 0 2 と、制御信号 ( オン オフ

50

)を受信する入力端、第1のドライバ104の入力端に結合された第1の出力端112および第2のドライバ102の入力端に結合された第2の出力端110を有する論理回路106と、を含む、マルチ出力ゲートドライバシステム600の概略図600が示されている。

#### 【0033】

高いドレイン/コレクタ電流でのゲート抵抗

$R_{gf}^* < R_g$  ここで  $R_{gf}^* = R_g \parallel R_{gf}$

を設定することにより、ドレイン/コレクタ  $dv/dt$  は、EMIのための  $dv/dt$  レベルを維持しながら、負荷範囲を通して低い切替損失を維持しつつ、低いドレイン/コレクタ電流においてゲート抵抗  $R_g$  で得られる値にきわめて近い値に設定可能である。

10

#### 【0034】

このことは、有効ゲート抵抗が、図6に示したゲートドライバシステム600によって構成される、

$R_{gf}^* = R_g \parallel R_{gf}$

となるように、第2のゲート駆動チャネルを活動化することによって実現可能である。ただし、高いドレイン/コレクタ電流に対する出力端OUT2のイネーブルによらないかぎり、パワートランジスタ108のターンオンおよびターンオフ双方に対するより低い有効ゲート抵抗をつねに設定することはできない。特に、ターンオフ時には、高いコレクタ電流での第2のゲート駆動チャネルOUT2の活動化は、むしろより高い、したがって望ましくないドレイン/コレクタ  $dv/dt$  を生じさせる。高い負荷電流では、パワートランジスタ108のターンオン中のみドレイン/コレクタでの  $dv/dt$  最大値を増大すべく、より低いゲート抵抗が有益である。

20

#### 【0035】

よって、ターンオンフェーズおよびターンオフフェーズの双方に対して第2の出力端OUT2が高いコレクタ電流の動作中活動化される制御ストラテジは、有効に使用できない。

#### 【0036】

ドレイン/コレクタ  $dv/dt$  の制限における最大の利益を得るためには、実施形態により、ターンオン時により低いゲート抵抗、ターンオフ時により高いゲート抵抗となるよう、ターンオンフェーズとターンオフフェーズとが分離され、対抗的に操作される。低  $dv/dt$  動作モードおよび高  $dv/dt$  動作モードが導入され、このことは例えば図8に関連して後にさらに詳述する。

30

#### 【0037】

図7には、ダイオードDが第2のゲート抵抗  $R_{gf}$  に直列接続されている、マルチ出力ゲートドライバシステムの代替実施形態の概略図700が示されている。当該実施形態は、ダイオードDの追加を除き、図6に示した実施形態と同じである。図7に示した他の全ての要素は、図6に即して上で既に同定および説明されている。

#### 【0038】

このように、高いドレイン/コレクタ電流の動作中の第2の出力端OUT2のシンク機能の不活動化は、図7に示したように直列ダイオードDをゲート抵抗  $R_{gf}$  に追加することによって実現可能である。ダイオードDを設けることで、ターンオフ中は端子OUT2への電流の流れが抑制されるが、ターンオン中の電流の流れは可能となる。

40

#### 【0039】

さらなる実施形態では、各ドライバ102, 104が独立に制御可能である。ただし、完全な独立制御は、システムソリューション全体をより複雑化する。

#### 【0040】

実施形態によれば、出力端OUT1, OUT2に対するゲートドライバICそのものの制御スキーマは、入力制御信号に基づく。一定の  $dv/dt$  を維持するための制御スキーマは、図8のグラフ800に示した規則にしたがう。第1のターンオンモード802中は、一方のゲート抵抗およびドライバのみが所望される。第2のターンオンモード804中は、双方のゲート抵抗およびドライバが所望される。逆に、第1のターンオフモード8

50

06中は、双方のゲート抵抗およびドライバが所望される。第2のターンオフモード808中は、一方のゲート抵抗およびドライバのみが所望される。

【0041】

論理回路106に対する技術的構成は、2つの制御信号(IN, INF)に基づいて出力端OUT1および/またはOUT2を活動化する単純論理回路である。論理回路106は、ハードウェア論理ゲートによって、または所望のソフトウェアとして構成可能である。論理回路106の入力端と出力端との関係を表す論理テーブルの一例が図9のテーブル900に示されている。付加的に、図6の回路実施形態に対する出力インピーダンスおよび動作状態も示されている。

【0042】

第1の論理状態中は、IN入力端およびINF入力端の双方がローであり、出力端OUT1, OUT2もローである。アスタリスクにより、OUT2出力端の任意の論理状態が示されており、所望の場合にはOUT2出力端はHiZ(高インピーダンス状態)に留まりうる点に注意されたい。OUT2に対する当該任意の論理状態は、テーブル900に示した論理状態1, 3, 4, 6, 7, 8, 10, 11に属する。OUT1, OUT2の出力インピーダンスはOFFである。

10

【0043】

第2の論理状態中は、IN入力端がローからハイへ遷移し、INF入力端がローであり、OUT1がローからハイへ遷移し、OUT2出力端がローからHiZへ遷移する。OUT1の出力インピーダンスはRgであり、OUT2の出力インピーダンスはHiZである。

20

【0044】

第3の論理状態中は、IN入力端がローであり、INF入力端がローからハイへ遷移し、出力端OUT1およびOUT2が論理ロー状態へ戻る。OUT1, OUT2の出力インピーダンスはOFFである。

【0045】

第4の論理状態中は、IN入力端がハイであり、INF入力端がローである。出力端OUT1およびOUT2は双方ともハイであるが、OUT2は上で指摘したように高インピーダンス状態に留まりうる。OUT1, OUT2の出力インピーダンスはONである。

【0046】

第5の論理状態中は、IN入力端が論理ハイから論理ローへ遷移し、INF入力端がローである。出力端OUT1およびOUT2は双方とも論理ハイから論理ローへ遷移する。OUT1, OUT2の出力インピーダンスは、RgおよびRgfの並列組み合わせである。

30

【0047】

第6の論理状態中は、IN入力端がハイであり、INF入力端が論理ローから論理ハイへ遷移する。出力端OUT1およびOUT2は双方ともハイである。OUT1, OUT2の出力インピーダンスはONである。

【0048】

第7の論理状態中は、IN入力端がローであり、INF入力端がハイである。OUT1出力端はローであり、OUT2出力端はローまたは高インピーダンス状態である。OUT1, OUT2の出力インピーダンスはOFFである。OUT1, OUT2の出力インピーダンスはOFFである。

40

【0049】

第8の論理状態中は、IN入力端がローであり、INF入力端が論理ハイから論理ローへ遷移する。OUT1出力端はローであり、OUT2出力端はローまたは高インピーダンス状態である。OUT1, OUT2の出力インピーダンスはOFFである。

【0050】

第9の論理状態中は、IN入力端が論理ローから論理ハイへ遷移し、INF入力端がハイである。出力端OUT1, OUT2は双方とも論理ローから論理ハイへ遷移する。OUT1, OUT2の出力インピーダンスは、RgおよびRgfの組み合わせである。

【0051】

50

第10の論理状態中は、全入力端および全出力端が論理ハイである。代替的に、OUT 2出力端を高インピーダンス状態に維持することもできる。OUT 1, OUT 2の出力インピーダンスはONである。

【0052】

第11の論理状態中は、IN入力端がハイであり、INF入力端が論理ハイから論理ローへ遷移する。双方の出力端OUT 1, OUT 2が論理ハイである。代替的に、OUT 2出力端を高インピーダンス状態に維持することもできる。OUT 1, OUT 2の出力インピーダンスはONである。

【0053】

第12の論理状態中は、IN入力端が論理ハイから論理ローへ遷移し、INF入力端は論理ハイである。OUT 1出力端は論理ハイから論理ローへ遷移し、OUT 2出力端は論理ハイから高インピーダンス状態へ遷移する。OUT 1の出力インピーダンスはOFFであり、OUT 2の出力インピーダンスは高インピーダンス状態である。

10

【0054】

図10は、図9に示したテーブル1に対応する時間図1000である。INノード、INFノード、OUT 1ノード、OUT 2ノードに対応する個々の信号波形が示されている。IN波形の立上りエッジは時点1002で発生しており、INF波形の立上りエッジは時点1004で完全に切り替わっている。IN波形の立下りエッジは時点1006で発生しており、OUT 2波形の立下りエッジは時点1008で完全に切り替わっている。時間インターバル $t_{DTON}$ および $t_{DTOFF}$ 中、出力端OUT 2はトライステートで(HIZまたは高インピーダンス状態に)維持されている。当該時間インターバル中、OUT 2での電圧は出力端OUT 1によって駆動されるパワースイッチのゲートでの電圧に追従する。OUT 2がOUT 1にしたがって切り替えられる場合、立上りエッジまたは立下りエッジはより迅速に形成される。こうした切り替えの挙動により、図10に示したOUT 2波形の「傾斜」特徴が生じる。

20

【0055】

図11に示したように、時間遅延 $t_{DTON}$ および $t_{DTOFF}$ は、論理回路において予め設定可能もしくはプログラミング可能であり、または図1から図3もしくは図12に示したように、閾値比較器によって検出可能な、パワースイッチのゲートで到達される特定の電圧レベルに依存しうる。

30

【0056】

例えば、図11には、論理回路106に結合された第1の入力端および第2の入力端と、第2のドライバ102に結合された出力端と、を有する遅延/タイマ回路118を含むマルチ出力ゲートドライバシステムの代替実施形態の概略図1100が示されている。それ以外で、図11に概略的に示されているのは、図6に示したものと実質的に同じであって上述した事柄である。

【0057】

図12には、別の例として、それぞれ入力端フィルタおよび/または出力端フィルタを含む第1の比較器CP 1および第2の比較器CP 2を含むマルチ出力ゲートドライバシステムの代替実施例の概略図1200が示されている。比較器CP 1の正の入力端は第1のドライバ104の出力端に結合されており、比較器CP 1の負の入力端は閾値電圧 $V_{ON}$ を介して第2のドライバ102の出力端に結合されており、比較器CP 1の出力端は論理回路106の入力端に結合されている。比較器CP 2の負の入力端は第1のドライバ104の出力端に結合されており、比較器CP 2の正の入力端は閾値電圧 $V_{OFF}$ を介して第2のドライバ102の出力端に結合されており、比較器CP 2の出力端は論理回路106の入力端に結合されている。それ以外で、図12に概略的に示されているのは、図6に示したものと実質的に同じであって上述した事柄である。

40

【0058】

図13には、3個以上のドライバが明示されたマルチ出力ゲートドライバシステム1300の別の実施形態が示されている。例えば、ドライバ1304, 1302A, 1302

50

B, 1302Cが、それぞれ、出力端OUT1, OUT2, OUTn-1, OUTnを介して、ゲート抵抗Rg1, Rg2, Rgn-1, Rgnに結合されている。ゲート抵抗はさらに、パワーデバイス1308のゲートノードに結合されている。選択回路1312は、論理回路1306の制御のもとで、比較器CP1, CP2の入力端に結合されたドライバ出力端の1つを選択する。比較器CP1, CP2の出力端は、ローパスフィルタ1305を介して論理回路1306の入力端に結合されている。論理回路1306は“n”ビットのオン オフ信号を受け取る。マルチ出力ゲートドライバシステム1300の動作は、選択回路の動作および3個以上のドライバの明示的存在を除き、図1から図3に即して説明した実施形態と同様である。

**【0059】**

図14には、3個以上のドライバが明示されたマルチ出力ゲートドライバシステム1400の別の実施形態が示されている。例えば、ドライバ1404, 1402A, 1402B, 1402Cが、それぞれ、出力端OUT\_ON1, OUT\_OFF1, OUT\_ON2, OUT\_OFF2, OUT\_ONn-1, OUT\_OFFn-1, OUT\_ONn, OUT\_OFFnを介して、ゲート抵抗Rgn1, Rgff1, Rgn2, Rgff2, Rgn\_n-1, Rgff\_n-1, Rgn\_n, Rgff\_nに結合されている。ゲート抵抗はさらに、パワーデバイス1408のゲートノードに結合されている。選択回路1412は、論理回路1406の制御のもとで、比較器CP1, CP2の入力端に結合されたドライバ出力端の1つを選択する。比較器CP1, CP2の出力端は、ローパスフィルタ1405を介して論理回路1406の入力端に結合されている。論理回路1406は“n”ビットのオン オフ信号を受け取る。マルチ出力ゲートドライバシステム1400の動作は、選択回路1412の動作および3個以上のドライバの明示的存在を除き、図1から図3に即して説明した実施形態と同様である。

**【0060】**

図示の実施形態に関連して本発明を説明したが、当該説明は、限定の意味に解されることを意図していない。当該説明を参照した当該分野の技術者には、本発明の図示の実施形態および他の実施形態の種々の修正および組み合わせが明らかであろう。したがって、添付の特許請求の範囲は、こうした修正形態または実施形態の全てを包含することを意図している。

10

20

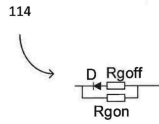
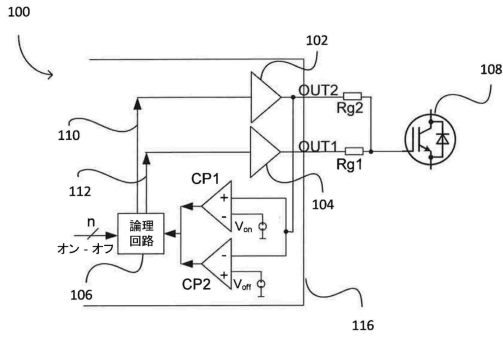
30

40

50

【図面】

【図 1 A】

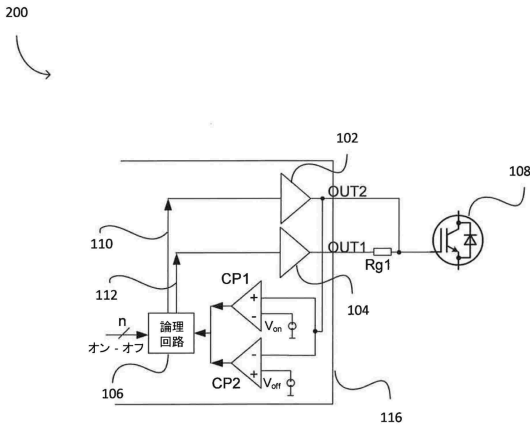


【図 1 B】

状態	IN	INF	改善された標準		OUT1	OUT2
			OUT1	OUT2		
1	0	0	0	0*	OFF	OFF
2	0->1	0	0->1	0->HiZ	ON Rg1	HiZ
3	0	0->1	0	0*	OFF	OFF
4	1	0	1	1*	ON	ON
5	1->0	0	1->0	1->0	OFF Rg1    Rg2	OFF Rg1    Rg2
6	1	0->1	1	1*	ON	ON
7	0	1	0	0*	OFF	OFF
8	0	1->0	0	0*	OFF	OFF
9	0->1	1	0->1	0->1	ON Rg1    Rg2	ON Rg1    Rg2
10	1	1	1	1*	ON	ON
11	1	1->0	1	1*	ON	ON
12	1->0	1	1->0	1->HiZ	OFF Rg1	HiZ

10

【図 2 A】



【図 2 B】

状態	IN	INF	OUT2はクランプのみ		OUT1	OUT2
			OUT1	OUT2		
1	0	0	0	0*	OFF	OFF
2	0->1	0	0->1	0->HiZ	ON Rg1	HiZ
3	0	0->1	0	0*	OFF	OFF
4	1	0	1	1*	ON	ON
5	1->0	0	1->0	1->HiZ	OFF Rg1	HiZ
6	1	0->1	1	1*	ON	ON
7	0	1	0	0*	OFF	OFF
8	0	1->0	0	0*	OFF	OFF
9	0->1	1	0->1	0->HiZ	ON Rg1	HiZ
10	1	1	1	1*	ON	ON
11	1	1->0	1	1*	ON	ON
12	1->0	1	1->0	1->HiZ	OFF Rg1	HiZ

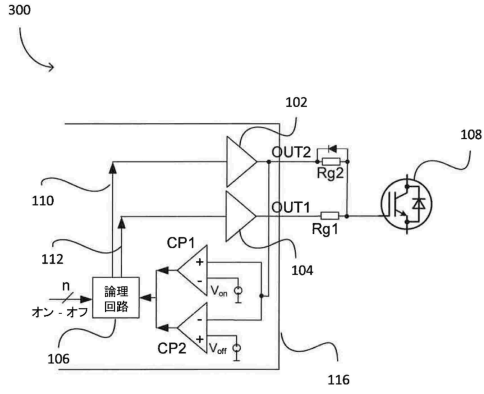
20

30

40

50

【図 3 A】

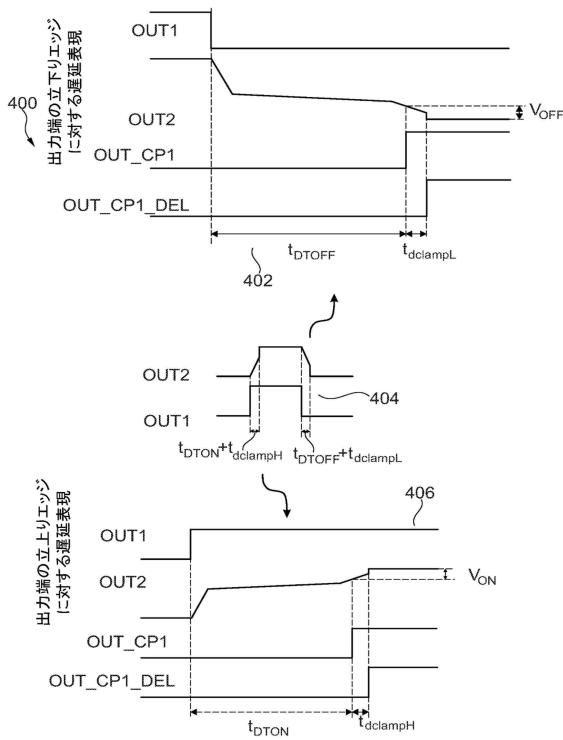


【図 3 B】

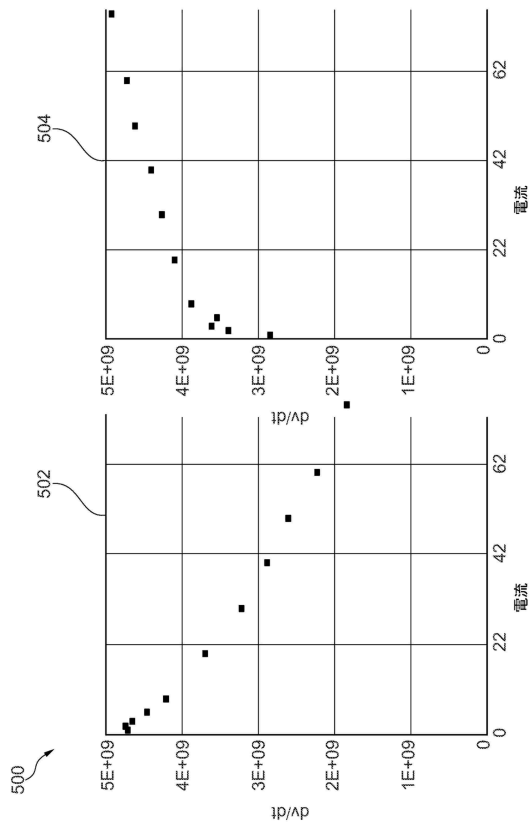
状態	IN	INF	OUT2は ターンオン時アクティブ、 オフ時クランプのみ		OUT1	OUT2
			OUT1	OUTF		
1	0	0	0	0*	OFF	OFF
2	0->1	0	0->1	0->HiZ	ON Rg1	HiZ
3	0	0->1	0	0*	OFF	OFF
4	1	0	1	1*	ON	ON
5	1->0	0	1->0	1->HiZ	OFF Rg1	HiZ
6	1	0->1	1	1*	ON	ON
7	0	1	0	0*	OFF	OFF
8	0	1->0	0	0*	OFF	OFF
9	0->1	1	0->1	0->1	ON Rg1    Rg2	ON Rg1    Rg2
10	1	1	1	1*	ON	ON
11	1	1->0	1	1*	ON	ON
12	1->0	1	1->0	1->HiZ	OFF Rg1	HiZ

10

【図 4】



【図 5】



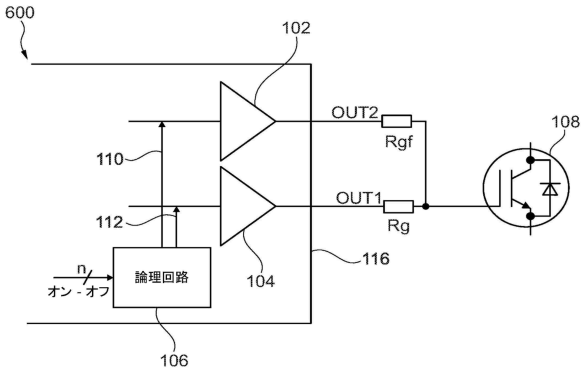
20

30

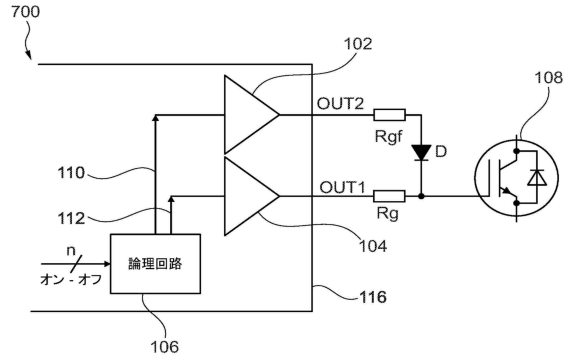
40

50

【図 6】

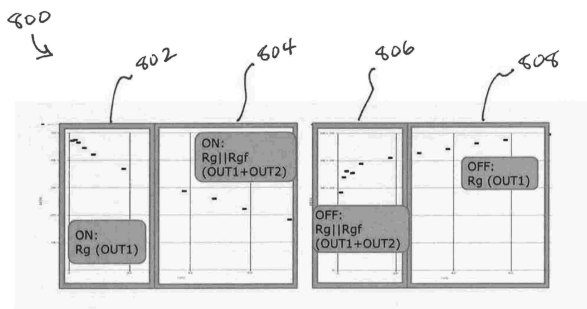


【図 7】



10

【図 8】



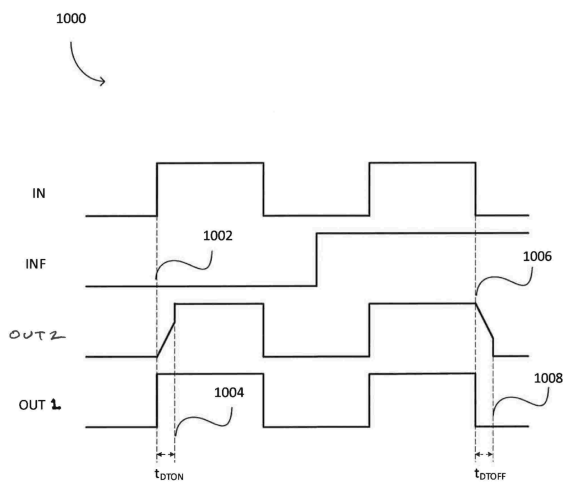
【図 9】

900

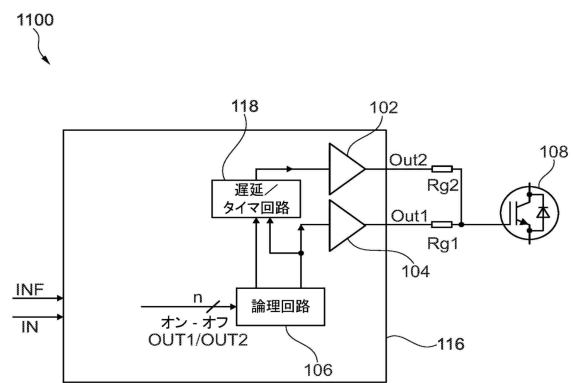
状態	IN	INF	改善された標準		OUT1	OUT2
			OUT1	OUT2		
1	0	0	0	0*	OFF	OFF
2	0->1	0	0->1	0->HiZ	ON Rg	HiZ
3	0	0->1	0	0*	OFF	OFF
4	1	0	1	1*	ON	ON
5	1->0	0	1->0	1->0	OFF Rg    Rgf	OFF Rg    Rgf
6	1	0->1	1	1*	ON	ON
7	0	1	0	0*	OFF	OFF
8	0	1->0	0	0*	OFF	OFF
9	0->1	1	0->1	0->1	ON Rg    Rgf	ON Rg    Rgf
10	1	1	1	1*	ON	ON
11	1	1->0	1	1*	ON	ON
12	1->0	1	1->0	1->HiZ	OFF Rg	HiZ

20

【図 10】



【図 11】

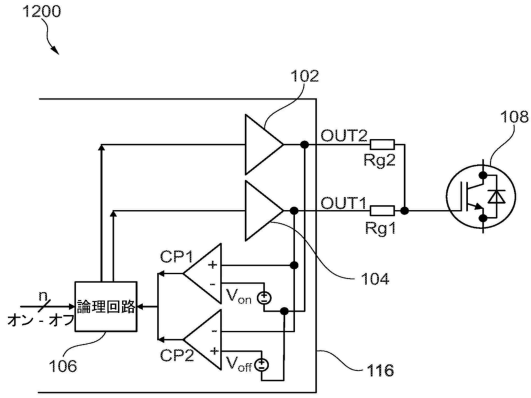


30

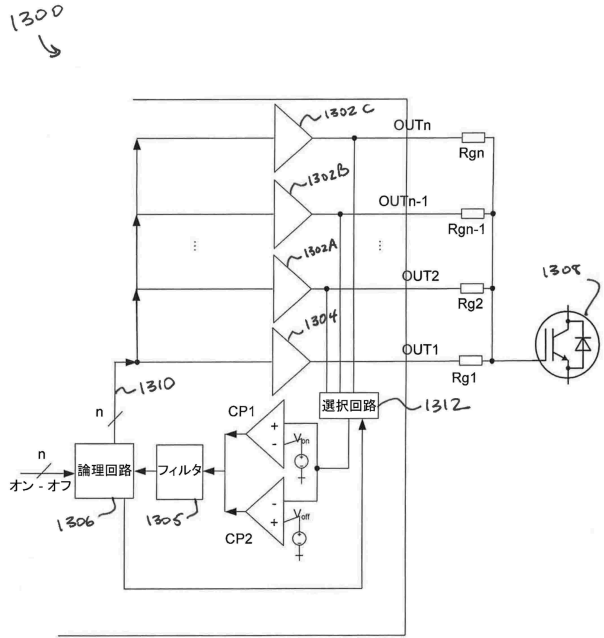
40

50

【図 1 2】



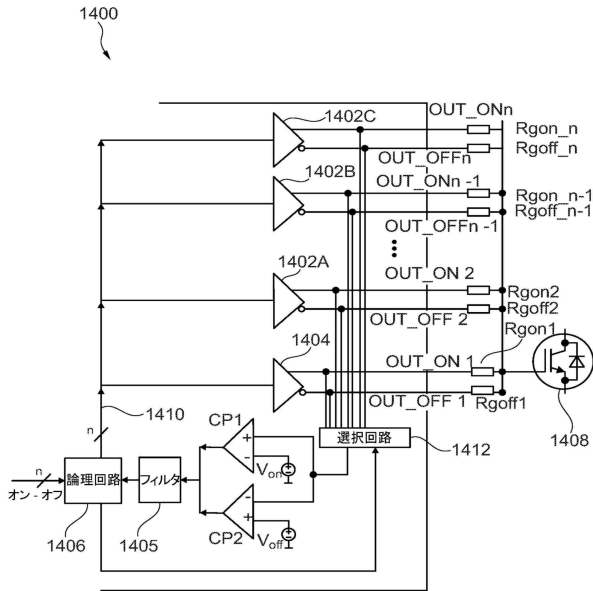
【図 1 3】



10

20

【図 1 4】



30

40

50

## フロントページの続き

- 弁理士 前川 純一  
(74)代理人 100135633  
弁理士 二宮 浩康  
(74)代理人 100162880  
弁理士 上島 類  
(72)発明者 シモーネ ファップロ  
イタリア国 ウディーネ ヴィア モンテ ルッサーリ 40  
(72)発明者 ヴォルフガング フランク  
ドイツ連邦共和国 アウクスブルク アウフ デム クロイツ 26  
(72)発明者 カール ノアリング  
オーストリア国 フィラッハ イタリエナー シュトラーゼ 34  
審査官 及川 尚人  
(56)参考文献 特開2000-232347(JP,A)  
特開2017-188977(JP,A)  
再公表特許第2014/097485(JP,A1)  
特開2004-088892(JP,A)  
特開2017-175780(JP,A)  
米国特許第06832356(US,B1)  
(58)調査した分野 (Int.Cl., DB名)  
H03K 17/00 - 17/70  
H02M 1/08