

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3872733号  
(P3872733)

(45) 発行日 平成19年1月24日(2007.1.24)

(24) 登録日 平成18年10月27日(2006.10.27)

(51) Int.C1.

F 1

HO3K 19/0948 (2006.01)  
HO3F 3/45 (2006.01)HO3K 19/094  
HO3F 3/45

B

Z

請求項の数 10 (全 13 頁)

(21) 出願番号 特願2002-222365 (P2002-222365)  
 (22) 出願日 平成14年7月31日 (2002.7.31)  
 (65) 公開番号 特開2003-124801 (P2003-124801A)  
 (43) 公開日 平成15年4月25日 (2003.4.25)  
 審査請求日 平成16年10月7日 (2004.10.7)  
 (31) 優先権主張番号 09/927673  
 (32) 優先日 平成13年8月10日 (2001.8.10)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 398038580  
 ヒューレット・パッカード・カンパニー  
 HEWLETT-PACKARD COMPANY  
 アメリカ合衆国カリフォルニア州パロアル  
 ト ハノーバー・ストリート 3000  
 (74) 代理人 100087642  
 弁理士 古谷 聰  
 (74) 代理人 100063897  
 弁理士 古谷 韶  
 (74) 代理人 100076680  
 弁理士 溝部 孝彦  
 (74) 代理人 100121061  
 弁理士 西山 清春

最終頁に続く

(54) 【発明の名称】絶縁体上シリコン(SOI)ベースの回路における履歴効果を緩和するための方法及び装置

## (57) 【特許請求の範囲】

## 【請求項1】

データ操作方法であって、  
 第1のクロックにおける論理遷移に応答して、評価段階にあるセンス増幅器(センス・アンプ)によってデータ値を検知するステップと、

前記センス・アンプの評価段階を停止して、前記第1のクロックがまだ遷移した状態にある間に、平衡化段階に入るようとするステップと、

第2のクロックにおける論理遷移に応答して、前記センス・アンプによって次のデータ値を検知するステップと、

前記センス・アンプの評価段階を停止して、前記第2のクロックがまだ遷移した状態にある間に、次の平衡化段階に入るようとするステップ

を含む、データ操作方法。

## 【請求項2】

前記センス・アンプによる前記検知ステップの後にデータをラッチするステップをさらに含む、請求項1に記載のデータ操作方法。

## 【請求項3】

前記第1のクロックにおける前記論理遷移に、低から高への遷移が含まれることからなる、請求項1または2に記載のデータ操作方法。

## 【請求項4】

前記第2のクロックにおける前記論理遷移に、低から高への遷移が含まれることからな 20

る、請求項 1 または 2 に記載のデータ操作方法。

【請求項 5】

前記第 1 と第 2 のクロックが互いに相補性である、請求項 1 乃至 4 のいずれかに記載のデータ操作方法。

【請求項 6】

前記データ値及び前記次のデータ値が、オフ・チップ・データ回路によって供給される、請求項 1 乃至 5 のいずれかに記載のデータ操作方法。

【請求項 7】

前記データ値及び前記次のデータ値が、オン・チップ・メモリ・アレイによって供給される、請求項 1 乃至 5 のいずれかに記載のデータ操作方法。

10

【請求項 8】

前記センス・アンプの評価段階が、前記センス・アンプによって生成される 1 対の相補性データ信号に応答して動作する帰還装置によって停止させられることからなる、請求項 1 乃至 7 のいずれかに記載のデータ操作方法。

【請求項 9】

前記検知するステップが、複数の絶縁体上シリコン (SOI) トランジスタを含むセンス・アンプによって実施される、請求項 1 乃至 8 のいずれかに記載のデータ操作方法。

【請求項 10】

データを検知することが可能なセンス・アンプ、及び、前記データを保持することが可能なラッチを備えるセンス増幅器 (センス・アンプ) ラッチ回路部分であって、前記センス・アンプが、少なくとも部分的に、評価段階と平衡化段階とで前記センス・アンプの動作を交互に切り換えるよう動作可能な制御信号に応答して、1 対の相補性データ信号を発生するように動作することからなる、センス増幅器ラッチ回路部分と、

20

少なくとも部分的に、前記 1 対の相補性データ信号及び 1 対の相補性クロック信号に応答して動作する帰還回路部分であって、データ検知動作がほぼ完了すると、前記センス・アンプの評価段階を停止させるために自己調時式ループを動作させる、帰還回路部分を備える、データインターフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

30

本発明は、一般に、絶縁体上シリコン (SOI : silicon-on-insulator) ・ベース集積回路に関するものである。より具体的には、本発明は、SOI ベースのセンス増幅器ラッチ回路における「履歴効果 (history effect)」を緩和するための方法及び装置 (但し、これらに限定するわけではない) を対象とするものである。

【0002】

【従来の技術】

いくつかの半導体メーカーは、マイクロプロセッサのような先進の付加価値のある製品に絶縁体上シリコン (SOI) ・プロセス・テクノロジを利用する可能性を模索している。周知のように、現行の 0.18 ミクロン以上のデザイン・ルールにおいて、SOI プロセスは、今日広く用いられているバルク・シリコン・プロセスを大幅に上回る利点を提供する。一般に、SOI によって接合キャパシタンスが有効に除去されるので、SOI 回路は、より高速度で動作することによって、20% の性能利得を実現することが可能である。さらに、雑音余裕が向上するので、SOI ベース回路では、信号感度もかなり改善される。

40

【0003】

SOI は、ウェーハ全体にわたって酸化物 (SiO<sub>2</sub>) の埋め込み層の上のシリコン皮膜上にトランジスタを作り付けることによって、トランジスタを絶縁する。最近まで、それは、魅力的であるが、困難な技術であるとみなされていた。酸化物の層を埋め込むには、一般に、高価な埋め込み機械で数時間を要し、シリコン・ウェーハと絶縁基板の接着も、かなりのコストがかかる。さらに、SOI ウェーハは、シリコンに応力によって比較的頻繁に誘発される欠陥、及び、埋め込まれた酸化物に生じるピンホールに悩まされる可能性

50

がある。物理的インフラストラクチャの域を超えて、S O I は回路設計者にとって等しく取り組みがいのあるものである。S O I が誇る性能利得を引き出すには、新しいコンピュータによる設計の自動化 ( E D A : electronic design automation ) ツール、S O I に特化した回路モデル、及び、設計チームの再トレーニングが必要になる。

#### 【 0 0 0 4 】

S O I デバイスは、全方向が酸化物によって、左右は、浅いトレンチによる分離によって、底部はS O I ウェーハの埋め込み酸化物層によって絶縁されている。トランジスタの活性領域は、直接何にも接続されていないために「浮遊している」と称される極めて小さなシリコン部分である。従って、アースに対するオーム接触が不足すると、電位が上部層と埋め込み酸化物の間で浮遊する。ソースとドレインを介して限定された接続が施されるが、直接接觸することはない場合、本体電圧（または基板電圧）が変化して、浮遊本体（または浮遊基板）または基板バイアス効果、並びに、降伏電圧の変化、可変しきい値電圧等のよう多くの他の問題を生じる可能性がある。さらに、S O I トランジスタは、基板バイアス（または本体バイアス）が時間の経過につれて蓄積され、デバイスのスイッチング速度を許容できないレベルにまで劣化させる「履歴効果」として知られる現象を示す。

#### 【 0 0 0 5 】

当業者には明らかなことであるが、これらの負の「副作用」は、オフ・チップ入力／出力 ( I / O ) 回路によって供給されるデータを検知するためにセンス増幅器及びラッチ回路が導入された、マイクロプロセッサに一般に用いられる高速データ受信回路において、とりわけ有害である。独立した本体接觸（または基板接觸）を実現するといった、これらの問題に対処する現行の解決法は、コストが高く、完全に満足のいくものではない。

#### 【 0 0 0 6 】

##### 【発明が解決しようとする課題】

従って、例えば、マイクロプロセッサのようなV L S I コンポーネントにおいてシングルエンド型・オフ・チップ信号受信機として動作可能なデータインターフェース回路のような、絶縁体上シリコン ( S O I ) ・ベース回路における履歴効果を緩和するための手段が必要とされている。本発明は、このための方法及び装置を提供するものである。

#### 【 0 0 0 7 】

##### 【課題を解決するための手段】

本発明の態様の1つにおいて、典型的なデータインターフェース回路は、データを検知する働きが可能なセンス増幅器（センス・アンプ）と、検知したデータを保持する働きが可能なラッチを含む、センス・アンプ・ラッチ回路構成を有している。オフ・チップ・データI / O 回路からデータが得られると、センス・アンプは、クロック信号の立ち上がりエッジに応答して、1対の相補性データ信号を発生する。制御信号が、評価段階（評価フェーズ）と平衡化段階（平衡化フェーズ。すなわち、事前充電）段階とでセンス・アンプの動作を交互に切り換えるために用いられる。インターフェース回路に加えられるクロック信号に関連したクロック位相内において、制御信号の論理状態を修正するよう動作可能な自己調時式ループ（self-timed loop。または自己同期式ループ。以下同じ）を実施するため、帰還回路（フィードバック回路）部分が含まれている。組み合わせにより（または連携動作により）、評価段階から平衡化段階に入るので、同じクロック・エッジから評価と平衡化の両方をトリガすることが可能である。望ましい典型的な実施態様の場合、单一クロック・サイクル内において、2つの立ち上がりエッジが利用できるように、1対の相補性クロックが加えられる。

#### 【 0 0 0 8 】

もう1つの態様において、本発明は、S O I ベースの回路を必要とするデータ操作方法を対象とする。第1のクロックにおける論理遷移に応答して、データ値が、評価段階にあるセンス・アンプによって検知される。その後、評価段階を停止して、第1のクロックがまだ遷移した状態にある間に、平衡化段階に入るようとする。第2のクロックにおける論理遷移に応答して、次のデータ値がセンス・アンプによって検知される。引き続き、センス・アンプの評価段階を停止して、第2のクロックがまだ遷移した状態にある間に、平衡化

10

20

30

40

50

段階が開始されるようにする。評価段階にある（電気的に不平衡な状態にある）センス・アンプ回路によって費やされる時間を短縮することによって、回路に用いられるS O I デバイス内の蓄積されたトランジスタ本体のバイアスの不整合が有効に低減される。

#### 【 0 0 0 9 】

本発明の現在のところ望ましい典型的な実施態様の場合、データインターフェース回路に設けられた1対のインバータが、評価段階中にセンス・アンプによって生成された相補性データ信号を反転する。帰還回路部分には、反転データ信号を受信する排他的OR(X O R)ゲートが含まれている。2つの相補性クロックの一方に関連した特定のクロック位相において、センス・アンプのデータ検知動作がほぼ完了したことを表す高(H)から低(L)への遷移を捕捉するために、1対のゼロ・キャッシュ回路が含まれている。ゼロキャッシュ回路の一方が、センス・アンプの評価段階を停止するために、特定のクロック位相において論理低を発生したときに、その論理低状態を制御信号に伝搬するために、マルチプレクサが設けられている。以下の詳細な説明を添付の図面と共に参照することにより、本発明をより十分な理解することができよう。尚、図面では、いくつかの図を通じて、同じまたは類似の構成要素は同じ参照番号で示されており、図中の各種構成要素は、必ずしも一定の縮尺にあわせて描かれているわけではない。

#### 【 0 0 1 0 】

##### 【発明の実施の形態】

図1には、本発明の教示に従って、履歴効果が有効に緩和される、センス増幅器ラッチ(S A L)回路部分109を備えたS O I ベースのデータインターフェース回路100の、現在のところ望ましい典型的な実施態様の略機能図が示されている。データインターフェース回路100は、例えば、適正なS O I 設計及びプロセスを利用して製作されるマイクロプロセッサ・チップのような、超大規模集積回路(V L S I )コンポーネント上に配置されたシングルエンド型・オフ・チップ信号受信機として動作可能であるのが望ましい。オフ・チップ・データ入力/出力(I / O)回路(不図示)は、インターフェース回路100に関連したパッド102に対して、オフ・チップ・データ信号(約±400mVの電圧の振れを生じることが可能なオープン・ドレイン・データ信号として実施されるのが望ましい)を供給するよう動作可能である。データ信号に適正な静電放電(E S D)分離を施すため、静電放電(E S D)防護ブロック104を含むことが可能である。

#### 【 0 0 1 1 】

S A L回路部分109は、V I N信号106としてデータ信号を受信する働きが可能である。S A L回路部分109には、入力として、基準電圧V R E F 108も供給される。さらに詳細に後述するように、S A L回路部分109に含まれるセンス・アンプ(S A )110は、評価段階(データが検知される)と平衡化段階(センス・アンプの内部ノードが平衡状態まで事前充電される)の間でセンス・アンプの動作を交互に切り換えるために用いられる制御信号112(今後はE V A Lと呼ぶ)に応答し、V I NとV R E Fの差に基づいて、データを検知するよう動作可能である。1対の相補性データ信号S及びR(それぞれ、参照番号114及び116)が、S A 110によって生成され、セット・リセット(S - R)・ラッチ(S R L A T)122に供給されて、保持される。インバータ118及び120は、それぞれ、データ信号S及びRを反転して、反転データ信号S\_L 124及びR\_L 126を発生するよう動作可能であり、これらの信号もS R L A T 122に供給される。相補性データ信号114、116に応答して、S R L A T 122によって、アンバッファ(すなわちバッファリングされていない)データ信号Q\_U B 128及びQ\_B\_U B 130が生成され、それから反転信号124、126が導き出される。後続の利用に備えて、適合するオン・チップ回路に伝搬される前に、データ信号のレベルをバッファリングするために、バッファリング段131を設けることが可能である。バッファリング段131は、それぞれ、Q\_U B 128及びQ\_B\_U B 130をバッファリングするためのインバータ132及び134から構成されるが望ましい。

#### 【 0 0 1 2 】

図2には、同じクロック・エッジからセンス・アンプの評価段階と平衡化段階を実施する

10

20

30

40

50

ことによって、S A L回路部分109におけるS O I履歴効果を緩和するために、本発明の教示に従って設けられた典型的な帰還回路200の略機能図が示されている。排他的O R (X O R)ゲート202は、S A L回路部分109から反転データ信号S\_L\_124及びR\_L\_126を受信し、その入力が[1, 0]または[0, 1]のいずれかであれば、G O T\_I T信号204を発生するよう動作可能である。インバータ206は、G O T\_I T信号204を反転して、N G I\_U信号208を発生する。このN G I\_U信号208は、2つのゼロ・キャッチャ回路、すなわち、D L A T\_R1\_210及びD L A T\_R2\_212に供給されるが、これらのゼロ・キャッチャ回路の各々は、インターフェース回路のタイミングをとる2つのクロックの一方の特定のクロック位相内において、センス・アンプによるデータ検知動作がほぼ完了したことを表す高から低への遷移を捕捉するよう動作可能である。図2において、互いにに対して相補性になる、すなわち、位相がずれるように供給されるのが望ましい、第1のクロック信号(R W C K 1)214及び第2のクロック信号(R W C K 2)216が、それぞれ、D L A T\_R1\_210及びD L A T\_R2\_212のクロッキング(すなわち、クロックに同期させて動作させるため)に利用される。さらに詳細に後述するように、センス・アンプの評価段階におけるデータ検知動作が、ほぼ完了すると、ゼロ・キャッチャ回路が論理低信号を発生する。この論理低信号は、その後、マルチブレクサ(M U X)220を介して伝搬され、制御信号112の論理状態を修正する。参考番号215及び217は、N G I\_U 208が低の時、どのクロックが論理高状態にあるかに従って低に駆動されるゼロ・キャッチャ回路によって生成される、2つの信号G O T\_I T\_C1及びG O T\_I T\_C2を表している。従って、続くデータ検知動作の完了とほぼ同時に、S Aの評価段階を開始するために、クロックの一方が同相である(すなわち、高に駆動されている)場合、E V A L制御信号112が低に駆動され、これによって、評価段階が停止させられて、クロックがまだ高の間に、平衡化段階が開始される。換言すれば、起動されたクロック(R W C K 1またはR W C K 2)の立ち上がりエッジによって、評価段階がトリガされ、引き続き、帰還回路部分200によって実施される自己調時式ループを用いて、組み合わせにより、評価段階から平衡化段階に入ることになる。従って、同じクロック・エッジによって、S A動作の評価段階と平衡化段階の両方をトリガするよう動作可能である。さらに、クロックは、相補性であるので、1つのクロック・サイクル全体に対して2つの立ち上がりエッジが生じ、データインターフェース回路の二エッジトリガ動作とも呼ぶべき動作が可能となる。

## 【0013】

ある典型的な実施態様の場合、ゼロ・キャッチャ回路のいずれか、従って、2つの相補性クロックのいずれかの効果を適切な論理によって無効にすることが可能であり、これによって、單一エッジ・トリガ動作だけを実施することが可能になる。図2に示す典型的な帰還回路部分200の場合、A N Dゲート218は、ターボ信号220でG O T\_I T\_C1\_215に論理積演算(A N D演算)を施すことが可能であり、その出力は、M U X 220に供給される。従って、二エッジトリガ動作が不要であれば、ターボ信号220は論理0にセットされ、この結果、S A 110は、クロック・サイクルのR W C K 1 = 論理0、R W C K 2 = 論理1の位相全体にわたって、平衡化段階に保持される。

## 【0014】

次に図3を参照すると、図1に示すS A L回路構成に用いられる、典型的なセンス・アンプ、例えば、S A 110の回路図が示されている。2つのP M O SトランジスタT1及びT2、及び、2つのN M O SトランジスタT3及びT4が、共に、一対の交差結合インバータとして構成されている。ここで、ノードS B 302及びR B 304は、トランジスタの間に形成された1対の相補性データ・ノードを表している。トランジスタT8/T10及びT9/T11(これらのデバイス(素子)は、それぞれ、E V A L 112によってオン/オフされる、)は、それぞれ、平衡化段階中に、データ・ノード302及び304を事前充電して、平衡をとるために設けられている。インバータ303及び305は、データ・ノードの論理レベルを反転して、それぞれ、1対の相補性データ信号S 114及びR 116を発生することが可能である。入力データ信号(V I N)106及び基準

信号 (VREF) 108 は、それぞれ、NMOS デバイス T6 及び T7 に加えられてそれらの動作をゲート制御する。ノード 306 は、評価段階中に、EVAL 112 がトランジスタ T12 をオンにすると、低に駆動される。

#### 【0015】

図 4 には、高から低への遷移を捕捉するための典型的な動的ラッチ回路 400 が示されているが、この動的ラッチ回路は、図 2 に示す典型的な帰還回路 200 においてゼロ・キャッシュとして有効に利用することが可能である。動的ラッチ回路 400 は、CK 信号が論理低状態にある場合、入力信号 408 における高から低への遷移の耐雑音性捕捉を可能にする 3 つのインバータ 402、404、及び、406 を備えた回路構成から構成されるのが好ましい。トランジスタ M1 及び M2 は、インバータ 402 を形成するよう動作可能であり、インバータ 402 の出力 410 は、トランジスタ M7 及び M8 を含むインバータ 406 に対する入力として供給される。トランジスタ M5 及び M6 を含むインバータ 404 は、インバータ 406 と交差結合されている。ノード 412 は、出力信号を送り出すよう動作可能である。トランジスタ M3 及び M4 は、プル・ダウン・デバイスとして機能し、オンになると、内部ノード 414 を低に駆動する。入力信号 408 及び CK 409 が高の場合、ノード 410 は低に駆動され、これが、インバータ 404 及び 406 の再生フィードバック (正のフィードバック) 関係により、出力 412 において論理高として迅速に伝搬される。CK 409 が低の場合、入力信号 408 における高から低への遷移によって、ノード 410 が高に駆動され、それが、出力 412 に論理低として現れる。

#### 【0016】

次に、データ受信機インターフェース回路及びその構成回路部分に関する上記詳細な説明に照らし、必要に応じて図 1 ~ 4 を参照して、本発明の一般的な動作について説明する。最初は、データインターフェース回路 100 は停止している。この場合、ターボ = 1、RWCK1 = 0、RWCK2 = 1、GOT\_IT\_C1 = 0、GOT\_IT\_C2 = 1、及び、EVAL = 0 である。この時点で、SA 110 (図 3) は、平衡化段階にある。この場合、SA の全ての内部ノードが平衡状態にあり、SB 及び RB ノードが事前充電されている。従って、データ信号 S 及び R は、低に駆動されるが、これは、その反転信号 S\_L 及び R\_L が高 (すなわち、[1, 1] 状態) に駆動されることを表している。

#### 【0017】

クロック遷移 RWCK1 = 1 及び RWCK2 = 0 (すなわち、第 1 のクロックが同相にある) と同時に、EVAL 112 は高に駆動され、これによって、SA がその評価段階に入ることになる。データ入力 VIN が VREF より高い電圧である場合、プル・ダウン・デバイス T12 がオンのため、SA 110 の SB ノード 302 は、優先的に低に駆動される。SA 内における再生フィードバック (すなわち、正のフィードバック) によって、相補性 RB ノード 304 が迅速に論理高状態に駆動されることが保証される。結果として、データ信号 (S) 114 は、高になり、その相補性信号 (R) は、低のままである。

#### 【0018】

S = 1 及び R = 0 の場合、SRLAT 122 は、SET 状態に遷移する。この結果、Q\_UB 128 が論理高状態に遷移するのに対して、その相補性信号 (QB\_UB) 130 は低になる。その一方で、反転データ信号 (S\_L 及び R\_L) は、[1, 1] 状態から [0, 1] 状態に遷移し、これが、XOR ゲート 202 (図 2) によって検出される。引き続き、GOT\_IT\_204 が高に駆動され、次に、これがインバータ 206 によって反転されて、NGI\_U 208 が論理低状態に駆動される。

#### 【0019】

NGI\_U 208 が 1 から 0 に遷移すると、ゼロ・キャッシュ回路 DLAT\_R2\_212 がトリガされ (RWCK2 が低のため)、GOT\_IT\_C2\_217 が論理低状態に駆動される。この論理低は、MUX 220 を介して伝搬され、その結果、EVAL 112 が低にプルダウンされる。これに応答して、SA の評価段階が停止され、平衡化操作が、それに後続して実施される。従って、当業者には明らかなように、クロックの立ち上がりエッジの発生時に、データ検知動作がほぼ完了すると、自己調時式ループが実施されて

10

20

30

40

50

、 S A がその評価段階から抜け出すことになる。さらに、 S A は、その不平衡評価段階において、（データ・ノードを適正な論理レベルに駆動するのに必要な）最少量の時間だけ費やすことが許されるので、 S O I デバイスにおいて蓄積された本体バイアス（または基板バイアス）に起因するデバイスの不整合が有効に低減される。

#### 【 0 0 2 0 】

S A が、評価段階に続いて平衡化段階になると（自己調時式（または自己同期式）帰還ループ回路によって E V A L 制御信号 1 1 2 が低に駆動されるため）、内部 S B 及び R B ノードは、事前充電により高にプル・アップされる。 S 及び R データ信号 1 1 4 、 1 1 6 は共に、低に駆動され、この結果、 S R ラッチ 1 2 2 は H O L D 状態に駆動される。ほぼ同時に、反転 S \_ L 及び R \_ L 信号 1 2 4 、 1 2 6 が、 [ 1 , 1 ] 状態に遷移し、その結果、 G O T \_ I T 2 0 4 が低に駆動される。従って、 N G I \_ U 信号 2 0 8 は、高に駆動される。

#### 【 0 0 2 1 】

ゼロ・キャッチャ回路（ D L A T \_ R 2 ） 2 1 2 に対するクロック入力（すなわち、 R W C K 2 ）が依然として低のため、 G O T \_ I T \_ C 2 2 1 7 は、論理 0 状態のままであり、従って、 E V A L 1 2 2 が引き続き低に保持されることが保証される。従って、 N G I \_ U 2 0 8 及び R W C K 1 2 1 4 が両方とも高の場合、 G O T \_ I T \_ C 1 2 1 5 は、次の（すなわち、 R W C K 2 2 1 6 における）クロック遷移に備えて、高に駆動される。

#### 【 0 0 2 2 】

クロックが遷移すると、その結果、 R W C K 2 が論理高状態に遷移して（すなわち、クロックが同相になり）、 R W C K 1 が論理低状態（位相がずれる）に遷移し、 S A L 回路部分が、その評価段階において、上述したのと同じデータ検知ステップを繰り返す。これに対応して、帰還回路に対する S \_ L 及び R \_ L 入力が（検知される次のデータ値に従って）、 [ 1 , 0 ] または [ 0 , 1 ] 状態に変化し、この遷移が、全体にわたって伝搬して、評価段階を停止させ、その結果、次の平衡化段階が開始される。 D L A T \_ R 1 ゼロ・キャッチャ回路 2 1 0 が、このクロック位相において起動し、これに対応して、 G O T \_ I T \_ C 1 2 1 5 及び G O T \_ I T \_ C 2 2 1 7 の役割が逆になる。上記において示唆したように、二エッジ・トリガ動作を所望しない場合は、ターボ信号 2 1 8 を低に拘束することによって、 R W C K 1 = 0 及び R W C K 2 = 1 であるクロック位相全体にわたって、 S A を平衡化段階に保持することができる。

#### 【 0 0 2 3 】

次に図 5 を参照すると、本発明の S A L 構成の二エッジ・トリガ動作を実施するために用いられる各種信号の波形を例示した複数のタイミング図のパネルが示されている。当業者には明らかなように、それらの信号に関して示されたタイミング関係は、基本的に、上述の関係をグラフで表したものである。従って、それらの信号に関連した顕著な特徴のいくつかに限って以下で説明する。

#### 【 0 0 2 4 】

パネル 5 0 2 A には、2つの相補性クロック信号 R W C K 1 2 1 4 及び R W C K 2 2 1 6 が描かれており、各クロックは、1 / 2 サイクルにわたって同相（すなわち、論理高状態）である。パネル 5 0 2 B には、 V I N 1 0 6 、 V R E F 1 0 8 、及び、 Q \_ U B 1 2 8 の関係が描かれている。パネル 5 0 2 C には、 E V A L 1 1 2 、相補性 S 及び R データ信号 1 1 4 及び 1 1 6 、及び、 G O T \_ I T 信号 2 0 4 が描かれている。特に、 R W C K 1 が 1 になり、 R W C K 2 が 0 になる、クロック・クロスオーバー 5 0 5 を参照すると、 E V A L 1 1 2 が高になるにつれて V I N が V R E F を超えるので、相補性 S 及び R データ信号が引き離される（ S が高に駆動され、 R が低に駆動される）。 X O R ゲートを用いて S \_ L 及び R \_ L 信号の遷移を捕捉する G O T \_ I T 信号 2 0 4 が、その後、高に駆動される。 V I N 1 0 6 は、そのすぐ後、低に駆動されるが、受信回路は、適正なデータをラッチするのに十分なほど高速である。次に、 E V A L 信号 1 1 2 が低にプル・ダウンされて、評価段階が停止する。 R W C K 1 2 1 4 が、依然として高にある間に

10

20

30

40

50

、 S A は、クロック位相の残りの部分に対して平衡化段階に入る。同様に、 V I N < V R E F になり、 R W C K 2 が高に駆動される、クロック・クロスオーバー 5 0 6 を参照すると、 E V A L 1 1 2 が高に駆動され、その結果として、次に、 R 信号 1 1 6 が論理高状態にプル・アップされ、その相補性 S 信号 1 1 4 が大地電位（すなわちアース電位）にプル・ダウンされる。パネル 5 0 2 D には、自己調時式帰還ループ動作の間、 E V A L 信号 1 1 2 の論理状態を制御して、評価段階を停止させる、ゼロ・キャッチャ出力、 G O T \_ I T \_ C 1 2 1 5 、及び、 G O T \_ I T \_ C 2 2 1 7 の関係が示されている。

#### 【 0 0 2 5 】

図 6 は、本発明の二エッジ・トリガ・データ受信方法に必要とされるさまざまなステップのフロー・チャートである。第 1 の基準クロックにおける論理遷移に応答して、評価段階にあるセンス・アンプがデータ値を検知すると（ステップ 6 0 2 ）、第 1 のクロックが依然として遷移した状態（例えば、論理高状態）にある間に、自己調時式帰還ループ経路を用いて、評価段階が停止される（ステップ 6 0 4 ）。評価段階が停止すると、 S A は平衡化段階に入り、その内部ノードに事前充電を施す。その後、第 2 の基準クロックにおいて論理遷移に遭遇すると、次のデータ値が検知される（ステップ 6 0 6 ）。自己調時式帰還ループ経路は、第 2 のクロック位相におけるデータ検知動作がほぼ完了したのを検出するよう動作可能であり、それを検出すると、第 2 のクロックが依然として遷移した状態（すなわち、論理高状態）にある間に、 S A の評価段階が再び停止される（ステップ 6 0 8 ）。

#### 【 0 0 2 6 】

以上の詳細な説明から明らかなことであるが、本発明によれば、最新技術の欠陥及び短所を伴うことなく、 S O I ベースの回路における基板バイアス効果を緩和するための画期的な解決策が得られる。従って、本発明の教示を実施することにより、今日の V L S I 回路において、性能を低下させる「副作用」を軽減して、 S O I テクノロジの有利な特徴を実現することが可能になる。さらに、本発明によれば、データ検知用途において、各クロックサイクル毎に 2 つの立ち上がりエッジを利用して、センス・アンプ回路に対する繰り返しを要求することなく、スループットの向上（「ダブル・デューティ」性能）を達成することが可能になる。

#### 【 0 0 2 7 】

以上の詳細な説明から本発明の動作及び構成が明らかになるものと確信する。図示し、説明した本発明の回路、装置、及び、方法の実施態様は、望ましいものであるが、特許請求の範囲に記載した本発明の範囲を逸脱することなく、それらの実施態様にさまざまな変更及び修正を加えることが可能であることが容易に理解されよう。それらの変更及び修正には、例えば、上述の自己調時式（または自己同期式）停止機構の機能を実施するのに必要な、さまざまな論理ゲートの実装及びクロック信号の発生に関するもの、あるいは、用いられる S O I プロセスのタイプまたは特定の意匠登録出願に関するものなどが含まれる。

#### 【 0 0 2 8 】

以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

##### 1. データ操作方法であって、

第 1 のクロック（ 2 1 4 ）における論理遷移に応答して、評価段階にあるセンス増幅器（センス・アンプ）（ 1 1 0 ）によってデータ値を検知するステップと、

前記センス・アンプの評価段階を停止して、前記第 1 のクロック（ 2 1 4 ）がまだ遷移した状態にある間に、平衡化段階に入るようとするステップと、

第 2 のクロック（ 2 1 6 ）における論理遷移に応答して、前記センス・アンプ（ 1 1 0 ）によって次のデータ値を検知するステップと、

前記センス・アンプの評価段階を停止して、前記第 2 のクロック（ 2 1 6 ）がまだ遷移した状態にある間に、次の平衡化段階に入るようとするステップ

を含む、データ操作方法。

2. さらに、前記センス・アンプ（ 1 1 0 ）による前記検知ステップの後にデータをラッチするステップを含む、上項 1 に記載のデータ操作方法。

10

20

30

40

50

3. 前記第1のクロック(214)及び第2のクロック(216)における前記論理遷移に、低から高への遷移が含まれることからなる、上項1または上項2に記載のデータ操作方法。

4. 前記第1と第2のクロック(214、216)が互いに相補性である、上項1、2、または3に記載のデータ操作。

5. 前記データ値及び前記次のデータ値が、オフ・チップ回路(すなわち、チップ外の回路)とオン・チップ・メモリ・アレイの一方によって供給される、上項1、2、3、または4に記載のデータ操作方法。

6. 前記センス・アンプの評価段階が、前記センス・アンプ(110)によって生成される1対の相補性データ信号(114、116)に応答して動作する帰還回路(200)によって停止させられることからなる、上項1、2、3、4、または5に記載のデータ操作方法。 10

7. データを検知することが可能なセンス・アンプ(110)、及び、前記データを保持することが可能なラッチ(122)を備えるセンス増幅器(センス・アンプ)ラッチ回路部分(109)であって、前記センス・アンプ(110)が、少なくとも部分的に、評価段階と平衡化段階とで前記センス・アンプの動作を交互に切り換えるよう動作する制御信号(112)に応答して、1対の相補性データ信号(114、116)を発生するように動作することからなる、センス増幅器ラッチ回路部分と、

少なくとも部分的に、前記1対の相補性データ信号(114、116)及び1対の相補性クロック信号(214、216)に応答して動作する帰還回路部分(200)であって、データ検知動作がほぼ完了すると、前記センス・アンプの評価段階を停止させるために自己調時式ループを動作させることからなる、帰還回路部分 20

を備える、データインターフェース回路(100)。

8. 前記ラッチ(122)が、セット・リセット(S-R)ラッチを備える、上項7に記載のデータインターフェース回路(100)。

9. 前記帰還回路部分(200)が、

前記1対の相補性データ信号(114、116)を反転することによって発生される1対の反転データ信号(124、126)に応答して動作する排他的OR(XOR)ゲート(202)と、

前記XORゲートの出力に結合されたインバータ(206)と、 30

前記インバータの出力に結合された1対のゼロ・キャッチャ回路(210、212)であって、各ゼロ・キャッチャ回路は、特定のクロック位相において、前記センス・アンプのデータ検知動作がほぼ完了したことを示す、前記インバータ出力における高から低への遷移を検出するよう動作可能であることからなる、1対のゼロ・キャッチャ回路と、

前記ゼロ・キャッチャ回路(210、212)の一方が、前記特定のクロック位相において論理低を発生すると、論理低状態を前記制御信号(112)に伝搬するマルチプレクサ(220)

を備えることからなる、上項7または8に記載のデータインターフェース回路(100)。

10. 前記センス・アンプ・ラッチ回路部分(109)及び前記帰還回路部分(200)の少なくとも一方が、絶縁体上シリコン(SOI)デバイスから構成される、上項7、8、または9に記載のデータインターフェース回路(100)。 40

#### 【0029】

要約すると、本発明は、例えば、マイクロプロセッサのようなVLSIコンポーネント内のシングルエンド型オフチップ信号受信器として動作可能なデータインターフェース回路(100)などの、絶縁体上シリコン(SOI)ベースの回路における履歴効果を緩和するための方法及び装置を提供するものである。センス増幅器(センスアンプ)ラッチ回路構成(109)は、データを検知するよう動作するセンスアンプ(110)と、検知したデータを保持するよう動作するラッチ(122)を備える。データが利用可能な場合、センスアンプ(110)は、評価フェーズと平衡化(すなわち事前充電)フェーズとでセンスアンプの動作を切り換えるため 50

に使用される制御信号(112)に応答して、1対の相補型データ信号(114,116)を生成する。フィードバック回路部(200)は、インターフェース回路(100)に供給される2つの相補型クロック(214,216)の一方に関連するクロック位相内において制御信号の論理状態を変更するよう動作する。連携動作により評価フェーズから平衡化フェーズに入るので、評価フェーズと平衡化フェーズの両方を、同じクロックエッジからトリガすることができる。

【0030】

【発明の効果】

本発明によれば、絶縁体上シリコン(SOI)ベースの回路における履歴効果を低減するための方法及び装置が提供される。

【図面の簡単な説明】

【図1】センス増幅器(センス・アンプ)ラッチ構成を備えるSOIベースのデータインターフェース回路の現在のところ望ましい典型的な実施態様に関する略機能図であり、本発明の教示に従うこの構成によれば履歴効果が緩和される。

【図2】同じクロック・エッジからセンス・アンプの評価段階及び平衡化段階を実施するために、本発明の教示に従って提供される典型的な帰還回路の略機能図である。

【図3】図1に示す構成に用いられる典型的なセンス・アンプ回路の回路図である。

【図4】図2の帰還回路に有効に用いることが可能な、高から低への遷移を捕捉するための典型的な動的ラッチ回路を示す図である。

【図5】本発明のセンス・アンプ・ラッチ構成の二エッジ・トリガ動作を実施するために用いられるさまざまな信号を例示した複数のタイミング図のパネルである。

【図6】本発明の二エッジ・トリガ・データ受信動作方法に含まれるさまざまなステップのフロー・チャートである。

【符号の説明】

109 センス・アンプ・ラッチ回路部分

100 データインターフェース回路

110 センス・アンプ

112 制御信号

114、116 相補性データ信号

122 ラッチ

200 帰還回路部分

202 排他的OR(XOR)コード

206 インバータ

210、212 ゼロ・キャッチャ回路

214、216 クロック信号

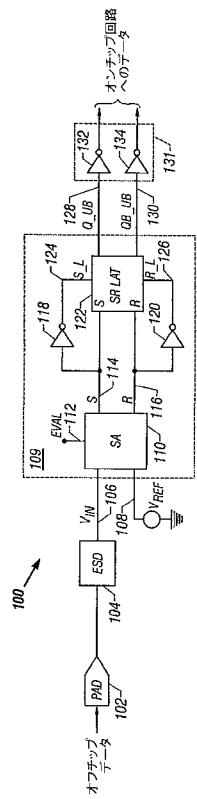
220 マルチプレクサ

10

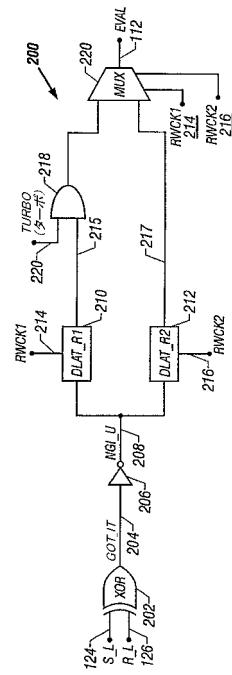
20

30

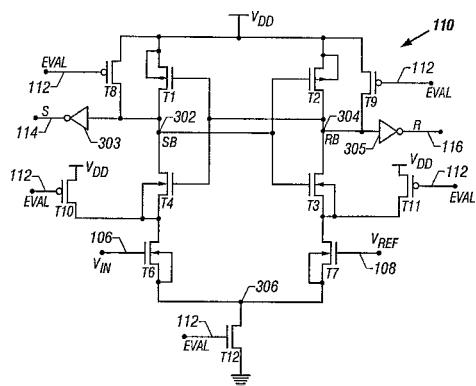
【 図 1 】



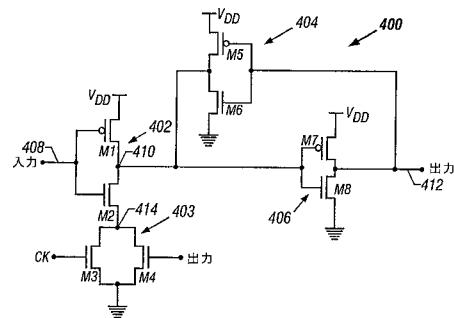
【 四 2 】



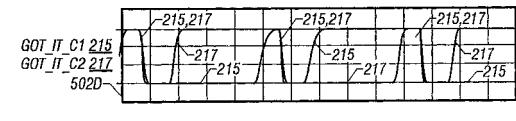
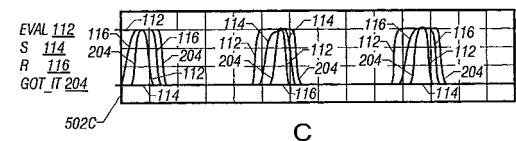
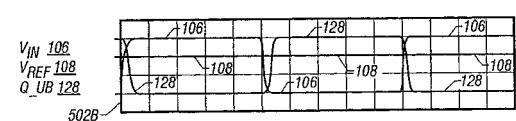
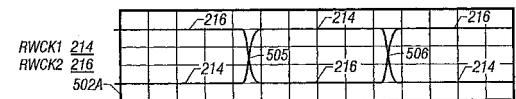
【図3】



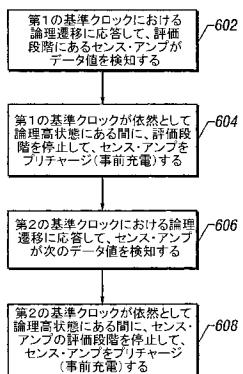
【図4】



【 义 5 】



【図6】



---

フロントページの続き

(72)発明者 フィリップ・エル・バーンズ

アメリカ合衆国テキサス州75074, ブラノ, ムーンビーム・コート・3900

審査官 宮島 郁美

(56)参考文献 特開2001-185999(JP, A)

特開2001-076491(JP, A)

特開2001-006373(JP, A)

特開2000-331483(JP, A)

特開平08-287693(JP, A)

特開平06-223582(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096

H03F1/00-3/45, 3/50-3/52, 3/62-3/64, 3/68-3/72