

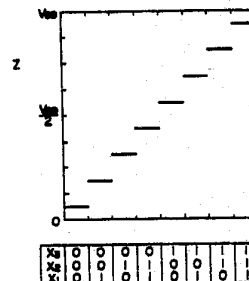
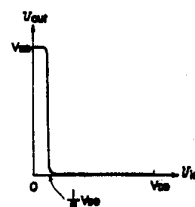
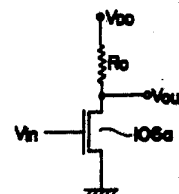
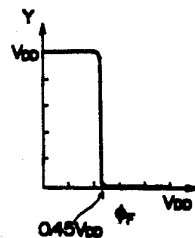
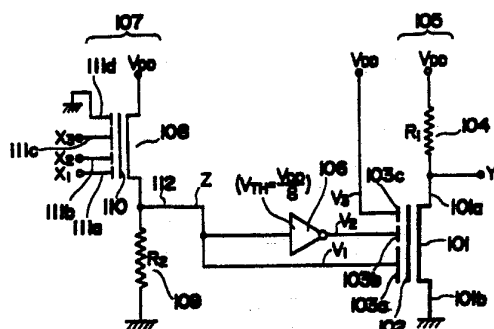


## 特許協力条約に基づいて公開された国際出願

|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |    |                                                                            |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|----------------------------------------------------------------------------|
| (51) 国際特許分類 5<br><b>H01L 29/788, 29/66, G06G 7/60</b><br><b>H03K 19/0944</b>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | A1 | (11) 国際公開番号 <b>WO 92/16971</b><br><br>(43) 国際公開日 1992年10月1日 (01. 10. 1992) |
| (21) 国際出願番号 PCT/JP92/00347<br>(22) 国際出願日 1992年3月21日 (21. 03. 92)<br><br>(30) 優先権データ<br>特願平3/83152 1991年3月21日 (21. 03. 91) JP<br><br>(71) 出願人; および<br>(72) 発明者<br>柴田 直 (SHIBATA, Tadashi) [JP/JP]<br>〒980 宮城県仙台市太白区日本平5番2号 Miyagi, (JP)<br>大見忠弘 (OHMI, Tadahiro) [JP/JP]<br>〒980 宮城県仙台市青葉区米ヶ袋2丁目1番17号301 Miyagi, (JP)<br>(74) 代理人<br>弁理士 福森久夫 (FUKUMORI, Hisao)<br>〒160 東京都新宿区本塩町12 Tokyo, (JP)<br><br>(81) 指定国<br>AT (欧州特許), BE (欧州特許), CA, CH (欧州特許),<br>DE (欧州特許), DK (欧州特許), ES (欧州特許), FR (欧州特許),<br>GB (欧州特許), GR (欧州特許), IT (欧州特許), JP, KR,<br>LU (欧州特許), MC (欧州特許), NL (欧州特許), SE (欧州特許),<br>US.<br><br>添付公開書類 国際調査報告書 |    |                                                                            |

(54) Title : SEMICONDUCTOR DEVICE

(54) 発明の名称 半導体装置



## (57) Abstract

A semiconductor device by which a circuit having the same functions as those of the conventional circuits is realized with a very small number of elements, and complex logical functions can be designed simply, and further, its layout is also possible. A semiconductor device made up of at least one neuron MOS transistor having a gate electrode provided in a potentially floating state in a portion for isolating a source and drain region via a first insulation film, and plural control electrodes which are capacitively coupled to the floating gate electrode via a second insulation film, is characterized in that the first signal is inputted to a first control gate electrode of the first neuron MOS transistor, the first signal is inputted to a first inverter comprising one or more stages, and the output of the first inverter is inputted to a second control gate electrode which is one of the plural control gate electrodes other than the first control gate electrode.

## (57) 要約

本発明は半導体装置に関し、従来の回路と同じ機能を有する回路を、非常に少ない数の素子で実現するとともに、複雑な論理関数を簡単に設計し、レイアウトもできる半導体装置を提供すること目的とする。

ソース及びドレイン領域を隔てる領域に第1の絶縁膜を介して設けられた電位的にフローティング状態にあるゲート電極を有し、前記フローティングゲート電極と第2の絶縁膜を介して容量結合する複数の制御ゲート電極を有するニューロンMOSトランジスタを一個以上用いて構成された半導体装置において、第1のニューロンMOSトランジスタの第1の制御ゲート電極に第1の信号が入力されるとともに、前記第1の信号が少なくとも一段の第1のインバータに入力され、その出力が前記第1の制御ゲート電極以外の制御ゲート電極の1つである第2の制御ゲート電極に入力されるようにしたことを特徴とする。

### 情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

|    |           |    |             |    |         |
|----|-----------|----|-------------|----|---------|
| AT | オーストリア    | ES | スペイン        | MG | マダガスカル  |
| AU | オーストラリア   | FI | フィンランド      | ML | マリ      |
| BB | バルバドス     | FR | フランス        | MN | モンゴル    |
| BE | ベルギー      | GA | ガボン         | MR | モーリタニア  |
| BF | ブルキナ・ファソ  | GN | ギニア         | MW | マラウイ    |
| BG | ブルガリア     | GB | イギリス        | NL | オランダ    |
| BJ | ベナン       | GR | ギリシャ        | NO | ノルウェー   |
| BR | ブラジル      | HU | ハンガリー       | PL | ポーランド   |
| CA | カナダ       | IE | アイルランド      | RO | ルーマニア   |
| CF | 中央アフリカ共和国 | IT | イタリア        | RU | ロシア連邦   |
| CG | コンゴ       | JP | 日本          | SD | スーダン    |
| CH | スイス       | KP | 朝鮮民主主義人民共和国 | SE | スウェーデン  |
| CI | コート・ジボアール | KR | 大韓民国        | SN | セネガル    |
| CM | カメルーン     | LI | リヒテンシュタイン   | SU | ソヴィエト連邦 |
| CS | チェコスロバキア  | LK | スリランカ       | TD | チャード    |
| DE | ドイツ       | LU | ルクセンブルグ     | TG | トーゴ     |
| DK | デンマーク     | MC | モナコ         | US | 米国      |

# 明 細 書

## 半導体装置

### 技術分野

本発明は、半導体装置に係り、特に半導体論理集積回路の超高集積化、超高機能化を実現するための、全く新しいアーキテクチャーを有する半導体集積回路装置を提供するものである。

### 技術背景

現在、半導体集積回路技術の進展は実に驚くべき速度で進んでおり、例えばダイナミックメモリを例にとるなら、4メガビットから16メガビットがすでに量産体制にあり、64メガビット以上の容量をもった超々高密度メモリもすでに開発が終了している。64メガビットのメモリチップは、せいぜい1cm四方のシリコンのチップ上に実に約1億2000万個ものMOSトランジスタが集積されている。今日のLSI技術の驚異的な進歩は、素子の微細化と、微細加工技術の進歩により達成されたものである。従って、半導体メモリのように同一構造をもったメモリセルをただ単に数多く1チップ上に集積化するだけで容量の増大する半導体メモリは実に驚くべき進歩を遂げることができたのである。

しかし、論理LSIは、メモリの様にはかばかしい進歩を遂げていないのが現実である。確かに、16ビットから32ビット、64ビットといった高機能CPUや、様々な高機能論理LSIが開発されているが、超々LSIの時代を迎え、論理LSIの設計、製作は大きな困難に直面している。

まず第一の問題はいかに設計するかという問題である。論理LSIは、スイッチング素子であるMOSトランジスタを組合わせて1と0の2値信号で論理を構成している。この方式では、簡単な論理関数を構成するためにも数多くのトランジスタを相互接続しなければならないため、

(1) 集積度の向上に限界がある、

(2) レイアウトパターンが複雑である、

(3) 配線数が増加する

等の問題である。(1)の問題を解決するためには、レイアウトに工夫をこらし、無駄な面積をできるだけ少なくする必要がある。

従来8ビットのマイクロプロセッサ等の設計では、熟練者がたんにこれを行っていたが、論理回路の規模の増大、素子数の増大に伴い人手でこれを行なうのは天文学的な時間を必要とし、事実上不可能となってしまった。これは、メモリLSIのように、全く同じ構造のメモリセルやセンスアップのパターンを、数多く平面的に繰り返し並べるだけで、レイアウト設計ができるのとは、論理LSIが本質的に異っている点である。論理LSIの回路及びレイアウト設計をコンピュータを用いて行なういわゆるCAD (Computer Aided Design) が盛んに研究開発されているが、人手の場合と同様の高い集積度を得るには、まだはるかに程遠い状況にある。現在広く用いられているCADは、AND (論理積)、OR (論理和)、XOR (排他的論理和) といった基本ゲートか、フリップフロップ等をビルディングブロックとしてこれをチップ上に並べ、相互配線を行なうというやり方である。

確かに設計に要する時間は短縮されるが、集積度の向上は望めない。さらに、素子と素子を接続する配線が縦横無尽に多数走るため、配線における信号伝播の遅延が論理LSIの動作速度を決めることになり、高速化にも多くの問題をもっている。この配線増加の問題に関しては、多値論理回路の導入が有効である。つまり、論理変数を「1」と「0」という2値の値ではなく、例えば0, 1, 2, 3といった4値を導入することである。これによって論理LSIにおける配線数を大幅に減少させることが可能であることが分っている。

しかし、現状の技術で多値論理回路を構成するには、更に複雑な回路が必要になり、また製造プロセスが複雑になるなど様々な問題点を抱えており、実用化にはまだ程遠い状況にある。

以上の、現状の論理LSIのもつ問題点を例を用いて以下に分り易く説明する。

図35 (a), (b) は、それぞれ3つの2進数入力、A, B, Cに対し、

$$Y_1 = (A + B + C) \cdot (\bar{A} + \bar{B} + \bar{C})$$

及び

$$Y_2 = A \cdot B \cdot C + \bar{A} \cdot \bar{B} \cdot \bar{C}$$

を計算する論理回路である。

図において3501, 3502はそれぞれ3入力、2入力のNOR回路、3503はインバータである。又、3504, 3505はそれぞれ3入力、2入力のNAND回路である。インバータ、3入力のNOR、及び3入力のNAND回路は、例えばCMOS技術をもって構成すると同図(c)、(d)、(e)の如くなる。図において、N及びPと記したのは、NMOSトランジスタ3506及びPMOSトランジスタ3507を示している。

図35(a), (b)より明らかなように、簡単な論理関数を表現するのに相当複雑な回路を要求されることが理解できる。これらの回路に必要とされるMOSトランジスタの数は、 $Y_1$ の回路、 $Y_2$ の回路ともに22個である。図36に示したのは、 $Y_2$ を計算する回路であり、図35(b)とは異なる構成である。ANDとNORを一個のCMOSゲート3601で実現しており、少し簡略化されてトランジスタ数は20個に減少している。同様の構成で $Y_1$ を計算する回路を実現するには、最終段のインバータ3402を除けばよいので必要なトランジスタ数はさらに減少し、18個となる。しかし回路構成は、複雑であり、多くの信号線が交叉しながらトランジスタを相互接続しており、パターンレイアウトに多くの問題が生じることは明らかである。

次に多値論理回路について述べる。

図37(a)は、多値論理で重要な働きをする2値多重しきい論理素子の特性の一例を示したものであり、同図(b)はそれを実現する回路の一例である。2値多重しきい論理素子とは、図37(a)に示したように、0Vから $V_{DD}$ （例えば5V）まで変化する入力電圧 $x$ に対し、出力電圧が0(0V)又は1( $V_{DD}$ )

を出力する素子である。図で、a, b, c, dは特性が1から0、あるいは0から1に変化する入力電圧を示しており、それぞれ、 $(1/5)V_{DD}$ ,  $(2/5)V_{DD}$ ,  $(4/5)V_{DD}$ ,  $(9/10)V_{DD}$ である。これを実現するためには図37(b)に示した回路が用いられる。

図37(b)の回路は簡単のためNMOSトランジスタ(3701, 3702, 3703, 3704)と抵抗3705を組合せた回路で示してある。抵抗3705の替りに負荷素子としてデプレッションモードMOSトランジスタを用いたE/D構成の回路を用いてもよい。図において、 $V_{TH}=a$ ,  $V_{TH}=b$ 等と示してあるのは、それぞれのインバーターを構成するドライバートランジスタの閾値である。この場合、インバータの反転電圧(0と1が反転する入力電圧)は、ほぼこの閾値に等しいとする。この回路の動作は簡単に理解できる。 $0 < x < a$ のとき、インバータ3706, 3707, 3708はすべてOFF状態にあり、 $V_{DD}$ を出力している。従って、トランジスタ3701, 3704はONしているが、3702, 3703がOFFしているため、yはハイレベル $V_{DD}$ に等しくなっている。 $a < x < b$ となるとトランジスタ3703がONするためyは0となる。 $b < x < c$ では、3704がOFFするためyは再び $V_{DD}$ となる。 $c < x < d$ では3702がONするため出力は0となるが、 $d < x$ では、3701がOFFしてyはまた $V_{DD}$ となるのである。

この回路を構成するためには、NMOSのドライバートランジスタが8ケ、負荷用のトランジスタ(E/D構成とした場合)が5ケで合計13個のトランジスタが必要となる。しかし、E/R構成やE/D構成では、インバータがONの場合に、直流電流が流れ、消費電力が増大するため超高集積化には不利である。消費電力を小さくするために、図37(b)の回路をCMOSで構成したとすると、負荷側のPMOSの数が増加し、合計で16個のトランジスタ(NMOS 8個、PMOS 8個)が必要となる。

このように多くのトランジスタを必要とするため高集積化を考えた場合、不利となる。しかし、これ以上に重大な問題は、閾値の異なる数多くのトランジスタを必要とすることである。例えば、この図の例では、少なくともa, b, c, d 4種類の閾値が必要である。通常閾値の調整は、イオン注入法を用いて、チャ

ネル領域に不純物イオンを導入し、その濃度を変えることによって行うため、少くとも4回の閾値調整用のイオン注入が必要である。

さらにCMOSインバーターでは、そのインバータの反転電圧は、NMOSとPMOSの両者の閾値の関数として決まるため、PMOSの閾値も調整する必要がある。つまり最低8回のイオン注入によって、8種類の閾値を正確にコントロールしなければならないことになる。どれか1つのトランジスタの閾値が設計値よりずれても回路は正常な動作をしなくなるため、製造プロセスのマージンが非常に小さくなる。工程が非常に長くなることに加え、製造プロセスに非常に高度な制御を要求されることから、多値論理回路の実用化は、まだ余り進んでいないのである。

また多値論理回路を2値論理のデジタル論理回路と接続し、データをやりとりするためには、2値と多値の変数変換が重要である。とくに多値を2値信号に変換するにはA/D変換器が必要であるが、これには多くの素子を必要とし、高集積化が非常に困難である。

例えば、図38は、パラレル型的高速A/Dコンバータの回路例であり、アナログ信号入力 $V_a$ を3ビットの2値信号 $A_2$ ,  $A_1$ ,  $A_0$ に変換する回路である。この回路の詳しい動作の説明は省略するが、7個のコンパレータ、7個のレジスタ及び組合せ論理回路から構成されており、非常に数多くの素子を必要とするだけでなく、配線数も非常に多いことが分る。このような回路の高集積化は非常に困難である。

以上のように、従来技術を用いた論理回路は、簡単な論理機能を実現するためにも、数多くの素子を必要とし、集積度が上がらない。さらに複雑な論理回路を簡単に設計し、レイアウトする有効な手法がないため、大規模な論理回路の設計には、多くの時間が必要とされる。計算機を用いたCADもビルディングブロック方式であり、複雑な配線が集積度や、動作速度の向上を制限している。配線数を減少させるのに極めて有効な方法として注目されている多値論理LSIに関しても、従来の素子技術や回路技術を用いている限り、回路は複雑となり、製造プロセスにも大きな負担が要求される結果となり、実用化は極めて困難な状況にある。

さらに加えるならば、従来の論理回路構成とは、全く異った新しい、アーキテクチャをもった論理LSIの出現も待望されているのが現状である。なぜなら現状のLSIの構成は、ハードウェアは一度作ってしまったら変更は不可能であり、回路に与えるデータやプログラムの変更により様々な演算を実行させている。超々LSI時代を迎え、様々な問題を解決するための新しいブレイクスルーが強く求められているのである。

そこで本発明は、以上の問題点を解決するためになされたものであり、従来の回路と同じ機能を有する回路を、非常に少ない数の素子で実現するとともに、複雑な論理関数を簡単に設計し、レイアウトもできる半導体装置を提供するものである。

#### 発明の開示

本発明の半導体装置は、基板上に一導電型の半導体領域を有し、この領域内に設けられた反対導電型のソース及びドレイン領域を有し、前記ソース及びドレイン領域を隔てる領域に第1の絶縁膜を介して設けられた電位的にフローティング状態にあるフローティングゲート電極を有し、前記フローティングゲート電極と第2の絶縁膜を介して容量結合する複数の制御ゲート電極を有するニューロンMOSトランジスタを一個以上用いて構成された半導体装置において、第1のニューロンMOSトランジスタの第1の制御ゲート電極に第1の信号が入力されるとともに前記第1の信号が少なくとも一段の第1のインバータに入力され、その出力が前記第1の制御ゲート電極以外の制御ゲート電極の1つである第2の制御ゲート電極に入力されるようにしたことを特徴としている。

#### 作用

本発明の半導体装置は、従来にくらべ非常に少ない数の素子で論理LSIが実現できるため、超高集積化が可能であり、また配線数の減少により回路の高速化が可能となった。さらに、複雑な論理関数を表現する回路の設計が、極めて簡単に行なえるため、設計に要する時間が短縮できるばかりではなく、自動設計にも容易に対応することが可能となった。さらに、同じハードウェア構成のままで、

回路に加える制御信号をかえるだけでその機能を自在にかえることができるとい  
全く新しい概念の論理回路構成が可能となり、これにより論理LSIの新しい  
アーキテクチャ発展を可能にした。また、多値論理回路と2値論理回路相互間の  
信号との変換も自在に行なえるようになったのである。

#### 図面の簡単な説明

##### 【図1】

- (a) 本発明の第1実施例を示す回路の構成図
- (b) インバータ105の出力(Y)とフローティングゲートの電位 $\phi_{F1}$ と  
の関係図
- (c) インバータ106の回路構成図
- (d) インバータ106の回路の構成図
- (e) D/A変換器107における入出力特性を示す図

##### 【図2】

- (a) 4入力のNチャネル $\mu$ MOSトランジスタの断面構造の一例を示した図
- (b)  $\mu$ MOS動作を解析するために簡略化した図

##### 【図3】

- (a) 本発明の第1実施例における、 $V_1$ と $\phi_F$ の関係を示した図
- (b) 本発明の第1実施例における、 $V_1$ と $\phi_F$ の関係を示した図
- (c) 図1(e)の縦軸と横軸を入れ換えた図

##### 【図4】

- (a) 本発明の第2の実施例を示す回路図
- (b)  $\mu$ MOS401のFPD図

##### 【図5】

- (a) 本発明の第3の実施例を示す回路図
- (b) 制御ゲート電極505bを2つに分割したインバータ構成図

##### 【図6】

- (a) 本発明の第4の実施例を示す回路図
- (b) 制御ゲート電極を2つに分割したインバータ構成図

## 【図7】

4入力のCMOS構成のニューロンMOSゲートの断面構造模式図

## 【図8】

(a) 本発明の第5の実施例を示す回路図

(b) N- $\nu$ MOS, P- $\nu$ MOSに流れる電流 $I_n$ ,  $I_p$ を $\phi_F - Z$ の関数として示した図

(c) 図8(a)のレイアウトパターンの設計図

(d) 図8(c)における材質の凡例を示した図

## 【図9】

(a) 本発明の第6の実施例を示す回路図

(b) 入力ライン902の電位 $V_F$ を決めるための簡単化した図

## 【図10】

(a) 本発明の第7の実施例を示す回路図

(b)  $\nu$ MOSゲートの構造図

(c) FPDの一例におけるフローティングゲート1009の電位 $\phi_F$ と制御ゲート電極1010の電位 $V_1$ の関係を示す図

(d) すべての制御を2値信号だけで行う場合の回路図

(e) すべての制御を2値信号だけで行う場合の別の回路図

(f) フリップ・フロップの出力を直接接続し制御信号によってデータを取り込むことにより制御する場合の回路図

(g) 図10(a)において反転電圧可変インバータを用いた場合の機能を表現した図

## 【図11】

(a) ~ (p) 表2に示した関数に対応するFPD図

## 【図12】

(a) 本発明第8の実施例を示す回路図

(b) 本実施例の反転電圧可変インバータの回路図

## 【図13】

(a) 本発明第9の実施例を示す回路図

(b) 本実施例の反転電圧可変インバータの回路図

(c) インバータ1301のFPD

【図14】

図13 (a) の回路のレイアウトパターン図

【図15】

(a) 本発明の第11の実施例を示す回路図

(b) 本実施例の反転電圧可変インバータの回路図

【図16】

(a) 本発明の第12の実施例を示す回路図

(b) 本実施例の反転電圧可変インバータの回路図

(c) インバータ1601のFPD

【図17】

(a) 本発明の第13の実施例を示す回路図

(b) 本実施例の反転電圧可変インバータの回路図

【図18】

(a) 本発明の第14の実施例を示す回路図

(b) インバータ1802のFPD

【図19】

(a) 本発明の第15の実施例を示す回路図

(b) 本実施例の反転電圧可変インバータの回路図

(c) インバータ1901のFPD

【図20】

(a) 本発明の第16の実施例を示す回路図

(b), (c) インバータ2001、2002のFPD

【図21】

(a) 本発明の第17の実施例を示す回路図

(b), (c) インバータ2101、2102のFPD

【図22】

(a) 本発明の第18の実施例を示す回路図

(b) ~ (e) インバータ 2202 の FPD

【図 23】

(a) 本発明の第 19 の実施例を示す回路図

(b)  $V_a$  と  $A_0$  の関係を示した図

(c)  $V_a$  と  $A_1$  の関係を示した図

(b)  $V_a$  と  $A_2$  の関係を示した図

(e) 図 23 の回路設計例の  $\nu$ MOS ゲート 2301 の FPD

(f) 図 23 の回路設計例の  $\nu$ MOS ゲート 2302 の FPD

【図 24】

(a) 本発明の第 20 の実施例を示す回路図

(b) 図 24 の回路設計例の  $\nu$ MOS ゲート 2401 の FPD

(c) 図 24 の回路設計例の  $\nu$ MOS ゲート 2402 の FPD

【図 25】

(a) 本発明の第 21 の実施例を示すブロックダイアグラム図

(b) 図 25 (a) における D/A 変換回路 2501 回路図

(c) T と ( $X_1$ ,  $X_0$ ) の関係を示す図

(d)  $T=3$  として  $V_{DD}$  のでる特性を示す図

(e) (d) の特性を得るための回路図

【図 26】

(a) 本発明の第 22 の実施例を示すダイアグラム図

(b)  $T_1$ ,  $T_2$  の入出力特性を示す図

(c)  $T_1$  を実現するための構成図

(d)  $L_1$ ,  $L_2$  の入出力特性を示す図

(e)  $T_2$  を出力するための回路図

(f)  $L_3$ ,  $L_4$  の入出力特性を示す図

【図 27】

(a) 本発明の第 23 実施例を示すブロックダイアグラム図

(b) 多値/アナログ変換回路 2301 を実現した一例を示した回路図

【図 28】

- (a) 本発明の第24の実施例を示す回路図
- (b) 第24の実施例の多値多重しきい関数の特性を示す図
- (c) Xの関数として $y_1$ を出力する回路のFPD図
- (d) Xの関数として $y_0$ を出力する回路のFPD図

## 【図29】

- (a) 本発明の第25の実施例を示す回路図
- (b)  $V_a$ とYとの関係を示す図

## 【図30】

- (a) 本発明の第26の実施例を示す回路図
- (b)  $V_a$ とYとの関係を示す図

## 【図31】

νMOSの構成を示す断面図

## 【図32】

- (a) 本発明の第27の実施例を示す回路図
- (b) 本発明の第28の実施例を示す回路図
- (c) 本発明の第29の実施例を示す回路図

## 【図33】

- (a) 本発明の第30の実施例を示す回路図
- (b) 本発明の第31の実施例を示す回路図

## 【図34】

- (a) 本発明の第32の実施例を示す回路図
- (b) 本発明の第33の実施例を示す回路図

## 【図35】

- (a) それぞれ3つの2進数入力、A, B, Cに対し

$$Y_1 = (A + B + C) \cdot (\bar{A} + \bar{B} + \bar{C})$$

を計算する論理回路図

- (b) それぞれ3つの2進数入力、A, B, Cに対し

$$Y_2 = A \cdot B \cdot C + \bar{A} \cdot \bar{B} \cdot \bar{C}$$

を計算する論理回路図

- (c) CMOS技術におけるインバータ回路構成図
- (d) CMOS技術における3入力のNOR回路構成図
- (e) CMOS技術における3入力のNAND回路構成図

【図36】

図35(b)とは異なる構成の $Y_2$ を計算する回路図

【図37】

- (a) 2値多重しきい論理素子の特性の一例を示した図
- (b) 図37(a)の特性を実現する回路の一例

【図38】

パラレル型的高速A/Dコンバータの回路図

【符号の説明】

- 101 Nチャネル・ニューロンMOSトランジスタ
- 101a ドレイン
- 101b ソース
- 102 フローティングゲート
- 103a, 103b, 103c 制御ゲート電極
- 104 負荷抵抗( $R_1$ )
- 105, 106 インバータ
- 106a NMOSトランジスタ
- 107 D/A変換器
- 108 NチャネルMOS
- 109 抵抗( $R_2$ )
- 111a, 111b, 111c, 111d 制御ゲート電極
- 112 出力端子

発明を実施するための最良の形態

(第1の実施例)

図1(a)は、本発明の第1の実施例を示す回路の構成図であり、 $X_1$ ,  $X_2$ .

$X_3$ の3ビットの2進信号入力に対し、図35(a)の $Y_1$ を計算する回路となっている。すなわち、

$$Y = (X_1 + X_2 + X_3) \cdot (\bar{X}_1 + \bar{X}_2 + \bar{X}_3)$$

である。表1に入力信号と出力の関係を示した。

図において、101はNチャンネル・ニューロンMOSトランジスタであり、102はフローティングゲート、103a, 103b, 103cはその3つの制御ゲート電極である。ニューロンMOSトランジスタは、脳を構成する神経細胞であるニューロンと同様の働きをするトランジスタであり、ニューロンコンピュータを実現するために発明された全く新しい概念のMOS型トランジスタである(発明者: 柴田直、大見忠弘、特開平3-6679号公報)。以下、このトランジスタを $\nu$ MOSと略称する。

この $\nu$ MOSは、非常に強力な機能を有するトランジスタであり、本発明は、この $\nu$ MOSを基本素子として用いたところに大きな特徴がある。 $\nu$ MOSの構造、及び機能については、別途図2を用いて説明する。 $\nu$ MOS101のドレイン101aは負荷抵抗( $R_1$ )104と接続され、1段のインバータ105を構成している。このフローティングゲートから見た $\nu$ MOSトランジスタ101の閾値( $V_{TH1}^*$ )は、 $0.45 V_{DD}$ に設定されている。 $V_{TH1}^*$ の意味は、通常のMOSトランジスタと同様であり、フローティングゲート102の電位がソース101bの電位に対し閾値 $V_{TH1}^*$ より大となったときにチャンネルが形成され、ソース101bとドレイン101aが導通するのである。抵抗 $R_1$ を、 $\nu$ MOSのチャンネル抵抗に較べて十分大きくとっておくと、このインバータ105の出力(Y)とフローティングゲートの電位 $\phi_{F1}$ との関係は略々図(b)のようになる。

106はインバータ回路であり、その反転電圧 $V_{TH}$ は $V_{DD}/8$ に設定されている。これは例えば、図1(c)の様な回路で構成することができ、NMOSトランジスタ106aの閾値を $(1/8) V_{DD}$ とし、抵抗値 $R_0$ をNMOSトランジスタ106aのON抵抗に比べて十分大きくとっておくとその入出力特性は図1

(d)の如くなる。このインバータの出力は、 $\nu$ MOS 101の1つの制御ゲート電極103bに接続されている。

107は3ビットの入力信号 $X_1$ ,  $X_2$ ,  $X_3$ をアナログ信号に変換するD/A変換器であり、1つのNチャネル $\nu$ MOS 108と抵抗 $R_2$  (109)を接続したソースフォロワー回路となっている。110は $\nu$ MOS 108のフローティングゲートであり、フローティングゲートからみた閾値 $V_{TH2}^*$ は、 $-(1/16)V_{DD}$ に設定されている。111a, 111b, 111c, 111dは制御ゲート電極であり、111a, 111b, 111cにはそれぞれ $X_1$ ,  $X_2$ ,  $X_3$ の信号が入力され111dは接地されている。このD/A変換器107の出力端子112の電位をZとすると、

$$Z = (V_{DD}/8) (X_1 + 2X_2 + 4X_3) + (V_{DD}/16) \quad \dots(1)$$

となるように設計されている。ここで $X_1$ ,  $X_2$ ,  $X_3$ は2進変数であり、「0」は0V、「1」は $V_{DD}$ に対応している。 $X_1$ ,  $X_2$ ,  $X_3$ の値とZの関係を図1(e)に示す。尚、(1)式のような特性を得るための $\nu$ MOSの設計法については、まず $\nu$ MOS自体の動作についての簡単な説明を行ってから述べることにする。

図1(a)の回路の動作を説明するために、まず最初に $\nu$ MOSの構造と動作原理について説明する。図2(a)は4入力のNチャネル $\nu$ MOSトランジスタの断面構造の一例を示したものであり、201は例えばP型のシリコン基板、202, 203は $N^+$ 拡散層で形成されたソース及びドレイン、204はソース・ドレイン間のチャンネル領域205上に設けられたゲート絶縁膜(例えば $SiO_2$ 膜)、206は電氣的に絶縁され電位的にフローティングの状態にあるフローティングゲート電極、207は例えば $SiO_2$ 等の絶縁膜、208a, 208b, 208c, 208dは制御ゲート電極である。図2(b)は、 $\nu$ MOS動作を解析するためにさらに簡略化した図面である。各制御ゲート電極とフローティングゲート間の容量結合係数を図の様に $C_1$ ,  $C_2$ ,  $C_3$ ,  $C_4$ , フローティングゲートとシリコン基板間の容量結合係数を $C_0$ とすると、フローティングゲートの電位 $\phi_F$ は次式で与えられる。

$$\phi_F = (1/C_{TOT}) (C_1V_1 + C_2V_2 + C_3V_3 + C_4V_4) \quad \dots(2)$$

$$\text{但し、 } C_{TOT} \equiv C_0 + C_1 + C_2 + C_3 + C_4$$

$V_1, V_2, V_3, V_4$ はそれぞれ入力ゲート208a, 208b, 208c, 208dに印加されている電圧であり、シリコン基板の電位は0V、すなわちアースされているとした。

今、ソース202の電位を0Vとする。即ちすべての電極の電位をソースを基準として測定した値とする。そうすれば、図2に示した $\nu$ MOSは、フローティングゲート206を通常のゲート電極とみなせば通常のNチャネルMOSトランジスタと同じであり、そのゲート電位 $\phi_F$ が閾値( $V_{TH}^*$ )より大となるとソース202、ドレイン203間の領域205に電子のチャネル(Nチャネル)が形成され、ソース・ドレイン間が電氣的に接続される。即ち(2)式より

$$(1/C_{TOT}) (C_1 V_1 + C_2 V_2 + C_3 V_3 + C_4 V_4) > V_{TH}^* \dots (3)$$

の条件が満たされたとき $\nu$ MOSは導通する(ONする)のである。

以上はNチャネル $\nu$ MOSトランジスタについての説明であるが、図2(a)においてソース202、ドレイン203及び基板201をすべて反対導電型にしたデバイスも存在する。即ち、基板はN型であり、ソース・ドレインが $P^+$ 拡散層で形成された $\nu$ MOSであり、これをPチャネル $\nu$ MOSトランジスタと呼ぶ。

上の関係を用いて図1のD/A変換器107の動作について説明する。この回路の出力端子112の電位Zは、

$$Z = \phi_F - V_{TH2}^* \dots (4)$$

に等しい。電極111a, 111b, 111c, 111dとフローティングゲート間の容量結合係数をそれぞれ $C_1, C_2, C_3, C_4$ とすると、(2)式を用いて、

$$Z = (1/C_{TOT}) (C_1 V_1 + C_2 V_2 + C_3 V_3 + C_4 V_4) - V_{TH2}^*$$

$$V_1 = X_1 V_{DD}$$

$$V_2 = X_2 V_{DD}$$

$$V_3 = X_3 V_{DD}$$

$$V_4 = 0$$

であり、

$$V_{TH2}^* = - (V_{DD}/16)$$

であるから、

$$Z = V_{DD} \{ (C_1/C_{TOT}) X_1 + (C_2/C_{TOT}) X_2 + (C_3/C_{TOT}) X_3 \} \\ + (V_{DD}/16) \quad \dots(5)$$

となる。

ここで $\nu$ MOS 108の各容量結合係数を、

$$C_1 = (1/8) C_{TOT},$$

$$C_2 = (1/4) C_{TOT},$$

$$C_3 = (1/2) C_{TOT}$$

に設定すれば、

$$Z = (V_{DD}/8) (X_1 + 2X_2 + 4X_3) + (V_{DD}/16) \quad \dots(6)$$

となり(1)式の結果及び図1(e)の特性が得られるのである。

ここでフローティングゲート110と基板間の容量結合係数 $C_0$ の値を例えば $C_0 = (1/10) C_{TOT}$ とすると、 $C_0 + C_1 + C_2 + C_3 + C_4 = C_{TOT}$ より $C_4 = (1/40) C_{TOT}$ となる。以上が、D/Aコンバータ回路の特性と設計に関する説明である。

次に $\nu$ MOSインバータ回路105の動作について説明する。 $\nu$ MOS 101は、3入力のNチャネル $\nu$ MOSトランジスタである。3つの制御ゲート電極103a, 103b, 103cとフローティングゲート102の間の容量結合係数をそれぞれ $C_1, C_2, C_3$ 、それぞれのゲートに入力される電圧を $V_1, V_2, V_3$ 、フローティングゲート102と基板間の容量結合係数を $C_0$ とすると、フローティングゲート102の電位 $\phi_F$ は、

$$\phi_F = (1/C_{TOT}) (C_1 V_1 + C_2 V_2 + C_3 V_3) \quad \dots(7)$$

となる。但し $C_{TOT} = C_0 + C_1 + C_2 + C_3$ である。例えばこの $\nu$ MOSの $C_1, C_2, C_3$ の値を次の様に設計する。

$$C_1 = (1/2) (C_{TOT} - C_0) \quad \dots(8)$$

$$C_2 = (7/16) (C_{TOT} - C_0) \quad \dots(9)$$

$$C_3 = (1/16) (C_{TOT} - C_0) \quad \dots(10)$$

また、フローティングゲートからみた $\nu$ MOSの閾値を、例えば、

$$V_{TH1}^* = (1/2) V_{DD} ((C_{TOT} - C_0) / C_{TOT}) \quad \dots(11)$$

となる様に設計する。 $C_{TOT}$ や $C_0$ は素子の形状や酸化膜の膜により決る値であ

り、これらの値に従い、 $V_{TH1}^*$ を決める。 $V_{TH1}^*$ の調整には、例えばイオン注入法を用いればよい。ここで、例えば、 $C_0 = (1/10) C_{TOT}$ とすると、

$$C_1 = 0.9 C_{TOT} \times (1/2) = 0.45 C_{TOT}$$

$$C_2 = 0.9 C_{TOT} \times (7/16) = 0.394 C_{TOT} \quad \dots (12)$$

$$C_3 = 0.9 C_{TOT} \times (1/16) = 0.056 C_{TOT}$$

$$V_{TH1}^* = 0.9 V_{DD} \times (1/2) = 0.45 V_{DD}$$

となる。

(8), (9), (10) 式を (7) 式に代入すると、

$$\phi_F = \gamma \left( (1/2) V_1 + (7/16) V_2 + (1/16) V_3 \right) \quad \dots (13)$$

$$\gamma \equiv (C_{TOT} - C_0) / C_{TOT}$$

となる。

今ここで  $V_2 = V_3 = 0$  とし、 $V_1$  を 0 から  $V_{DD}$  まで変化させたときの  $\phi_F$  の変化を図 3(a) に直線 301 で示した。同図の直線 302 は  $V_2 = 0$ ,  $V_3 = V_{DD}$  としたときの  $\phi_F$  と  $V_1$  の関係であり、直線 301 より  $(1/16) \gamma V_{DD}$  だけかさ上げされているのが分る。

また、303 は、 $V_2 = V_3 = V_{DD}$  としたときの関係であり、さらに  $(7/16) \gamma V_{DD}$  かさ上げされている。直線 304 は、 $\phi_F = (1/2) \gamma V_{DD}$  のレベルを表す水平線であり、フローティングゲートからみた閾値  $0.45 V_{DD}$  を表している。図 1(a) の回路図をみると、 $V_3 = V_{DD}$  (一定) であるが、 $V_2$  はインバータ 106 の出力電圧が入力されている。つまり  $V_2$  は  $V_1$  に対し図 1(d) のような変化をするので、 $0 \leq V_1 \leq (1/8) V_{DD}$  では  $V_2 = V_{DD}$ 、 $V_1 > (1/8) V_{DD}$  では  $V_2 = 0$  となる。即ち図 1(a) の回路では、 $\phi_F$  と  $V_1$  の関係は図 3(b) の実線 305 のようになる。

水平線 304 は、 $\phi_F = (1/2) \gamma V_{DD}$  であり、フローティングゲートからみた  $\mu$ MOS 101 の閾値 ( $V_{TH1}^* = 0.45 V$ ) のレベルを表している。つまり実線 305 が水平線 304 より上にある場合には、 $\phi_F > V_{TH1}^*$  となり  $\mu$ MOS 101 は ON し出力電圧  $Y$  は 0 となる。一方実線 305 が水平線 304 より下にある場合は、 $\phi_F < V_{TH1}^*$  となり  $\mu$ MOS 101 は OFF し、 $Y = V_{DD}$  となる (図 1(b) 参照)。

図3(c)は $V_1 (= Z)$ と $X_1, X_2, X_3$ の関係を表したグラフであり、図1(e)のたて軸と横軸を入れかえたものである。図3(b)(c)を合わせてみれば $X_1, X_2, X_3$ と $Y$ の関係が即座に分かる。例えば、 $(X_3, X_2, X_1) = (0, 1, 1)$ に対しては $V_1 = (7/16) V_{DD}$ であり、 $\phi_F < V_{TH1}^*$ となり $Y = 1$ となる。 $Y = 0$ となるのは、 $\phi_F > V_{TH1}^*$ となる $(X_3, X_2, X_1) = (0, 0, 0)$ 及び $(1, 1, 1)$ の場合のみであり、図1(a)の回路は正しく $X_1, X_2, X_3$ の3入力に対し、

$$(X_1 + X_2 + X_3) \cdot (\bar{X}_1 + \bar{X}_2 + \bar{X}_3)$$

で定義される関数 $Y_1$ を計算する回路となっていることが分る。

この回路を構成しているのは、 $\nu$ MOSトランジスタ2ケ、通常のMOSトランジスタ1ケ及び抵抗3ケであり、合計たったの6素子で構成されている。従来技術で構成した回路が(図35(a))合計22個のMOSトランジスタを必要としたことを考えると、素子数が実に $(1/3)$ 以下に減少していることが分る。つまり本発明により、極めて少数の素子で高度な機能を実現できることが分る。

以上、本発明の第1の実施例の説明に際し、 $V_1$ と $\phi_F$ の関係を表す図3(a)、(b)を用いたが、この図は $\nu$ MOSの動作を解析したり $\nu$ MOS回路を設計する上で非常に便利な図面である。この図面のことを Floating Potential Diagram (FPD)と呼んでおり、今後本発明のその他の実施例の説明にはこのFPDを用いて行なうことにする。

#### (第2の実施例)

本発明の第2の実施例を示す回路図を図4(a)に示す。これは $X_1, X_2, X_3$ の3入力に対し、図35(b)の $Y_2$ を計算する回路である。即ち、

$$Y = X_1 \cdot X_2 \cdot X_3 + \bar{X}_1 \cdot \bar{X}_2 \cdot \bar{X}_3$$

で表される $Y$ を出力する回路である。

図1(a)の $Y_1$ 回路と異なるのは、 $\nu$ MOS401の制御ゲート電極402の入力が $V_{DD}$ ではなく0Vになっていること及び、インバータ回路403の反転電圧 $V_{TH}$

が  $(7/8) V_{DD}$  に設定されていることだけである。これ以外はすべて図 1 (a) と全く同じである。つまり  $\mu$ MOS トランジスタ 401, 404 における各電極間の容量結合係数の値やフローティングゲートからみた閾値等は、すべて同じ値に設定されている。

図 4 (b) に  $\mu$ MOS 401 の FPD (Floating Potential Diagram) を示す。  
 $(X_1, X_2, X_3) = (0, 0, 0)$  あるいは  $(1, 1, 1)$  のときのみ  $\phi_F < V_{TH1}^*$  で  $Y = 1$  となり、それ以外の入力に対しては  $Y = 0$  となり、正しく、

$$Y = X_1 \cdot X_2 \cdot X_3 + \bar{X}_1 \cdot \bar{X}_2 \cdot \bar{X}_3$$

を計算する回路となっていることが分る。つまり、本発明の第 2 の実施例によれば、図 35 (b) の  $Y_2$  の回路が図 1 (a) の回路と同様、たった 6 個の素子で実現できることが分る。従来技術による回路が、例えば図 35 (b) に示したように、全部で 22 個の素子を必要としたのに較べると、非常に少ない数の素子で同じ機能が実現できているのである。

また図 36 は、20 個の MOS トランジスタで構成した従来技術による 3 入力 A, B, C に対する  $Y_2$  の回路の別の一例であるが、非常に複雑である。特に本発明の第 1、第 2 の実施例とくらべると、配線が非常に複雑となっている。即ち、従来技術で論理関数を表現しようとする、単に素子数が増大するだけでなく、素子と素子を互に接続する配線の数が増大し、配線における信号伝播の遅延が回路の動作速度を制限したり、あるいはクロストークによるエラーを発生したり様々な問題を生じていた。しかし、本発明によれば、必要な素子数が減少するだけでなく、配線が非常に簡単となるため、これらの問題がすべて簡単に解決できるのである。

さらに本発明のもう一つの大事な点は、全く異なる回路機能を、ほとんど同じ回路構成で実現できることである。つまり本発明の第 1、第 2 の実施例で異なるのは、インバータ (106, 403) の反転電圧と制御ゲート電極 (103c, 402) に印加する電圧だけである。従ってこれらを可変としてやれば、全く同じ回路で異なった機能を実現してやることができる。このような例を示したのが図 5 に示す本発明の第 3 の実施例である。

## (第3の実施例)

図5 (a) において、 $\nu$ MOSインバータ501は図1 (a) の105と全く同じであるが、制御ゲート電極502に加えられる電圧が固定ではなく、 $m_1$ という入力信号となっている。510は107と全く同じD/A変換器であるのでここでは図のように記号で示してある。

図1 (a) あるいは図4 (a) の回路と大きく異なるのは、従来のNMOSインバータ (106, 403, 及び図1 (c) を参照) に替り、2入力のNチャネル $\nu$ MOSトランジスタと抵抗 $R_0$ により構成した $\nu$ MOSインバータ503を用いていることである。制御ゲート505a, 505bとフローティングゲート間の容量をそれぞれ $C_1$ ,  $C_2$ , フローティングゲートからみた $\nu$ MOS504の閾値 (インバータ503の反転電圧に等しい) を $V_{TH}^*$ とすると、

$$\phi_F = (C_1/C_{TOT}) V_1 + (C_2/C_{TOT}) V_2 > V_{TH}^*$$

で $\nu$ MOSがONする。この式から、 $\nu$ MOSがONするための $V_1$ に対する条件を求めると、

$$V_1 > (C_{TOT}/C_1) V_{TH}^* - (C_2/C_1) V_2$$

となる。

従って制御ゲート電極505aからみた $\nu$ MOSトランジスタの504の閾値 $V_{TH}$ は (インバータ503の反転電圧 $V_1$ に等しい) 、

$$V_{TH} = (C_{TOT}/C_1) V_{TH}^* - (C_2/C_1) V_2 \quad \dots (14)$$

となる。

ここで例えば、 $C_1 = C_2$ とし、且つ $V_{TH}^*$ を (11) 式と同様に、

$$V_{TH}^* = (1/2) V_{DD} ((C_{TOT} - C_0)/C_{TOT}) \quad \dots (15)$$

と設定すると、 (14) 式より、

$$V_1 = V_{DD} - V_2 \quad \dots (16)$$

となり、インバータ503の反転電圧は、 (16) 式に従い、 $V_2$ の値によって簡単に変更できるようになる。従って、 $m_2 = (7/8) V_{DD}$ とすれば $V_1 = (1/8) V_{DD}$ となる。そこで $m_1 = V_{DD}$ としてやれば図5 (a) の回路は、図1 (a) と全く同じとなり、図35 (a) の $Y_1$ の回路となる。また、 $m_2 = (1/8) V_{DD}$ 、 $m_1 = 0$ としてやれば図4 (a) と全く同じとなり、図35 (b) の $Y_2$ の

回路となる。

すなわち、本発明の第3の実施例によれば、全く同じハードウェア構成を用いて、制御信号 $m_1$ ,  $m_2$ の値をかえることだけで回路の機能を全くかえることができるのである。従来技術では、例えば図35(a)と(b)のようにハードウェア構成そのものを変更しなければ機能をかえることができなかった。従って、これは本発明の画期的な特徴である。信号電圧によってハードウェアの機能変更が可能な図5(a)の様な回路をやわらかいハードウェア論理回路、Soft-hardware logicと呼ぶ。

本発明の第7の実施例において、もっと一般的なSoft-hardware logicについて説明する。ここでは、 $V_1$ として式(16)のような簡単な関係式を得るために、 $C_1 = C_2$ とし、且つ(15)式を満たすように $V_{TH}^*$ を設定したが、これはあくまでも一例である。 $V_1$ は(14)式で与えられるのであるから、 $C_1 \neq C_2$ とし、 $V_2 (=m_2)$ として異なる値を用いてもよいことはいうまでもない。なお、図5(a)においては、 $\mu$ MOS 504の2番目の制御ゲート電極505bを1つとしたが、例えば2つに分割し図5(b)に示したようなインバータを構成し、インバータ503の替りに用いてもよい。この場合、制御ゲート電極507, 508とフローティングゲート506の結合係数を例えばそれぞれ $C_2'$ ,  $C_2''$ とし、 $C_2' = (7/16)(C_{TOT} - C_0)$ ,  $C_2'' = (1/16)(C_{TOT} - C_0)$ とすれば、 $n_1 = m_1 = V_{DD}$ ,  $n_2 = 0$ のときに図5(a)の回路は図35(a)の $Y_1$ の回路、 $n_1 = m_1 = 0$ ,  $n_2 = V_{DD}$ のときに図35(b)の $Y_2$ の回路となる。

さて、第1, 第2, 第3の実施例では、Nチャネル $\mu$ MOSと抵抗を組合わせた回路を例に述べてきた。これはあくまでも本発明の原理を分かり易く説明するのが目的である。抵抗のかわりに例えばNチャネルデプレションモードトランジスタやエンハンスメントモードトランジスタを用いてもよい。また $\mu$ MOSを含め、すべてをPチャネルトランジスタで構成してもよいことはいうまでもない。

しかし以上の例では、いずれかのトランジスタがONした場合、 $V_{DD}$ からアースに直流電流が流れるため、消費電力が大きくなってしまう。即ち、消費電力の上限に制限がある場合には、高集積化に対して不利な回路構成である。

電力消費を伴わず、且つ高度な機能を数少ないトランジスタで実現するにはCMOS構成のニューロンMOSゲートを用いればよい。

(第4の実施例)

図6(a)は、本発明の第4の実施例を示す回路図であり、図5(a)に示した第3の実施例と同じ機能をもった回路をCMOS構成のニューロンMOSゲート601, 602を用いて構成した例である。603, 604はNチャネルMOSトランジスタ、605, 606はPチャネルMOSトランジスタであり、いずれのインバータ601, 602においてもNチャネルMOSとPチャネルMOSのフローティングゲートは電氣的に接続されている。

またNチャネルMOSのソース609, 610はアースに、PチャネルMOSのソース611, 612は $V_{DD}$ に、またN-MOSとP-MOSのドレインは接続され、それぞれCMOSニューロンMOSゲートの出力端子613, 614となっている。

図7は、一例として4入力のCMOS構成のニューロンMOSゲートの断面構造を模式的に表したものである。701はP型シリコン基板、702はN型のウェル、703a, 703bはそれぞれ $N^+$ 型のソース及びドレイン、704a, 704bはそれぞれ $P^+$ 型のソース及びドレイン、705はフローティングゲート、706a~dはそれぞれ入力ゲートの電極である。707, 708は例えば $SiO_2$ 等の絶縁膜、709はフィールド酸化膜である。

図6(a)において、MOSの各制御ゲート電極とフローティングゲート間の容量結合係数は、図5(a)の回路と同じ値に設定されている。フローティングゲートと基板との間の容量結合係数 $C_0$ はフローティングゲートとP型基板間の容量結合係数 $C_0^N$ 及びN型基板との間の結合係数 $C_0^P$ の和に等しい。即ち

$$C_0 = C_0^N + C_0^P \quad \dots (17)$$

である。

フローティングゲート607よりみたインバータ601の反転電圧(1と0が反転する閾電圧)を $V_I^*$ とすると、

$$V_I^* = \frac{V_{DD} + \sqrt{\beta_R} V_{Tn}^* + V_{Tp}^*}{\sqrt{\beta_R} + 1} \quad (18)$$

で与えられる。

ここで、 $V_{Tn}^*$ 、 $V_{Tp}^*$ は、それぞれフローティングゲート607よりみた、NチャネルMOS603、及びPチャネルMOS605の閾値であり、 $\beta_R$ はベータ比であり次式で与えられる。

$$\beta_R \equiv (\beta_{N\text{チャネル}} / \beta_{P\text{チャネル}}) = ((W/L)_N \mu_e / (W/L)_P \mu_h) \quad \dots (19)$$

ここで、 $W$ 、 $L$ はチャネル幅及びチャネル長、 $\mu_e$ 、 $\mu_h$ はそれぞれ電子とホールの移動度である。

例えば $\beta_R = 1$ となるように設計すると、(18)式は、

$$V_I^* = (V_{DD}/2) + ((V_{Tn}^* + V_{Tp}^*)/2) \quad \dots (20)$$

となる。例えば、インバータ501と同様、601のインバータの反転電圧 $V_I^*$ が(11)式で与えられるとすると、

$$V_{Tn}^* + V_{Tp}^* = -(C_0/C_{TOT}) V_{DD} \quad \dots (21)$$

となる。これには例えば、 $C_0 = 0.1 C_{TOT}$ 、 $V_{DD} = 5V$ とすると、

$$V_{Tn}^* = |V_{Tp}^*| - 0.5$$

とすればよい。

従って、例えば $V_{Tn}^* = 0.5V$ の場合には、 $V_{Tp}^* = -1.0V$ となる。

インバータ602においても $\beta_R = 1$ 、各MOSトランジスタの閾値を(21)式の様に設定してやれば、制御ゲート電極616からみたインバータ602の反転電圧は、 $V_I = V_{DD} - m_2$ となり、図6(a)の回路は図5(a)と全く同じ機能をもった回路となる。602のインバータは、例えば図6(b)に示したようなインバータでおきかえてもよい。これは、602の $m_2$ の入力されている制御ゲート電極を2つに分割した場合であり、容量結合係数 $C_1$ 、 $C_2'$ 、 $C_2''$ は、図5(b)の回路と全く同じ値に設定すればよい。このインバータを用いた回路の動作も第3の実施例と同じである。

この第4の実施例の特徴は、消費電力を非常に小さくできる点にある。つまり、各インバータにおいて、導通しているのは、NチャネルMOSかPチャネルMOSのどちらか一方であり、直流電流の流れることがないからである。CMOS構成にしてもトータルの素子数は6個であり、第1～第3の実施例と全

くかわらない。

本発明の第4の実施例では、D/A変換器615として、第1～第3の実施例と全く同じ回路を用いている。この回路は、例えば図1の107のように1つのNチャネルMOS108と1つの抵抗109で構成されており、この回路には、

$$I = (Z/R_2) \quad \dots (22)$$

なる直流電流が流れている（Zは、D/A変換器の出力電圧）。この電流を小さくし、電流消費を小さくするには、 $R_2$ を十分大きくとればよい。しかし、 $R_2$ を大きくするD/A変換器の時間応答が遅くなり回路の高速動作を妨げることになる。そこで考案したのが能動負荷を用いたD/A変換器であり、これを用いた本発明の第5の実施例を次に説明する。

#### （第5の実施例）

図8(a)は、本発明の第5の実施例を示す回路図である。本実施例の特徴は、第1～第4の実施例とは異なり、消費電力の小さなD/A変換器801を用いた点にある。このD/A変換器は直流電流がほとんど流れないため、消費電力を非常に小さくすることができると同時に、高速の動作が可能であるという大きな特徴を有する。

図において、802, 803はそれぞれPチャネルMOSトランジスタ及びNチャネルMOSトランジスタであり両者のソースは互いに接続され出力端子804となっている。この出力は、MOSで構成された回路805に入力される。この回路805は例えば、図1(a), 図4(a), 図5(a), 図6(a)に用いられているような回路を表しているが、同様の構成を有する本発明の回路であればいかなる回路であってもよい。

806はフローティングゲートであり、N-MOSのフローティングゲートとP-MOSのフローティングゲートは互いに電氣的に接続されている。807a, 807b, 807c, 807dは4つの制御ゲート電極であり、例えば図1(a)の回路では、111a, 111b, 111c, 111dに対応している。ここではあくまで説明の都合上4入力にしたものであり、入力数はもっと少なくてもよいし、あるいは、もっと多くなってもよい。 $V_1, V_2, V_3, V_4$ は各

制御ゲート電極への入力電圧、 $Z$ はこの回路の出力電圧である。各電極間の容量結合係数は図に示した通りである。

まず最初にフローティングゲートの電位  $\phi_F$  と出力電圧  $Z$  の関係を求める。この構成では、 $\nu$ MOS 802, 803 はともに飽和領域で動作し、両者に流れる電流は等しくなるから次式が成立つ。

$$(1/2) \beta_N \{ (\phi_F - Z) - V_{Tn}^* \}^2 = (1/2) \beta_P \{ (\phi_F - Z) - V_{Tp}^* \}^2 \quad \dots (23)$$

ここで

$$\beta_N = (W/L) C_{OX} \mu_e \quad \dots (24)$$

$$\beta_P = (W/L) C_{OX} \mu_h \quad \dots (25)$$

$W$ ,  $L$  はそれぞれトランジスタのチャネル幅とチャネル長、 $C_{OX}$  は単位面積当りのゲート酸化膜容量、 $\mu_e$ ,  $\mu_h$  はそれぞれ電子とホールの反転層における移動度である。また、 $V_{Tn}^*$ ,  $V_{Tp}^*$  は、それぞれフローティングゲート806よりみた  $N - \nu$ MOS 803 及び  $P - \nu$ MOS 802 の閾値である。 $\beta_R \equiv (\beta_N / \beta_P)$  とすると、

$$Z = \phi_F - \frac{\sqrt{\beta_R} V_{Tn}^* + V_{Tp}^*}{\sqrt{\beta_R} + 1} \quad (26)$$

の関係が得られる。今、簡単のために  $\beta_R = 1$  とすると、

$$Z = \phi_F - ((V_{Tn}^* + V_{Tp}^*) / 2) \quad \dots (27)$$

と表される。 $\beta_R = 1$  はあくまでも1つの設計例であり、もっと他の値に設定してももちろんかまわない。

フローティングゲートの電位  $\phi_F$  は(2)式で与えられるから、(26)式より

$$\begin{aligned}
Z &= \frac{1}{C_{TOT}} (C_1 V_1 + C_2 V_2 + C_3 V_3 + C_4 V_4) \\
&\quad - \frac{\sqrt{\beta_R} V_{Tn} + V_{Tp}^*}{\sqrt{\beta_R} + 1} \\
&= \frac{1}{C_{TOT}} (C_1 V_1 + C_2 V_2 + C_3 V_3) \\
&\quad + \left( \frac{C_4}{C_{TOT}} V_4 - \frac{\sqrt{\beta_R} V_{Tn} + V_{Tp}^*}{\sqrt{\beta_R} + 1} \right) \quad (28)
\end{aligned}$$

$V_1, V_2, V_3$ に2進信号 $X_1, X_2, X_3$ を入力すると、

$V_1 = X_1 V_{DD}, V_2 = X_2 V_{DD}, V_3 = X_3 V_{DD}$ となり、(28)式は、

$$\begin{aligned}
Z &= V_{DD} (C_1 X_1 / C_{TOT} + C_2 X_2 / C_{TOT} + C_3 X_3 / C_{TOT}) \\
&\quad + \frac{C_4}{C_{TOT}} V_4 - \frac{\sqrt{\beta_R} V_{Tn} + V_{Tp}^*}{\sqrt{\beta_R} + 1} \quad (29)
\end{aligned}$$

となる。

出力 $Z$ を(1)式、あるいは図1(e)のようにするには、

$$(C_1/C_{TOT}) = (1/8),$$

$$(C_2/C_{TOT}) = (1/4),$$

$$(C_3/C_{TOT}) = (1/2)$$

とすると同時に、

$$\frac{C_4}{C_{TOT}} V_4 - \frac{\sqrt{\beta_R} V_{Tn}^* + V_{Tp}^*}{\sqrt{\beta_R} + 1} = \frac{V_{DD}}{16} \quad (30)$$

となるようにしなければならない。

式(30)を満足させるためには、 $C_4$ の値や $V_4$ の値、あるいは $\beta_R$ ,  $V_{Tn}^*$ ,  $V_{Tp}^*$ の値を適宜選ぶことにより実現できる。一番簡単な例として $V_4 = 0$ ,  $\beta_R = 1$  とすると、

$$V_{Tn}^* + V_{Tp}^* = -(1/8) V_{DD} \quad \dots (31)$$

を満足させばよい。上の関係をみただけ限り、 $V_{Tn}^*$ はある程度任意に選ぶことができるが、次の点に注意する必要がある。

図8(b)は、N- $\nu$ MOS, P- $\nu$ MOSに流れる電流 $I_n$ ,  $I_p$ を $\phi_F - Z$ の関数として表した図であり、両者の電流が等しくなる点、即ち両特性の交点が回路に流れる直流電流 $I_0$ 及び出力電流を決める。 $I_n$ ,  $I_p$ の特性が交点をもつためには、

$$V_{Tn}^* \leq V_{Tp}^* \quad \dots (32)$$

の関係が満足されねばならない。このとき回路には、

$$I_0 = \frac{1}{2} \beta_N \left( \frac{V_{Tn}^* - V_{Tp}^*}{1 + \sqrt{\beta_R}} \right)^2 \quad (33)$$

なる直流電流が流れる。従って  $V_{Tn}^* = V_{Tp}^*$  とすれば、 $I_0 = 0$  となり、電力消費が最も小さくなる。今簡単の為、 $\beta_R = 1$  とすると (31) 式より、

$$V_{Tn}^* = V_{Tp}^* = - (1/16) V_{DD}$$

となり N- $\nu$ MOS はデプレッション型とせねばならないことが分る。しかし、例えば (30) 式で  $V_4 = V_{DD}$  として  $(C_4/C_{TOT}) > (1/16)$  としてやれば、

$$\frac{\sqrt{\beta_R} V_{Tn}^* + V_{Tp}^*}{\sqrt{\beta_R} + 1} = \left( \frac{C_4}{C_{TOT}} - \frac{1}{16} \right) V_{DD}$$

となり N- $\nu$ MOS はエンハンスメント型のトランジスタとなる。いずれのやり方でもよいことは言うまでもない。

あるいは、 $V_{Tn}^* < V_{Tp}^*$  としてもよい。こうすれば (33) 式に従い直流電流が流れるが、 $V_{Tn}^* - V_{Tp}^*$  の値を十分小さくすることで十分小さな電流値とすることが可能である。この場合、各トランジスタ 802, 803 の電流駆動能力が増加し、回路動作を高速化することができる。

また逆に、(32) 式とは反するが、 $V_{Tn}^* > V_{Tp}^*$  としてもよい。この場合、出力電位は、 $V_{Tp}^* \leq Z \leq V_{Tn}^*$  の範囲の任意の値をとることになるが、 $V_{Tn}^* - V_{Tp}^*$  の値を必要とされる精度以下としておけば問題はない。この場合、直流電流は完全にゼロとなり、非常に低消費電力の回路を実現することができる。

図 8 の (a) に示した D/A 変換回路は、N- $\nu$ MOS、P- $\nu$ MOS のいずれもがほぼ OFF の状態で出力電圧を保持するため、従来の抵抗負荷を用いたソース・フォロウ回路 (図 1 (a) の 107) に較らば格段に消費電力を小さくすることができる。

しかも回路の動作が高速である。その理由は以下の通りである。出力レベルが上昇する際は、上の N- $\nu$ MOS 803 が ON して電流が流れるが、このとき下の P- $\nu$ MOS 802 は OFF しているのですべての電流は、出力線 804 を充

電 するためにのみ用いられ、それだけ電圧の上昇する時間が短くなる。107の回路では、電流は、抵抗 $R_2$ にも流れるためその分充電電流が少なくなり、時間がかかるのである。また出力レベルが下がる場合には、下のP- $\nu$ MOSがONして出力線804の電荷を放電するので、高速にレベルを下げるができる。従来の107の回路では抵抗 $R_2$ を介して放電していたため、消費電力を小さくするために $R_2$ を大きくすると、放電の時間が長くなり、特にレベルを下げる場合に 応答速度が遅くなったのである。

本発明の第5の実施例により、高速で、低消費電力のD/A変換回路を実現することができた。801の回路は、CMOSインバータで丁度NMOSとPMOSを入れかえた形となっているので、逆CMOS転送増幅器 (Reciprocal CMOS Transfer Amplifier) と名付ける。

次に本発明の第5の実施例である、図8(a)のレイアウトパターンを図8(c)に示す。但し805の $\nu$ MOS回路に関しては、図6の回路を用いたが、インバータ602は第2制御ゲート電極2分割型の図6(b)の回路を用いたものである。図の各部に付した番号は、図6、図8と共通である。また、各部のパターンがいかなる材料でできているかの凡例を図8(d)に示す。また $V_{DD}$ 、 $V_{SS}$ に関しては、パターンをみやすくするためにA1配線を省略してある。パターン設計に際しては次のことを仮定した。

$\mu_e = 2 \mu_h$ と仮定し、N- $\nu$ MOSは $L = 0.8 \mu m$ ,  $W = 3 \mu m$ , P- $\nu$ MOSは $L = 0.8 \mu m$ ,  $W = 6 \mu m$ とする。これで $\beta_R = 1$ となる。ゲート酸化膜厚を $150 \text{ \AA}$ としフローティングゲート上の絶縁膜は例えば $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ の3層膜とし、酸化膜換算で $t_{OX} = 150 \text{ \AA}$ とする。 $C_0 \equiv C_0^n + C_0^p = (1/10) C_{TOT}$ とする。これらの前提で、パターンを設計した結果が図8(c)に示されている。

以上の例では、 $V_1$ ,  $V_2$ ,  $V_3$ に2値のデジタル信号を入れ、それぞれに1, 4, 8の重みをかけた信号をZに出力する場合について述べたが、必要に応じて、この重みをかえてもよい。また $V_1$ ,  $V_2$ ,  $V_3$ への入力は、必ずしも2値のデジタル信号である必要はなく、例えば、3値、4値等の多値論理信号であってもかまわない。例えば、3入力の3値信号を $X_1$ ,  $X_2$ ,  $X_3$ とすると、それぞれ

の重みを1, 3, 9としてやれば3値信号のアナログ変換ができる。また、連続的なアナログ信号を入力してもよいことは言うまでもない。

(第6の実施例)

図9(a)は本発明の第6の実施例を示す回路図である。この回路は図6(a)のD/A変換器を901に示した回路におきかえたものであり、901以外の部分は図6(a)の第4の実施例と同じであり、図6(a)と同じ番号が付してある。

本実施例ではインバータ601, 602への入力ライン902をフローティングとし、容量結合で入力信号、 $V_1$ ,  $V_2$ ,  $V_3$ を入力している。入力ライン902の電位を $V_F$ とし、同図(b)に電位を決めるための簡単化した図面を示した。図において、 $\phi_{F1}$ ,  $\phi_{F2}$ は、フローティングゲート607, 608の電位であり、 $C_a$ ,  $C_b$ はそれぞれの制御ゲート電極903, 904との容量結合係数である。図より明らかに、

$$V_F = (1/C_{TOT}) (C_1 V_1 + C_2 V_2 + C_3 V_3 + C_a \phi_{F1} + C_b \phi_{F2})$$

となる。

この式より、 $V_F$ の電位は、 $V_1$ ,  $V_2$ ,  $V_3$ 以外に $\phi_{F1}$ ,  $\phi_{F2}$ の値によっても変動をうけるということが分かる。従って他の電極の電位の変動が $\phi_{F1}$ ,  $\phi_{F2}$ を通して影響を与えるため、これは精度上好ましくない。これを防ぐには、 $C_1$ ,  $C_2$ ,  $C_3$ を $C_a$ ,  $C_b$ にくらべて十分大きくとればよい。即ち $C_1$ ,  $C_2$ ,  $C_3 \gg C_a$ ,  $C_b$ とすればよいのである。こうすれば入力信号は、ソース・フォロワ回路を介さず直接入力ラインに入るため、回路動作の高速化には極めて有利である。

(第7の実施例)

次に本発明の第7の実施例を図10(a)に示す。図10(a)の回路は、2ビットの2進入力信号に対し、論理演算を行い、Yにその演算結果を出力する回路であるが、 $V_a$ ,  $V_b$ ,  $V_c$ の3つの端子に加える信号により、任意の論理演算ができるのである。例えば $V_a = V_b = (1/4) V_{DD}$ ,  $V_c = V_{DD}$ とすれば

$$Y = (X_1 \oplus X_2),$$

即ちXORが出力され、 $V_a = V_c = V_{DD}$ ,  $V_b = 0$ とすれば、 $Y = X_1 \cdot X_2$ 即ち

AND回路となる。つまり、本実施例の回路は2ビットの入力信号に関するあらゆる論理演算を全く同一のハードウェアをもちいてすべて行なえるのである。機能をかえるには、単にコントロール信号 $V_a$ ,  $V_b$ ,  $V_c$ の値を変化させるだけでよい。即ち、この回路は、非常に高機能な Soft-Hardware Logic 回路なのである。

表2は、2ビットの入力 $X_1$ ,  $X_2$ に対して存在するすべての関数を一覧表に示したものであり、 $f_0 \sim f_{15}$ の16個の関数が存在する。 $f_1$ はAND、 $f_{14}$ はNAND、 $f_7$ はOR、 $f_8$ はNOR、 $f_6$ はXOR、 $f_9$ はXNORと呼ばれている関数である。

表3は、これらの関数を実現するために必要な、コントロール信号 $V_a$ ,  $V_b$ ,  $V_c$ の値である。表において、0, 1はそれぞれ0V,  $V_{DD}$ をあらわし、 $(1/4)$ ,  $(1/2)$ ,  $(3/4)$ はそれぞれ $(1/4)V_{DD}$ ,  $(1/2)V_{DD}$ ,  $(3/4)V_{DD}$ を表す。

図10(a)の回路において、1001はCMOS構成の $\mu$ MOSインバータゲートであり、1002, 1003, 1004は、インバータの反転電圧が可変なインバータである。それぞれ反転電圧 $V_{I1}$ ,  $V_{I2}$ ,  $V_{I3}$ を有し、その値は、 $V_a$ ,  $V_b$ ,  $V_c$ により制御される。1005は図8で説明したD/A変換器である。D/A変換器1005は例えば次の様に設計すればよい。

$$C_1 = (1/4) C_{TOT}$$

$$C_2 = (1/2) C_{TOT}$$

$$C_3 + C_0^n + C_0^p = (1/4) C_{TOT}$$

$$m_0 = 0$$

$$V_{Tn}^* + V_{Tp}^* = - (1/4) V_{DD}$$

$$\beta_R = 1$$

これらの設計値を(29)式に代入すると

$$Z = V_{DD} \{ (1/4) X_1 + (1/2) X_2 \} + (V_{DD}/8) \cdots (34)$$

となる。

$X_1$ ,  $X_2$ の組み合わせと1005の回路の出力電圧 $Z$ （あるいは $V_1$ ）との関係を図10(c)のFPD (Floating Potential Diagram) の横軸上に示した。

すなわち、 $(X_2, X_1) = (0, 0), (0, 1), (1, 0), (1, 1)$  に対し、 $Z = V_1 = (1/8) V_{DD}, (3/8) V_{DD}, (5/8) V_{DD}, (7/8) V_{DD}$  となる。

反転電圧可変インバータ、1002, 1003, 1004は、それぞれ例えば、図10(b)の様な回路を用いればよい。この回路の設計は、例えば次の様に行なう。

$$C_1 = C_2 \quad \dots (34)$$

$$V_{Tn}^* + V_{Tp}^* = - (C_0 / C_{TOT}) V_{DD} \quad \dots (35)$$

$$(C_0 = C_0^n + C_0^p, C_{TOT} = C_0 + C_1 + C_2)$$

$$\beta_R = 1$$

式(35)を式(20)に代入すれば、

$$V_I^* = (C_1 / C_{TOT}) V_{DD} \quad \dots (36)$$

式(34), (36)を式(14)に代入すれば、

$$V_I = V_{DD} - V_m \quad \dots (37)$$

$V_I$ は、制御ゲート電極1006からみた、インバータの反転電圧であり、もう1つの制御ゲート電極1007に入力する電圧の大きさ $V_m$ によってコントロールすることができる。従ってインバータ1002, 1003, 1004の反転電圧は、それぞれ次式で与えられる。

$$V_{I1} = V_{DD} - V_a \quad \dots (38)$$

$$V_{I2} = V_{DD} - V_b \quad \dots (39)$$

$$V_{I3} = V_{DD} - V_c \quad \dots (40)$$

次に演算を行なうCMOS構成ニューロンゲート1001について述べる。

1001の設計は例えば次の様に行えばよい。

$$C_1 = (1/2) (C_{TOT} - C_0) \quad \dots (41)$$

$$C_2 = (1/4) (C_{TOT} - C_0) \quad \dots (42)$$

$$C_3 = C_4 = (1/8) (C_{TOT} - C_0) \quad \dots (43)$$

$$V_{Tn}^* + V_{Tp}^* = - (C_0 / C_{TOT}) V_{DD} \quad \dots (44)$$

$$\beta_R = 1 \quad \dots (45)$$

1008は一般のインバータである。これは、 $\nu$ MOSゲート1001の出力

信号を整形するために入れたインバータであり、必ずしも必要ではない。第1～第6の実施例のようになくてもよい。ただし、これを入れることにより、1と0の出力の精度を高くすることができる。

次に、図10(a)の回路が表2に示したすべての機能を実現する回路となっていることを次に説明する。説明にはF P Dを用いて行なうので、もう一度F P Dの見方について整理しておく。図10(c)は、F P Dの一例であり、縦軸はフローティングゲート1009の電位 $\phi_F$ 、横軸は制御ゲート電極1010の電位 $V_1$ を表している。尚、 $X_1$ 、 $X_2$ の値に対応した $V_1$ の値も横軸に対し矢印で示されている。水平のラインを閾値ラインと呼び、フローティングゲート1009からみたインバータ1001の反転電圧を表している。(44)式を(20)式に代入すると

$$V_1^* = (1/2) \left( (C_{TOT} - C_0) / C_{TOT} \right) V_{DD} \quad \dots(46)$$

となる。

図では、 $\phi_F = (1/2) \gamma V_{DD}$ のところに閾値ラインが引かれている  $\{\gamma \equiv (C_{TOT} - C_0) / C_{TOT}\}$ 。

ベースラインは、 $V_2 = V_3 = V_4 = 0$ の場合の $\phi_F$ と $V_1$ の関係である。その他のななめのラインは、その他の制御ゲート電極1011、1012、1013のいずれかに $V_{DD}$ の入力が加った場合のラインを示しており、 $\phi_F$ がベースラインより一定値だけ上方にシフトしているのが分かる。このシフトの大きさに関しては、 $(1/8) \gamma V_{DD}$ を基準として数えることにする。つまり $(1/8) \gamma V_{DD}$ のシフトをレベル1のシフト、 $(2/8) \gamma V_{DD}$ をレベル2のシフトと呼ぶ。図では、レベル1とレベル3のシフトがベースラインに重畳している。

ただし、レベル3のシフトは、 $V_1 = (1/4) V_{DD}$ までで終わっている。このF P Dにおいて $\phi_F$ の値が閾値ラインを越えた領域において1001の出力は0となる。従って1段のインバータを通した値であるYは1となる。

すなわち、 $\phi_F$ が閾値ラインを越えた場合に、1が出力されるのである。

図の例では、 $(X_2, X_1) = (0, 0)$ と $(1, 1)$ の場合にのみ1が出力され、図10(a)の回路はXNORを計算する回路、即ち $f_9$ となっていることが分る。これがF P Dの見方である。

それでは以下で、FPDを用いた2ビット入力のSoft Hardware Logicの設計法について説明し、これにより図10(a)の回路動作を説明することにする。

図11(a)~(p)は、表2に示したすべての関数に対応するFPDである。それぞれの関数を表現するための $\phi_F$ と $V_1$ の関係が示されている。 $\phi_F$ の信号波形をつくるために必要な信号レベルの組合せは以下の通りである。

- レベル0 ..... ( $f_0$ )
- レベル1 ..... ( $f_1$ )
- レベル2 ..... ( $f_2, f_3$ )
- レベル3 ..... ( $f_4, f_6, f_7$ )
- レベル2 + レベル1 ... ( $f_5$ )
- レベル4 ..... ( $f_8, f_{12}, f_{14}, f_{15}$ )
- レベル3 + レベル1 ... ( $f_9, f_{13}$ )
- レベル2 + レベル2 ... ( $f_{10}, f_{11}$ )

以上の分類から分るように、レベル1, 2, 3, 4すべての信号レベルが必要である。しかし2入力のFPDでは最大で4レベルしかシフトできない。そこでレベル1の信号を2つとレベル2の信号を1つ用意すればすべての場合をつくすことができる。レベル3は1と2を加えればよく、レベル4はすべてを加えればよい。もう少し具体的に説明するなら、たとえば $f_6$  (XOR) を実現するには、図11(g)はレベル1の信号とレベル2の信号を $V_1 = 0 \sim (3/4)V_{DD}$ の範囲で $\phi_F$ に加えればよいことを示している。

レベル2の信号を $\phi_F$ に重畳するには、例えば図10の1001で $C_2 = (1/8)(C_{TOT} - C_0) \times 2$ とし $V_2 = V_{DD}$ としてやればよい。(42)式の $C_2$ の設計値は、このようにして決めたのである。 $V_1 \geq (3/4)V_{DD}$ では、 $V_2 = 0$ としなければならないから、インバータ1002の反転電圧 $V_{I1} = (3/4)V_{DD}$ とする必要がある。従って(38)式より

$$V_a = (1/4)V_{DD} \quad \dots (47)$$

またレベル1の信号を $\phi_F$ に重畳させるには、図10の1001で $C_3 = (1/8)(C_{TOT} - C_0)$ とし $V_3 = V_{DD}$ とすればよい。(43)式の $C_3$ はこのようにして決定した。 $C_4$ についても同様である。レベル1の信号も $V_1 \geq (3/4)V_{DD}$ で

は切らないといけないから、 $V_{I2} = (3/4) V_{DD}$ 、即ち(38)式より

$$V_b = (1/4) V_{DD} \quad \dots (48)$$

もう1つのレベル1の信号は常に切っておかないとならないから、 $V_{I3} = 0$ 、即ち、

$$V_c = V_{DD} \quad \dots (49)$$

である。式(47)(48)(49)の結果が表3の $f_6$ の欄に記入してある。他の関数に関しても全く同様の考察により、 $V_a$ 、 $V_b$ 、 $V_c$ の値を求めることができる。

図10(a)の回路は、 $\nu$ MOSトランジスタ10ケと、通常のMOSトランジスタ2ケとの、合計たった12個のきわめて少数の素子で構成されている。それにもかかわらず、AND、OR、NAND、NOR、XOR、XNORを含む、2ビットの信号に対する、すべての論理演算を実行できるのである。

従来の技術では、例えば図36の様なCMOS回路で2入力のXNOR回路を構成すると、MOSトランジスタが14個必要である。しかも機能をかえるためには、すべてハードウェアを別につくりかえなければならなかった。即ち16個の関数を表現しようと思えば、16個の別個の回路が必要であり、それぞれ必要に応じて切りかえる回路も必要となり、本発明のような簡単な回路ですべての機能を実現することは全く不可能であった。これが本発明によりはじめて可能となったのである。

なお、図10(a)の回路では、インバータ1002、1003、1004は各々 $\nu$ MOSゲートが一段であるが、これは例えば通常のインバータを一段以上さらにつけ加えてもよい。

すなわち、例えば、1002の出力を通常のインバータに入れその出力を制御ゲート1011に加えてやってもよい。またこのインバータは2段あるいはそれ以上でもよい。こうすることによりインバータの出力波形を正確に1と0に整形することができる。同様にインバータ1008はもう1段以上つけ加えてもよいことは言うまでもない。

反転電圧可変のインバータ1002～1004に関しては、図10(b)の様な2入力の $\nu$ MOSゲートを用いた。この場合1つの制御ゲート1007に加える信号の大きさを0、 $(1/4) V_{DD}$ 、 $(1/2) V_{DD}$ 、 $(3/4) V_{DD}$ 、 $V_{DD}$

と5種類の値にかえることにより、もう一方の制御ゲート1006からみた反転電圧 $V_I$ を、それぞれ $V_{DD}$ ,  $(3/4)V_{DD}$ ,  $(1/2)V_{DD}$ ,  $(1/4)V_{DD}$ , 0と変化させることができた(式(38)~(40))。すなわち、図10(a)の回路の機能変更には、5値の入力信号が必要である。すべての制御を2値信号だけで行なう場合には例えば図10(d)の様な回路を図10(b)の回路の替りに用いればよい。

図において、

$$C_1 = (1/2) (C_{TOT} - C_0)$$

$$C_2 = (1/8) (C_{TOT} - C_0)$$

$$C_3 = (2/8) (C_{TOT} - C_0)$$

$$C_4 = (1/8) (C_{TOT} - C_0)$$

$$V_{Tn}^* + V_{Tp}^* = - (C_0 / C_{TOT}) V_{DD}$$

$$\beta_R = 1$$

とすれば、式(20)及び(14)より

$$V_I = V_{DD} - (1/4) (a_1 + 2a_2 + a_3)$$

となる、従って $a_1$ ,  $a_2$ ,  $a_3$ を0Vあるいは $V_{DD}$ とすることで $V_I$ のすべての必要な値を設定することができる。

あるいは、図10(e)のような回路を用いてもよい。この場合は、 $C_1 = (1/2) (C_{TOT} - C_0)$ ,  $C_2 = C_3 = C_4 = C_5 = (1/8) (C_{TOT} - C_0)$ とすれば、

$$V_I = V_{DD} - (1/4) (a_1 + a_2 + a_3 + a_4)$$

となり、 $a_1 \sim a_4$ の4入力のうち、 $V_{DD}$ のレベルとなっている入力数を $n$ とすると、 $V_I = (1 - (n/4)) V_{DD}$ となり、 $n$ の数で $V_I$ の値を設定することができる。

これらの実施例では、 $a_1$ ,  $a_2$ ,  $a_3$ ,  $a_4$ 等の2値信号を信号ラインを介して直接供給してもよいが、例えば図10(f)に示したように、フリップ・フロップ1020a, 1020b, 1020cの出力を直接接続し、このフリップ・フロップに制御信号X(1021)によってデータを取り込むことにより制御してもよい。とり込むデータは必要に応じメモリ等に記憶してある値を取りこめばよ

い。

(第8の実施例)

図1(a)、図4(a)、図5(a)、図6(a)、図8(a)、図10(a)等に示した $\nu$ MOS論理回路は、全て入力段にD/A変換器を備えた構成となっている。しかし、これらD/A変換器を省いても同一の機能をもった論理回路を構成することができる。

D/A変換器を用いなくて構成した $\nu$ MOS論理回路の一例を、本発明の第8の実施例として図12(a)に示す。この回路は機能的には、図10(a)に示した2ビット Soft Hardware Logic 回路と全く同じである。同図におけるD/A変換器1005を省略し、2ビットのバイナリ信号 $X_1$ ,  $X_2$ が直接 $\nu$ MOSインバータ1201の制御ゲート1202、1203に入力されている。また、入力ゲート1204、1205はそれぞれ0V及び $V_{DD}$ の固定バイアス加えられている。これらの入力ゲートとフローティングゲート間の容量結合係数は次式で与えられる。

$$C_{11} = (1/8) (C_{TOT} - C_0) \quad (50)$$

$$C_{12} = (1/4) (C_{TOT} - C_0) \quad (51)$$

$$C_{13} = (1/16) (C_{TOT} - C_0) \quad (52)$$

$$C_{14} = (1/16) (C_{TOT} - C_0) \quad (53)$$

ここで、 $C_0 = C_0^n + C_0^p$ である。

$\nu$ MOSインバータ1201に関するその他の設計パラメータは図10(a)の1001と同じにすればよい。即ち、 $C_2$ ,  $C_3$ ,  $C_4$ は(42), (43)式で与えられ、各 $\nu$ MOSの閾値及び $\beta_R$ はそれぞれ(44), (45)式で与えられる。

$V_2 = V_3 = V_4 = 0$ としたとき、1201のフローティングゲートの電位 $\phi_F$ は、

$$\phi_F = V_{DD} \{ (1/8) X_1 + (1/4) X_2 + 1/16 \}$$

で与えられるので、FPDは図10(c)と全く同じとなる。

尚、入力ゲート1202, 1203, 1204, 1205の容量結合係数の和は、他の入力ゲートの容量結合係数の和に等しくなっている。即ち、

$$\begin{aligned}
 C_{11} + C_{12} + C_{13} + C_{14} &= C_2 + C_3 + C_4 \\
 &= (1/2) (C_{TOT} - C_0)
 \end{aligned}$$

が成り立っている。

反転電圧可変インバータ1206, 1207, 1208に関しても従来の一本の入力(図10(a)のZ)に代わり、4本の入力が入ることになる。その入力ゲートの構造を図12(b)に示す。 $C_{11} \sim C_{14}$ は、1201のインバータの入力と同じであり、それぞれ(50)～(53)式で与えられる。 $C_2$ は、図10(b)と同じであり、

$$C_2 = (1/2) (C_{TOT} - C_0)$$

で与えられる。

図12(a)の回路は図10(a)の回路と比較するとD/A変換器を省くことができるため素子数がさらに少なくなる。さらに入力信号が直接 $\mu$ MOSインバータに入るためそれだけ演算速度が速くなる。信号線が図10(a)では、Zの信号線1本でよかったが、これが4本に増えた分、配線が増えたことになる。しかし、これは後に図14で第10の実施例として示すようにレイアウトの工夫により、全く問題にならないのである。

#### (第9の実施例)

図13(a)に、本発明の第9の実施例の論理回路を示す。この回路の機能は、図10(a)及び図12(a)の回路と全く同じであり、2入力 $X_1, X_2$ に対するSoft Hardware Logic回路である。図12(a)の第8の実施例に比べると0V及び $V_{DD}$ の入力ライン(それぞれ1204及び1205)がなくなっており、入力は $X_1, X_2$ 用のライン、1302と1303の2本だけである。即ち、それだけ構造が簡略化されている。

1301の $\mu$ MOSインバータの設計値は以下通りである。

$$C_{11} = (1/7) (C_{TOT} - C_0) \quad (54)$$

$$C_{12} = (2/7) (C_{TOT} - C_0) \quad (55)$$

$$C_2 = (2/7) (C_{TOT} - C_0) \quad (56)$$

$$C_3 = (1/7) (C_{TOT} - C_0) \quad (57)$$

$$C_4 = (1/7) (C_{TOT} - C_0) \quad (58)$$

である。その他の設計値は図10 (a) の1001と同じである。また、反転電圧可変インバータ1304~1306は図13 (b) に示した構造になっている。その設計パラメータについては、 $C_{11}$ 、 $C_{12}$ は1301と同じであり、それぞれ(54)及び(55)で与えられる。また、 $C_2$ は

$$C_2 = (4/7) (C_{TOT} - C_0) \quad (59)$$

で与えられる。もちろん、反転電圧可変インバータは、他の形式、即ち図10の(d), (e), (f)等の構成をとってもよいことは言うまでもない。この時、入力信号( $V_1$ または $Z$ )は、 $X_1$ 、 $X_2$ の2入力となる。

1301のインバータのフローティングポテンシャル図(FPD)を図13(c)に示す。図10(c)のFPDと比較すると、ベースラインの位置や、( $X_2$ ,  $X_1$ )の組み合わせに対応する横軸の位置が異なっている。このFPDは、( $X_2$ ,  $X_1$ )が(0, 0)あるいは(1, 1)の時のみ1を出力する回路、即ちXNOR回路を表現している。この機能を与えるためには、 $V_a = V_b = (3/4) V_{DD}$ 、 $V_c = 0$ とすればよく、これは図10(a)の場合と全く同じである。即ち、図13(a)の回路は $V_a$ 、 $V_b$ 、 $V_c$ の値として表3の値を用いれば、図10(a)の回路と全く同様に2入力バイナリ・デジタル信号に対するあらゆるブール関数を表現することができるのである。

以上第8、第9の実施例に示したように、D/A変換器を用いなくてもCMOS論理回路を簡単に構成できる。D/A変換器を省略することによりさらに素子数が減少し且つ高速化が可能となる。

#### (第10の実施例)

図14に、本発明の第10の実施例を示す。同図は図13(a)の回路をCMOS構成でレイアウトしたパターンの一例である。各部の記号は、図8(d)で用いたものと同じである。図8(d)に含まれていない、第2層A1配線及び、第1層及び第2層A1配線を互いに接続するスルーホールは直接図中に示してある。

フローティングゲート1401と各入力ゲート( $V_a$ 、 $V_b$ 、 $V_c$ 、 $X_1$ 、 $X_2$ )の容量結合部はNウェルとPウェルの境界線1402の近傍、即ちウェル境界部上のフィールド酸化膜上に設けられている。

通常、ラッチアップ防止のため、トランジスタはウェル境界線1402からは十分距離をとって形成されるためこの領域に容量結合部を設置すれば、チップ上に余分な面積をとる必要がなく、高集積化に有利である。

また、 $X_1$ ,  $X_2$ の信号は第2層ポリシリコンで直接フローティングゲートと容量結合により伝達されるが、これはもっと抵抗の低いシリサイドを用いてもよい。あるいは、第2層A1配線を平行に走らせ、所々でコンタクトをとり、実効的に抵抗を下げる等の対策が高速化には有効である。

本発明の第8, 9, 10の実施例では、入力段のD/Aコンバータを省略したために、入力信号を伝えるのに従来1信号線のものが $X_1$ ,  $X_2$ 2本の信号線が必要となっている。しかし、図14のレイアウトより明らかなように、 $X_1$ ,  $X_2$ の信号線は全デバイス上を平行に走るのみであり交差しない。従って、レイアウトパターンが複雑化するなどの問題が全く発生しない。即ち、入力段のD/Aコンバータを省略した論理回路はスピードの点でも、また、高集積化の点でも優れていることが分かる。

(第11の実施例)

図10(f)の様な反転電圧可変インバータを用いた、図10(a)の回路、及び本発明の第8, 9, 10の実施例の回路は、図10(g)の様な記号でその機能を表現することができる。即ち、2値の入力信号

$$\mathbf{X} = (X_1, X_2, \dots)$$

に対し論理演算を行い1あるいは0の演算結果

$$Y = f_i(\mathbf{X})$$

を出力する。どのような演算を行なうかは、制御信号

$$\mathbf{A} = (a_1, a_2, a_3, \dots)$$

によって決定されるのである。

図10 (g) の回路を1つのビルディングブロックとして複数個組合わせた Soft hardware logic 回路を図15 (a) に示す。これは本発明第11の実施例を示すブロックダイヤグラムである。

1501a, 1501b, 1501eは2ビット入力のSoft hardware回路であり、本発明の第7の実施例で示した構成を有する回路である。1501c, 1501dは3ビット入力の Soft hardware であり、例えば本発明の第9の実施例で説明するような回路を用いればよい。

各ブロックにはコントロール信号のバスライン1502より1, 0の信号が送られ、それぞれの回路の機能を規定している。これらのデータは例えばメモリ回路より各ブロックに転送され、例えば図10 (f) のような回路でフリップ・フロップ1020a~1020cにラッチされるようにしてある。即ち、各ブロックにラッチされる信号を適宜変更することにより、図15 (a) の回路はその機能を、変幻自在に変えることができるのである。

同図 (b), (c) はこのような例を2つ示したものである。即ち、本発明を用いた論理LSIは、概念的には同図 (d) のようになる。同一のハードウェアを有した回路でありながら、外からの命令により任意にその演算機能を、あたかもハードウェアをつくりかえたかのように変更できるのである。それは、論理回路構成の全く新しい概念であり、新しいコンピュータのアーキテクチャの構築を可能にする重大な発明である。今後の論理回路の発展に与える影響の大きさにははかりしれないものがある。

#### (第12の実施例)

図16は、本発明の第12の実施例を示す回路図であり、3ビットの2進信号入力 $X_1$ ,  $X_2$ ,  $X_3$ に対し、すべての論理演算を実行することのできる回路である。回路構成は、図10 (a) の第7の実施例と同様の構成となっており、7入力の $\nu$ MOSゲート1601、6個の反転電圧可変のインバータ (1602~1607) 及び3ビットのD/A変換器1608で主要部分が構成されている。1609は、出力波形整形のためのインバータである。

本回路のCMOS構成 $\nu$ MOSインバータゲート1601は、例えば以下のよ

うに設計されている。

$$C_1 = (1/2) (C_{TOT} - C_0) \quad \dots (60)$$

$$C_2 = C_3 = (1/8) (C_{TOT} - C_0) \quad \dots (61)$$

$$C_4 = C_5 = C_6 = C_7 = (1/16) (C_{TOT} - C_0) \quad \dots (62)$$

$$V_{Tn}^* + V_{Tp}^* = - (C_0 / C_{TOT}) V_{DD} \quad \dots (63)$$

$$\beta_R = 1$$

図11で説明したのと同様のFPD解析を行った結果、レベル2の信号入力が2個、レベル1の信号入力が4個ですべての機能が実現できることが分った。

これらの信号のON, OFFを制御するのが、インバータ1602～1607であり、各インバータの反転電圧は $V_a, V_b, \dots V_f$ 等の入力電圧により式(37)に従って制御される。これらのインバータは、例えば、図10(b)の回路をそのまま用いればよい。

この場合、 $V_a, V_b, V_c, \dots V_f$ の値を $(V_{DD}/8) \times n$  ( $n$ : 整数、0～8)のいずれかの値に設定することにより256すべての関数形を表せるのである。ここでは詳しい値の表はのせないが図11で説明した、FPDの手法を用いて簡単に求めることができる。

この回路の応用は、単に Soft-hardware logic として用いるばかりではなく、固定機能の回路としても用いられる。このとき $V_a \sim V_f$ 等の端子に与える電圧は、例えば抵抗分割で発生させた電位を個々に与えてやればよい。直流電位を与えるだけであり、入力インピーダンスは無限大( $\infty$ )だから十分大きな抵抗を用いることで消費電力は十分小さな値に抑えることができる。こうすればすべて同じパターンのくり返しで回路を構成し、 $V_a \sim V_f$ 等の端子電圧を決定するパターンのみを必要に応じてパターン変更してやればよいので、回路パターン設計が非常に簡単になる。

計算機を用いたパターン設計(CAD)を系統的に且つ簡単に行なうことができる。 $V_a \sim V_f$ の電位の決定に抵抗分割を用いると、やはり全体として電力の消費が増加する。これを防ぐには、1602～1607のインバータとして、例えば、図10(d), (e)等の回路を用い、必要に応じて $a_1, a_2, a_3, a_4$ 等を $V_{DD}$ あるいは $V_{SS}$ に接続してやればよい。このように結線だけで論理回路の

設計が行えるのである。ゲートアレイに応用すると、各単位素子で高度な論理機能が選べるので、設計が容易になるだけでなく、機能の集積度も格段に向上させることができる。あるいは、図6(b)の様なインバータを用いてもよい。 $V_I$ 端子から見た反転電圧 $V_I$ は、

$$V_I = V_{DD} - ((C_2' / C_1) n_1 + (C_2'' / C_1) n_2)$$

と表される。

$$C_1 = C_2' + C_2''$$

だから、例えば、

$$n_1 = V_{DD}, \quad n_2 = 0$$

とすれば、

$$V_I = V_{DD} - (C_2' / C_1) n_1 \quad \cdots (64)$$

となり、 $C_2'$ の値を変更することで、 $V_I$ の値を所定の値に設定できる。これは、例えば図8(c)のようなレイアウトでコントロールゲート電極821、822とフローティングゲート電極823とのオーバーラップ面積を、変化させることで実現できる。つまりパタン設計のみでインバータの反転電圧やトランジスタの閾値を自在に設定できるのである。

従来の図37(b)のような回路では、イオン注入のドーズ量を1つ1つのトランジスタに対し打ち分けることにより閾値を調整する必要があったが、本発明の素子では、パターン設計のみで対応できるのでプロセスが複雑になったり、プロセスの製造マージンがなくなり歩留りが低下するなどの問題がすべて解決されることになる。

すなわち本発明は、Soft hardware logicを簡単に実現できるという画期的な特徴に加え、固定機能を有する回路も簡単なプロセスで実現でき、しかも回路設計の自動化が非常に簡単に行える等々の数々の優れた特徴を有しているのである。

さらに図16の回路は、Zを入力信号と考えればこれは図37(a)に示したような、2値多重しきい論理素子であり、この多値論理回路の基本となる素子も簡単に実現できることが分る。

(第13の実施例)

なお、図16の回路は入力段にD/Aコンバータ1608を設けた構造となっているが、これは省略してもよい。即ち、例えば本発明の第9の実施例（図13(a)）のように、Zの信号線1本にかわり、3本の信号線 $X_1$ ,  $X_2$ ,  $X_3$ を $\nu$ MOSインバータ1601と共に、反転電圧可変のインバータ1602～1607)に入力してやればよい。このような回路の一例を図17(a)に示す。これは本発明の第13の実施例である。

1701は9入力の $\nu$ MOSインバータ、1702～1707は、反転電圧可変のインバータである。1701の設計は、

$$C_{11} = (1/15) (C_{TOT} - C_0) \quad (65)$$

$$C_{12} = (2/15) (C_{TOT} - C_0) \quad (66)$$

$$C_{13} = (4/15) (C_{TOT} - C_0) \quad (67)$$

$$C_2 = C_3 = (2/15) (C_{TOT} - C_0) \quad (68)$$

$$C_4 = C_5 = C_6 = C_7 = (1/15) (C_{TOT} - C_0) \quad (69)$$

ここで、 $C_0 = C_0^n + C_0^p$ である。

また、反転電圧可変インバータの構成例を図17(b)に示す。ここで、 $C_{11}$ ,  $C_{12}$ ,  $C_{13}$ は式(65), (66), (67)で与えられる。また、

$$C_2 = (8/15) (C_{TOT} - C_0)$$

である。もちろん、反転電圧可変インバータは、もっと別の形式でもよいことは言うまでもない、即ち、図10の(d), (e), (f)等の構成を用いてもよい。この場合、入力信号( $V_1$ またはZ)が、3入力となることは言うまでもない。

なお、第13の実施例では、第9の実施例と同様の回路について述べたため、入力信号線は3本となった。これは、第8の実施例で説明したような回路、即ち $X_1$ ,  $X_2$ ,  $X_3$ 以外にアース線と $V_{DD}$ につながるラインをもった回路としてもよいことは言うまでもない。

本実施例では、入力段のD/Aコンバータを省略したために、入力信号を伝えるのに従来1信号線のものが $X_1$ ,  $X_2$ ,  $X_3$ 3本の信号線が必要となっている。しかし、図14と同様にレイアウトすることにより、 $X_1$ ,  $X_2$ ,  $X_3$ の信号線は全デバイス上を平行に走るのみであり交差したりしないため、レイアウトパター

ンが複雑化するなどの問題は全く発生しない。即ち、入力段のD/Aコンバータを省略した論理回路はスピードの点でも、また、高集積化の点でも優れていることが分かる。

以上、第8、9、10、13の実施例では、可変閾値インバータを有するSoft Hardware Logic 回路に関してのみD/A変換器を省略する方法について述べたが、これに限る必要はない。固定論理機能をもった $\nu$ MOS論理回路にも全て適用できることは言うまでもない。

#### (第14の実施例)

これまでの実施例では、すべて入力信号に重みをつけて $\nu$ MOSに入力していた。例えば、第10図(a)の回路では、 $C_1 = (1/4) C_{TOT}$ 、 $C_2 = (1/2) C_{TOT}$ となっており、 $X_1$ 、 $X_2$ にそれぞれ1:2の重みがつけられていた。しかしこれは、例えば $C_1 = C_2$ として2つの信号にかける重みを同じとしてもよい。 $C_1 = C_2$ とした本発明の第14の実施例を図18(a)に示す。入力段のD/A変換器1801に関しては、設計は以下のようにになっている。

$$C_1 = C_2 = (1/3) C_{TOT} \quad \dots\dots\dots (70)$$

$$C_3 + C_0^n + C_0^p = (1/3) C_{TOT} \quad \dots\dots\dots (71)$$

$$V_{Tp}^* + V_{Tn}^* = - (1/3) V_{DD} \quad \dots\dots\dots (72)$$

$$\beta_R = 1 \quad \dots\dots\dots (73)$$

$$m_0 = 0 \quad \dots\dots\dots (74)$$

(70) ~ (74) 式を(27)式に代入すると、D/A変換器の出力Zは、

$$Z = V_{DD} \left( (1/3) X_1 + (1/3) X_2 \right) + V_{DD}/6 \quad \dots\dots\dots (75)$$

で与えられる。また $\nu$ MOSインバータ1802の設計は、

$$C_1 = (1/2) (C_{TOT} - C_0) \quad \dots\dots\dots (76)$$

$$C_2 = (1/3) (C_{TOT} - C_0) \quad \dots\dots\dots (77)$$

$$C_3 = (1/6) (C_{TOT} - C_0) \quad \dots\dots\dots (78)$$

であり、その他の設計パラメタは図10(a)の $\nu$ MOSインバータ1001と同じである。1803、1804は反転電圧可変インバータであり、その構成は、例えば図10(b)、(d)、(e)のようなものを用いればよい。これらの反転電圧可変インバータとして、例えば10図(b)のような、2入力ゲート

の $\nu$ MOSインバータを用い、その制御信号入力端子 $V_a$ ,  $V_b$ にそれぞれ $(2/3)V_{DD}$ ,  $0$ を印加したとすると、インバータ1803, 1804の閾値は、(38)式(39)式よりそれぞれ $(1/3)V_{DD}$ ,  $V_{DD}$ となる。従って、 $\nu$ MOSインバータ1802のフローティングゲートポテンシャルの変化は、図18(b)に示したFPDの如くなる。このときこの回路は、 $X_1$ ,  $X_2$ が両方ともに「0」、もしくは「1」のときのみ $Y=1$ を出力する回路、即ち、XNOR回路となっている。 $V_a$ ,  $V_b$ の値を変化させれば、 $X_1$ ,  $X_2$ に関するその他の関数を表すSoft Hardware 論理回路として機能することは言うまでもない。

但し、 $X_1$ ,  $X_2$ に関しては重みが同じであるため、 $X_1$ ,  $X_2$ の入れ換えに対して変化しない関数、即ち $X_1$ ,  $X_2$ に関し対称的な関数のみが表現可能である。表2でいえば $f_0$ ,  $f_1$ ,  $f_6$ ,  $f_7$ ,  $f_8$ ,  $f_9$ ,  $f_{14}$ ,  $f_{15}$ の関数がこれにあたる。実際につかう論理関数としてはこれら対象関数がほとんどであり、本発明の第14の実施例の回路を用いても、図15に示したような新しいアーキテクチャの論理回路を構成できることは言うまでもない。

図18(a)の回路は、図10(a)の回路にくらべ反転電圧可変インバータの数が1つ少く、それだけ簡略化されている。また、図10(c)と図18(b)のFPDを比較すれば明らかなように、区別すべき信号レベルが前者では4レベルであるのに対し後者では3レベルである。それだけ後者の方がノイズマージンを大きくできるという特徴がある。

#### (第15の実施例)

図19は本発明の第15の実施例を表す回路図である。

本実施例は、第14の実施例(図18(a))と同じ機能をもった回路であるが、入力段のD/A変換器が省略されている。即ち、2つの入力 $X_1$ ,  $X_2$ は、 $\nu$ MOSインバータ1901の入力ゲート1902, 1903に直接入力されている。 $\nu$ MOSインバータ1901の容量結合係数は、

$$C_{11}=C_{12}=(1/5)(C_{TOT}-C_0) \quad \dots\dots (79)$$

$$C_2=(2/5)(C_{TOT}-C_0) \quad \dots\dots (80)$$

$$C_3=(1/5)(C_{TOT}-C_0) \quad \dots\dots (81)$$

となっている。また、反転電圧可変インバータ1904, 1905は、例えば図19(b)の様な構成をとればよい。図19(b)において、

$$C_{12} = C_{11} = (1/5) (C_{TOT} - C_0)$$

$$C_2 = (3/5) (C_{TOT} - C_0)$$

である。可変閾値インバータの制御信号入力端子 $V_a$ ,  $V_b$ に、例えばそれぞれ、 $(2/3)V_{DD}$ , 0を入力してやると、 $\nu$ MOSインバータ1901のFPDは、図19(c)の様になる。このときこの回路は、 $X_1$ ,  $X_2$ が両方ともに「0」もしくは「1」のときのみ $Y=1$ を出力する回路、即ちXNOR回路となっている。 $V_a$ ,  $V_b$ の値を変化させるだけで $X_1$ ,  $X_2$ の2入力に対するすべての対象関数を表現できる Soft Hardware Logic 回路となっている。

図19(a)の回路は、図18(a)の回路にくらべ入力段のD/A変換器を省略した分、素子数が少くなり、且つ動作速度もはやくなっている。

第14, 第15の実施例では2入力の対称関数を表現する Soft Hardware Logic 回路について述べたが、もっと入力数を多くしても良いことは言うまでもない。この時、各信号の入力されるゲートはすべて、容量結合係数を等しくとればよい。

#### (第16の実施例)

3入力の変数に対する対称形論理関数(固定論理関数)の一例として、いわゆる Full Adder 回路の構成について述べる。図20(a)は、本発明の第16の実施例であり、 $\nu$ MOSを用いて構成したFull Adder回路を示している。

A, Bの2つのバイナリデジタル信号とケタ上げ信号Cの加算を行い、和(SUM)とケタ上げ(CARRY)を計算し出力する回路である。SUMは、A, B, Cのうち1の数が奇数なら1を出力し、偶数ならば0を出力する。またCARRYは、A, B, Cのうち1の数が2以上なら1を出力し、1以下なら0を出力する。各 $\nu$ MOSインバータ2001, 2002の容量結合係数は図中に示してある。また、2001, 2002のインバータのFPDをそれぞれ図20(b), (c)に示す。

本実施例は、入力段のD/A変換器をもたない構成を示したが、もちろん図18(a)と同様、D/A変換器を用いてもかまわない。

## (第17の実施例)

図21(a)は、本発明の第17の実施例を示す回路図であり、図20(a)と同じ Full Adder 回路である。 $\nu$ MOSインバータ2101, 2102の容量結合係数の値は、図中に示してあり、それぞれのFPDを図21(b), (c)に示してある。第17の実施例と第16の実施例の違いは、第16の実施例では $V_{DD}$ ,  $V_{SS}$  (0 Volt)の固定バイアスの入力2003, 2004が設けられていたのに対し、第17の実施例ではこれらが省略されている。その結果FPDにおけるベースラインの傾きは実施例16よりも実施例17の方が大きくなっている。このベースラインの傾きは、データ入力の変化に応じて $\phi_F$ が変化するその変化の大きさを表するため、大きければ大きい程ノイズマージンが大きくなる。従って第17の実施例は第16の実施例にくらべノイズマージンを大きくとることができるという特徴をもっている。

例えば図10(a)の Soft Hardware Logic 回路は $V_a$ ,  $V_b$ ,  $V_c$ の値を変化させることで、16種類の機能を実行できる回路である。 $V_a$ ,  $V_b$ ,  $V_c$ は各々、0,  $(1/4)V_{DD}$ ,  $(1/2)V_{DD}$ ,  $(3/4)V_{DD}$ ,  $V_{DD}$ の5種類の値を選択できるので、 $V_a$ ,  $V_b$ ,  $V_c$ の組合せは、全部で $5^3 = 125$ 通りある。つまり機能と $V_a$ ,  $V_b$ ,  $V_c$ の組合せは、表3の関係に限られることはなく、様々な他の組合せでも同じ機能を実施することができる。つまり上記回路は、関数の表現に関し冗長度をもった回路である。この冗長度は重要である。つまり $V_a$ ,  $V_b$ ,  $V_c$ をデータの集合と考えたとき、様々な集合に対し、同じ機能を有する論理機能に対応させることができ、集合論理演算に用いることができる。

## (第18の実施例)

しかし、全く冗長度を持たない回路が必要となる場合もある。この様な回路の一例が本発明の第18の実施例であり、図22(a)にその回路図を示した。構成は図10(a)と同様であり、2201は入力段のD/A変換器、2202は $\nu$ MOSインバータである。2203~2206は反転電圧可変インバータであり、 $V_a$ ,  $V_b$ ,  $V_c$ ,  $V_d$ は制御信号の入力端子である。同図には、反転電圧可変インバータの具体的な構成も書いてある。図に $1/2$ ,  $1/4$ ,  $1/8$ 等の分数が示してあるのは、各入力ゲートとフローティングゲート間の容量結合係数であ

り、それぞれ、 $1/2 (C_{TOT} - C_0)$ ,  $(1/4) (C_{TOT} - C_0)$ ,  $(1/8) (C_{TOT} - C_0)$  等を意味している。

本回路では、 $V_a, V_b, V_c, V_d$ は、0または( $V_{DD}$ )の2値信号が入力される。 $\nu$ MOSインバータ2202のFPDを $V_a = V_b = V_c = V_d = 1 (= V_{DD})$ の場合について示したのが図22(b)である。出力はすべての入力の組合せに対して0となる。 $V_a, V_b, V_c, V_d$ のその他の組合せに対するFPD及び出力の一例を図22(b), (c), (d), (e)に示した。 $V_a, V_b, V_c, V_d$ に入力した信号の反転信号が $(X_2, X_1) = (0, 0), (0, 1), (1, 0), (1, 1)$ に対応して出力されていることが分る。出力パターンを直接 $V_a \sim V_d$ によって指定して、関数形を決めることができるため、関数の決定が容易に行えることが大きな特徴である。

尚、出力段に設けたインバータ2207を省略するか、あるいは、もう一段追加してやれば、出力は、 $V_a, V_b, V_c, V_d$ に与えたデータを $(X_2, X_1)$ の組合せに対し順次出力する回路となる。これはいわゆる4つの値から1つの値を選び出すマルチプレクサと呼ばれる回路である。従来の4対1のマルチプレクサは、少なくとも66個のトランジスタを必要としたのが、たった12個でできることになる(出力段のインバータをとりのぞいた場合)。

さらに入力段のD/A変換器を省略し、本発明の第8, 9の実施例と同様な構成をとった場合には、さらに2ヶ減って10コで構成できることになる。

#### (第19の実施例)

本発明の第19の実施例を図23(a)に示す。本実施例の回路は、アナログ信号入力 $V_a$ を、3ビットのデジタル信号 $A_0, A_1, A_2$ に変換する、いわゆるA/D変換回路を $\nu$ MOSトランジスタを用いて実現したものである。 $V_a$ と $A_0, A_1, A_2$ の関係は、それぞれ同図(b), (c), (d)に示した様になっている。

本回路は、2組の $\nu$ MOSゲート2301, 2302と、それぞれ反転電圧の異なる3つのインバータ2303a, 2303b, 2303cで主要部分が構成されている。これら3つのインバータの反転電圧は、図中に示してあるように、それぞれ $(3/4) V_{DD}$ ,  $(1/2) V_{DD}$ ,  $(1/4) V_{DD}$ に設定されており、入力信号の大きさを判断するコンパレータの働きをしている。2304a,

2304b, 2304cは通常のインバータであり、出力波形を整形する目的で設けてあるこれは多段に設けてもよいし、あるいはとり除いてもよい。従来例で作製した同じく3ビットのA/D変換器(図38)と比較すると格段に簡略化されていることが分る。

表4は、3ビットのA/Dコンバータに関し図38に示した従来のフラッシュA/Dコンバータと本発明による $\nu$ MOSA/Dコンバータの比較を行ったものである。まずコンパレータの数は半分以下に減少している。それにレジスターや複雑なデコーダ回路(組合せ論理回路)が不要なため、トータルのゲート数は、従来技術の99個に対し、たったの8個と、激減しているのがわかる。

同じく表4は4ビットの場合について、比較したものであるが、従来技術との差は歴然である。

図23の回路の設計について述べる。N- $\nu$ MOS, P- $\nu$ MOS等の構成については、例えば第4, 第7, 第12の実施例と同様にしておけばよい。 $\nu$ MOSゲート2301においては、例えば

$$C_1 = (4/7) (C_{TOT} - C_0) \quad \dots\dots\dots (82)$$

$$C_2 = C_3 = C_4 = (1/7) (C_{TOT} - C_0) \quad \dots\dots\dots (83)$$

のように設計する。また $\nu$ MOSゲート2302に関しては、

$$C_1 = (2/3) (C_{TOT} - C_0) \quad \dots\dots\dots (84)$$

$$C_2 = (1/3) (C_{TOT} - C_0) \quad \dots\dots\dots (85)$$

のように設計する。これにより所望の特性が得られることは、図23(e)

(f)に示した、それぞれ $\nu$ MOSゲート2301、2302のFPDをみれば自明である。

ここで $\phi_{F1}$ 、 $\phi_{F2}$ はそれぞれフローティングゲート2305, 2306の電位である。

同図(e), (f)のFPDは、これまで用いてきたFPD(例えば図3(a), (b)や図4(b)等)と少し異っている。それはベースライン2307, 2308自身が閾値ライン2309より一部上に出ていることで、このことにより、自分自身でも「1」の信号を発生している。

この様に設計した場合、 $\nu$ MOSの制御ゲートの構造は最も簡単となる。

## (第20の実施例)

図24(a)は、本発明の第20の実施例を示す回路図であり、やはり3ビットのA/Dコンバータを表している。これは、従来の $\nu$ MOS論理回路の設計と同様のFPDを用いて設計した例であり、 $\nu$ MOSゲート2401、2402のFPDをそれぞれ同図(b), (c)に示した。このFPDの解析より、インバータ2403a, 2403b, 2403cの反転電圧をそれぞれ $(1/4)V_{DD}$ ,  $(1/2)V_{DD}$ ,  $(3/4)V_{DD}$ と定めたのである。

また容量結合係数は、 $\nu$ MOSゲート2401では、

$$C_1 = (1/2) (C_{TOT} - C_0)$$

$$C_2 = C_3 = C_4 = (1/8) (C_{TOT} - C_0)$$

$$C_5 = C_6 = (1/16) (C_{TOT} - C_0),$$

$\nu$ MOSゲート2402では、

$$C_1 = (1/2) (C_{TOT} - C_0)$$

$$C_2 = (1/4) (C_{TOT} - C_0)$$

$$C_3 = C_4 = (1/8) (C_{TOT} - C_0)$$

と設計してある。この設計法では、 $\nu$ MOSの制御ゲートの数が第19の実施例にくらべて多くなり、例えば制御ゲート、2406a, 2406bは $V_{DD}$ に、2407a, 2407bはアースにそれぞれつながっている。

どちらの設計を用いても大きな差のないことは容易に分る。

図23(a), 図24(a)において、コンパレータの働きをするインバータ2303a~c, 2403a~cは通常のCMOSインバータで構成してもよい。しかしこの場合は、それぞれの反転電圧を制御するために各々のトランジスタに個別にイオン注入を行って、閾値の調整をしないてはならない。

しかしこれらのインバータとして、例えば、図10(b)の様な回路を用いれば、 $V_m$ の値によってその反転電圧をコントロールできる。 $V_m$ の値は、例えば、抵抗分割等によってチップ内で直接与えてもよく、抵抗素子のパターン設計によって任意の値を設定することができる。あるいは、図10(d), (e), 図6(b)等の回路を用いれば、直流電流を流すことなくもっと簡単にパターン設計によって反転電圧を任意の値に設定することができる。いずれの方法を用いても

よいことは言うまでもない。

次に多値論理と2値論理の変換について述べる。これらは次の4つの場合が存在する。

- (i) 複数の2値変数 ( $X_0, X_1, X_2 \dots X_n$ ) を  
1個の多値変数に変換する。
- (ii) 複数の2値変数 ( $X_0, X_1 \dots X_n$ ) を  
複数の多値変数 ( $T_0, T_1 \dots T_m$ ) に変換する。
- (iii) 1個の多値変数を複数の2値変数 ( $X_0, \dots X_n$ ) に変換する。
- (iv) 複数の多値変数 ( $T_0, T_1 \dots T_m$ ) を  
複数の2値変数 ( $X_0, \dots X_n$ ) に変換する。

いずれの変換も、本発明により簡単に実現することができる。

#### (第21の実施例)

図25 (a) は、上記 (i) を実行するための本発明の第21の実施例をブロックダイアグラムで示したものであり、2ビットの2値信号  $X_0, X_1$  を、1個の4値信号  $T_0$  に変換する回路である。

2501は、D/A変換回路であり、例えば同図 (b) のような回路を用いればよい。フローティングゲート2502の電位  $\phi_F$  は、

$$\phi_F = (C_1/C_{TOT}) X_1 + (C_2/C_{TOT}) X_0 + (C_3/C_{TOT}) V_m + (C_0/C_{TOT}) V_0$$

であり、ここで基板電位  $V_0$  は0Vと仮定する。

$V_m = 0$  として、 $C_1/C_{TOT} = 1/2$ ,  $C_2/C_{TOT} = 1/4$  とし、 $V_I^*$  (フローティングゲートからみたインバータの反転電圧) = 0 とすると、

$T = (2/4) X_1 + (1/4) X_0$  となり  $T$  と ( $X_1, X_0$ ) は、図25 (c) のような関係となる。 $T = 3$  に相当する値が  $(3/4) V_{DD}$  となって、電源電圧まで達していない。

もし  $T = 3$  として  $V_{DD}$  の出る、図25 (d) の様な特性を得たいならば、例えば同図 (b) の変換器並びに入力信号のインバータの電源電圧を  $(4/3) V_{DD}$  としてやればよい (図25 (e) 参照) あるいは、25図 (b) の回路において  $V_m$  のゲートを取り除き、

$C_1, C_2 \gg C_0$ とすればよい。こうすれば電源電圧は $V_{DD}$ のままでよい。

(第22の実施例)

図26は、(ii)を実現する一例である、本発明の第22実施例を示すブロックダイアグラムである。3ビットの2値信号 $X_2, X_1, X_0$ に対し2つの3値変数 $T_1, T_0$ を出力する回路であり、D/A変換器2601でアナログ信号 $Z$ に変換した後、 $T_1$  (2602),  $T_0$  (2603)等の回路を通して $T_1, T_0$ を出力している。これらの信号の関係を表6にまとめる。D/A変換器は例えば図8(a)や図25(b)のようなものを3ビット入力にして用いればよい。 $T_1, T_0$ の入出力特性を図26(b)に示す。

$T_1$ を実現するには例えば同図(c)のような構成をとればよく、最終段に用いた回路2604はやはり図8(a), 図25(b)のような逆CMOS転送増幅回路を用いればよい。

図26(c)の $L_1, L_2$ と $Z$ の関係は、同図(d)に示してある。逆CMOS転送増幅回路2604の出力 $T_1$ は $T_1 = L_1 + L_2$ となり同図(b)の $T_1$ の特性が得られる。

ただし、この場合 $C_1 = C_2$ とする。

同図(e)は $T_0$ を出力するための回路で、 $L_3$  2605,  $L_4$  2606のサブブロックからできている。

2607は2604と同じ逆CMOS転送増幅回路である。 $L_3, L_4$ の入出力特性を示したのが同図(f)であり、このような回路は、例えば、本発明の第7の実施例である図10(a)のような回路において、D/Aコンバータ1005を除いた回路を用いて簡単に実現できる。

(iii)を実現するには、多値信号を例えば、本発明の第19及び第20の実施例のようなA/D変換回路に入力すればよい。

(第23の実施例)

(iv)を実現するための本発明の第23の実施例を示すブロックダイアグラムを図27(a)に示す2つの3値信号 $T_0, T_1$ をまず多値/アナログ変換回路2701を通し、アナログ信号 $Z$ に変換したのち、A/D変換器2702で3ビットの2進数に変換する回路である。

2702は、例えば本発明の第19及び第20の実施例のような回路を用いる。2701を実現した一例を同図(b)に示す。例えば $C_1 = (2/3) C_{TOT}$ 、 $C_2 = (2/9) C_{TOT}$ 、 $V_m = 0$ とすると、Zは、 $Z = (6/9) T_1 + (2/9) T_0$ となり、 $T_0$ 、 $T_1$ の電圧値、0、 $(1/3) V_{DD}$ 、 $(2/3) V_{DD}$ 、 $V_{DD}$ をそれぞれ $T_0$ 、 $T_1$ の0、1、2、3に対応させると、 $Z = (2/9) V_{DD} (3 T_1 + T_0)$ となり、2個の3値信号をアナログ量に変換できることが分かる。

以上のべたように、本発明によれば、多値と2値の変換が自在にできるのである。さらに多値と多値どうしの変換も同時に行えることは言うまでもない。

#### (第24の実施例)

図28(a)は本発明の第24の実施例を示す回路図であり、この回路はアナログ信号入力xに対し、例えば同図(b)に示したような多値多重しきい関数を発生する回路である。2801、2802は $\mu$ MOSゲートであり2805はD/Aコンバータである。容量結合係数の設計値はすべて図面に記した通りである。2803、2804はインバータであり、それぞれ反転電圧の値が図に記入してある。2801、2802に関しては $\beta_R = 1$ 、 $V_{TN}^* + V_{TP}^* = - (C_0 / C_{TOT}) V_{DD}$ であり、これまでの本発明の実施例と同じである。

2805のD/Aコンバータに関しては、 $\beta_R = 1$ 、 $V_{TN}^* + V_{TP}^* = 0$ に設定されている。

こうすれば、

$$y = (2 y_1 + y_0) / 4 \dots\dots (86)$$

となる。

次に本回路の設計手順について述べる。図28(b)の関数を表にしたのが表7である。

xの各範囲に応じてyは0～3の値をとる。このyの値を2ビット2値数 $y_1$ 、 $y_0$ 表現した結果がやはり同表に示してある。xの関数として $y_1$ 、及び $y_0$ を出力する回路のFPDをそれぞれ図28(c)、(d)に示す。このFPDより図28(a)が設計されるのである。表7の $y_1$ 、 $y_0$ の値を(86)式に代入すれば同図(b)の特性が得られる。

本発明の第24の実施例は、多値多重しきい論理を表現する回路であり、多値論理回路で最も強力な演算機能をもつ回路である。同様の手法により、いかなる関数形でも表現できることは明らかである。また、インバータ2803, 2804の反転電圧を可変とすることで、ハードウェアをかえないで関数形をかえることももちろん可能である。以上のように本発明は、多値論理回路の構成にも極めて有効に利用できることができ、これらの発明によりはじめて多値論理回路が実用化されるのである。

(第25の実施例)

また $\nu$ MOSを用いれば多値のデータをそのまま記憶する、多値フリップ・フロップを構成することができる。その一例を図29(a)に示した。これは本発明の第25の実施例である。

同回路を構成する $\nu$ MOSインバータ2901, インバータ2903a, 2903b, 2903c及び2904は、それぞれ図23に示したA/Dコンバータの(2301, 2303a, 2303b, 2303c, 2304a)と同じ回路である。異なるのは出力信号Yが結線2902によって入力側( $V_a$ )にフィードバックされていることである。

ここでフィードバックされている信号Yは、Nチャネル $\nu$ MOS2905及びPチャネル $\nu$ MOS2906のドレイン2907の電位が、インバータ2904を通して出力された信号であり、N- $\nu$ MOS及びP- $\nu$ MOSのドレイン電圧によって一意的に決定される信号である。 $V_a$ とYの関係を図29(b)に特性2908として示す。これは図23(b)と同じ特性である。図29(a)の回路では $Y = V_a$ となるようにフィードバックがかけられているので、Yと $V_a$ の関係は直接2909上になくしてはならない。即ち特性2908と2909の交点2910~2918がYと $V_a$ のとり得る値を示している。

しかるに交点2911, 2913, 2915, 2917は不安定であり回路がこれらの点に相当する状態に安定に存在することはない。回路が安定な状態がとれるのは、2910, 2912, 2914, 2916, 2918等の交点のいずれかである。

つまりこの回路は、 $V_a$ が0、 $(1/4)V_{DD}$ ,  $(1/2)V_{DD}$ ,  $(3/4)V_{DD}$ の値をとる。

$V_{DD}$ ,  $V_{DD}$ の5値を記憶できる回路となっている。このようにして5値を記憶するフリップフロップを構成することができる。

(第26の実施例)

図30(a)に本発明の第26の実施例を示す回路図を示す。第25の実施例とのちがいは、出力後のインバータ2904が図30(a)では省略されているだけであり、その他はすべて同じである。従って各部の番号は図29と同じ符号がつけてある。Yと $V_a$ の関係を示したのが図30(b)の特性3001, 3002でありこれらの交点が回路のとり得る状態を表している。安定点は交点3003, 3004, 3005, 3006であり、この回路は、 $(1/8)V_{DD}$ ,  $(3/8)V_{DD}$ ,  $(5/8)V_{DD}$ ,  $(7/8)V_{DD}$ の4値を記憶できる多値フリップフロップである。

以上のように $\mu$ MOSインバータの出力を $\mu$ MOSの入力側にフィードバックすることにより状態を記憶する機能が実現できる。

このフィードバックは第26の実施例のように直接フィードバックしてもよいし、あるいは第25の実施例のように一段インバータを介してフィードバックしてもよい。また $\mu$ MOSインバータ等を介してフィードバックしてもよいことは言うまでもない。同様の構成で2値のフリップフロップ、RSフリップフロップ、JKフリップフロップ、単安定マルチバイブレータ、双安定マルチバイブレータ等のバイナリデジタル回路が構成できることは明らかでありここではその詳細な回路図は省略する。

また、 $\mu$ MOSの構成方法であるが、図7、図8(c)、図14等では、フローティングゲートを第一層の多結晶シリコン層705で形成し、入力ゲートをその上に絶縁層708を介して設けた第2層目の多結晶シリコン層で形成していた。これは例えば、図31(a)に示したように逆にしてもよい。即ち入力ゲートを第一層の多結晶シリコン配線層3101a, 3101b, 3101cで形成し、その上に第2層の多結晶シリコン層3102でフローティングゲートを形成してもよい。3103はNチャンネル $\mu$ MOSでありチャンネル幅方向に切断した断面を示している。このような構成をとれば、フローティングゲートとシリコン3104間の、フィールド酸化膜3105を介した容量結合を小さくすることが

できる。即ち、それだけ $C_0$ の値を小さくでき $\gamma$ を大きくとれるのである。つまりノイズマージンが大きくなる。また入力ゲートは、図31(b)に示したように、 $N^+$ 拡散層3106, 3107, 3108を用いて行ってもよい。一層の多結晶シリコンでデバイスをつくることができ工程が簡略化できる。尚この場合は、P基板内に設けた $N^+$ 拡散層の場合を示したが、Nウェル内の $P^+$ 拡散層を用いてもよいことはいうまでもない。

多結晶シリコン以外の材料、例えばシリサイドやメタルを用いてもよいことは本発明のすべての実施例についていえることである。

(第27, 28, 29の実施例)

図32(a), (b), (c)は、それぞれ本発明の第27, 第28, 第29の実施例を示す回路図である。機能は、本発明第9の実施例(第13図(a))と同様の機能を有する回路であるが、設計の詳細については、省略する。

図32(a)において3201は $\nu$ MOSインバータ、3202, 3203はバイナリデジタル信号 $X_1$ ,  $X_2$ の入力信号線、3204, 3205, 3206は $\nu$ MOSで構成した反転電圧可変インバータである。第9の実施例と異なるのは、通常のインバータ3207が2段、追加して設けられている点である。通常のインバータとは、0と1の信号を反転するインバータでありその閾値は通常0 $\sim V_{DD}$ の間の適当な値に設定される。このように通常のインバータ3204 $\sim$ 3206の出力波形を整形し、ノイズマージンを大きくできる効果がある。

ノイズマージン向上のための通常インバータの追加は、例えば図32(b)のように行ってもよい。即ち、反転電圧可変インバータの後に通常インバータ3208を一段だけ挿入し、もう一段のインバータ3209を入力の前にもってくるのである。即ち、入力信号 $X_1$ ,  $X_2$ を反転した信号

$$\bar{X}_1, \bar{X}_2$$

として加える。この様にしても同様の効果が得られる。

また、例えば同図(c)のようにしてもよい。即ち、一段のインバータ3210を通した信号を入力 $X_1$ ,  $X_2$ として、 $\nu$ MOSインバータ3201に入力する。そしてインバータ3210を通す前の値を反転電圧可変インバータ

3204～3206及び通常のインバータ3211を通してから $\nu$ MOSインバータ3201に入力してやるのである。 $X_1$ ,  $X_2$ の信号を実効的に3段のインバータを通した信号が $\nu$ MOSインバータに入力される。ここで述べたようなインバータの追加は、本発明のその他のすべての実施例においても適宜行ってもよいことは言うまでもない。いずれもノイズマージンを向上させる効果がある。

(第30の実施例)

図33(a)に本発明の第30の実施例を示す。

3301は2入力の $\nu$ MOSインバータであり、本発明の回路の一部を代表させて示してある。そのフローティングゲート3302は、N-MOSトランジスタ3303を介してアース電位に接続されている。 $\phi$ は制御信号であり、回路が論理演算をおこなっているときは0であり、フローティングゲート3302をアースから切り離し、電位的フローティングの状態に保っている。従って、 $\phi=0$ の場合の回路動作は、すべて他の実施例と同じである。回路が演算を行っていないとき、必要に応じて $\phi=V_{DD}$ となる。このときフローティングゲートはアースと接続され、 $\phi_F=0$ となる。すなわち、フローティングゲート内の電荷がすべて流し出されるのである。通常このようなトランジスタによるフローティングゲート中の電荷の放電は不要である。なぜなら、通常、フローティングゲートは完全に絶縁されており、一切の電荷の出入りがないからである。しかし、ホットエレクトロン注入等の現象により、わずかでも電荷の増減が生じれば $\nu$ MOSインバータの反転電圧が時間とともに変化し、回路の誤動作につながる。このような場合は、放電が必要となる。例えば、 $\nu$ MOSを高電圧動作をさせたり、高速動作にショートチャネルの $\nu$ MOSトランジスタを大電流駆動させたりする場合に電荷の注入が起こりやすい。このような場合には、本実施例のように、制御信号 $\phi$ を用い、必要に応じて電荷を逃がしてやればよい。

また、 $\phi$ をシステムのクロックと連動させ、各演算サイクルの終了毎に $\phi$ を $V_{DD}$ としてフローティングゲート電位 $\phi_F$ を毎回0としてもよい。そうすれば、各 $\nu$ MOSインバータはすべてOFF状態となり、貫通電流が流れ続けることが防止でき消費電力の低減が図れるという効果もある。 $\nu$ MOSは $\phi_F$ が0から $V_{DD}$ の間のさまざまな電位をとるため、回路設計の方式によっては貫通電流

が流れ続ける場合がある。本実施例は、このような場合にも極めて有効である。

(第31の実施例)

図33(b)は本発明の第31の実施例であり、この回路ではフローティングゲート3305はN-MOS3306を介して信号入力 $V_i$ につながっている。制御信号 $\phi$ が $V_{DD}$ となったとき、フローティングゲート電位 $\phi_F$ は $V_i$ に固定される。論理演算は $\phi = 0$ として、フローティングゲートを電位的にフローティング状態にして行うが、 $V_i$ の値により $\mu$ MOSインバータの反転電圧が変えられるため、必要に応じて回路動作を変更できる。ソフトハードウェア回路にも応用でき、 $\mu$ MOSの新しい応用が開拓できる。なお、 $V_i$ の値は、例えば、本発明のD/Aコンバータ回路を用いて行ってもよい。こうすれば、様々な値の設定を簡単に行うことができる。

(第32, 33の実施例)

本発明の第32, 第33の実施例をそれぞれ図34(a), (b)に示す。本実施例は、第30の実施例に関しても述べたように、 $\mu$ MOSインバータに流れる貫通電流を遮断し、電力消費を少なくする方法を提供するものである。

図34(a)は、CMOS構成の $\mu$ MOSインバータ3401にN-MOS3402とP-MOS3403を直列に接続し、それぞれクロック信号 $\phi$ とその反転信号 $\overline{\phi}$ でスイッチングできるようにしたものである。 $\mu$ MOSが論理演算を行っているときは $\phi = V_{DD}$ とし、N-MOS, P-MOSは両方とも導通させるが、演算が終了すると $\phi = 0$ として両方ともオフさせ、 $\mu$ MOSを切り離してしまうのである。貫通電流をカットできるだけでなく、出力端子3404のデータを保持することもできる。つまり、データをラッチすることもできるようになる。

図34(b)は、論理演算をNチャンネルの $\mu$ MOS3405のみで行わせる場合を示している。 $\phi = 0$ でP-MOS3406がオンし、出力端子3407をプレチャージする。 $X_1, X_2$ の論理入力が確定した後、 $\phi = V_{DD}$ とすると、P-MOSはオフし、N-MOS3408がオンする。このとき、 $\mu$ MOS3405のオン・オフに従って出力3407のロウかハイの論理レベルが決まる。

この実施例の回路を用いれば、いわゆるドミノ論理回路が $\mu$ MOSを用いて極

めて簡単に構成可能である。

以上述べた $\nu$ MOS回路の設計では、すべての設計が $C_{TOT}$ 及び $C_{TOT} - C_0$ を基準に行われている。 $C_0$ はフローティングゲートとシリコン基板の間の容量であり、CMOS構成のときは、

$$C_0 = C_0^n + C_0^p \quad \dots\dots (87)$$

となる。ここで $C_0^n$ ,  $C_0^p$ はそれぞれN- $\nu$ MOS, P- $\nu$ MOSのフローティングゲート、基板間の容量である。

フローティングゲートの電位 $\phi_F$ は、制御ゲートの電位を $V_1, V_2, \dots\dots V_n$ として、

$$\phi_F = \frac{C_0}{C_{TOT}} + \sum_{i=1}^n \frac{C_i}{C_{TOT}} V_i \quad (88)$$

となる。

本明細書の説明では記述を簡単に行うためすべての場合において $C_0$ は一定であり $V_0$  (基板の電位) = 0として扱った。しかしこれは必ずしも正しくない。動作条件によって $C_0$ 自体が少し変化する。 $\nu$ MOSトランジスタがONしている場合には、 $C_0 \doteq C_{OX}$  (ゲート酸化膜可容量) と考えてよい。またチャネルの電位はソースからドレインに向かって変化するがこれは近似的にソース電位に等しいとみてもそう大きな誤差は生じない。従って、N- $\nu$ MOSでは $V_0 = 0$ としてよい。

しかしN- $\nu$ MOSをソースフォロワで使う図1の107や図8の801の場合では、ソースの電位は0ではなくなる。また、Pチャネル $\nu$ MOSでは $V_0 \doteq V_{DD}$ である。これらの効果を考えても、上で述べた結果はほとんど変わらないが、より精度のよい設計をするには、例えば $V_{Tn}^*$ ,  $V_{Tp}^*$ や $\beta_R$ の値を少し修正することで簡単に補正することができる。

また、 $C_0/C_{TOT} \ll 1$ とすれば $C_0$ の効果は一切考慮する必要がなくなる。あるいは次の様な対策をとることも可能である。例えばn番目の制御ゲートを特定

の調整用ゲートとする。

(88) 式より、

$$\phi_F = \frac{1}{C_{TOT}} (C_0 V_0 + C_n V_n) + \sum_{i=1}^{n-1} C_i V_i \quad (89)$$

となる。 $C_0 V_0$ の変動値を $\Delta(C_0 V_0)$ とする。これは $V_0$ の変化や $C_0$ の変化によるものを表しているが、

$$C_n V_n \gg \Delta(C_0 V_0) \quad (90)$$

としてやればこれらの変動は問題にならなくなる。この場合、 $C_0 + C_n \rightarrow C_0$ とすればすべての表式はそのままつかえる。

$V_n$ としては例えば0Vとしてもよいし、 $V_{DD}$ としてもよい。

あるいはその他の値を与えてもよい。 $V_n$ の値を所定の値に調節することにより、 $\mu$ MOSゲートそのものの特性を微調整することも可能である。

#### 産業上の利用可能性

以上述べたように、本発明によれば、従来技術にくらべ非常に少ない数の素子で複雑な論理回路が構成できるため、論理回路の超高集積化に非常に有利である。

また配線数を非常に少なくすることができるため、回路の動作速度を大幅に向上させることができる。また、論理回路の設計が系統的に且つ非常に簡単に行えるため、設計に要する時間が激減しただけでなく、コンピュータによる完全自動設計が可能となった。一方、本発明では、制御信号によってその機能を全くかえることのできる、いわゆるやわらかいハードウェア回路が実現できるという全く新しい結果が得られた。さらに多値と2値の論理変換が自在にでき、しかも多値論理回路で重要な機能ブロックが容易に実現できるなど数々の優れた結果が得られた。

【表 1】

図 1 (a) の回路の入力と出力の関係

| 入力    |       |       | 出力<br>$Y_1$ |
|-------|-------|-------|-------------|
| $X_1$ | $X_2$ | $X_3$ |             |
| 0     | 0     | 0     | 0           |
| 0     | 0     | 1     | 1           |
| 0     | 1     | 0     | 1           |
| 0     | 1     | 1     | 1           |
| 1     | 0     | 0     | 1           |
| 1     | 0     | 1     | 1           |
| 1     | 1     | 0     | 1           |
| 1     | 1     | 1     | 0           |

(但し, 「1」は $V_{DD}$ , 「0」は0Vを表す)

【表 2】

[illegible]

【表3】

|                | f <sub>0</sub> | f <sub>1</sub> | f <sub>2</sub> | f <sub>3</sub> | f <sub>4</sub> | f <sub>5</sub> | f <sub>6</sub> | f <sub>7</sub> | f <sub>8</sub> | f <sub>9</sub> | f <sub>10</sub> | f <sub>11</sub> | f <sub>12</sub> | f <sub>13</sub> | f <sub>14</sub> | f <sub>15</sub> |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| V <sub>a</sub> | 1              | 1              | 1/4            | 0              | 1/2            | 1/4            | 0              | 3/4            | 3/4            | 1/4            | 0               | 1/2             | 0               | 1/2             | 0               | 1/4             |
| V <sub>b</sub> | 1              | 0              | 1              | 1              | 1/2            | 0              | 1/4            | 0              | 3/4            | 3/4            | 3/4             | 3/4             | 1/2             | 1/2             | 1/4             | 0               |
| V <sub>c</sub> | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 3/4            | 0              | 3/4            | 3/4             | 1/2             | 1/2             | 1/2             | 1/4             | 0               |

(0は0V,  $\frac{1}{4}$ ,  $\frac{1}{2}$ ,  $\frac{3}{4}$  はそれぞれ  $\frac{1}{4}V_{DD}$ ,  $\frac{1}{2}V_{DD}$ ,  $\frac{3}{4}V_{DD}$  を表す)

【表4】

## 3ビット A/Dコンバータのゲート数の比較

|          |        | 従来のフラッシュA/D<br>コンバータ | $\mu$ MOS A/Dコンバータ |
|----------|--------|----------------------|--------------------|
| コンパレータの数 | コンパレータ | 7ヶ                   | 3ヶ                 |
|          | ゲート数   |                      |                    |
|          | コンパレータ | $4 \times 7 = 28$    | コンパレータ 3           |
|          | レジスタ   | $3 \times 7 = 21$    | $\mu$ MOSゲート 2     |
| ゲート数     | デコーダ   | 50                   | インバータ 3            |
|          | 合計     | 99                   | 合計 8               |

【表5】

## 4ビット A/Dコンバータのゲート数の比較

|          | 従来のフラッシュA/D<br>コンバータ      | $\mu$ MOS A/Dコンバータ |
|----------|---------------------------|--------------------|
| コンパレータの数 | 15ケ                       | 7ケ                 |
| ゲート数     | コンパレータ $4 \times 15 = 60$ | コンパレータ 7           |
|          | レジスタ $3 \times 15 = 45$   | $\mu$ MOSゲート 6     |
|          | デコーダ 210                  | インバータ 7            |
|          | 合計 315                    | 合計 20              |

【表 6】

| $X_2$ | $X_1$ | $X_0$ | $Z$ | $T_1$ | $T_0$ |
|-------|-------|-------|-----|-------|-------|
| 0     | 0     | 0     | 0   | 0     | 0     |
| 0     | 0     | 1     | 1   | 0     | 1     |
| 0     | 1     | 0     | 2   | 0     | 2     |
| 0     | 1     | 1     | 3   | 1     | 0     |
| 1     | 0     | 0     | 4   | 1     | 1     |
| 1     | 0     | 1     | 5   | 1     | 2     |
| 1     | 1     | 0     | 6   | 2     | 0     |
| 1     | 1     | 1     | 7   | 2     | 1     |

【表7】

| $x$ の範囲                                          | $y$ | $y_1$ | $y_0$ |
|--------------------------------------------------|-----|-------|-------|
| $0 \leq x < \frac{1}{5} V_{DD}$                  | 0   | 0     | 0     |
| $\frac{1}{5} V_{DD} \leq x < \frac{2}{5} V_{DD}$ | 1   | 0     | 1     |
| $\frac{2}{5} V_{DD} \leq x < \frac{3}{5} V_{DD}$ | 3   | 1     | 1     |
| $\frac{3}{5} V_{DD} \leq x < \frac{4}{5} V_{DD}$ | 1   | 0     | 1     |
| $\frac{4}{5} V_{DD} \leq x < V_{DD}$             | 2   | 1     | 0     |

## 請 求 の 範 囲

(1) 基板上に一導電型の半導体領域を有し、この領域内に設けられた反対導電型のソース及びドレイン領域を有し、前記ソース及びドレイン領域を隔てる領域に第1の絶縁膜を介して設けられた電位的にフローティング状態にあるフローティングゲート電極を有し、前記フローティングゲート電極と第2の絶縁膜を介して容量結合する複数の制御ゲート電極を有するニューロンMOSトランジスタを一個以上用いて構成された半導体装置において、第1のニューロンMOSトランジスタの第1の制御ゲート電極に第1の信号が入力されるとともに、前記第1の信号が少なくとも一段の第1のインバータに入力され、その出力が前記第1の制御ゲート電極以外の制御ゲート電極の1つである第2の制御ゲート電極に入力されるようにしたことを特徴とする半導体装置。

(2) 前記第1のニューロンMOSトランジスタの前記ソース、ドレイン及び半導体領域と、それぞれ反対導電型のソース、ドレイン、及び半導体領域を有する第2のニューロンMOSトランジスタを有し、前記第1、及び第2のニューロンMOSトランジスタのフローティングゲート電極が電氣的に接続されていることを特徴とする請求項1記載の半導体装置。

(3) 信号が反転する反転電圧が、それぞれ所定の値を有する複数の第1のインバータを有し、前記第1の信号が前記複数の第1のインバータの各々に入力され、各第1のインバータの出力が各々前記第1のニューロンMOSトランジスタのそれぞれ別個の制御ゲート電極に入力されていることを特徴とする請求項1または請求項2記載の半導体装置。

(4) 信号が反転する反転電圧が、それぞれ所定の値を有する複数の第1のインバータを有し、前記第1の信号が前記複数の第1のインバータの各々に入力され、第1のインバータの出力が各々前記第1のニューロンMOSトランジスタのそれぞれ別個の制御ゲート電極に少なくとも一段以上の第2インバータを通して入力されていることを特徴とする請求項1または請求項2記載の半導体装置。

(5) 前記第1のニューロンMOSトランジスタの複数の制御ゲート電極の1

つである第3の制御ゲート電極に第1の信号とは独立の第2信号が入力されていることを特徴とする請求項1ないし請求項4のいずれか1項記載の半導体装置。

(6) 前記第2の信号が所定の値をもつ直流電圧であることを特徴とする請求項5記載の半導体装置。

(7) 前記第1の制御ゲート電極と前記第1のニューロンMOSトランジスタのフローティングゲートとの間の容量結合係数と、前記第1のニューロンMOSトランジスタの前記第1の制御ゲート電極以外のすべての制御ゲート電極と前記フローティングゲートとの間の容量結合係数の総和が略々等しい値に設定されていることを特徴とする請求項1ないし請求項6のいずれか1項記載の半導体装置。

(8) 前記第1のインバータが、第4の制御ゲート電極及び少なくとも1個の第5の制御ゲート電極を有する第3のニューロンMOSトランジスタを用いて構成されており、前記第4の制御ゲート電極には前記第1の信号が入力され、前記第5の制御ゲート電極には、前記第1の信号とは独立のそれぞれ所定の信号が入力されるよう構成されていることを特徴とする請求項1ないし請求項7のいずれか1項記載の半導体装置。

(9) 前記第1の信号が複数の信号線により供給される複数の信号であり、その各々の信号がそれぞれ別個の複数の第1の制御ゲート電極に入力されると共に、それぞれ別個の複数の第4の制御ゲート電極に入力されていることを特徴とする請求項8記載の半導体装置。

(10) 前記複数の第1の制御ゲート電極と前記第1のニューロンMOSトランジスタのフローティングゲートとの間の容量結合係数が、各々略々等しい値に設定されていることを特徴とする請求項9記載の半導体装置。

(11) 前記第3のニューロンMOSトランジスタの前記ソース、ドレイン及び半導体領域と、それぞれ反対導電型のソース、ドレイン、及び半導体領域を有する第4のニューロンMOSトランジスタを有し、前記第3及び第4のニューロンMOSトランジスタのフローティングゲート電極が電気的に接続されていることを特徴とする請求項8ないし請求項10のいずれか1項記載の半導体装置。

【請求項12】 前記第3のニューロンMOSトランジスタが1個の前記第

5の制御ゲート電極を有し、前記第4及び第5の制御ゲート電極と、前記第3のニューロンMOSトランジスタのフローティングゲートとの間の容量結合係数が、それぞれ略々等しい値に設定されていることを特徴とする請求項8または請求項11記載の半導体装置。

(13) 前記第3のニューロンMOSトランジスタが複数個の前記第5の制御ゲート電極を有し、前記第4の制御ゲート電極と、前記第3のニューロンMOSトランジスタのフローティングゲートとの間の容量結合係数の値が、前記第5の制御ゲート電極と前記フローティングゲート間の容量結合係数の総和と略々等しい値に設定されていることを特徴とする請求項8または請求項12記載の半導体装置。

(14) 前記第5の制御ゲート電極の少なくとも1つが、2値信号を記憶するフリップフロップの出力に接続されていることを特徴とする請求項8ないし請求項13のいずれか1項記載の半導体装置。

(15) 第5のニューロンMOSトランジスタのソースに負荷素子が接続され、前記ソースが前記第1の制御電極に接続されていることを特徴とする請求項1ないし請求項14のいずれか1項記載の半導体装置。

(16) 前記第5のニューロンMOSトランジスタが少なくとも $n$ 個の制御ゲート電極を有し、各電極には、 $n$ ビットの2値信号がそれぞれ入力されるよう構成されていることを特徴とする請求項15記載の半導体装置。

(17) 前記 $n$ 個の制御ゲート電極と、前記第5のニューロンMOSトランジスタのフローティングゲートとの間の容量結合係数が、各々略々等しい値に設定されていることを特徴とする請求項16記載の半導体装置。

(18) 前記 $n$ 個の制御ゲート電極と、前記第5のニューロンMOSトランジスタのフローティングゲートとの間の容量結合係数をそれぞれ $C_1$ 、 $C_2$ 、 $C_3$ 、 $\dots$ 、 $C_n$ としたとき、 $C_2 = 2 \times C_1$ 、 $C_3 = 2^2 \times C_1$ 、 $C_4 = 2^3 \times C_1$ 、 $\dots$ 、 $C_n = 2^{n-1} \times C_1$ となるよう構成されていることを特徴とする請求項16記載の半導体装置。

(19) 前記第5のニューロンMOSトランジスタが、少なくとも1個の第6の制御ゲート電極を有し、前記第6の制御ゲート電極には一定の直流電圧が印加

されるよう構成されていることを特徴とする請求項15ないし請求項18のいずれか1項記載の半導体装置。

(20) 前記第5のニューロンMOSトランジスタがN型のソース及びドレインを有し、且つ前記負荷素子がP型のソース及びドレインを有する第6のニューロンMOSトランジスタで構成されていることを特徴とする請求項15ないし請求項19のいずれか1項記載の半導体装置。

(21) 前記第5のニューロンMOSトランジスタのフローティングゲート電極からみた閾電圧(ソース・ドレイン間にチャネルの形成されるソースから測ったフローティングゲートの電位)を $V_{Tn}^*$ 、前記第6のニューロンMOSトランジスタのフローティングゲートからみた閾電圧を $V_{Tp}^*$ としたとき $V_{Tp}^*$ が $V_{Tn}^*$ に略々等しいか、あるいは $V_{Tp}^*$ の方が大となるように設定されていることを特徴とする請求項20記載の半導体装置。

(22) 前記第5のニューロンMOSトランジスタのフローティングゲート電位が、そのソース電位に対して負の値を有するときに、ソース、ドレイン間にN型の反転層が形成されるよう構成されたことを特徴とする請求項20または請求項21記載の半導体装置。

(23) 前記第1のニューロンMOSトランジスタのドレインの電位によってその値が決定される信号が、前記第1のニューロンMOSトランジスタの制御ゲート電極の少なくとも1つに入力されていることを特徴とする請求項1乃至22のいずれか1項に記載の半導体装置。

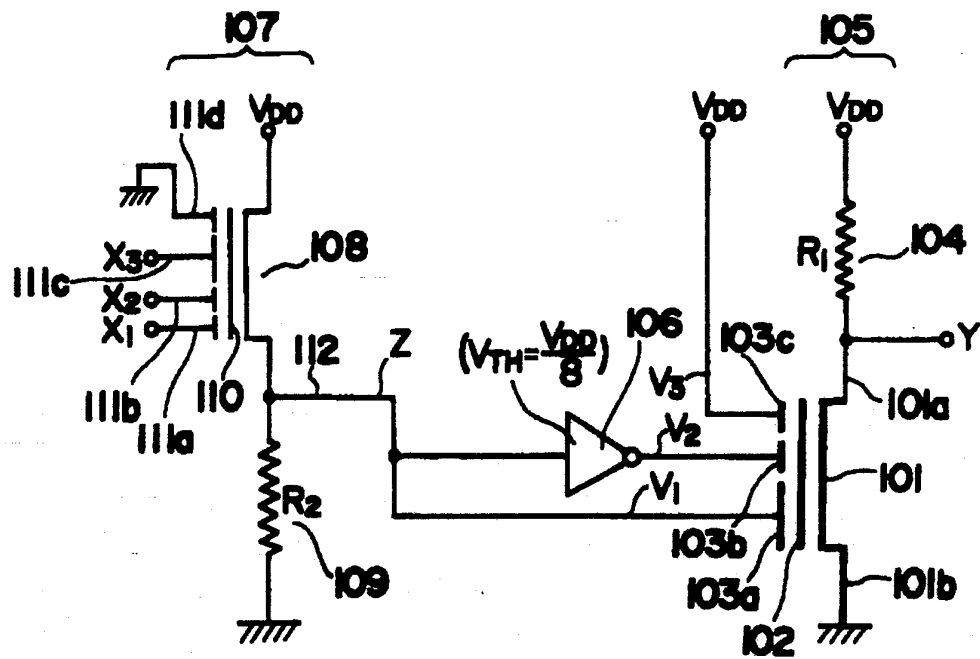
(24) 前記第1のニューロンMOSトランジスタのドレインの電位によってその値が決定される信号が、少なくとも1つの前記第3のニューロンMOSトランジスタの制御ゲート電極の少なくとも1つに入力されていることを特徴とする請求項8乃至23のいずれか1項に記載の半導体装置。

(25) 少なくとも1つのニューロンMOSトランジスタにおいて、そのフローティングゲートが少なくとも1つのMOS型トランジスタのソース又はドレインに接続されていることを特徴とする請求項1乃至24のいずれか1項に記載の半導体装置。

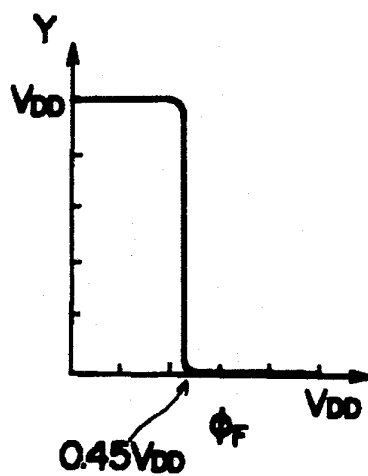
1/63

FIG 1

(a)



(b)



(c)

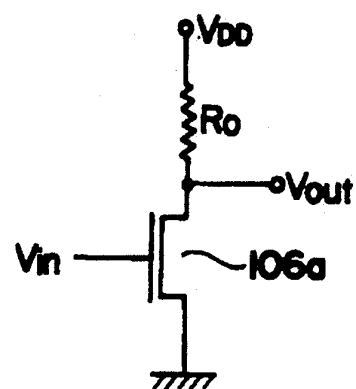
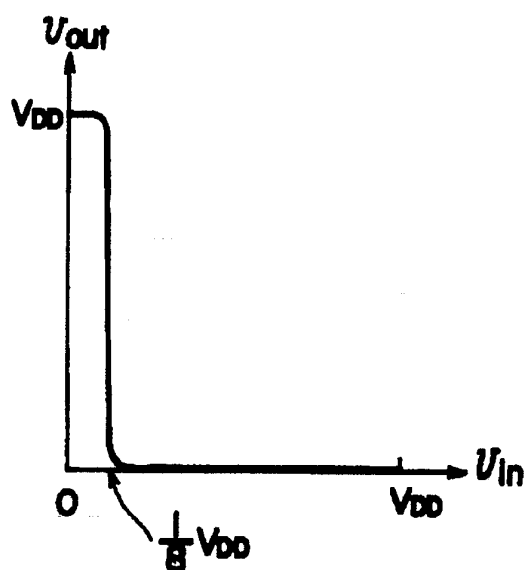
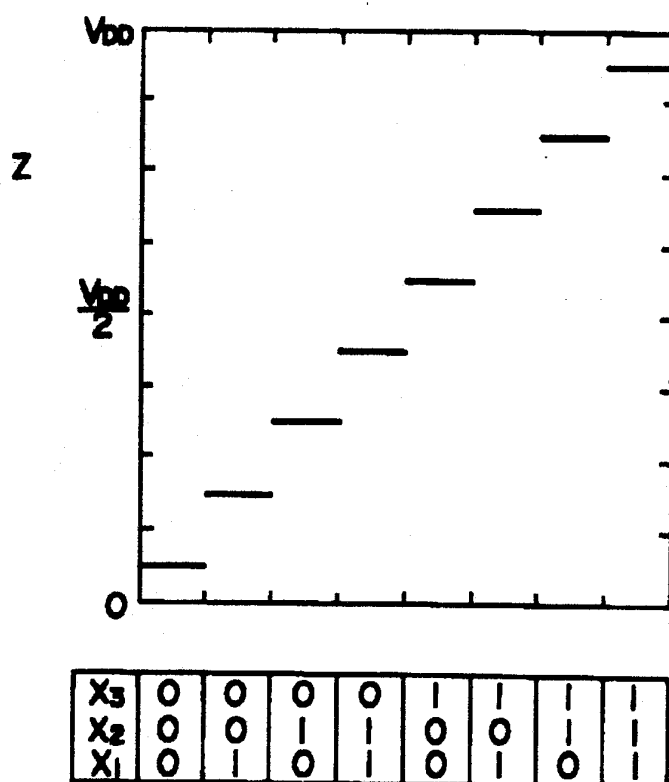


FIG 1

(d)



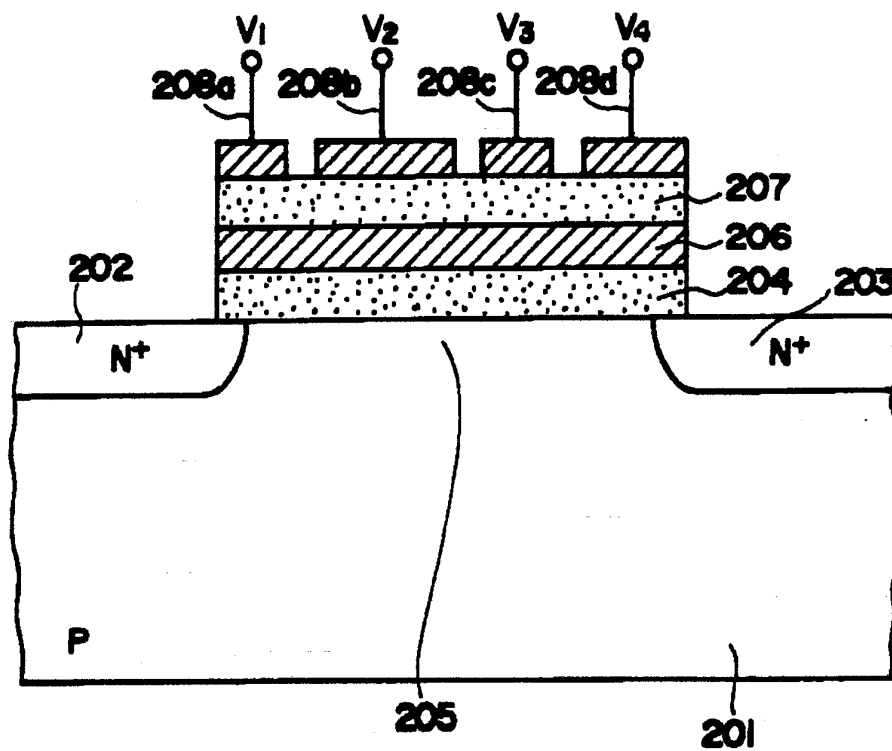
(e)



3/63

FIG 2

(a)



(b)

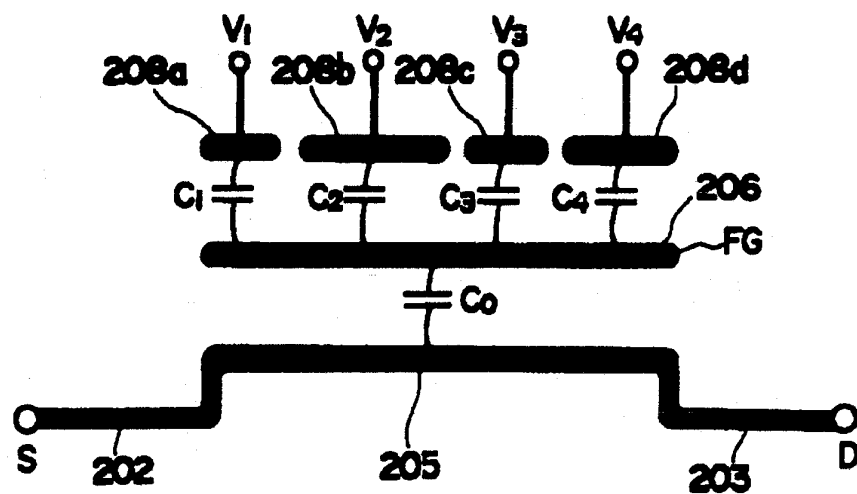
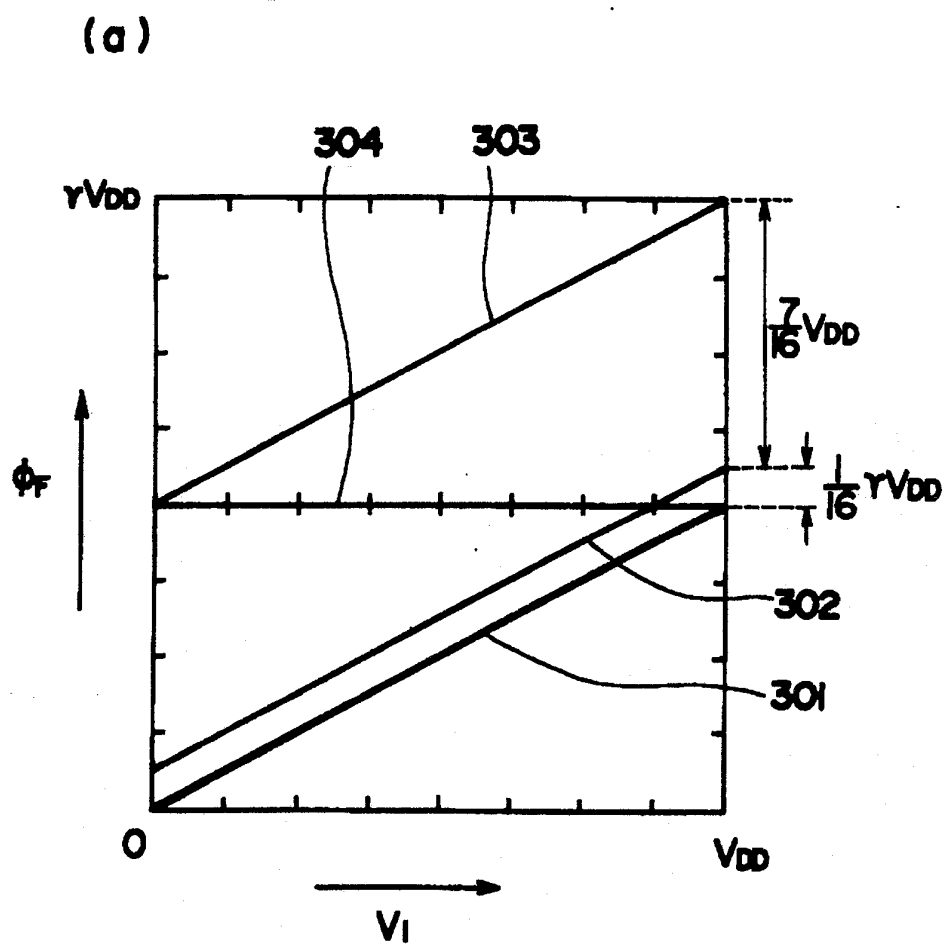


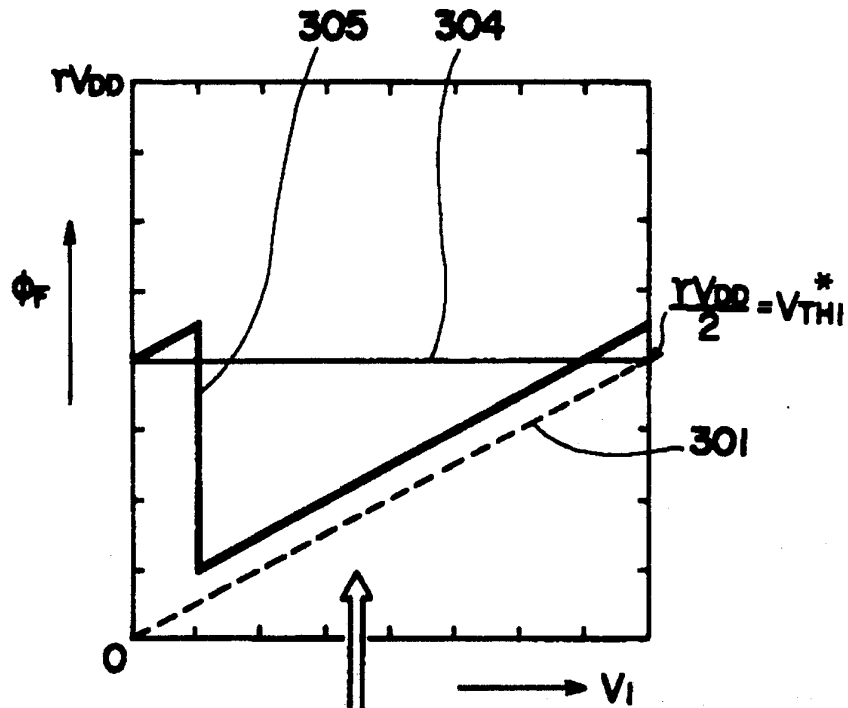
FIG 3



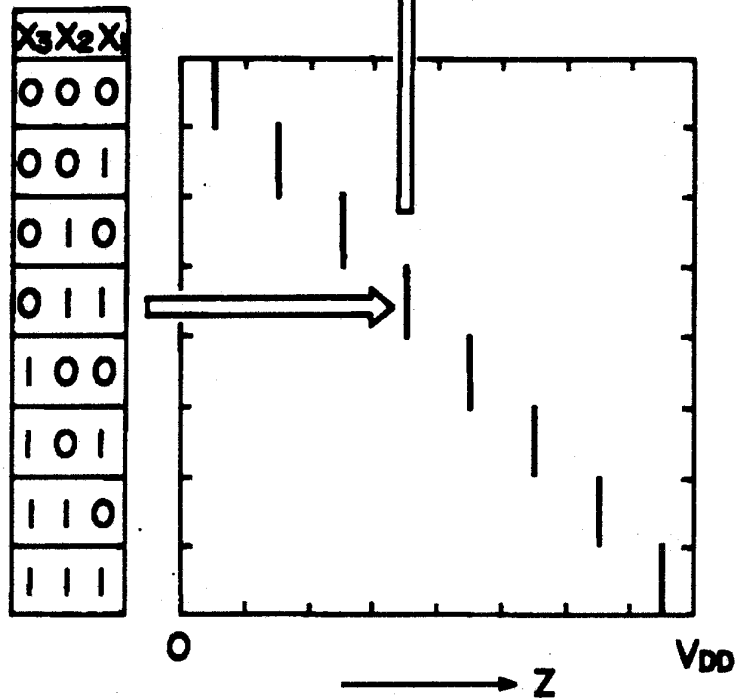
5/63

FIG 3

(b)



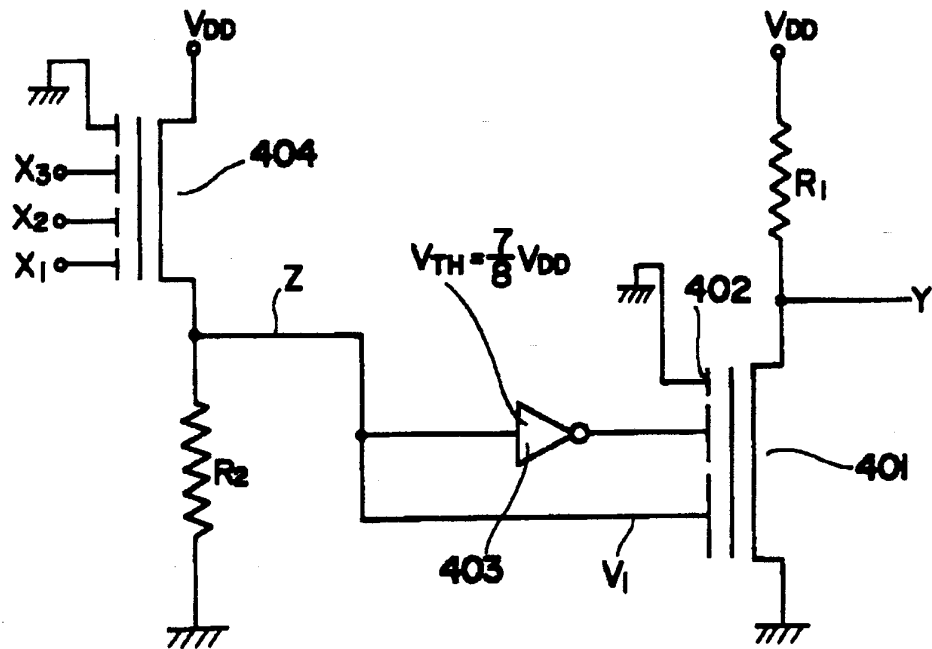
(c)



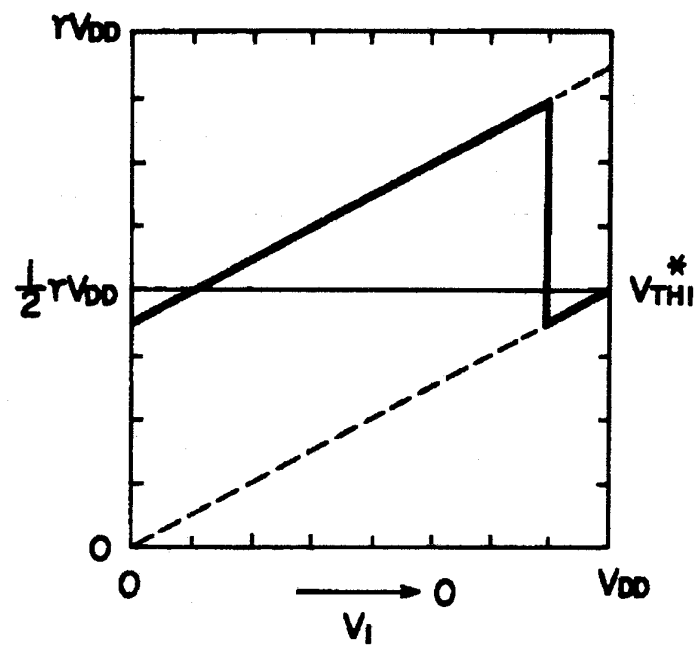
6/63

FIG 4

(a)



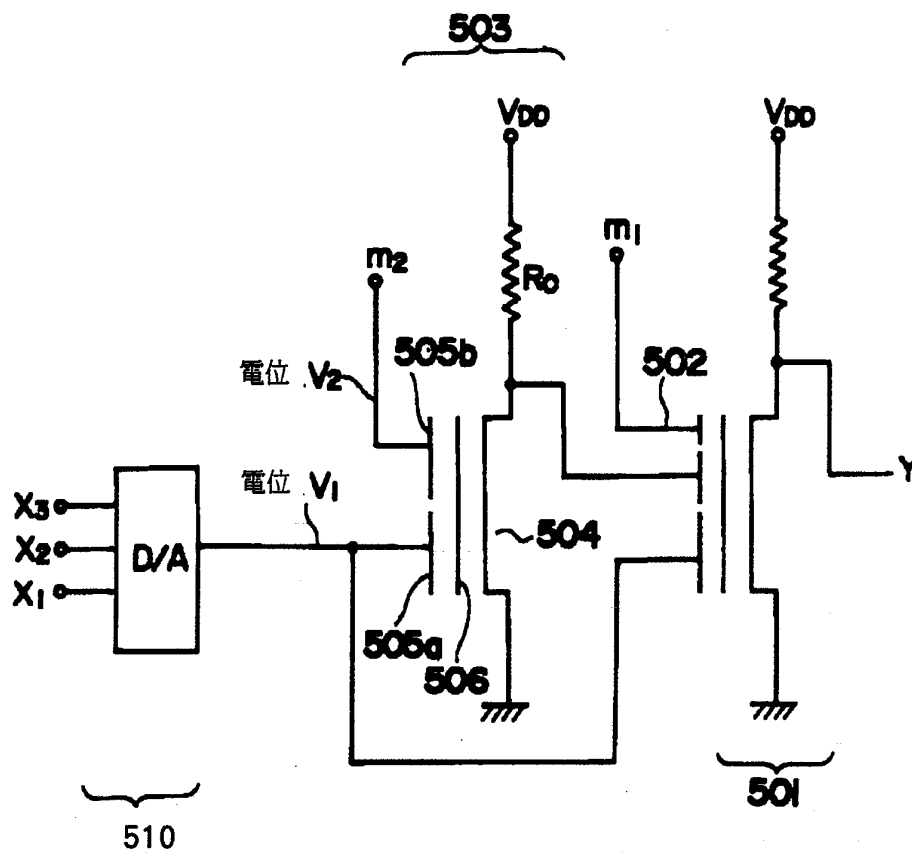
(b)



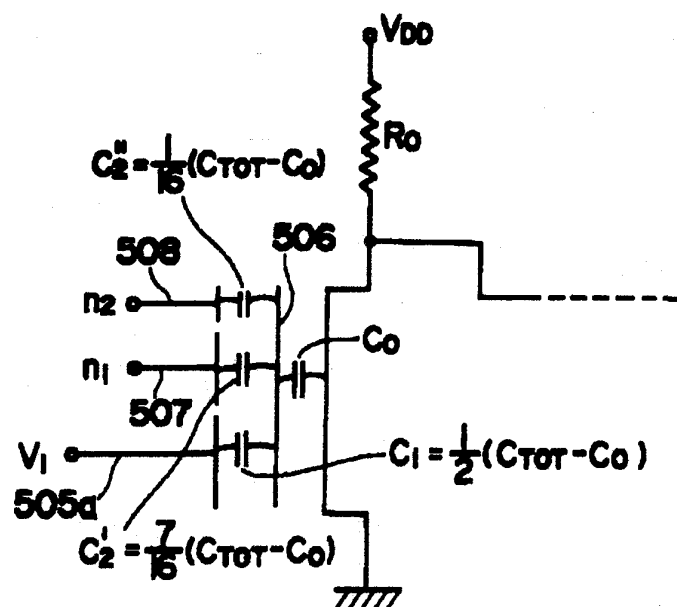
7/63

FIG 5

(a)



(b)





9/63

FIG 7

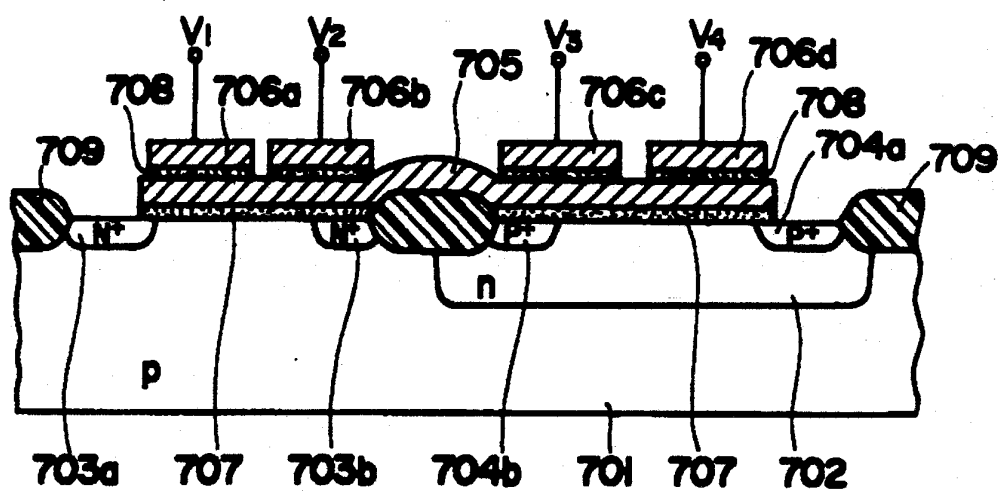
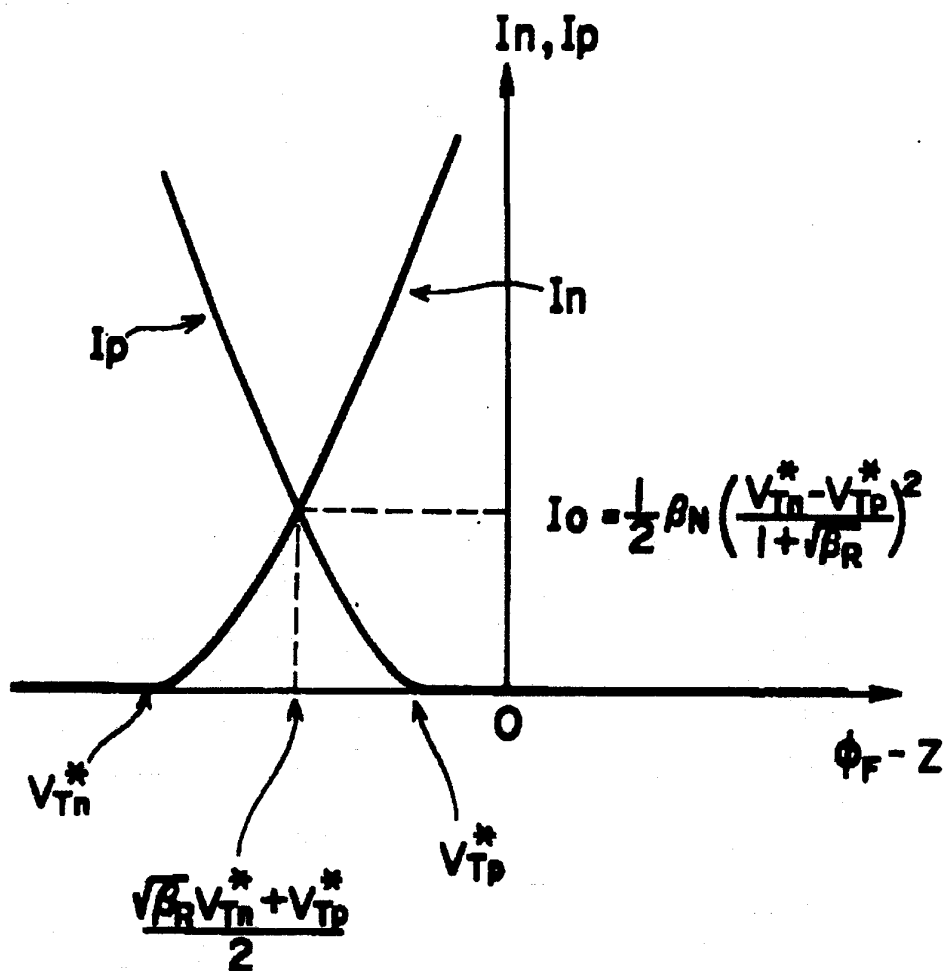




FIG 8

(b)



12/63

FIG 8

(c)

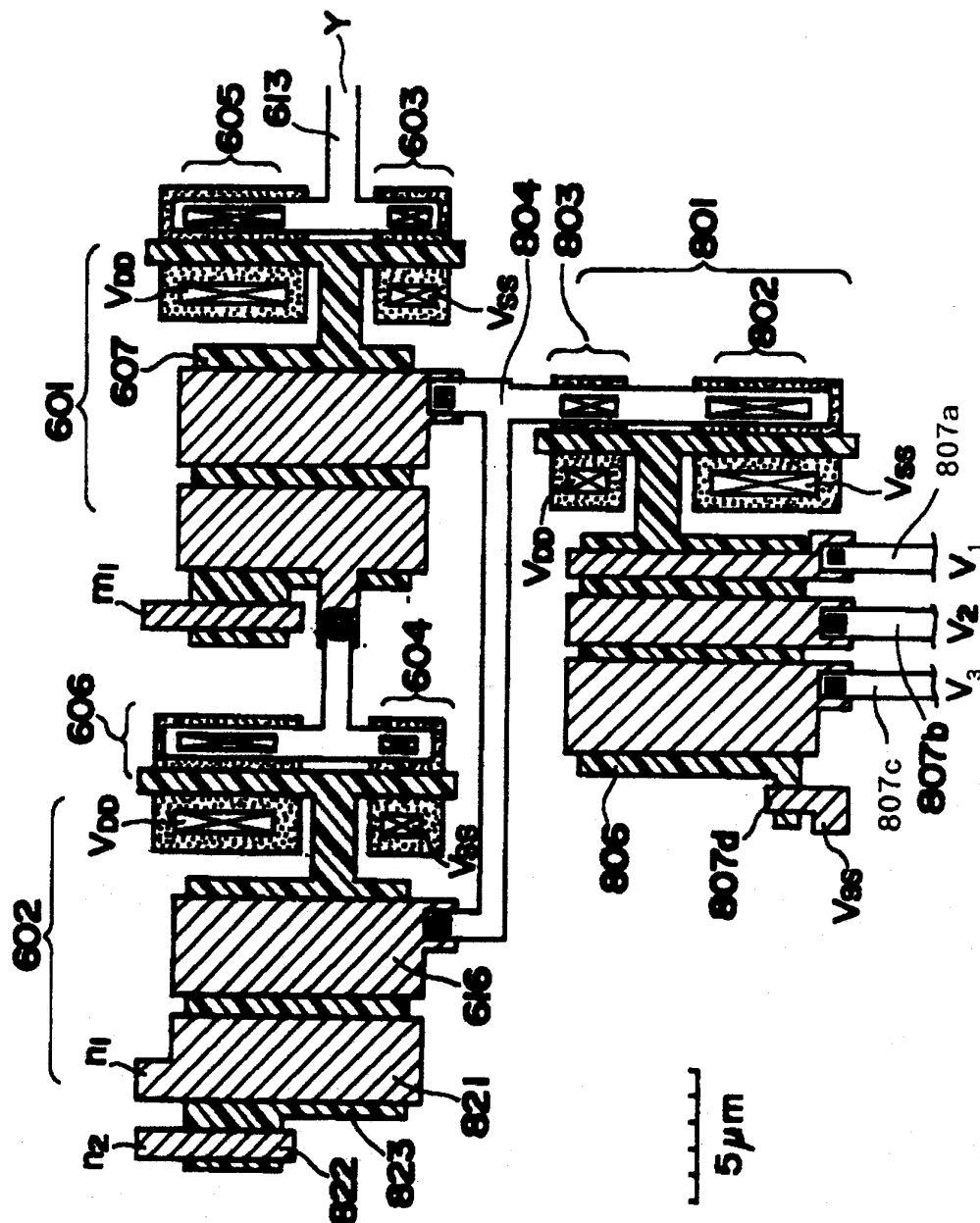


FIG 8

(d)



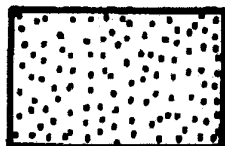
アルミニウム配線



第一層ポリシリコン



第二層ポリシリコン



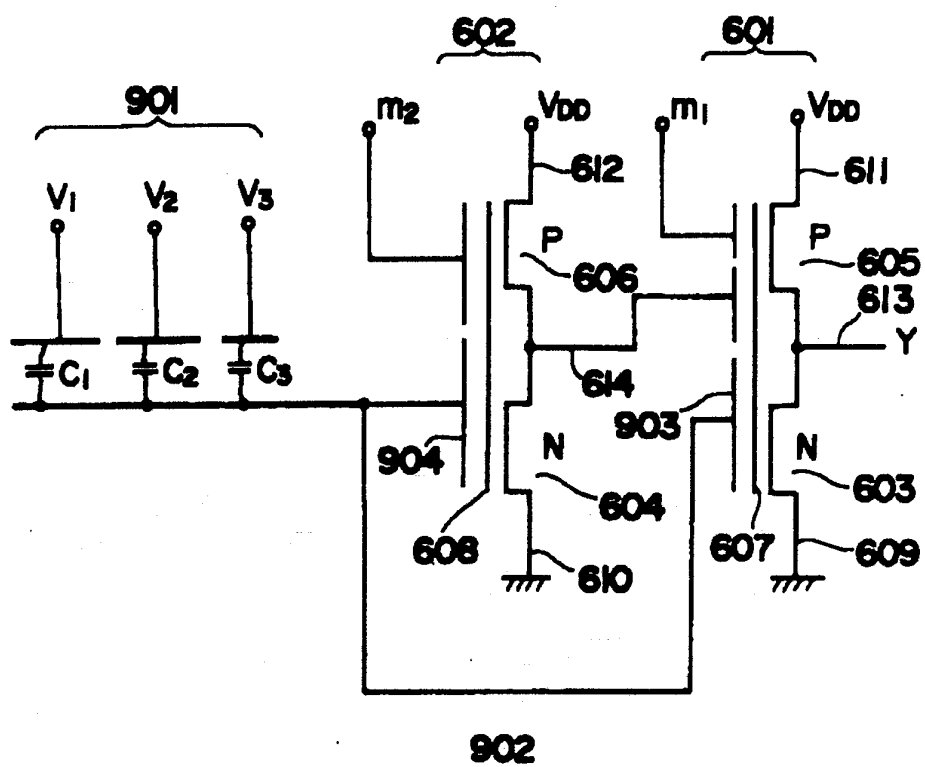
N<sup>-</sup> または P<sup>-</sup> 拡散層



コンタクトホール

FIG 9

(a)



(b)

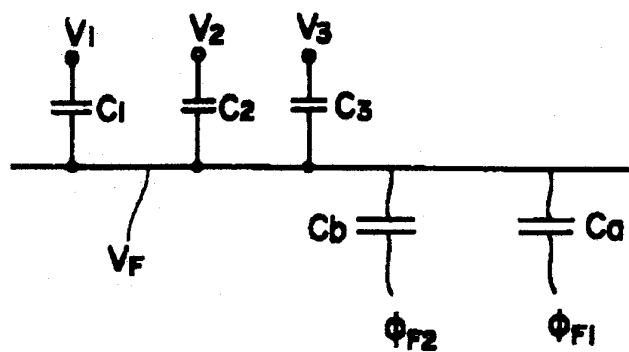
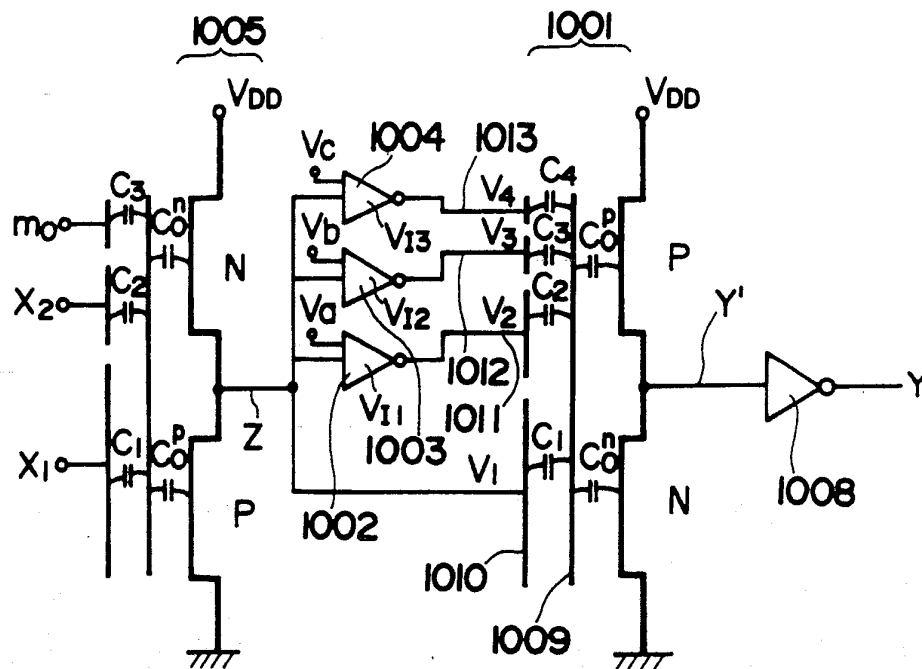


FIG 10

(a)



(b)

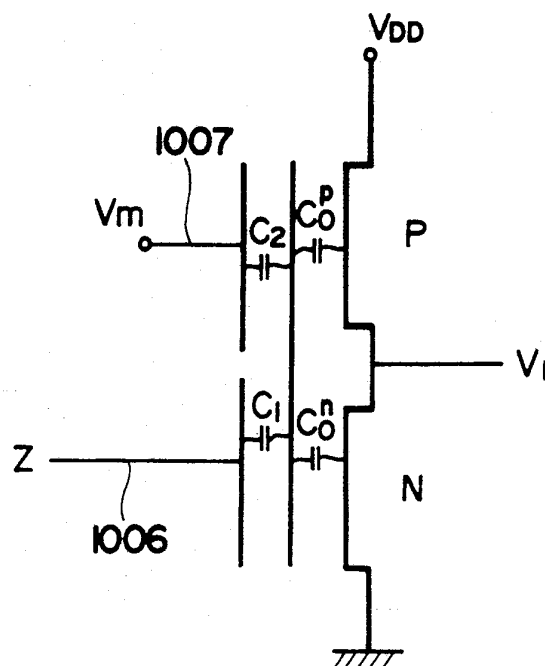
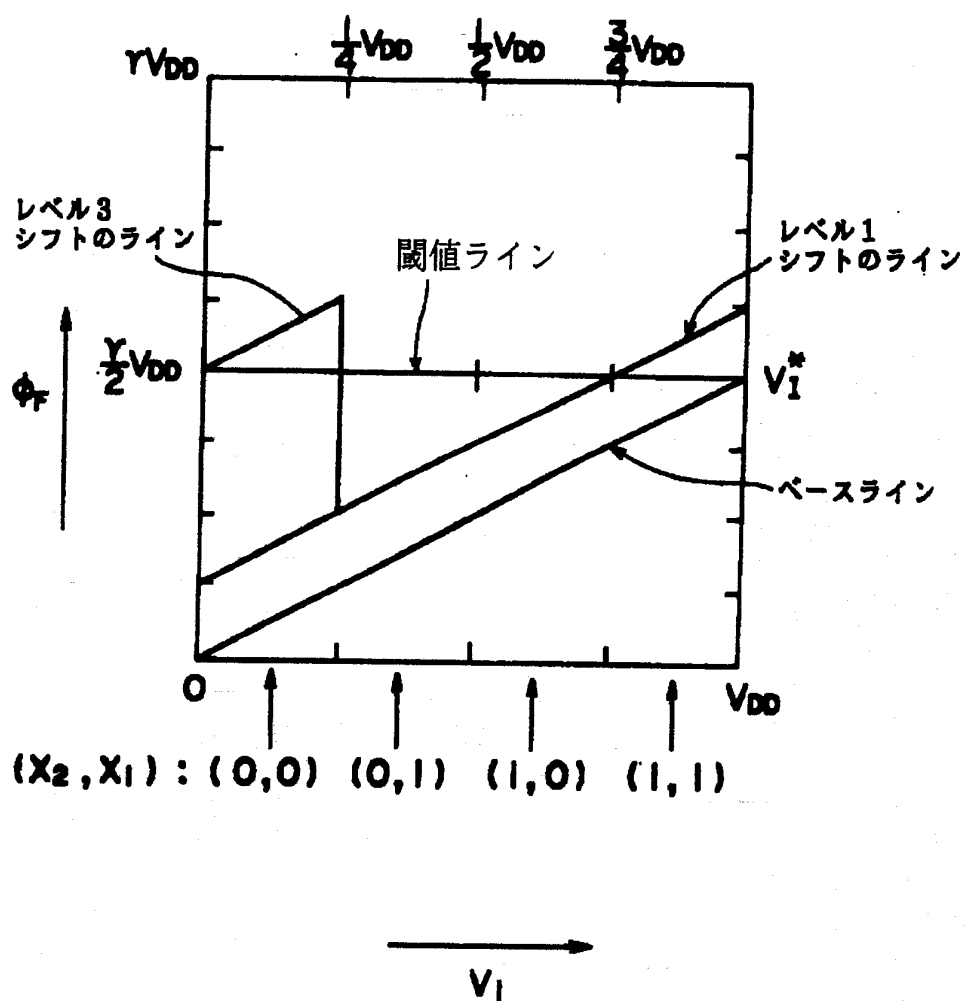


FIG 10

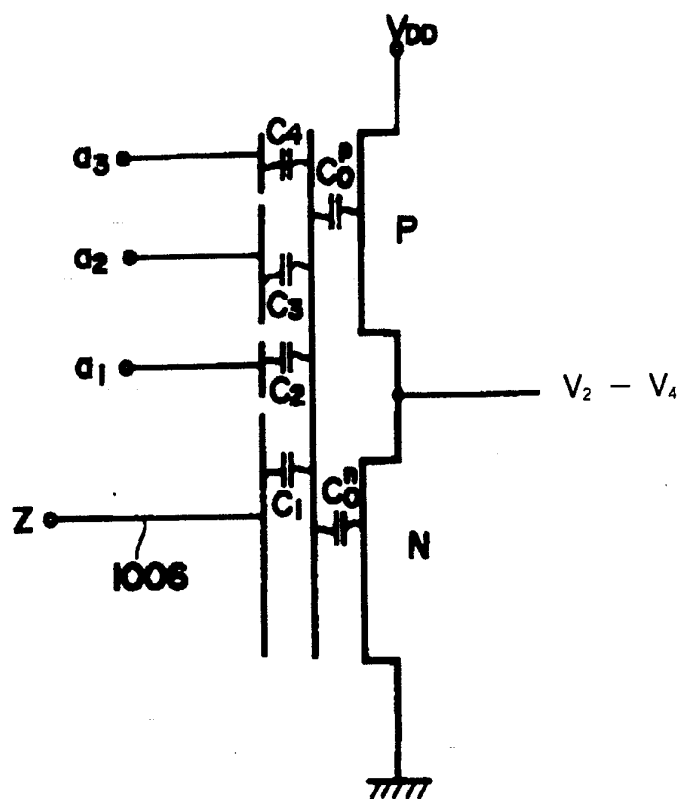
(c)



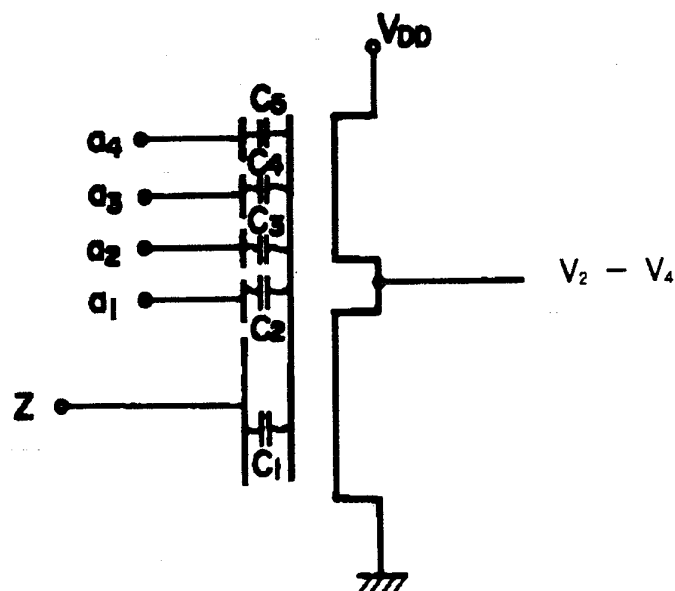
17/63

FIG 10

(d)



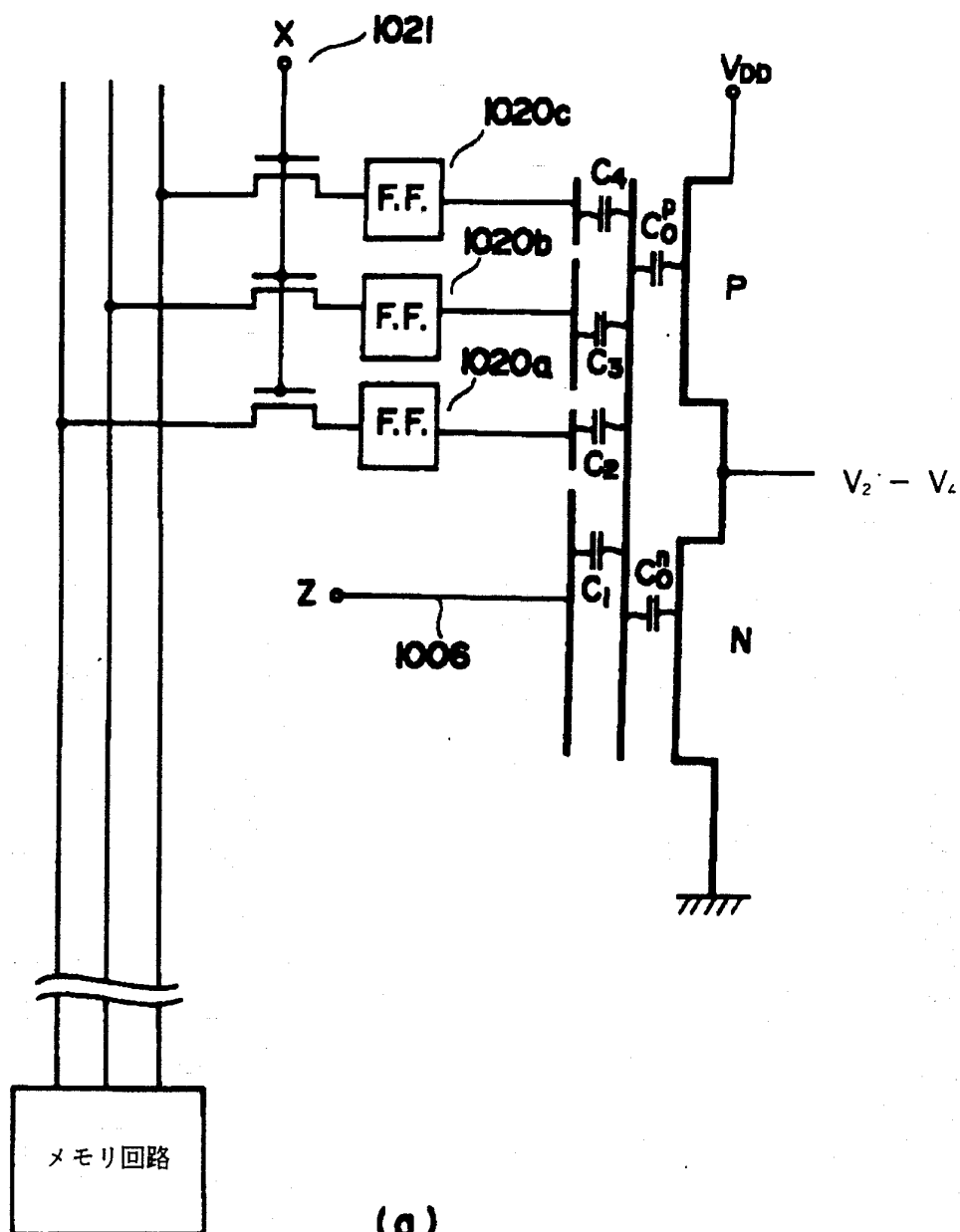
(e)



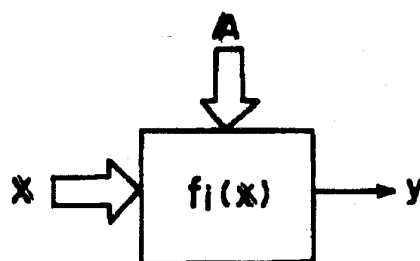
18/63

FIG 10

(f)

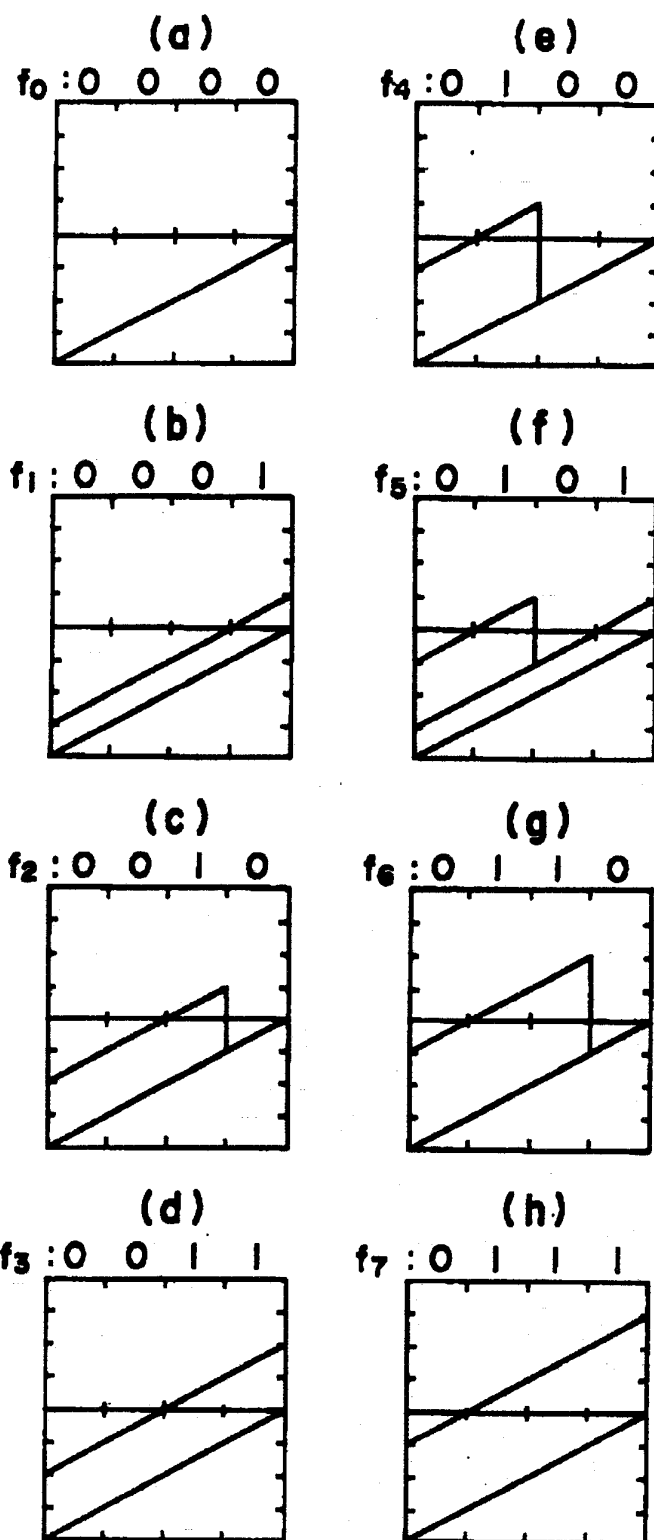


(g)



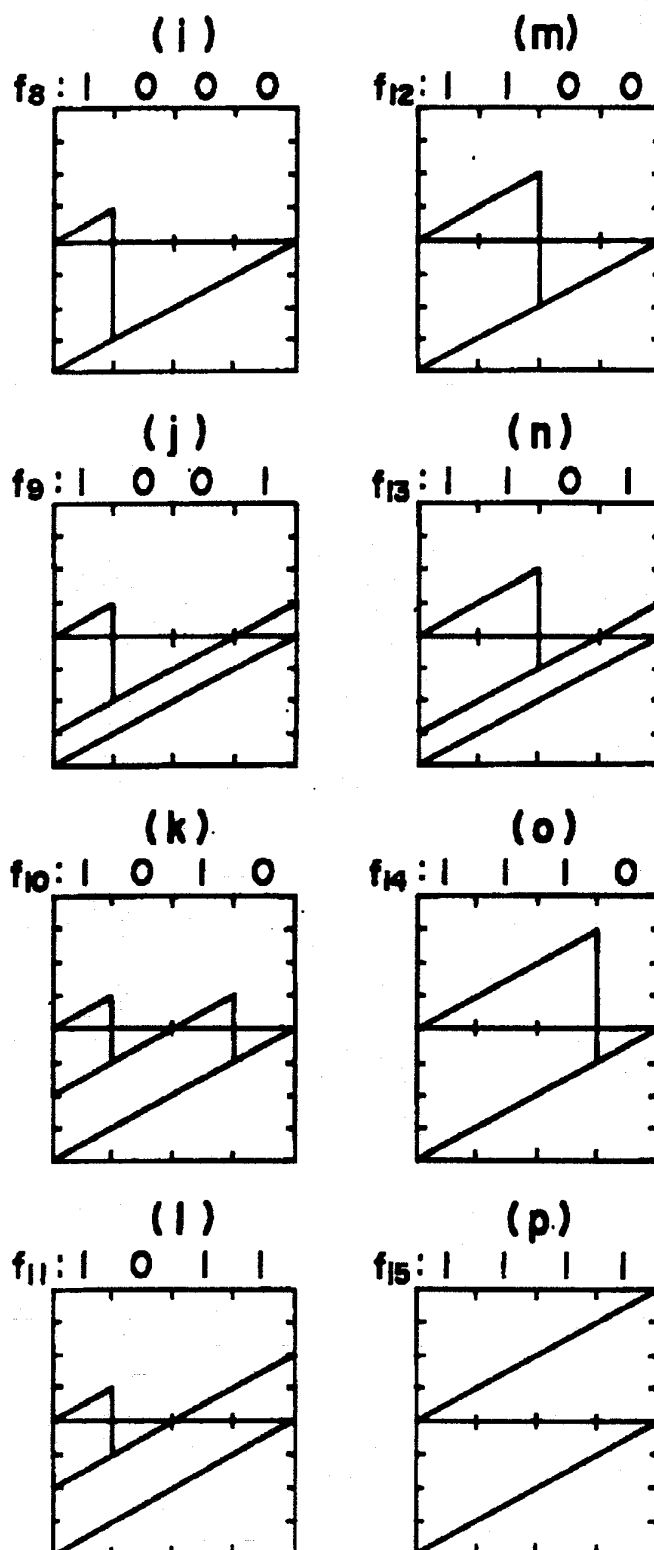
19/63

FIG 11



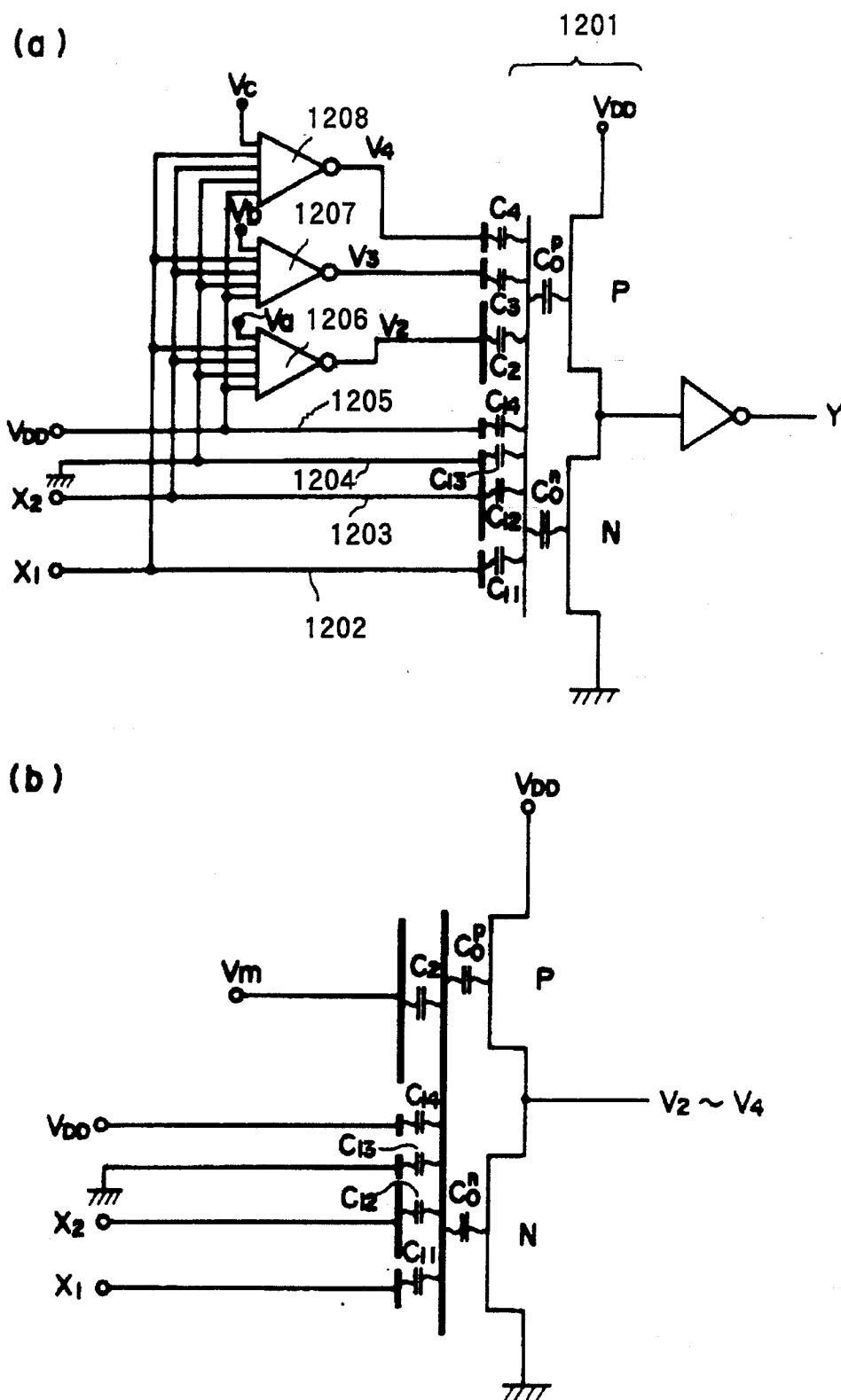
20/63

FIG 11



21/63

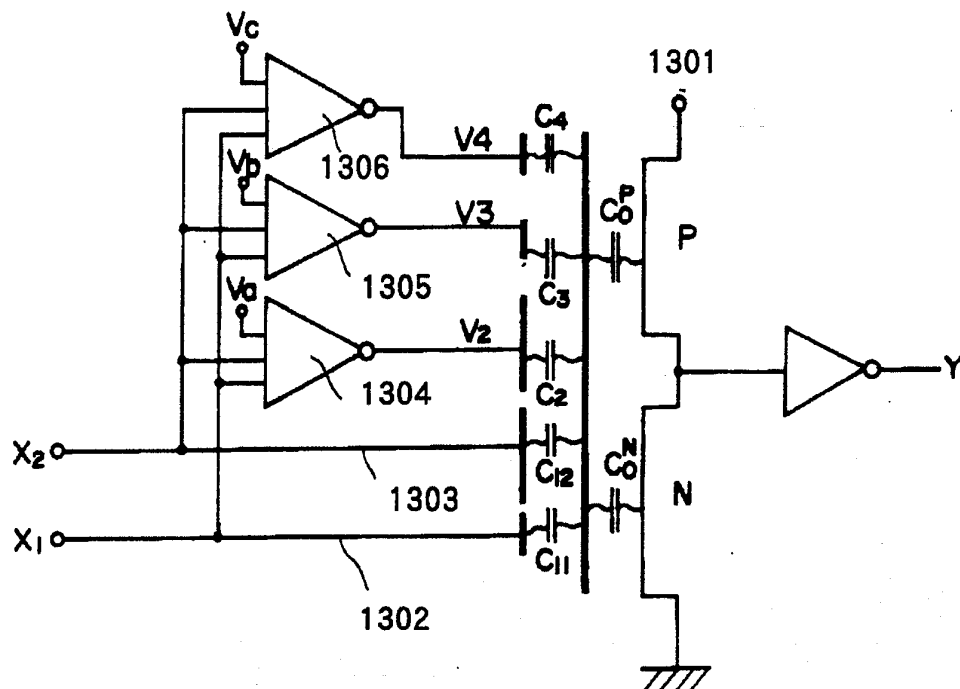
FIG 12



22/63

FIG 13

(a)



(b)

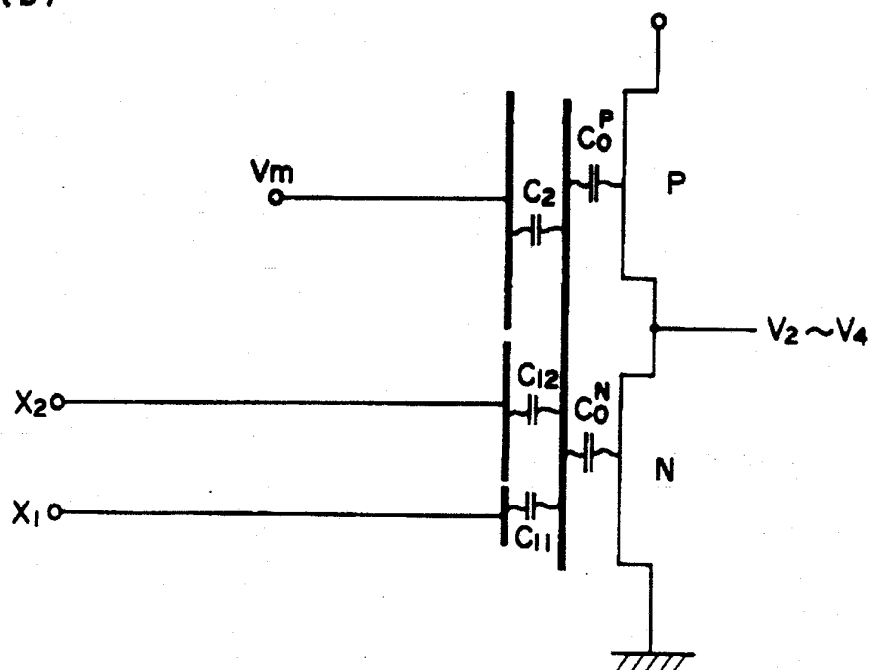
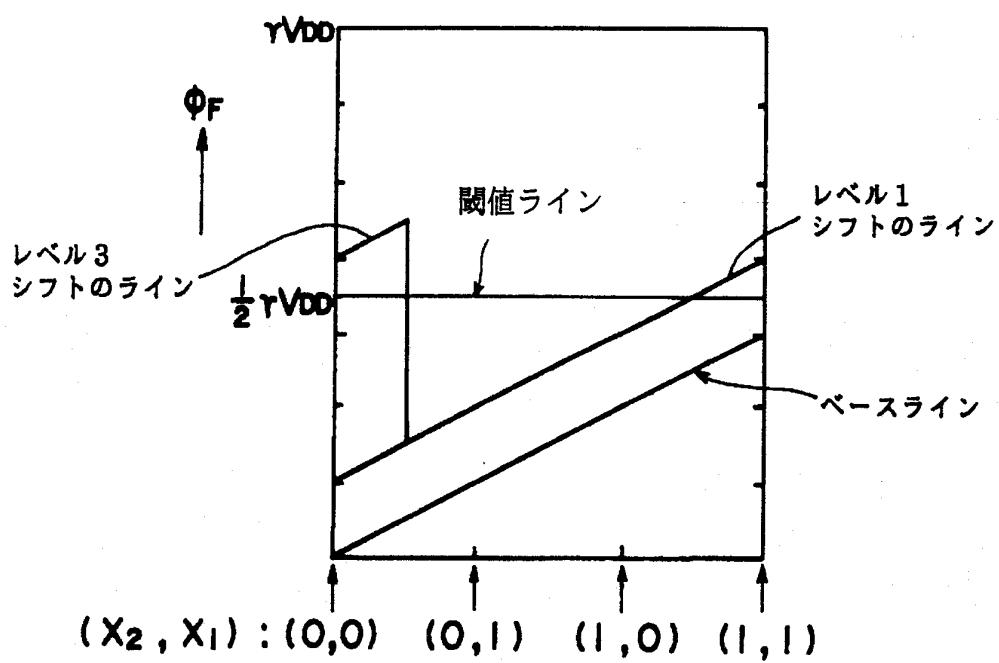


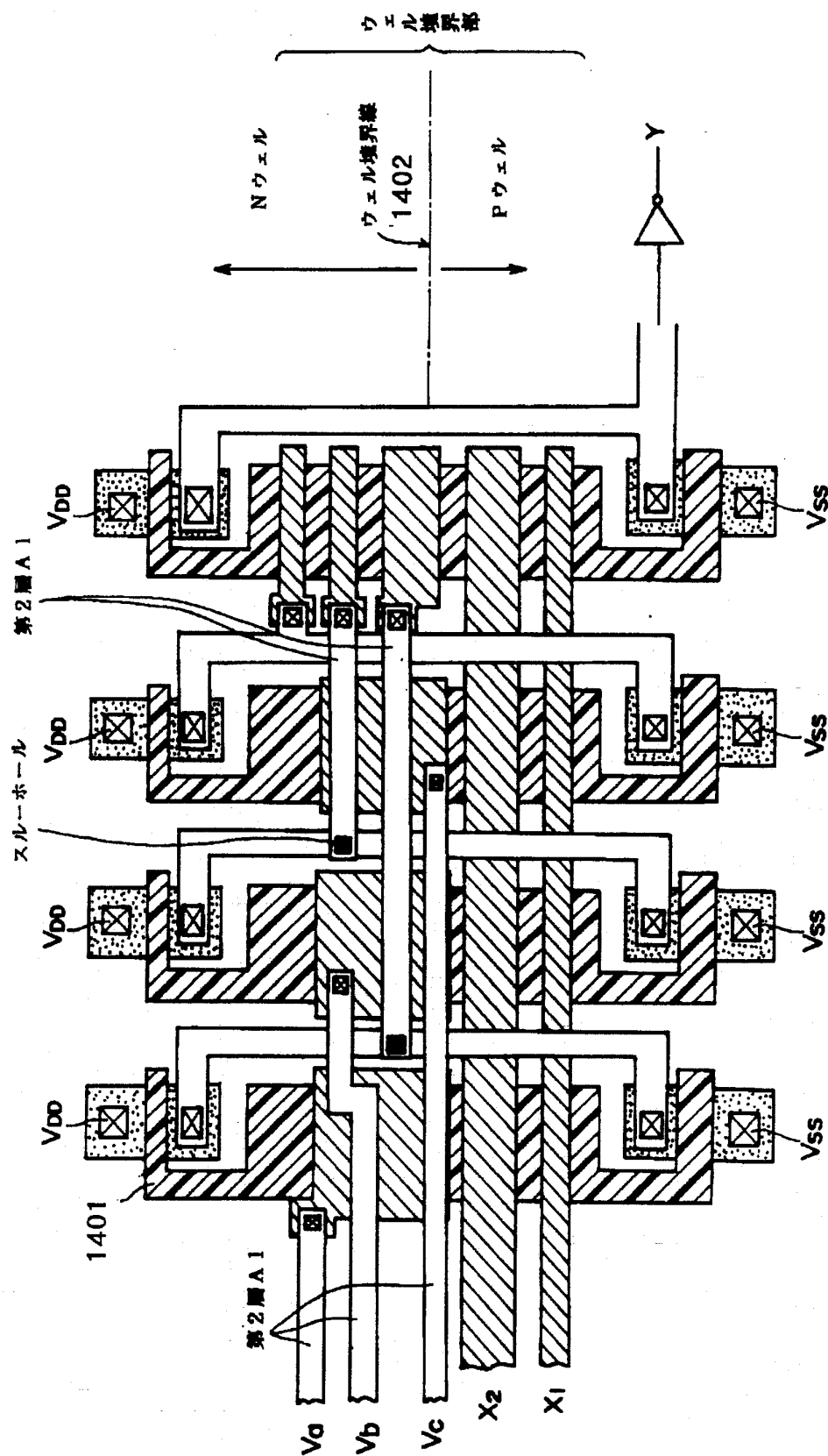
FIG 13

(c)



24/63

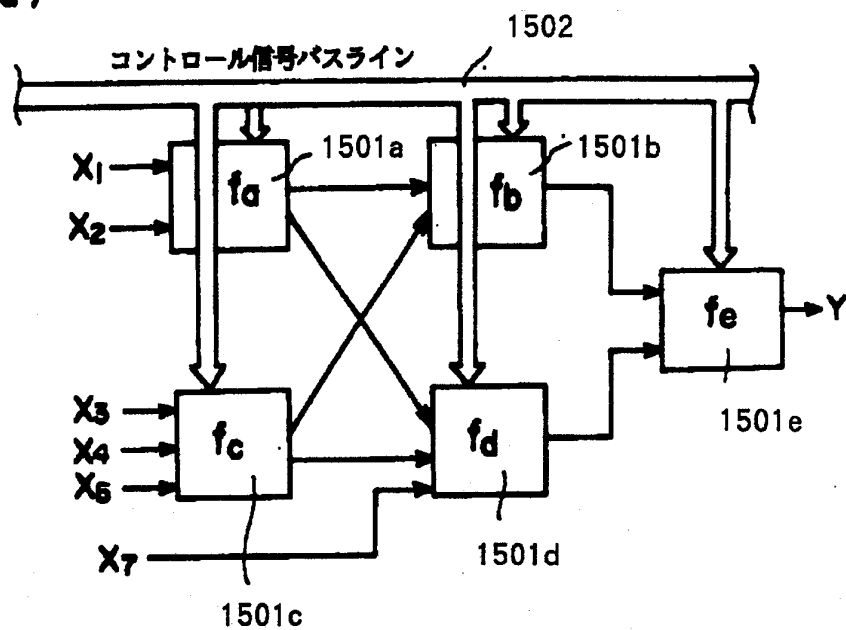
FIG 14



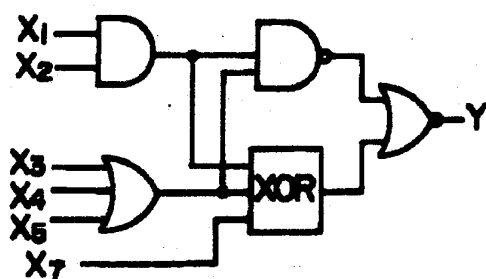
25/63

FIG 15

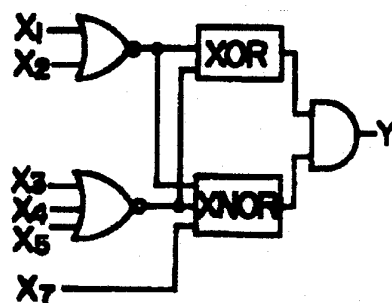
(a)



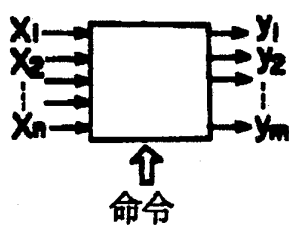
(b)



(c)

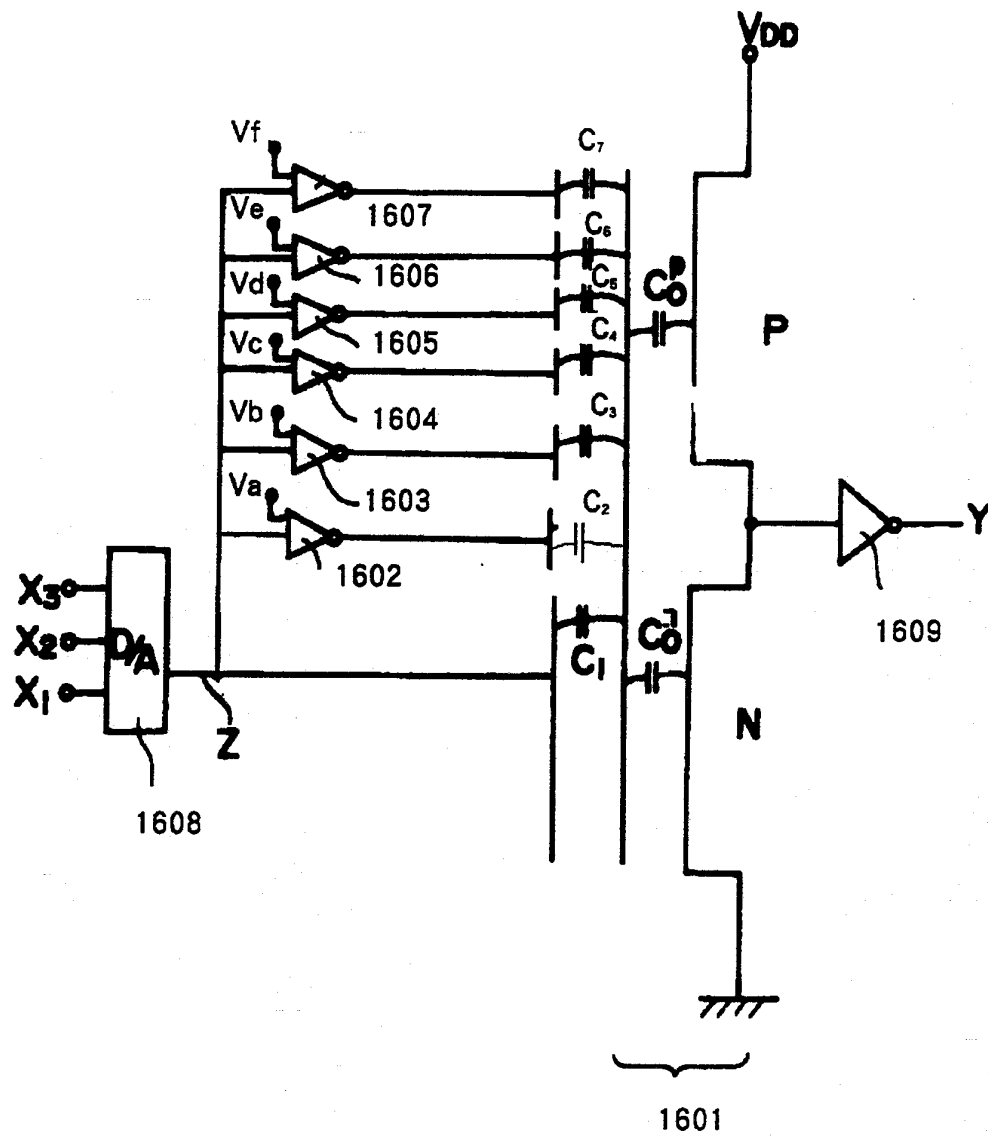


(d)



26/63

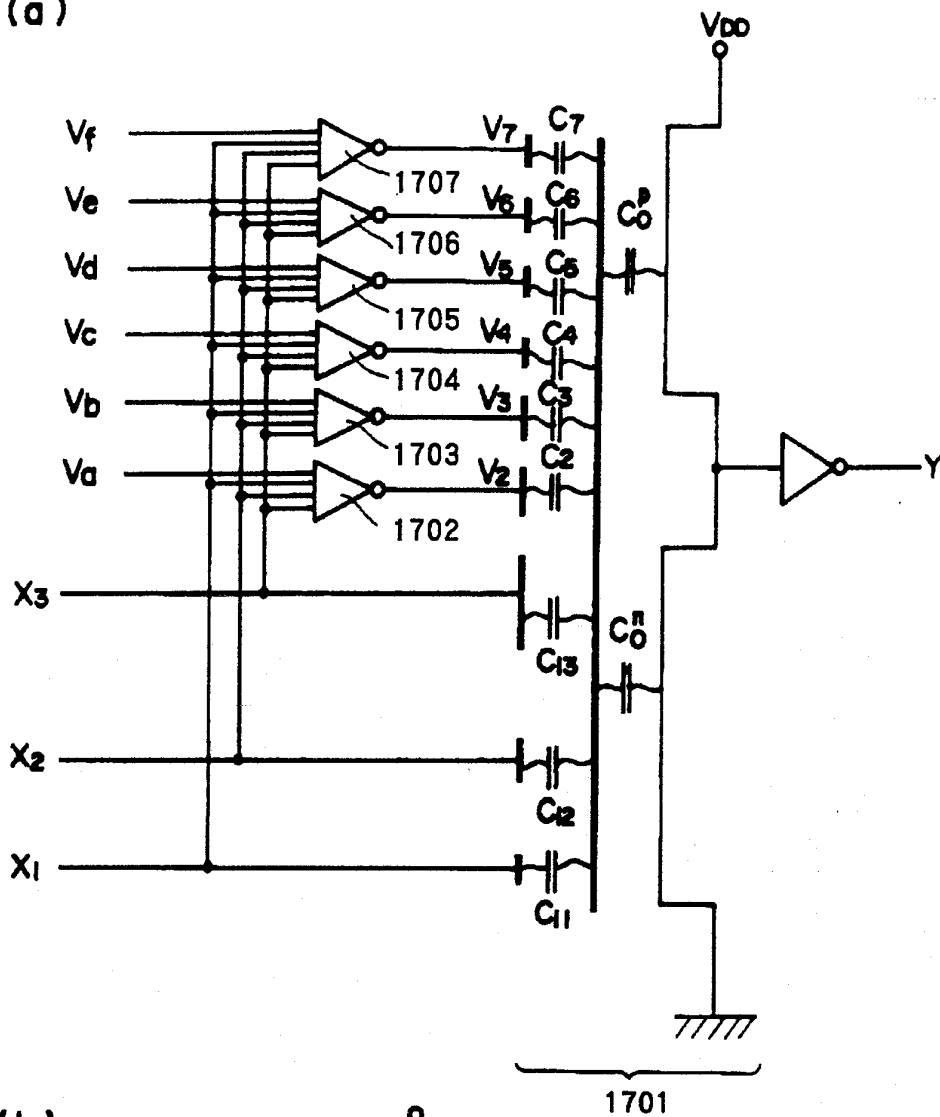
FIG 16



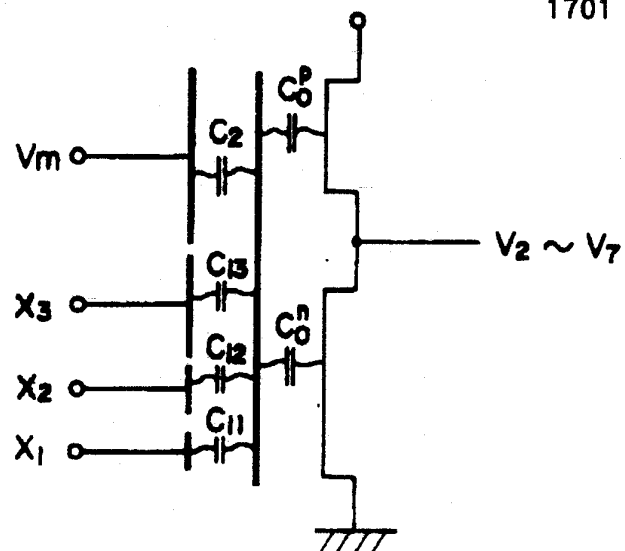
27/63

FIG 17

(a)

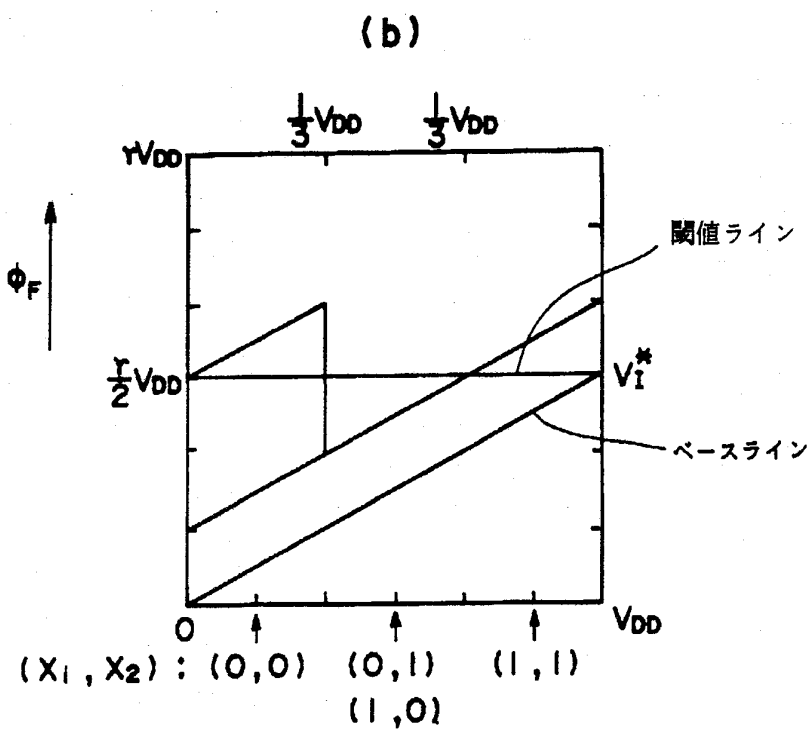
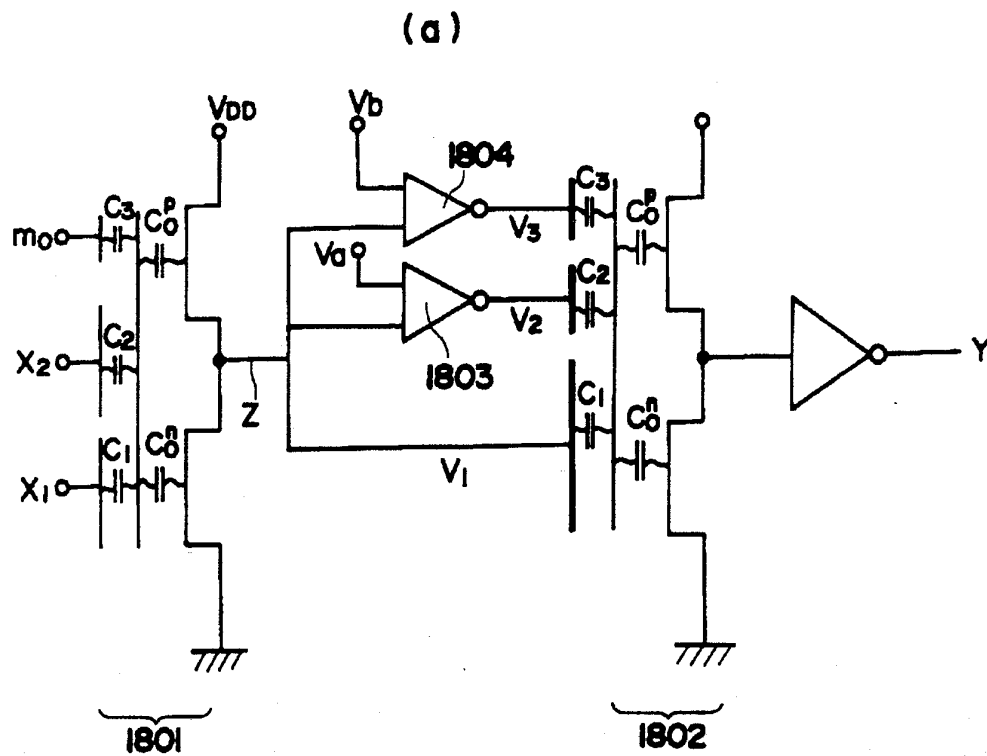


(b)



28/63

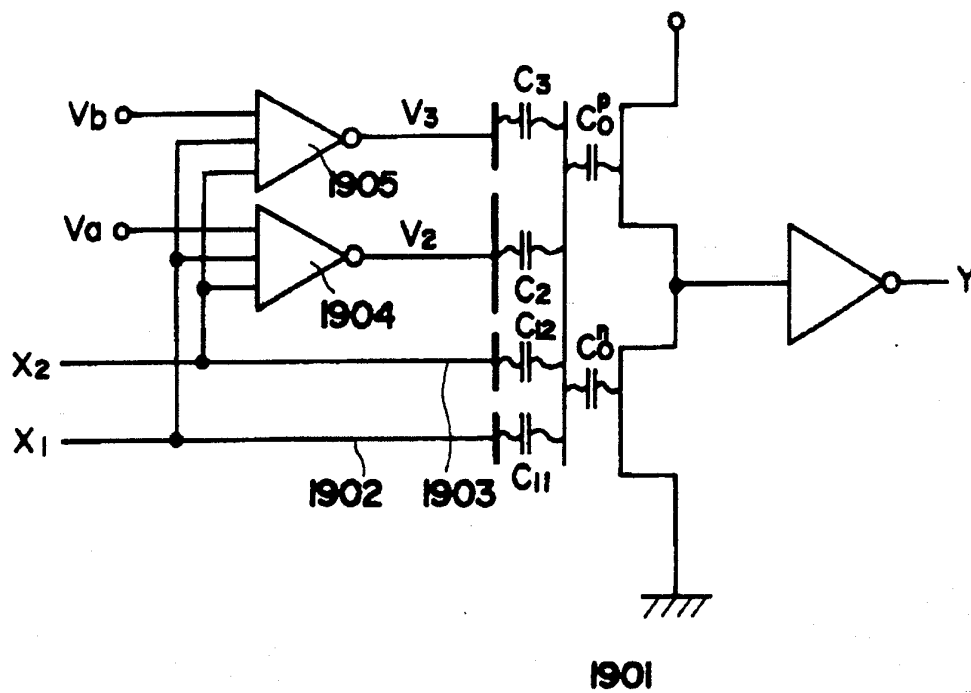
FIG 18



29/63

FIG 19

(a)



(b)

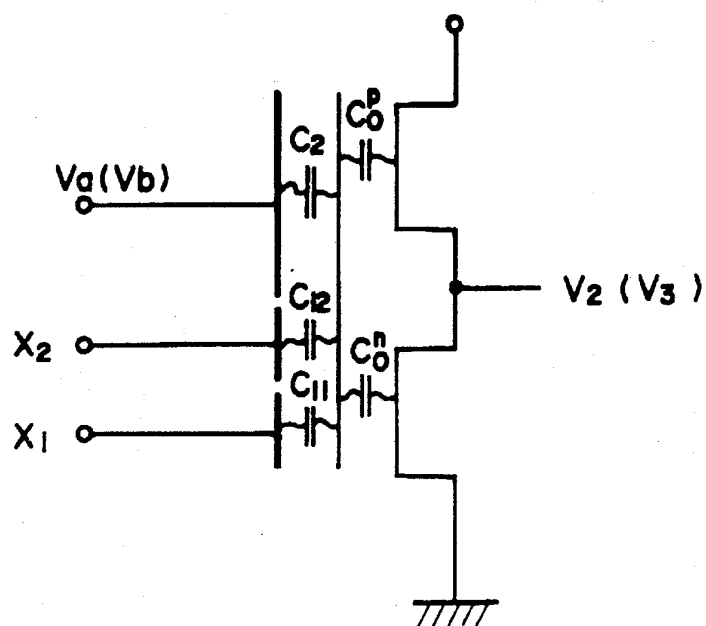


FIG 19

(c)

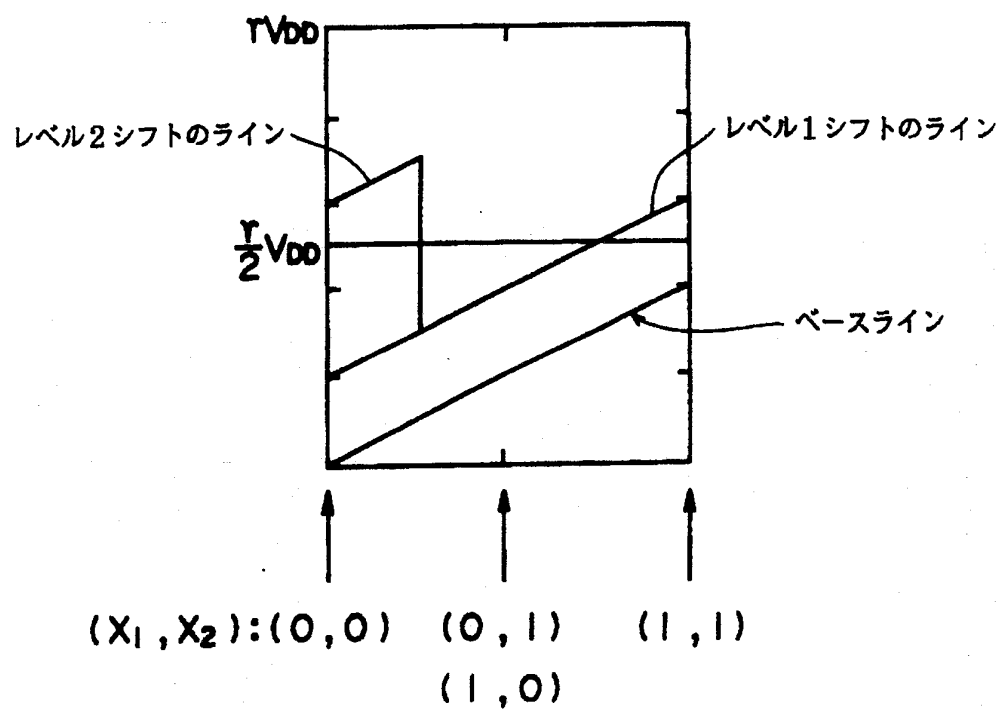


FIG 20

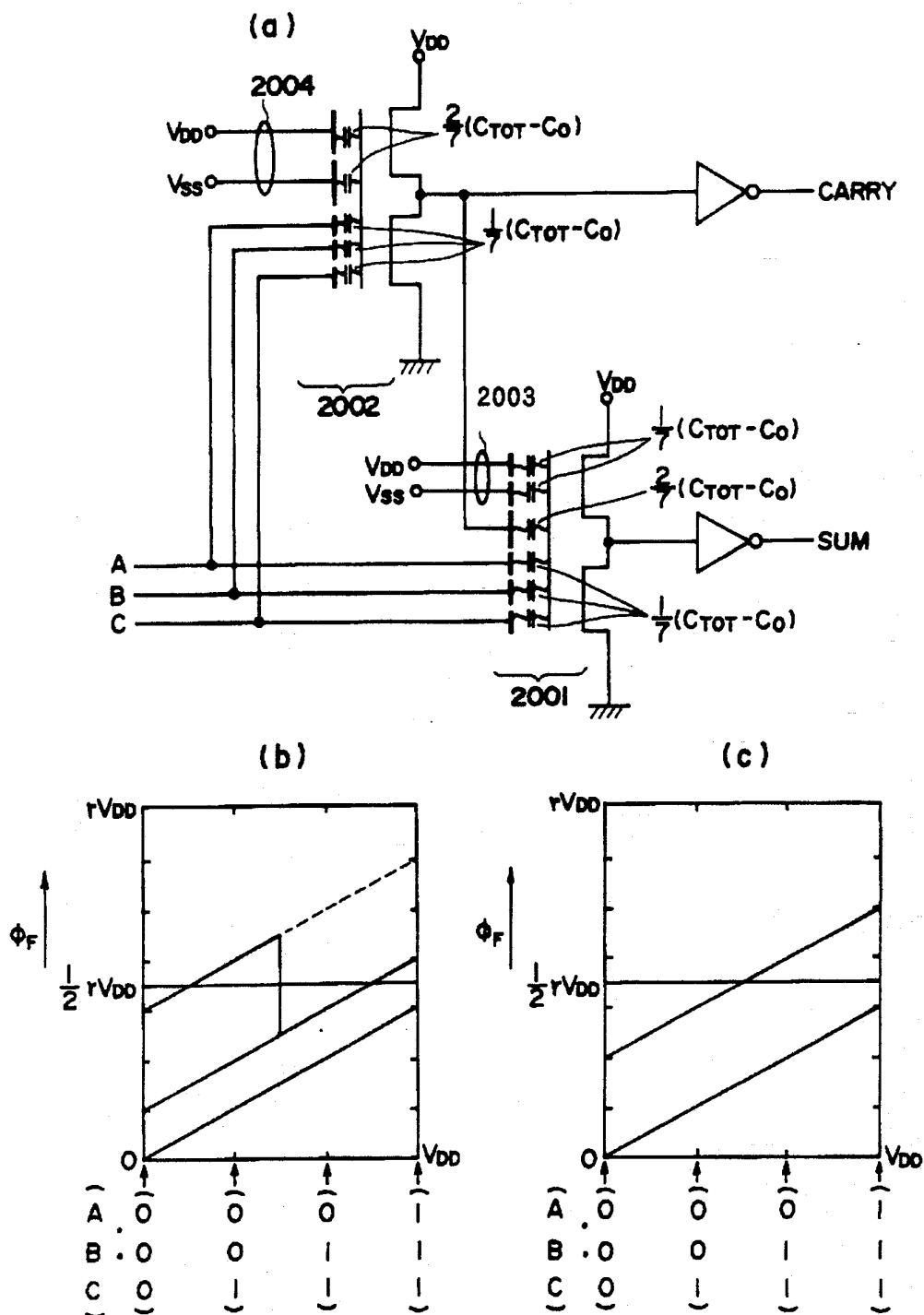
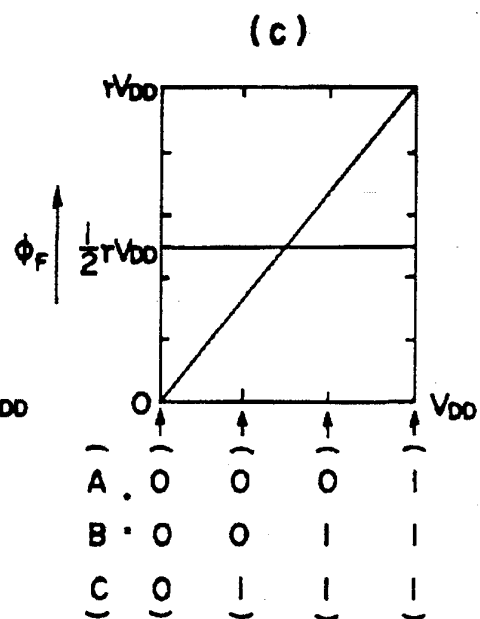
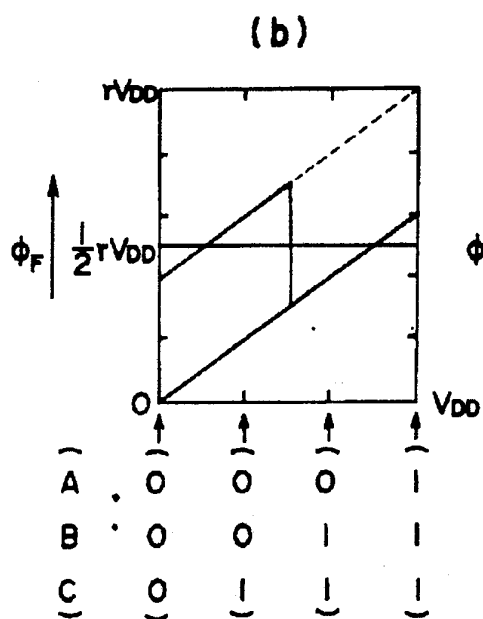
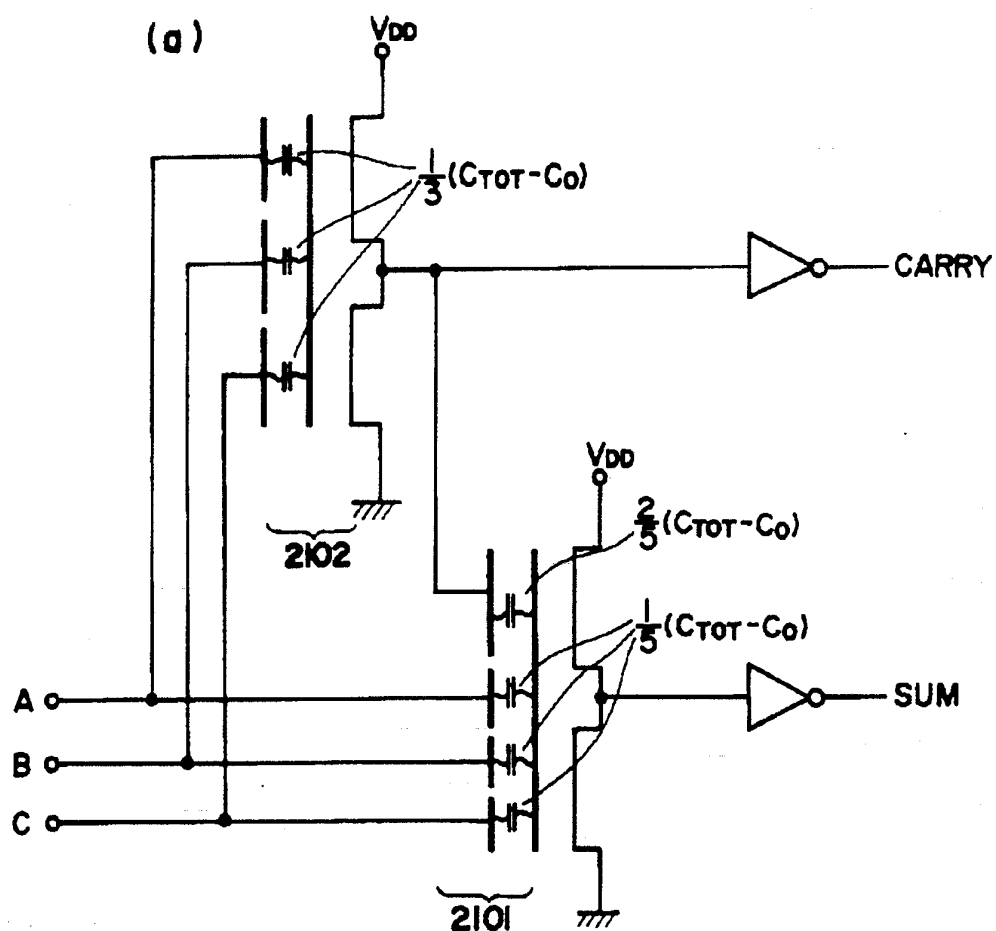


FIG 21



33/63

FIG 2 2

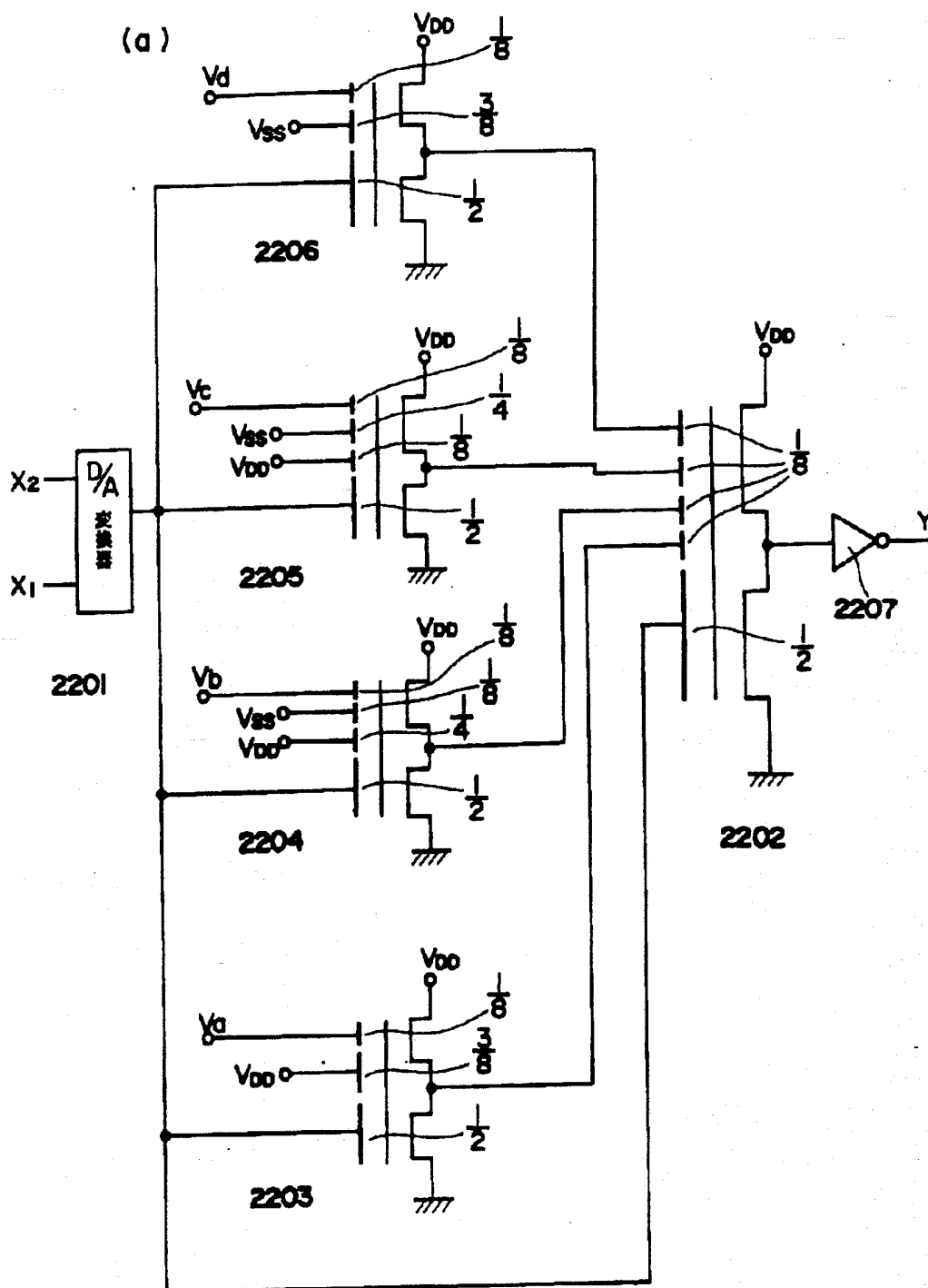
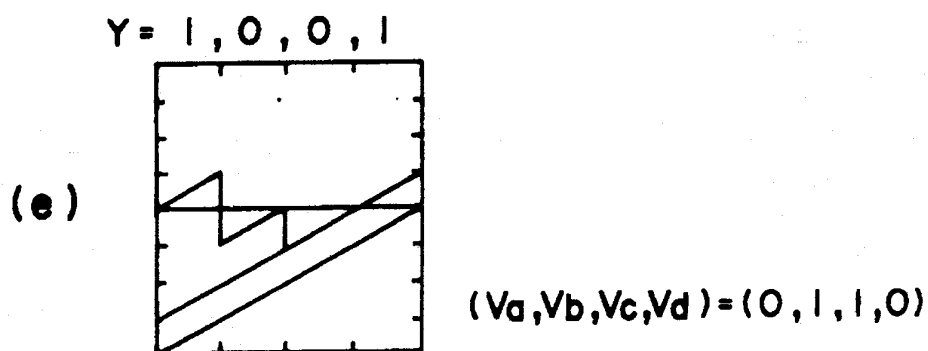
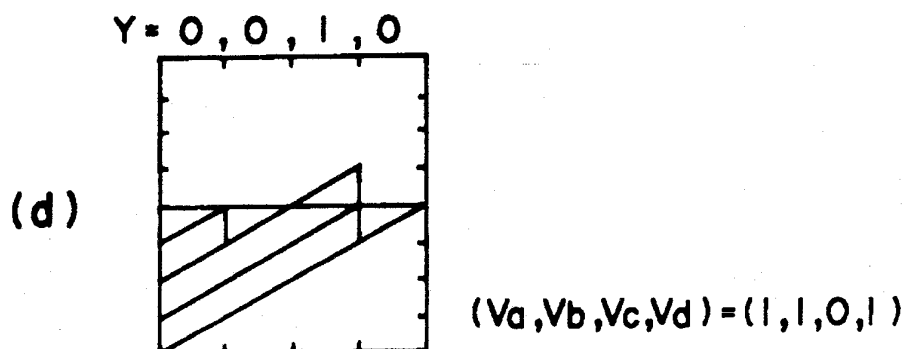
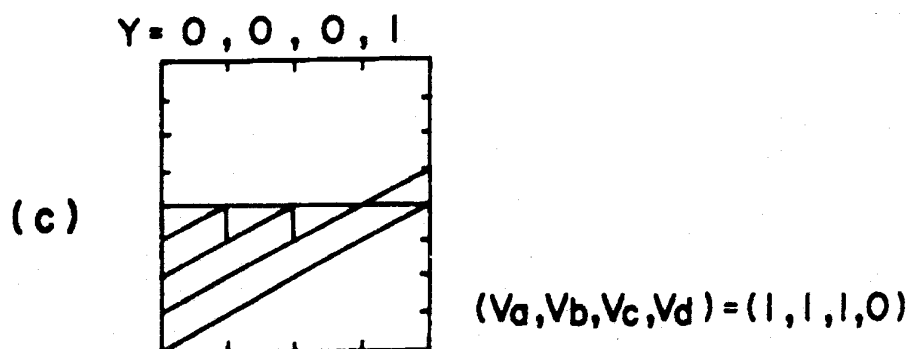
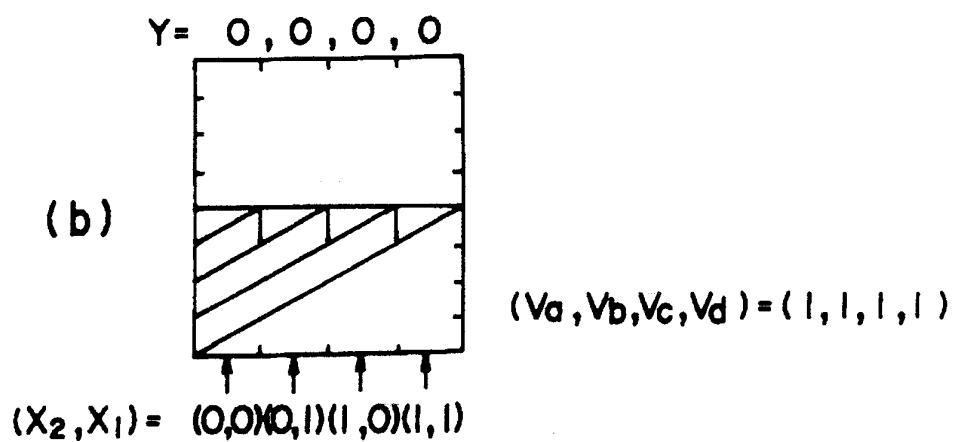


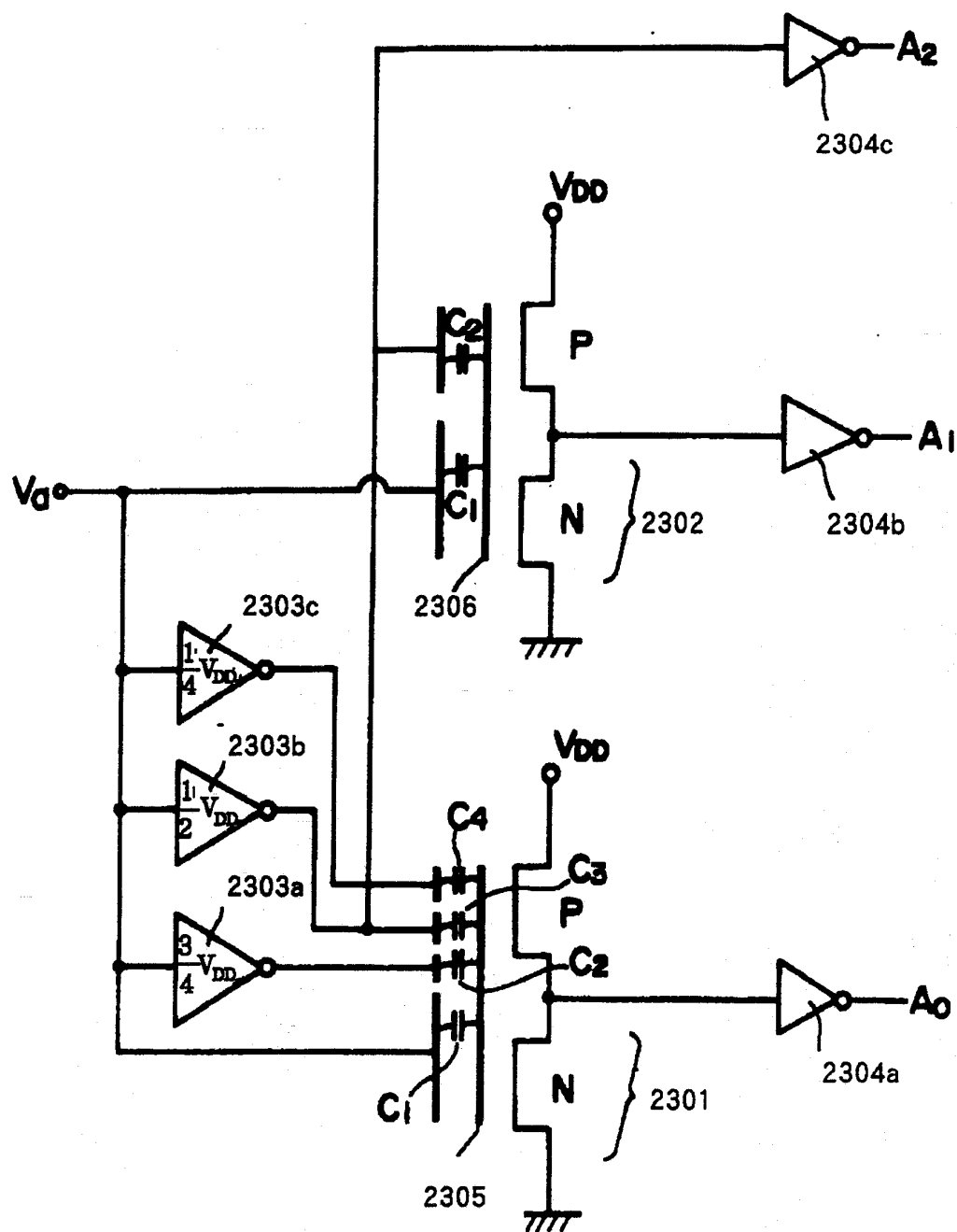
FIG 2 2



35/63

FIG 23

(a)



36/63

FIG 23

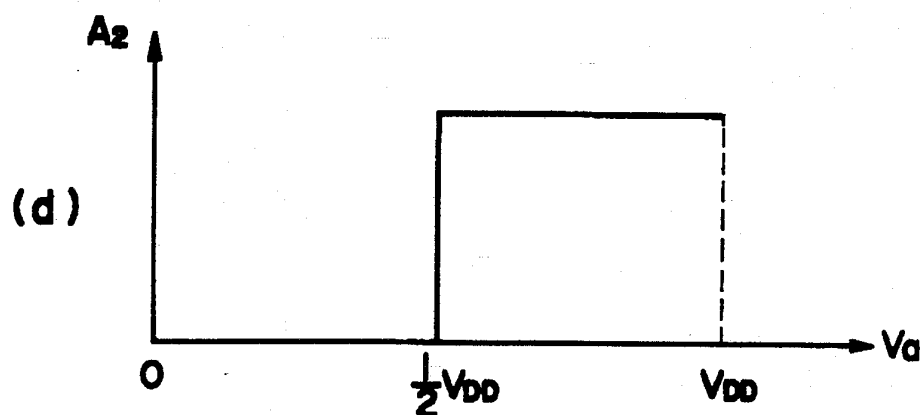
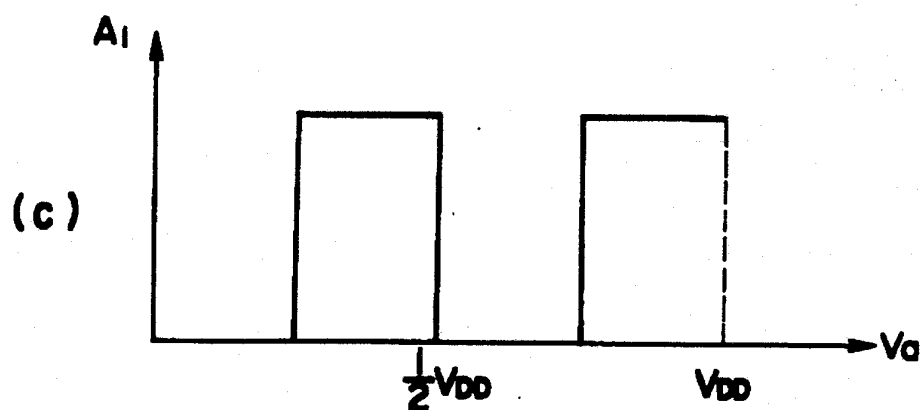
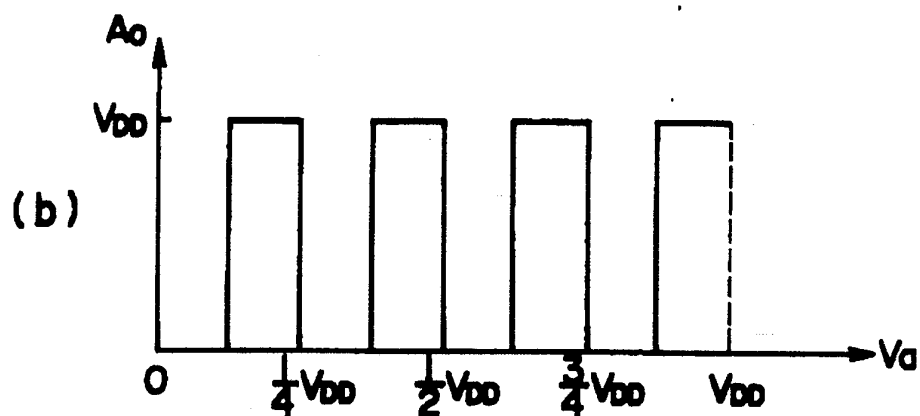
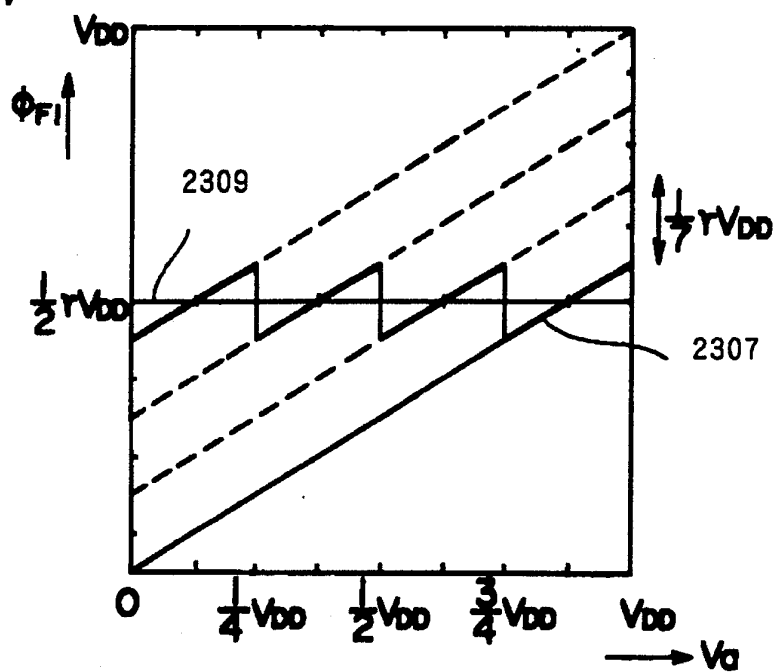
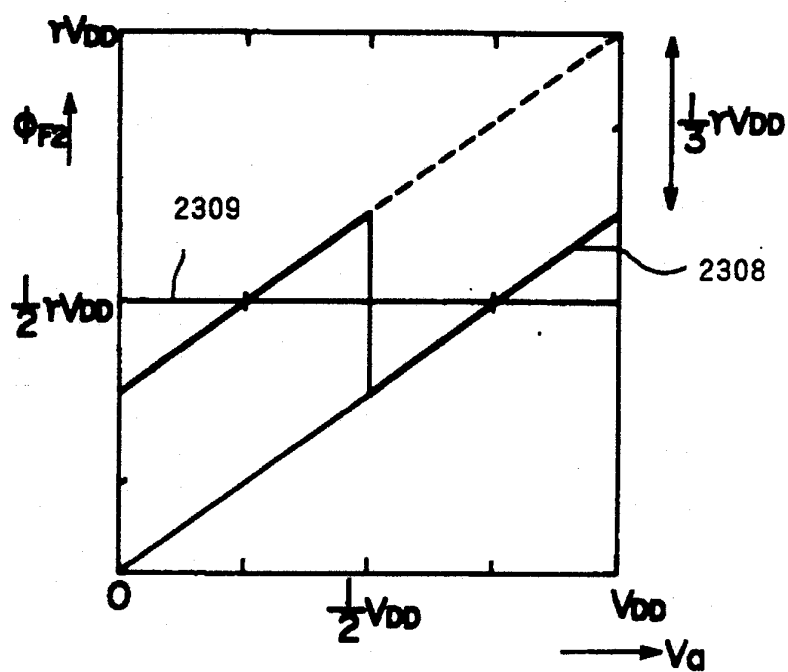


FIG 23

(e)



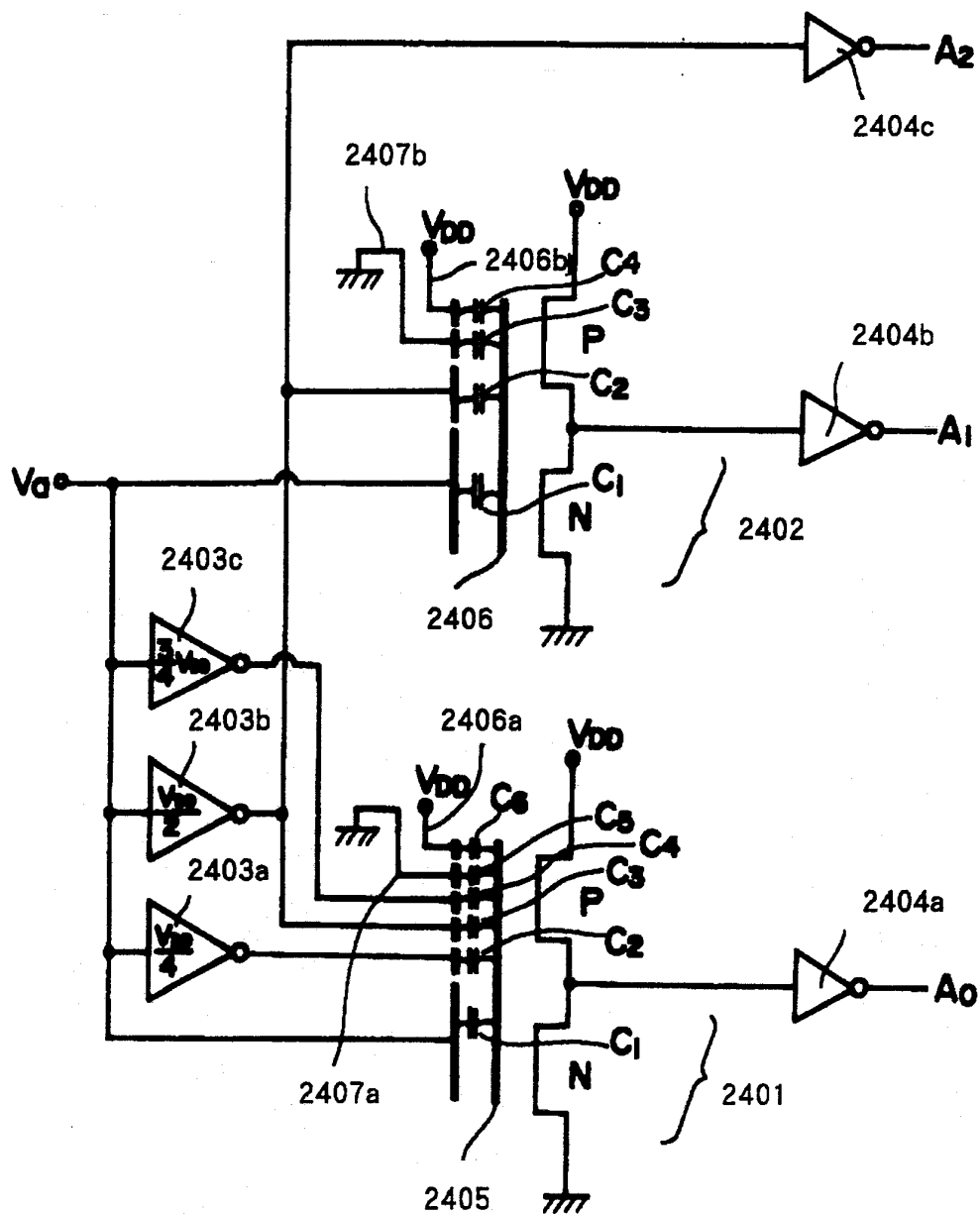
(f)



38/63

FIG 24

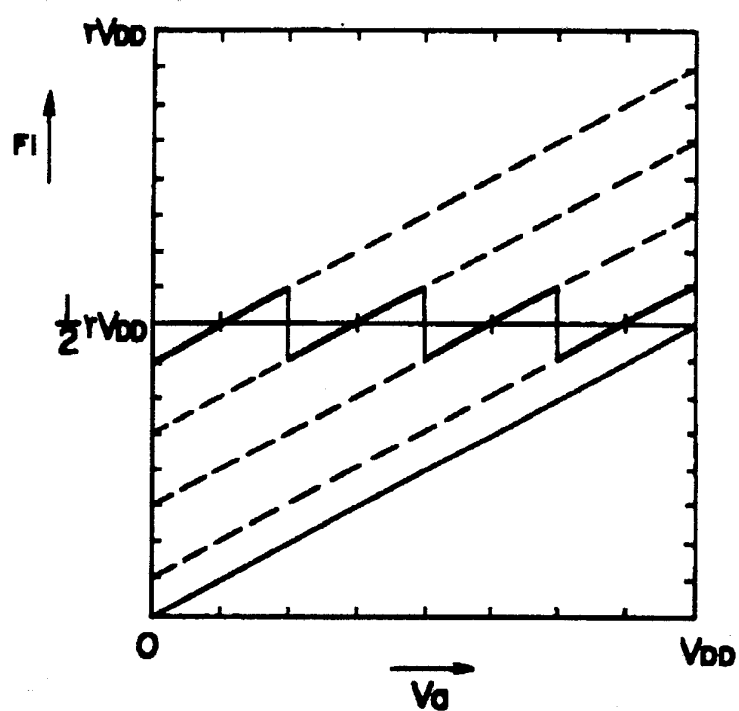
(a)



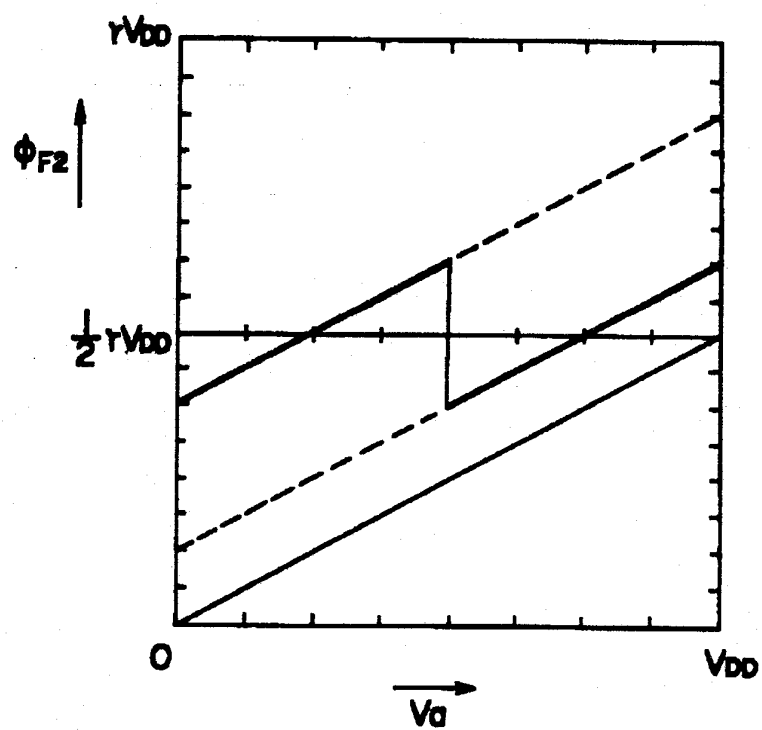
39/63

FIG 24

(b)



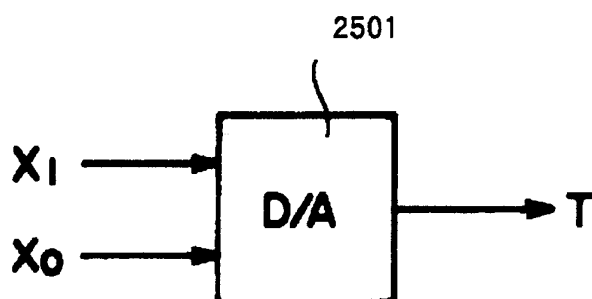
(c)



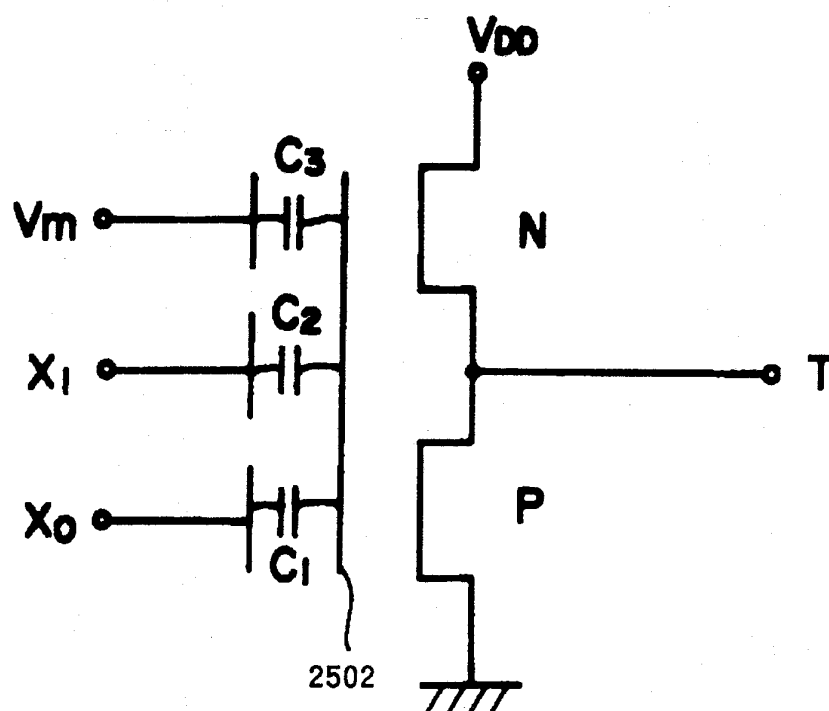
40/63

FIG 25

(a)



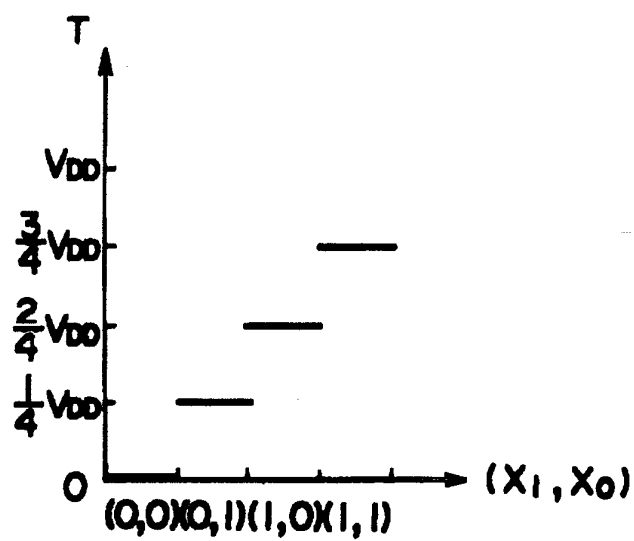
(b)



41/63

FIG 25

(c)



(d)

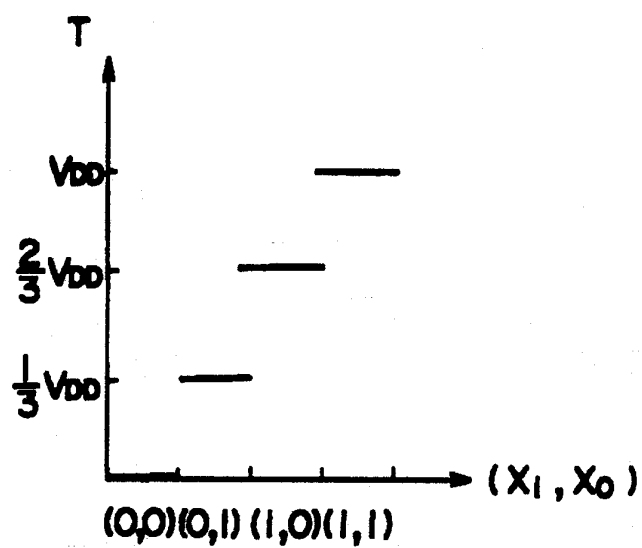


FIG 25

(e)

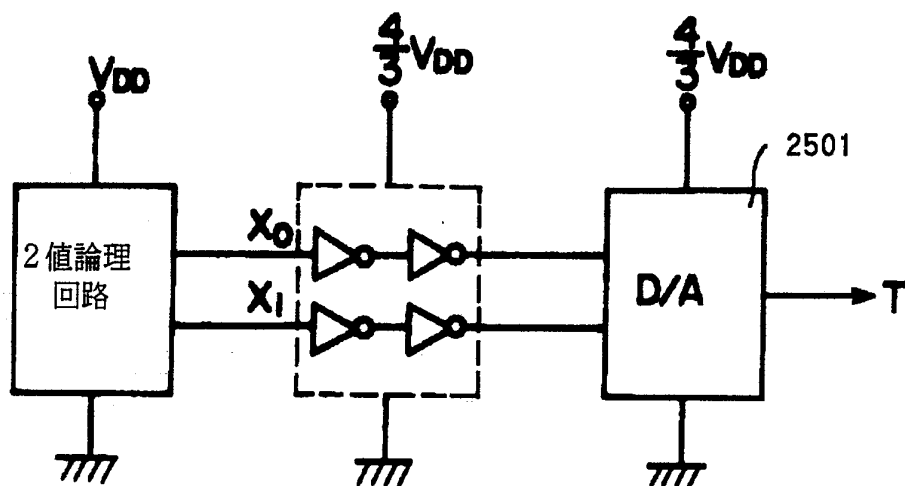


FIG 26

(a)

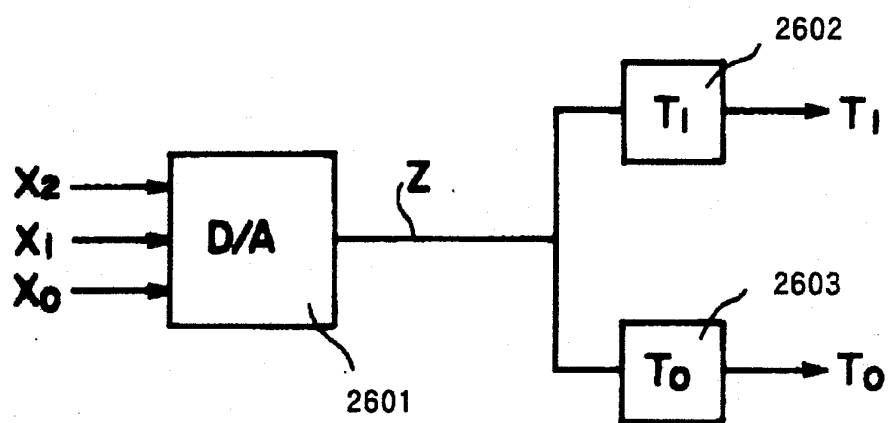


FIG 2 6

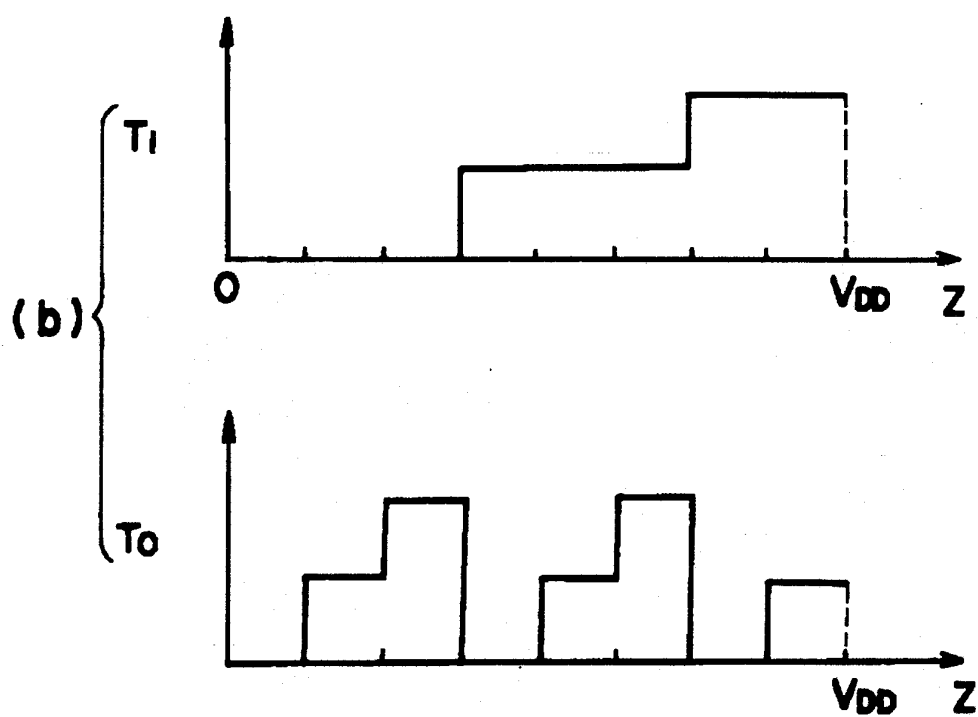
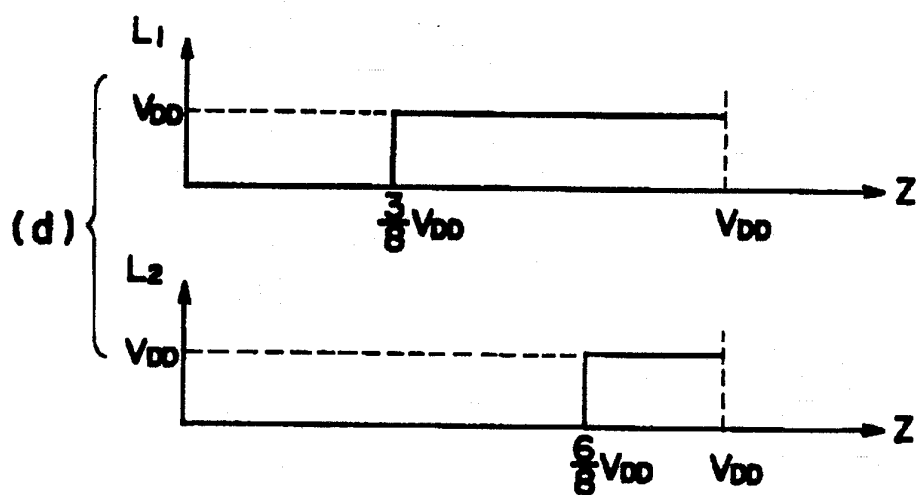
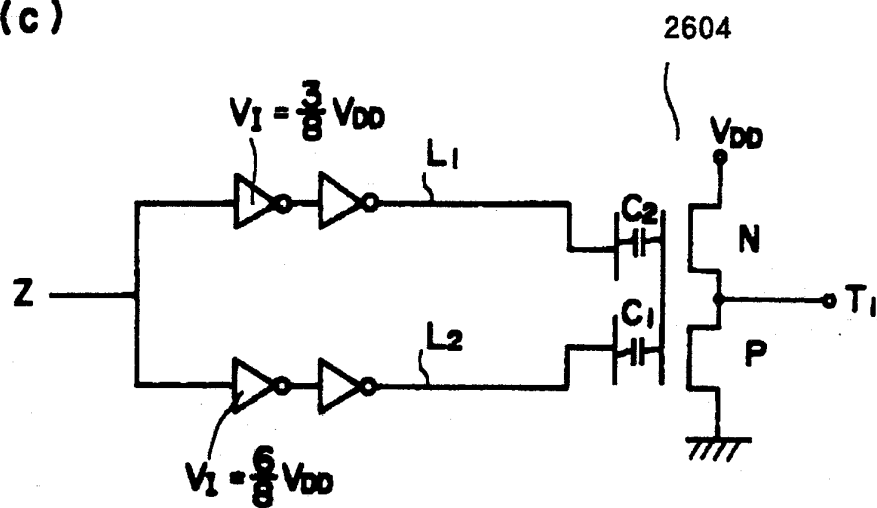


FIG 2 6

(c)



46/63

FIG 2 6

(e)

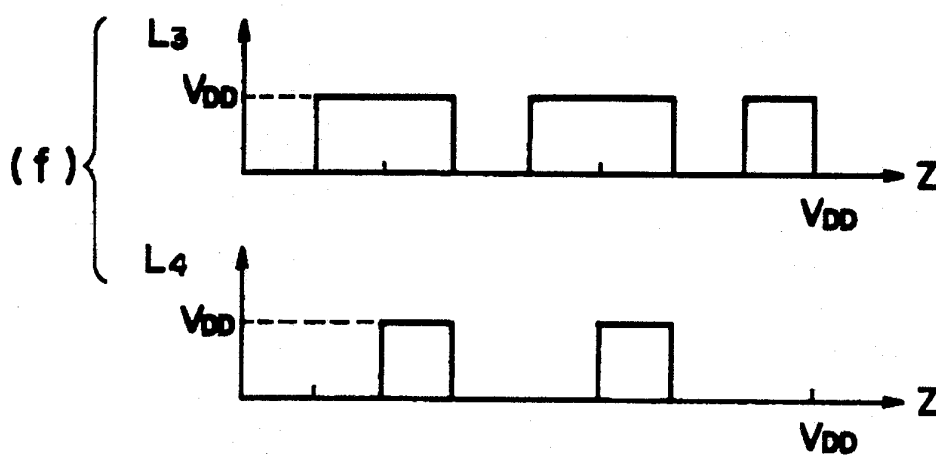
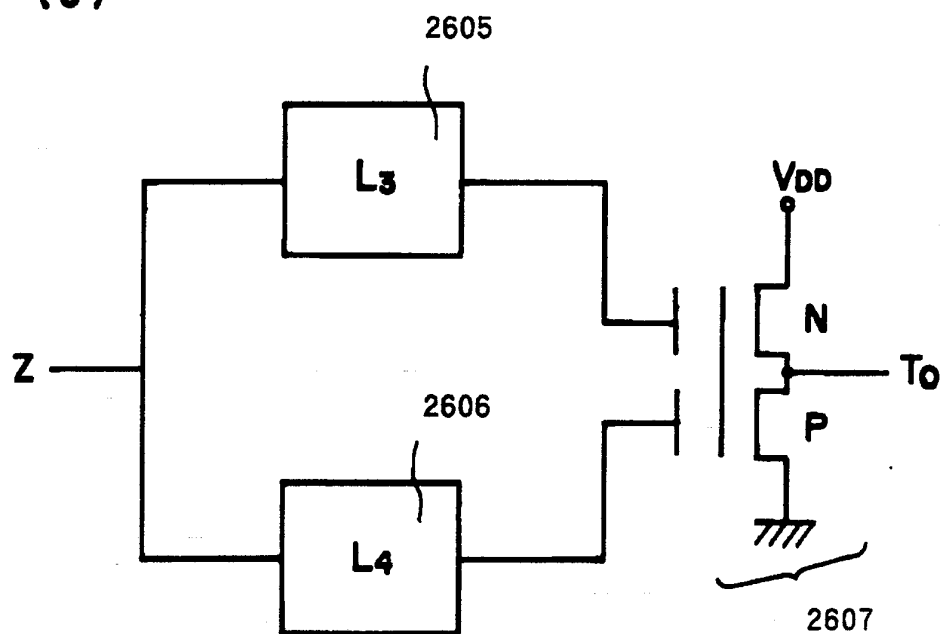
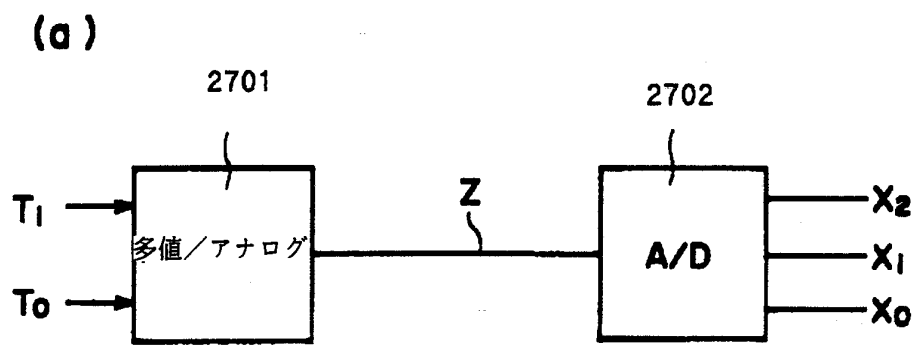


FIG 27



(b)

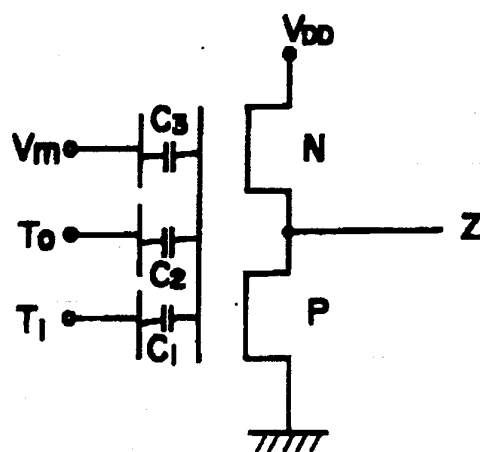


FIG 28

(a)

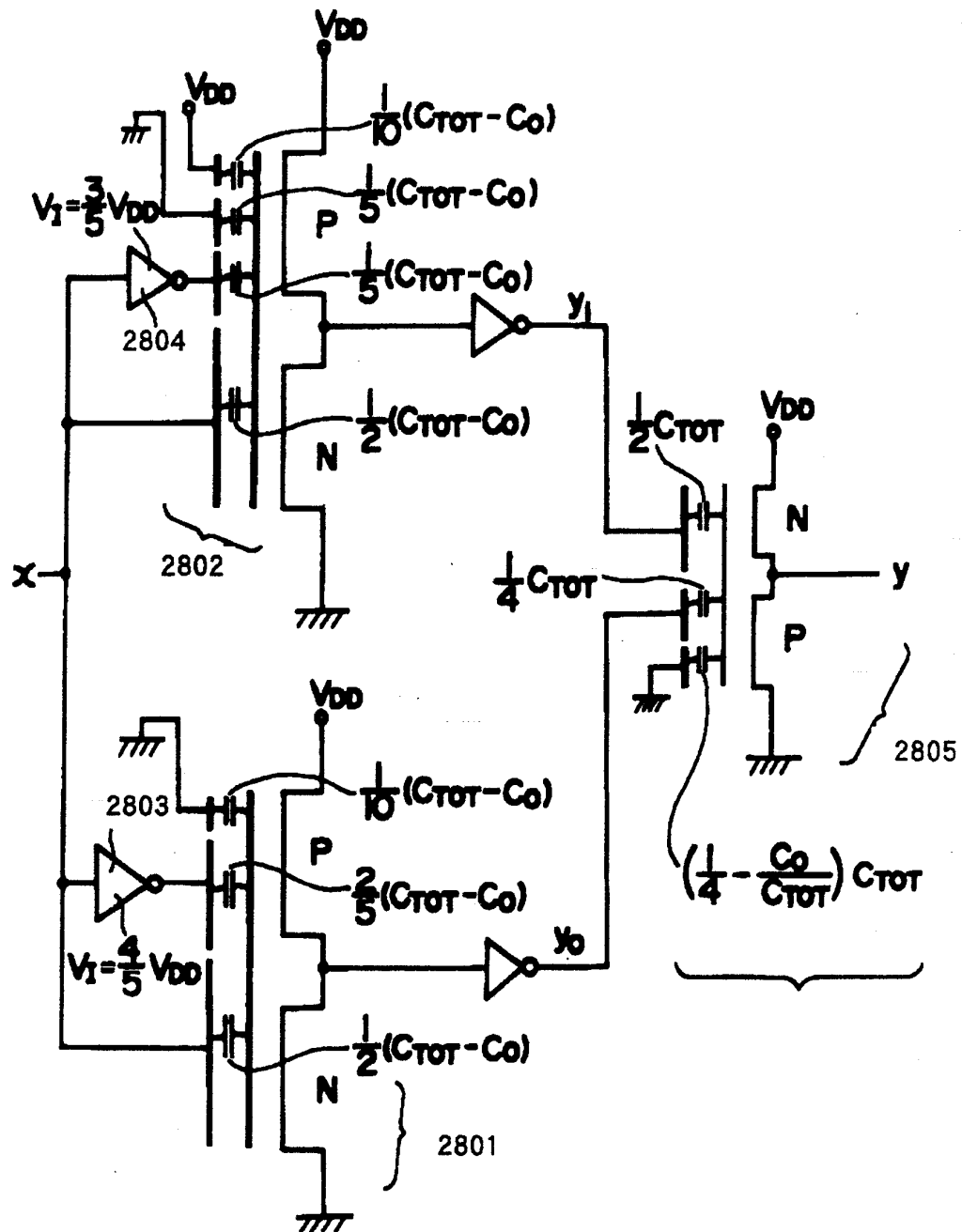


FIG 28

(b)

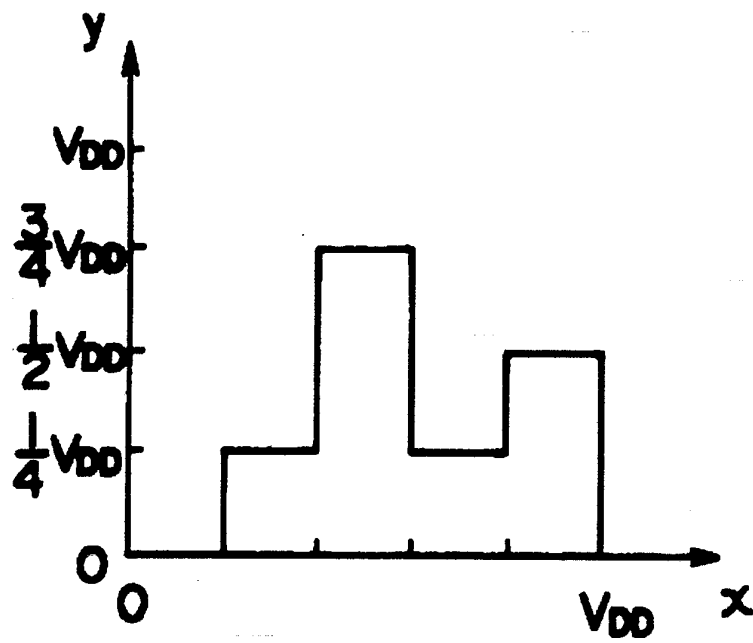
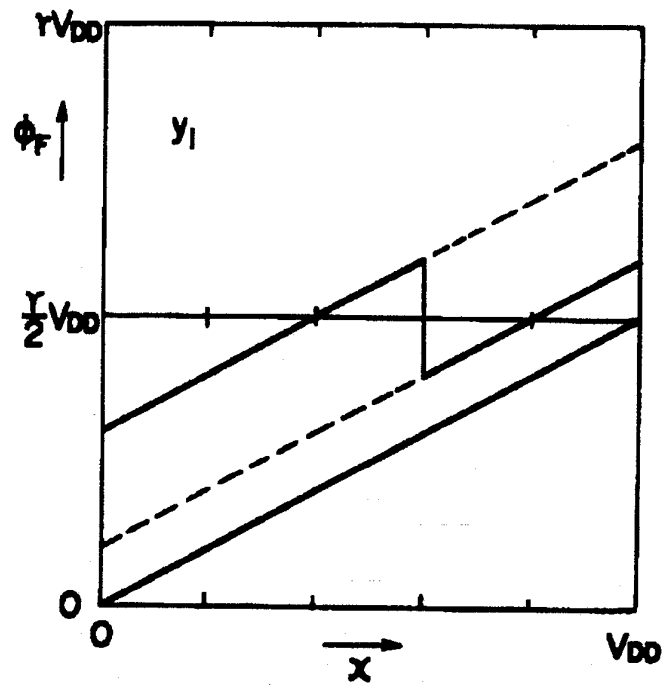


FIG 28

(c)



(d)

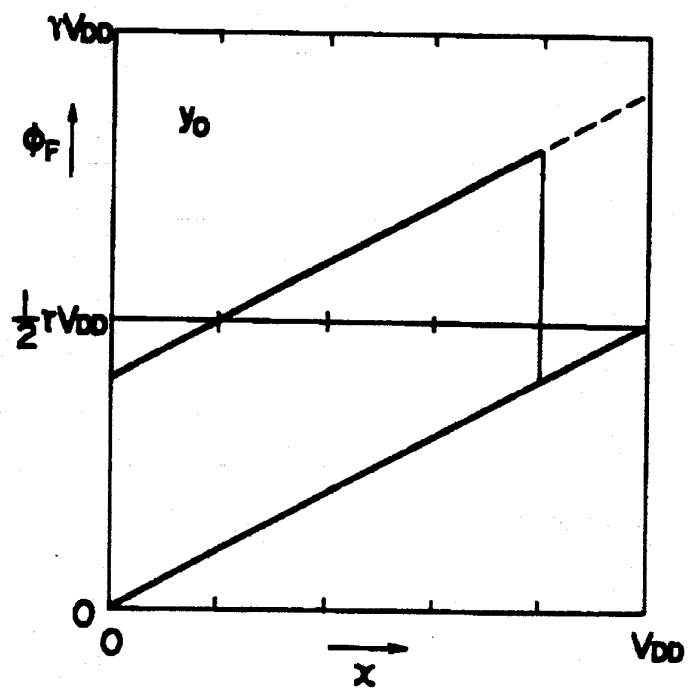
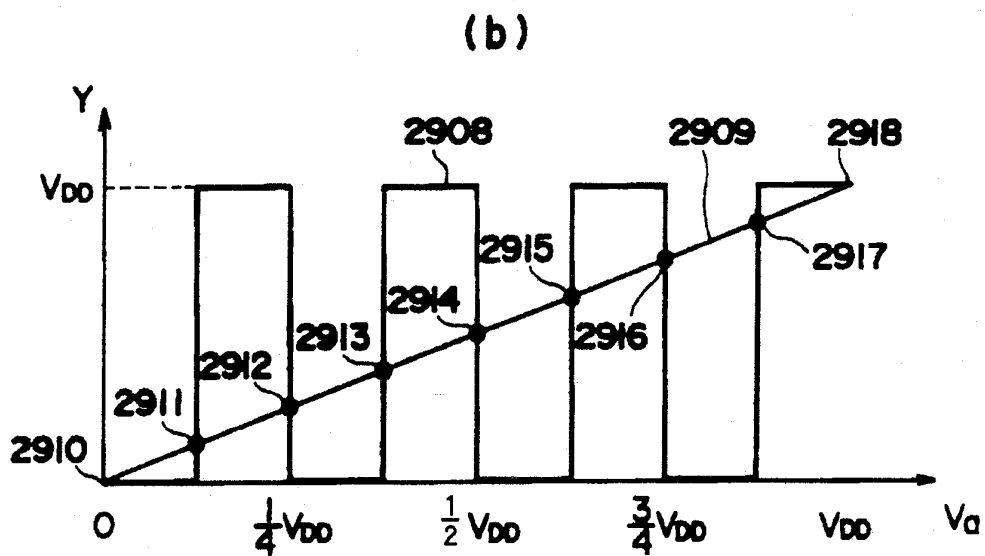
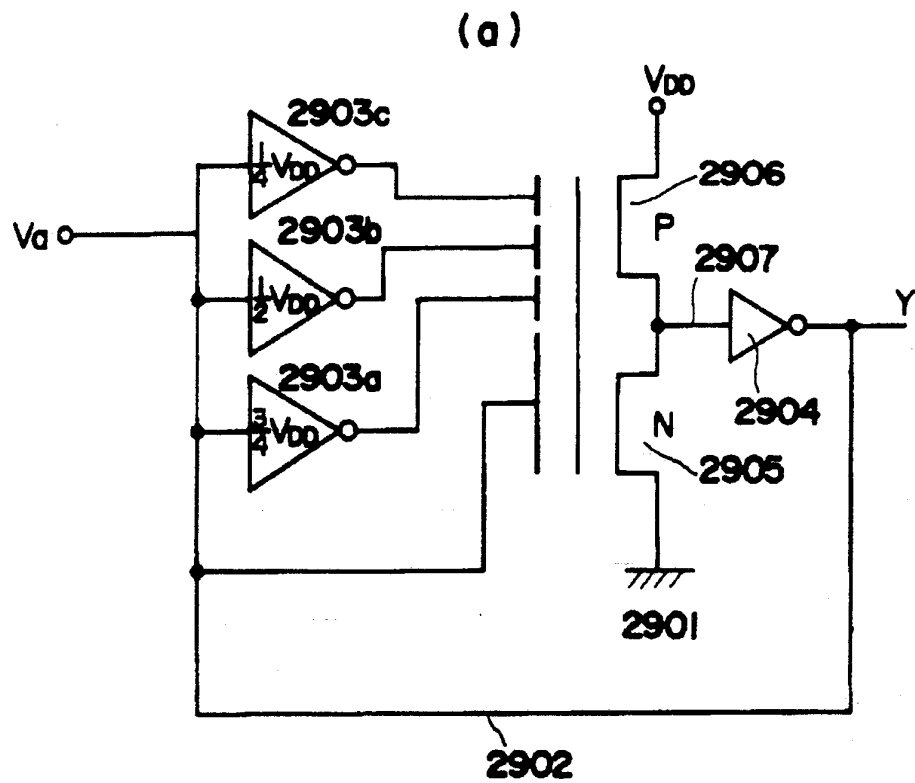


FIG 29



52/63

FIG 30

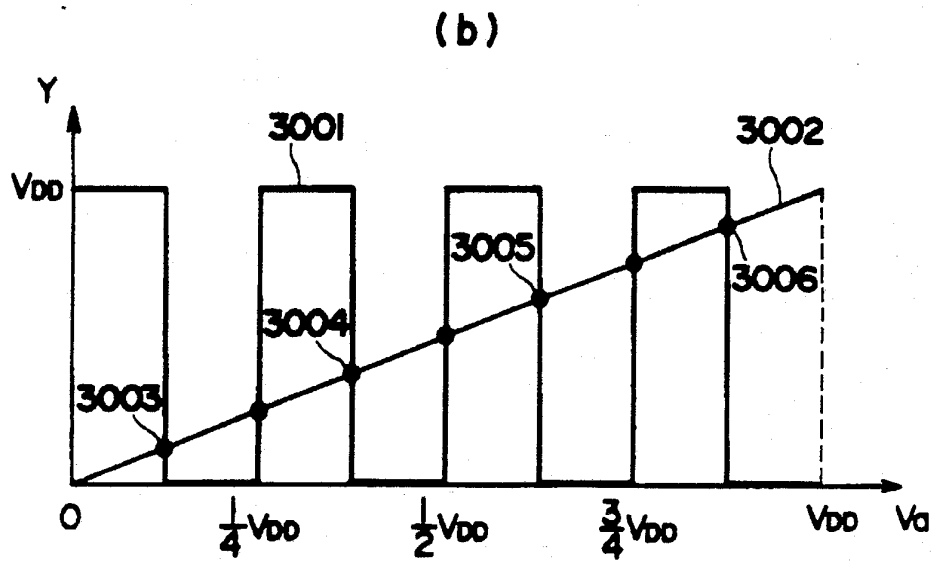
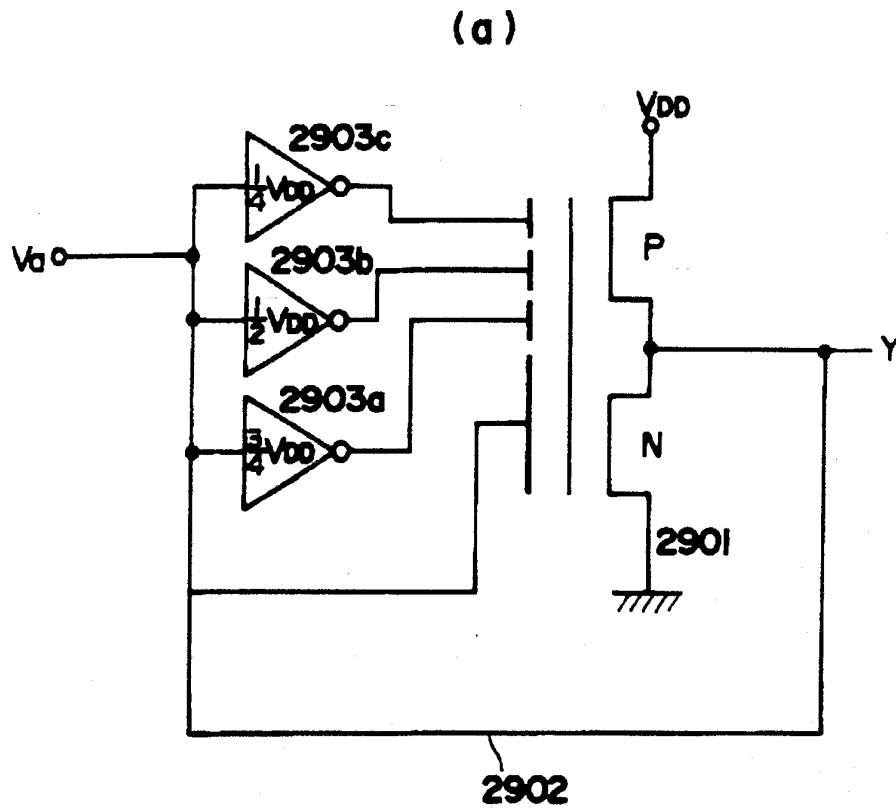
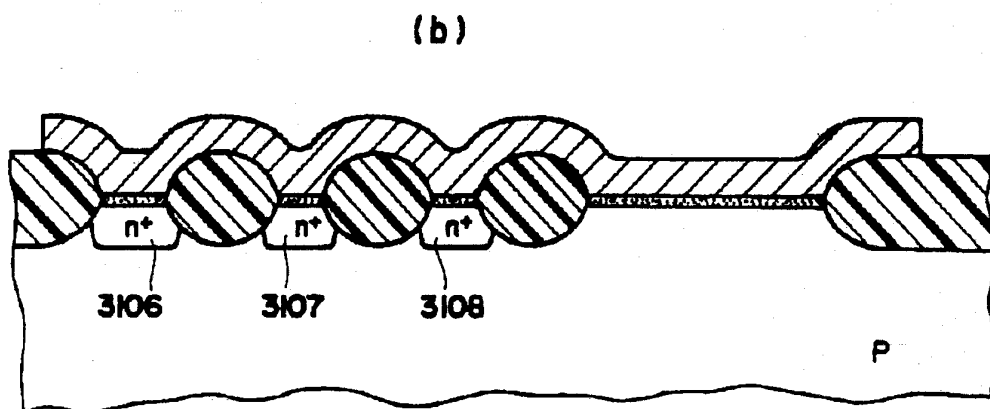
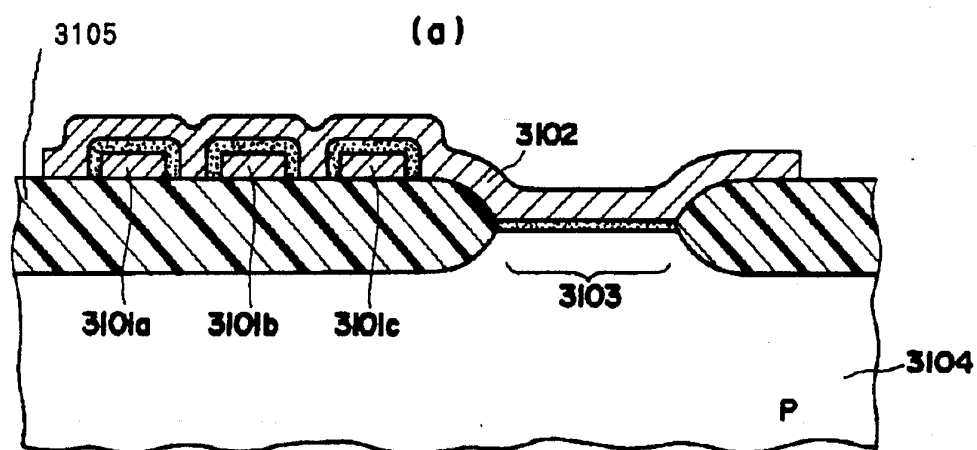


FIG 31



54/63

FIG 3 2

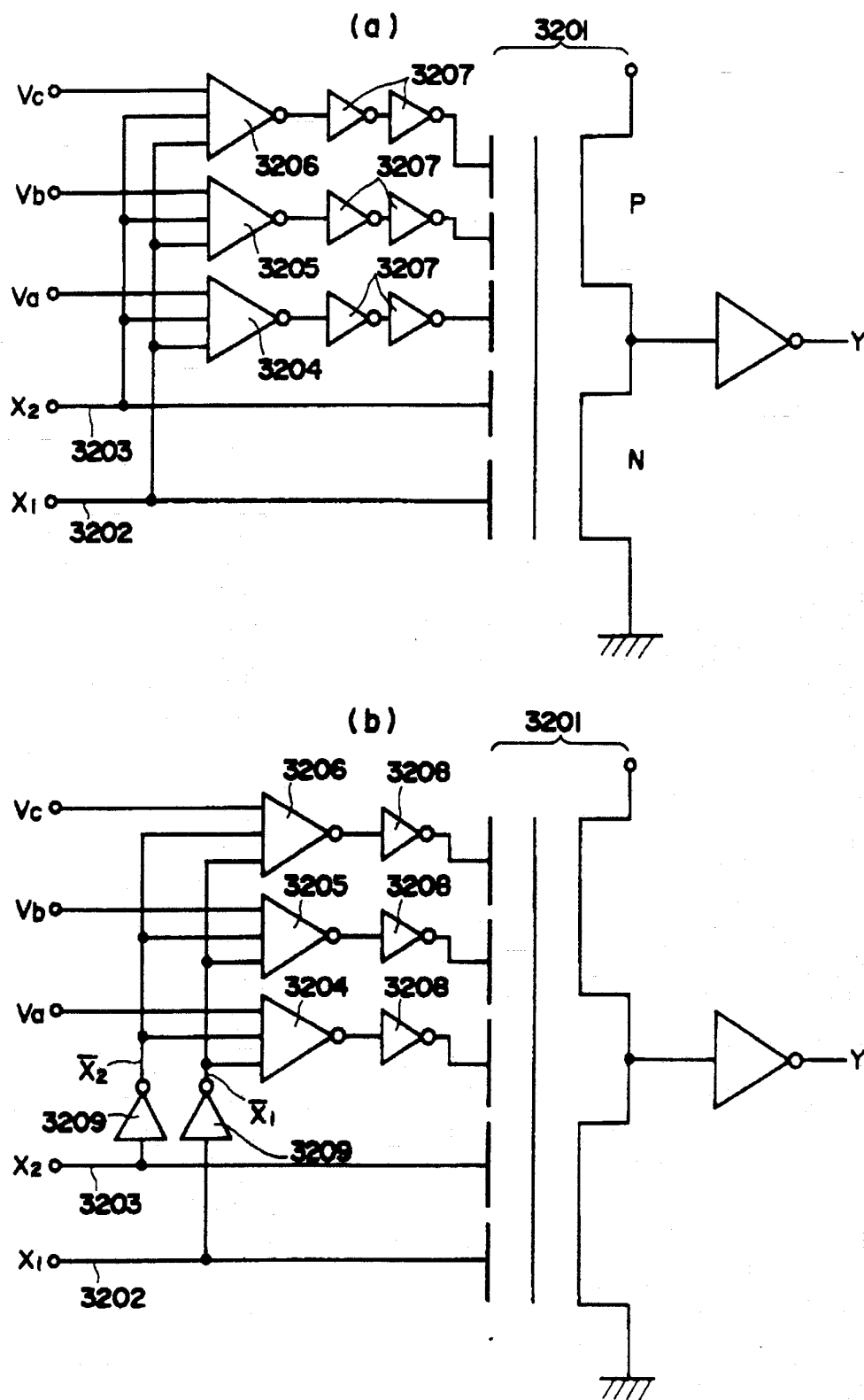


FIG 32

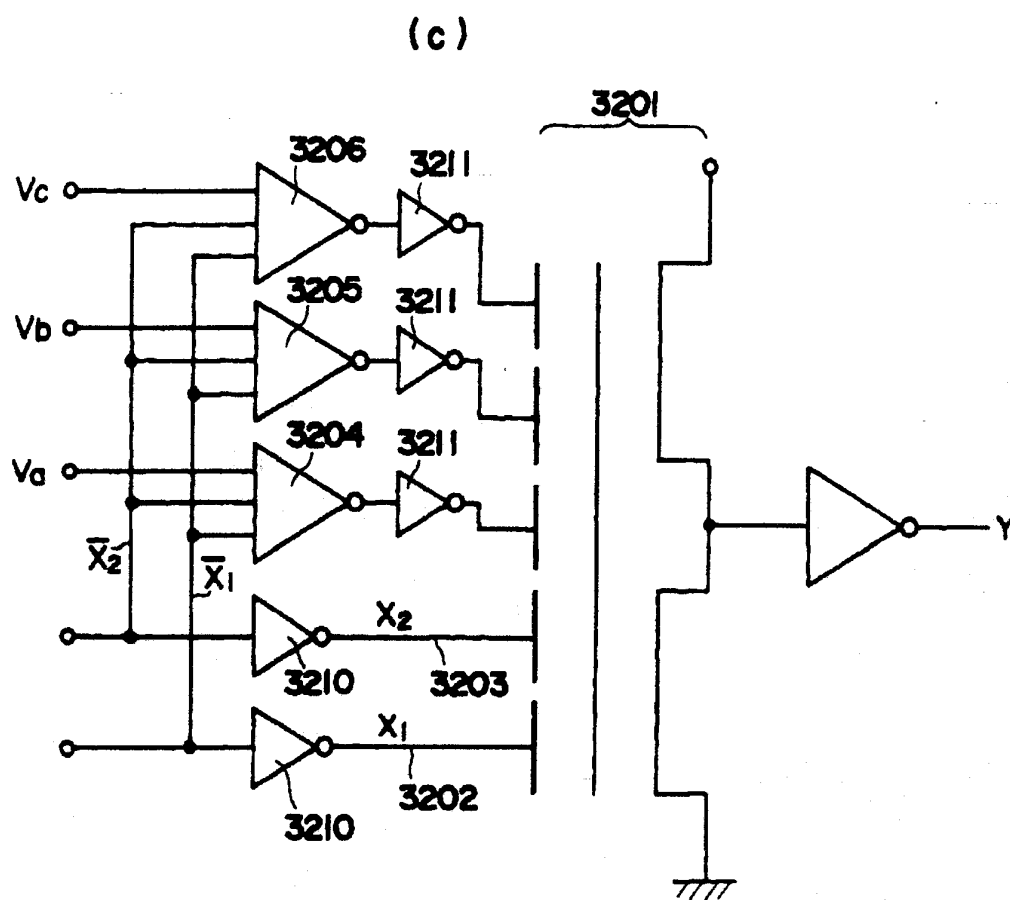
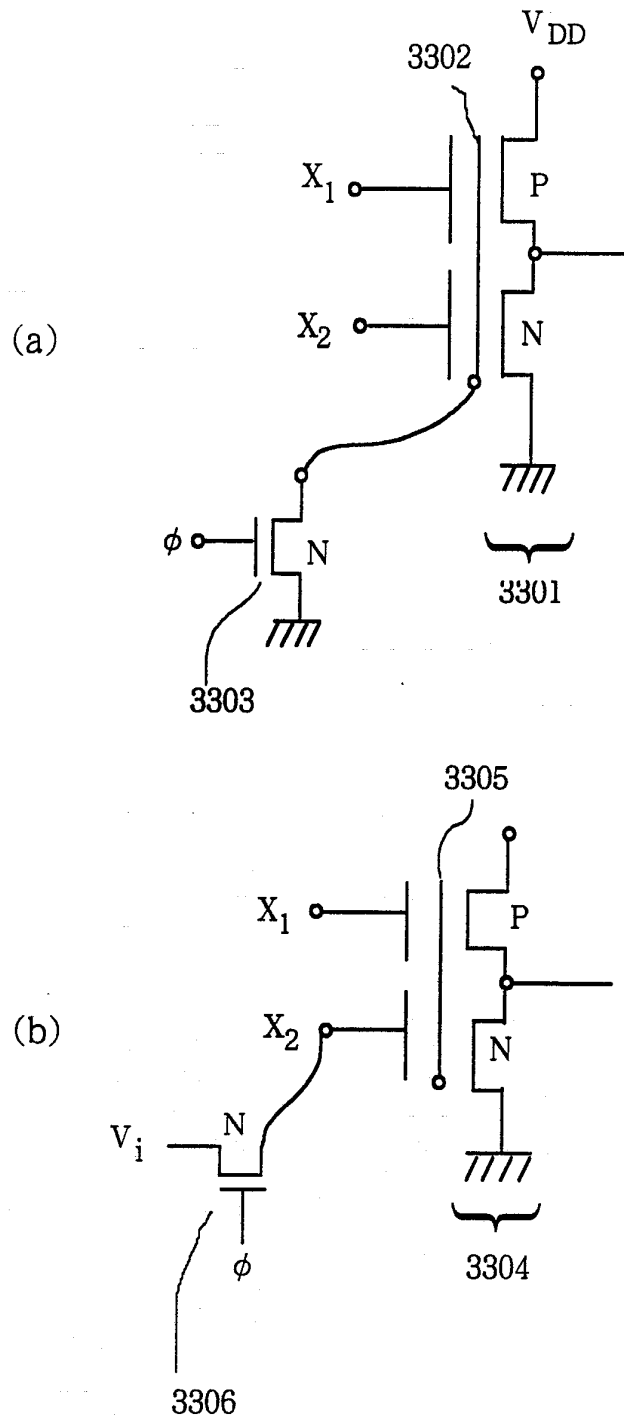
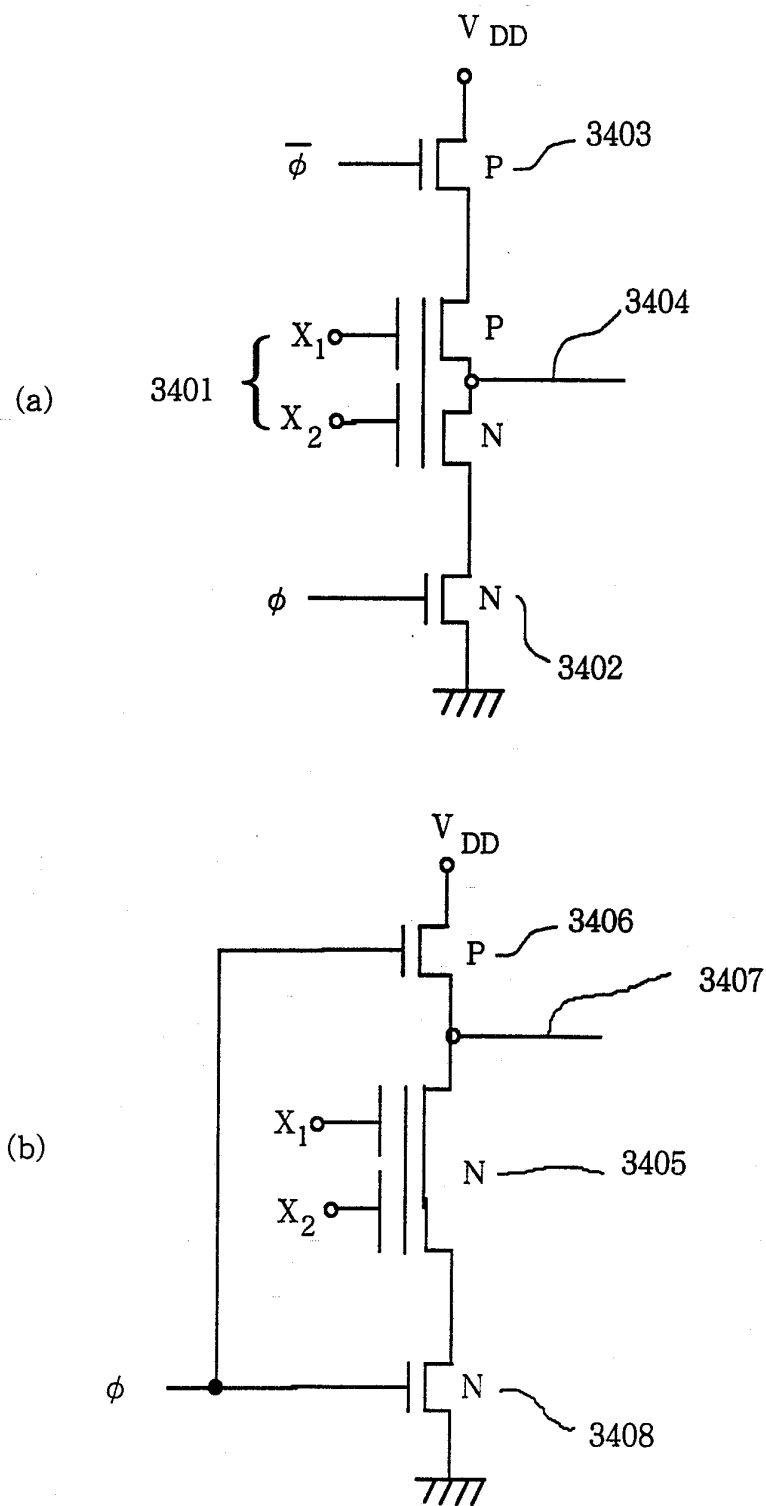


FIG 33



57/63

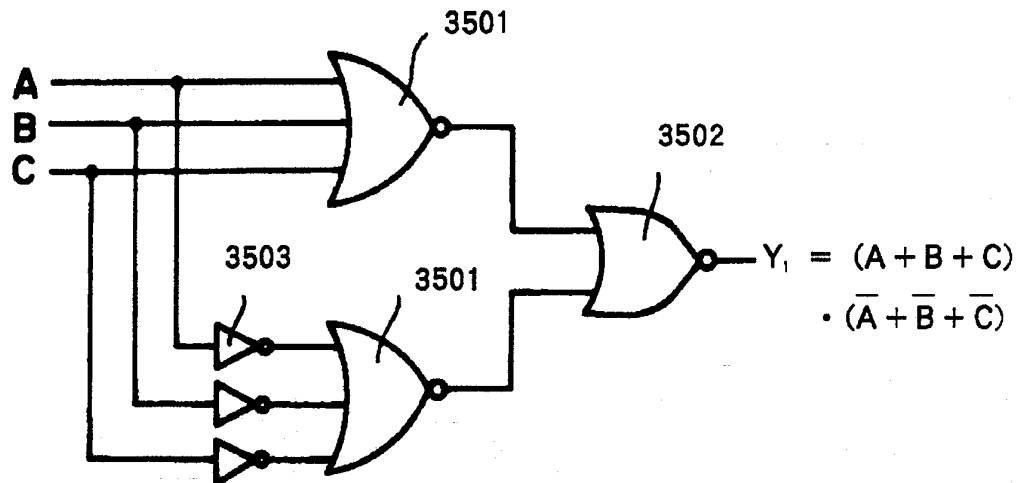
FIG 34



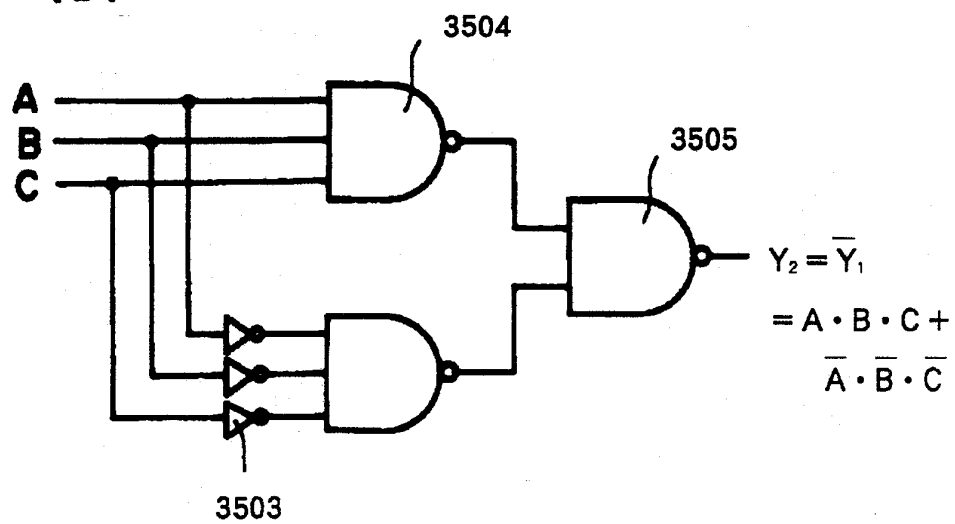
58/63

FIG 35

(a)



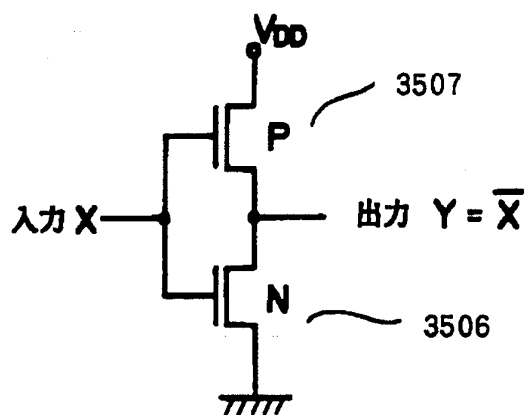
(b)



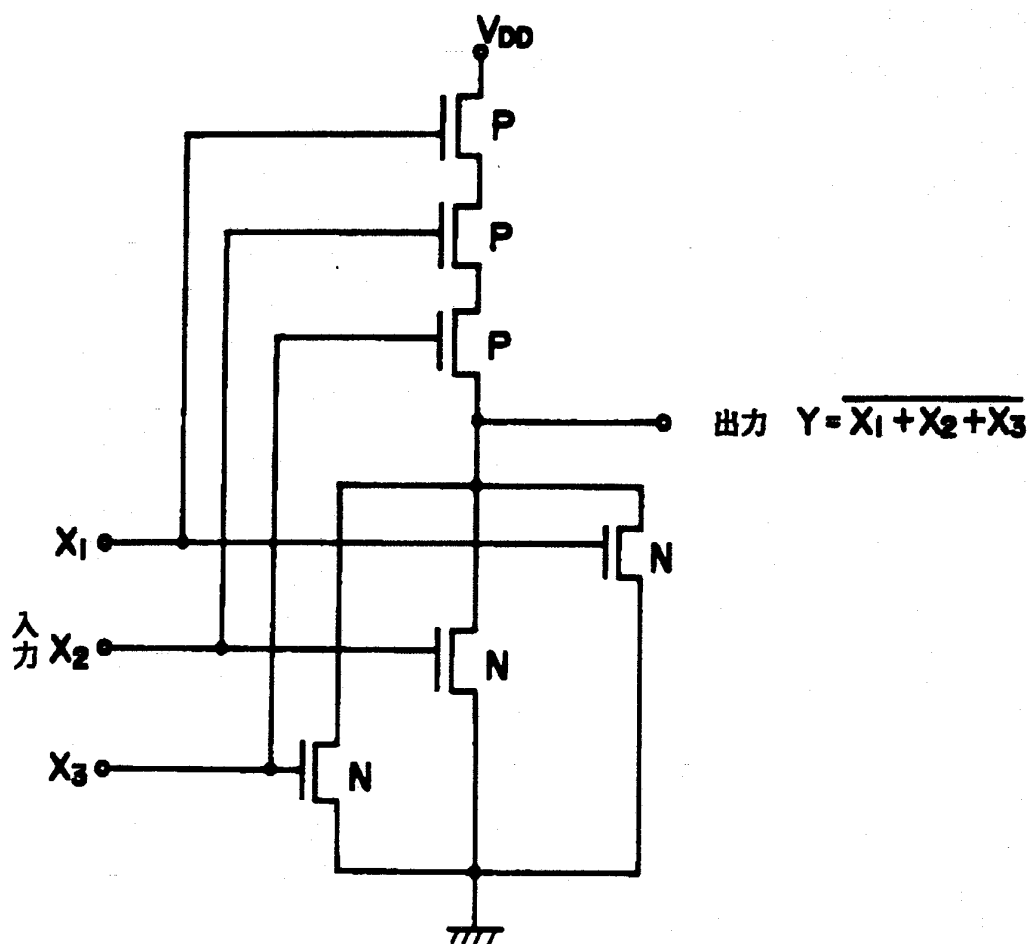
59/63

FIG 35

(c)



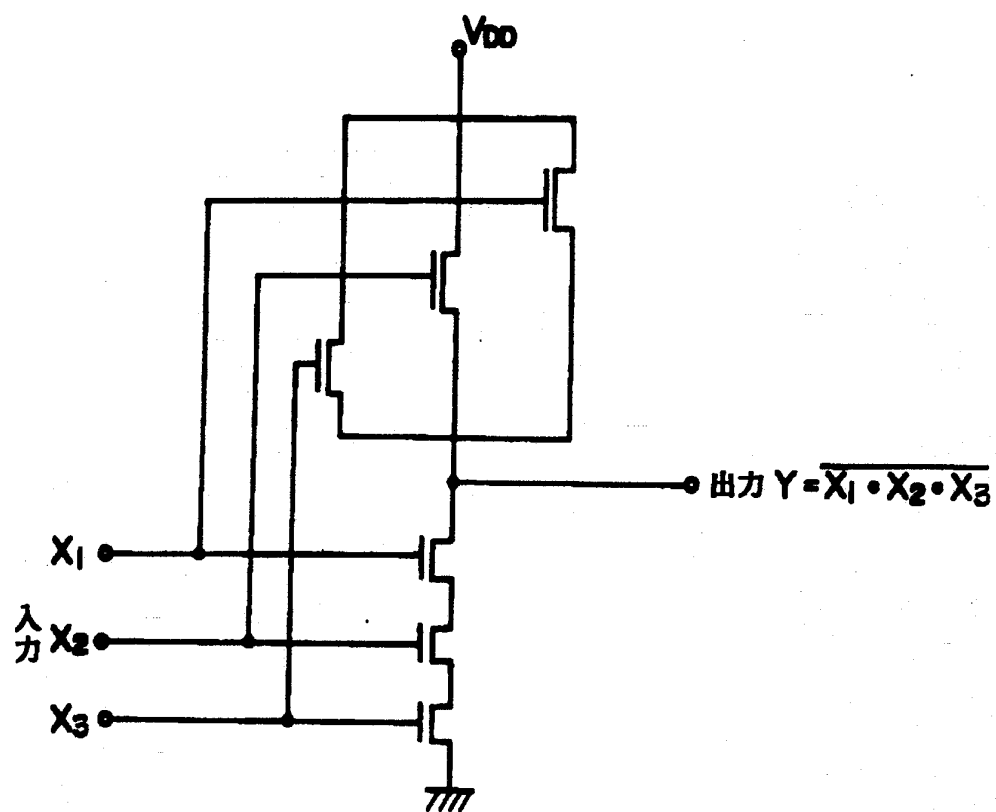
(d)



60/63

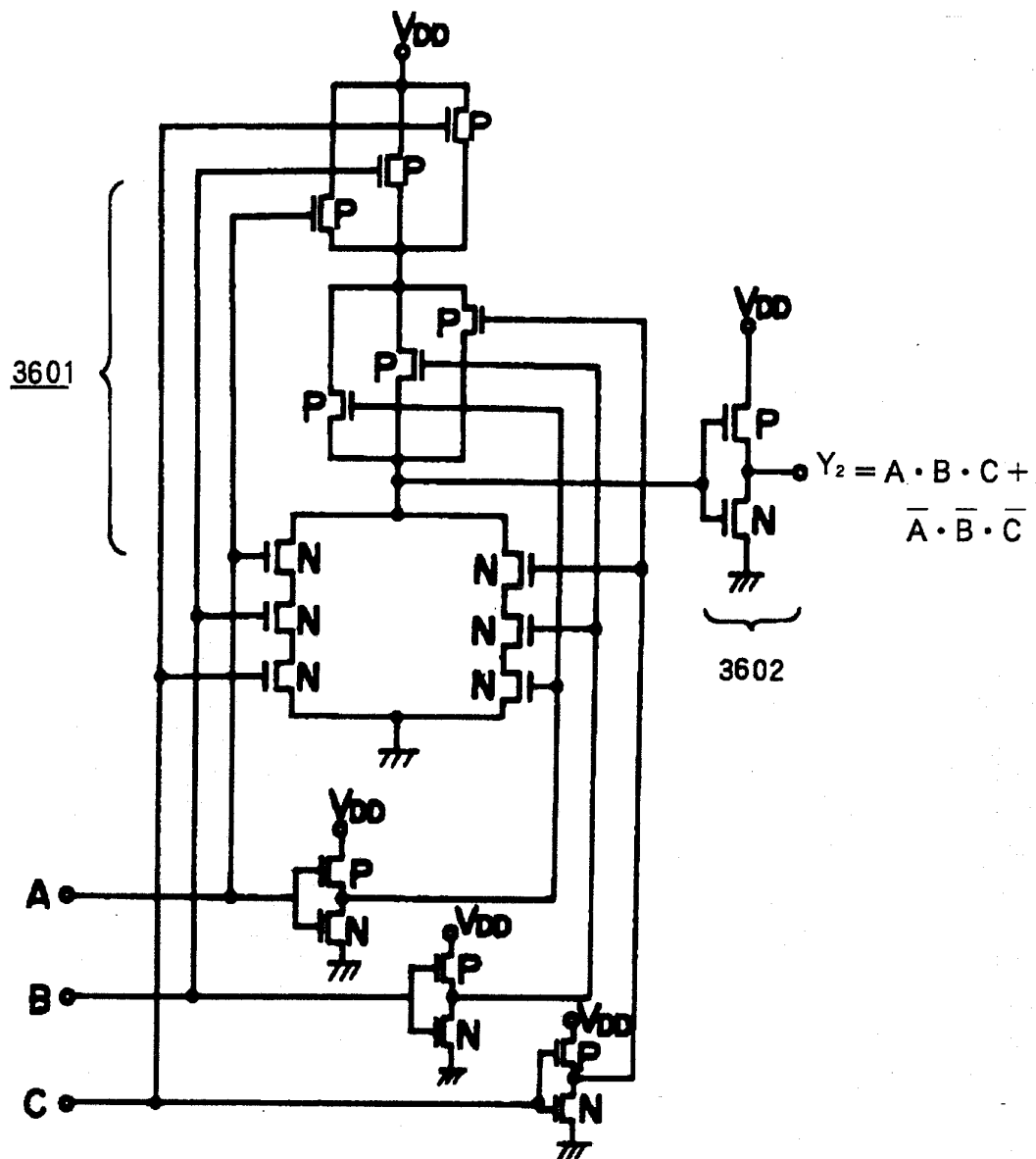
FIG 35

(e)



61/63

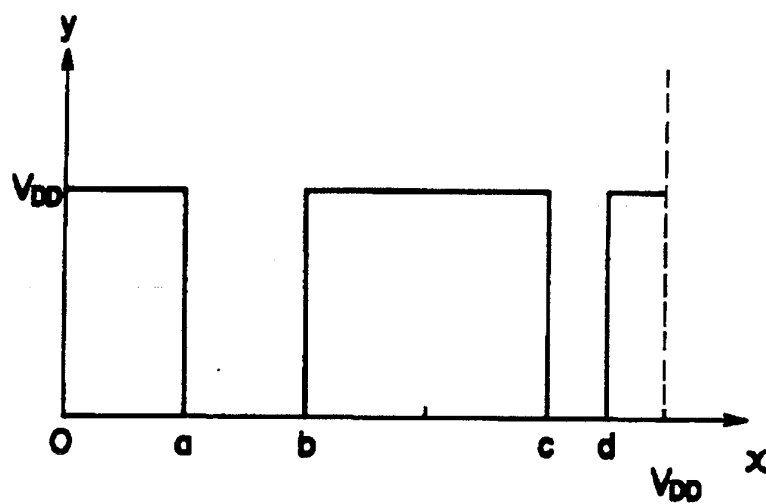
FIG 36



62/63

FIG 37

(a)



(b)

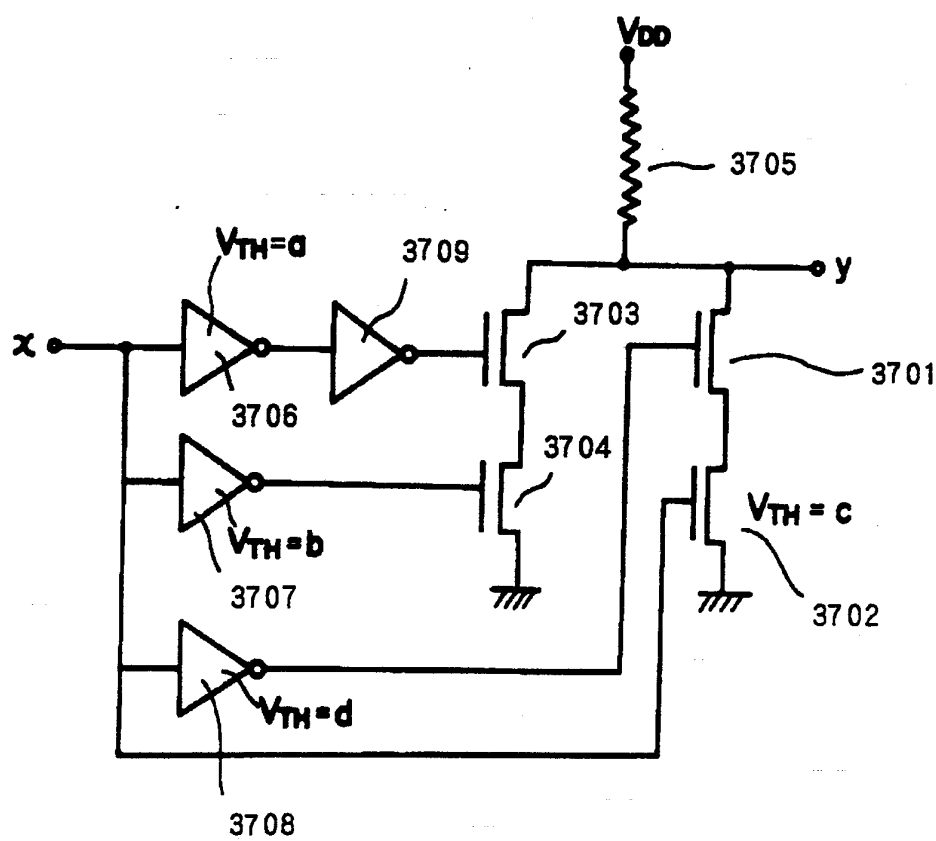
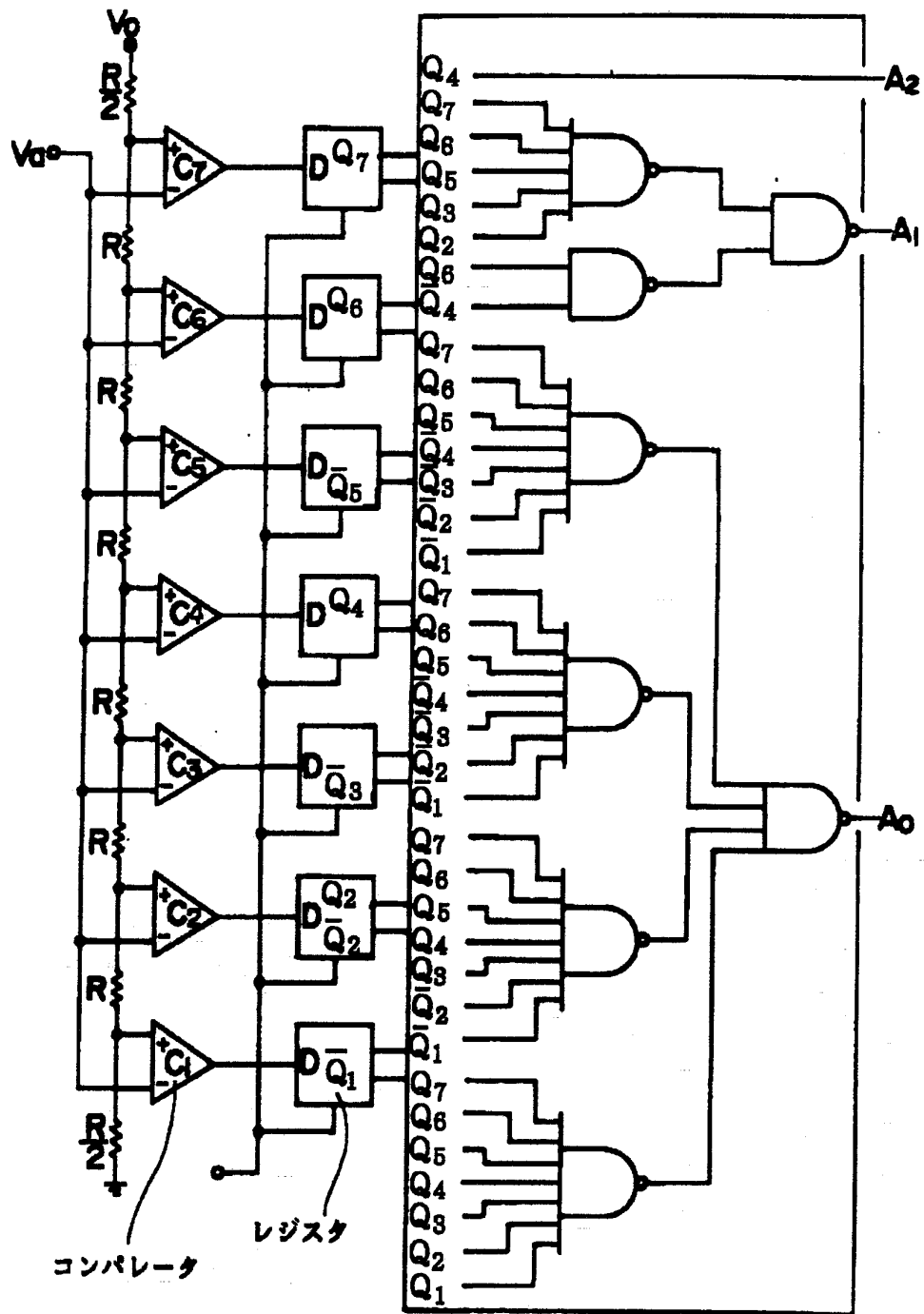


FIG 38



組合わせ論理回路

# INTERNATIONAL SEARCH REPORT

International Application No PCT/JP92/00347

| <b>I. CLASSIFICATION OF SUBJECT MATTER</b> (If several classification symbols apply, indicate all) <sup>6</sup><br>According to International Patent Classification (IPC) or to both National Classification and IPC<br>Int. Cl <sup>5</sup> H01L29/788, H01L29/66, G06G7/60, H03K19/0944                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                                                                |                                     |                                                                                        |                                                                                                                |                                                             |                                              |                                                                                    |      |   |                                                                                      |      |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------|-------------------------------------|----------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------|----------------------------------------------|------------------------------------------------------------------------------------|------|---|--------------------------------------------------------------------------------------|------|
| <b>II. FIELDS SEARCHED</b><br><div style="text-align: center; border: 1px solid black; padding: 2px;">Minimum Documentation Searched <sup>7</sup></div> <table style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 25%; border: 1px solid black; padding: 2px;">Classification System</th> <th style="border: 1px solid black; padding: 2px;">Classification Symbols</th> </tr> <tr> <td style="border: 1px solid black; text-align: center; padding: 5px;">IPC</td> <td style="border: 1px solid black; padding: 5px;">H01L29/788, H01L29/66, G06G7/60, H03K19/0944</td> </tr> </table> <div style="text-align: center; border: 1px solid black; padding: 2px;">Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched <sup>8</sup></div> <div style="display: flex; justify-content: space-between; padding: 5px;"> <div>Jitsuyo Shinan Koho</div> <div>1960 - 1992</div> </div> <div style="display: flex; justify-content: space-between; padding: 5px;"> <div>Kokai Jitsuyo Shinan Koho</div> <div>1971 - 1992</div> </div>                                                                                                                                                                                                                                                                                                                                           |                                                                                                                |                                     | Classification System                                                                  | Classification Symbols                                                                                         | IPC                                                         | H01L29/788, H01L29/66, G06G7/60, H03K19/0944 |                                                                                    |      |   |                                                                                      |      |
| Classification System                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 | Classification Symbols                                                                                         |                                     |                                                                                        |                                                                                                                |                                                             |                                              |                                                                                    |      |   |                                                                                      |      |
| IPC                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   | H01L29/788, H01L29/66, G06G7/60, H03K19/0944                                                                   |                                     |                                                                                        |                                                                                                                |                                                             |                                              |                                                                                    |      |   |                                                                                      |      |
| <b>III. DOCUMENTS CONSIDERED TO BE RELEVANT <sup>9</sup></b> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%; padding: 2px;">Category <sup>10</sup></th> <th style="width: 70%; padding: 2px;">Citation of Document, <sup>11</sup> with indication, where appropriate, of the relevant passages <sup>12</sup></th> <th style="width: 20%; padding: 2px;">Relevant to Claim No. <sup>13</sup></th> </tr> </thead> <tbody> <tr> <td style="text-align: center; vertical-align: top; padding: 5px;">A</td> <td style="padding: 5px;">JP, A, 3-6679 (Tadashi Shibata),<br/>January 14, 1991 (14. 01. 91),<br/>&amp; WO90/15444</td> <td style="text-align: center; vertical-align: top; padding: 5px;">1-25</td> </tr> <tr> <td style="text-align: center; vertical-align: top; padding: 5px;">A</td> <td style="padding: 5px;">JP, A, 59-175770 (Toshiba Corp.),<br/>October 4, 1984 (04. 10. 84),<br/>(Family: none)</td> <td style="text-align: center; vertical-align: top; padding: 5px;">1-25</td> </tr> </tbody> </table>                                                                                                                                                                                                                                                                                                                                                                                    |                                                                                                                |                                     | Category <sup>10</sup>                                                                 | Citation of Document, <sup>11</sup> with indication, where appropriate, of the relevant passages <sup>12</sup> | Relevant to Claim No. <sup>13</sup>                         | A                                            | JP, A, 3-6679 (Tadashi Shibata),<br>January 14, 1991 (14. 01. 91),<br>& WO90/15444 | 1-25 | A | JP, A, 59-175770 (Toshiba Corp.),<br>October 4, 1984 (04. 10. 84),<br>(Family: none) | 1-25 |
| Category <sup>10</sup>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                | Citation of Document, <sup>11</sup> with indication, where appropriate, of the relevant passages <sup>12</sup> | Relevant to Claim No. <sup>13</sup> |                                                                                        |                                                                                                                |                                                             |                                              |                                                                                    |      |   |                                                                                      |      |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | JP, A, 3-6679 (Tadashi Shibata),<br>January 14, 1991 (14. 01. 91),<br>& WO90/15444                             | 1-25                                |                                                                                        |                                                                                                                |                                                             |                                              |                                                                                    |      |   |                                                                                      |      |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | JP, A, 59-175770 (Toshiba Corp.),<br>October 4, 1984 (04. 10. 84),<br>(Family: none)                           | 1-25                                |                                                                                        |                                                                                                                |                                                             |                                              |                                                                                    |      |   |                                                                                      |      |
| <div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p><sup>10</sup> Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="width: 45%;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p> </div> </div> |                                                                                                                |                                     |                                                                                        |                                                                                                                |                                                             |                                              |                                                                                    |      |   |                                                                                      |      |
| <b>IV. CERTIFICATION</b> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%; border: 1px solid black; padding: 5px;">           Date of the Actual Completion of the International Search<br/>           June 8, 1992 (08. 06. 92)         </td> <td style="width: 50%; border: 1px solid black; padding: 5px;">           Date of Mailing of this International Search Report<br/>           June 30, 1992 (30. 06. 92)         </td> </tr> <tr> <td style="border: 1px solid black; padding: 5px;">           International Searching Authority<br/>           Japanese Patent Office         </td> <td style="border: 1px solid black; padding: 5px;">           Signature of Authorized Officer         </td> </tr> </table>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |                                                                                                                |                                     | Date of the Actual Completion of the International Search<br>June 8, 1992 (08. 06. 92) | Date of Mailing of this International Search Report<br>June 30, 1992 (30. 06. 92)                              | International Searching Authority<br>Japanese Patent Office | Signature of Authorized Officer              |                                                                                    |      |   |                                                                                      |      |
| Date of the Actual Completion of the International Search<br>June 8, 1992 (08. 06. 92)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                | Date of Mailing of this International Search Report<br>June 30, 1992 (30. 06. 92)                              |                                     |                                                                                        |                                                                                                                |                                                             |                                              |                                                                                    |      |   |                                                                                      |      |
| International Searching Authority<br>Japanese Patent Office                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | Signature of Authorized Officer                                                                                |                                     |                                                                                        |                                                                                                                |                                                             |                                              |                                                                                    |      |   |                                                                                      |      |

# 国 際 調 査 報 告

国際出願番号PCT/JP92/ 00347

|                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |                                                                          |             |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------|-------------|
| I. 発明の属する分野の分類                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                          |             |
| 国際特許分類 (IPC)                                                                                                                                                                                                                                                                                                                                                                                                                                                          |                                                                          |             |
| Int. Cl. <sup>8</sup> H01L29/788, H01L29/66,<br>G06G7/60, H03K19/0944                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                          |             |
| II. 国際調査を行った分野                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                          |             |
| 調 査 を 行 っ た 最 小 限 資 料                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                          |             |
| 分 類 体 系                                                                                                                                                                                                                                                                                                                                                                                                                                                               | 分 類 記 号                                                                  |             |
| IPC                                                                                                                                                                                                                                                                                                                                                                                                                                                                   | H01L29/788, H01L29/66, G06G7/60,<br>H03K19/0944                          |             |
| 最小限資料以外の資料で調査を行ったもの                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                          |             |
| 日本国実用新案公報 1960-1992年<br>日本国公開実用新案公報 1971-1992年                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                          |             |
| III. 関連する技術に関する文献                                                                                                                                                                                                                                                                                                                                                                                                                                                     |                                                                          |             |
| 引用文献の<br>カテゴリー*                                                                                                                                                                                                                                                                                                                                                                                                                                                       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                        | 請求の範囲の番号    |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | JP, A, 3-6679 ( 柴田 直 ),<br>14. 1月. 1991 ( 14. 01. 91 )<br>&WO90/15444    | 1-25        |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | JP, A, 59-175770 ( 株式会社 東芝 ),<br>4. 10月. 1984 ( 04. 10. 84 ) ( ファミリーなし ) | 1-25        |
| <p>※引用文献のカテゴリー</p> <p>「A」特に関連のある文献ではなく、一般的技术水準を示すもの<br/> 「E」先行文献ではあるが、国際出願日以後に公表されたもの<br/> 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)<br/> 「O」口頭による開示、使用、展示等に言及する文献<br/> 「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>「T」国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの<br/> 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br/> 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br/> 「&amp;」同一パテントファミリーの文献</p> |                                                                          |             |
| IV. 認 証                                                                                                                                                                                                                                                                                                                                                                                                                                                               |                                                                          |             |
| 国際調査を完了した日                                                                                                                                                                                                                                                                                                                                                                                                                                                            | 国際調査報告の発送日                                                               |             |
| 08. 06. 92                                                                                                                                                                                                                                                                                                                                                                                                                                                            | 30.06.92                                                                 |             |
| 国際調査機関                                                                                                                                                                                                                                                                                                                                                                                                                                                                | 権限のある職員                                                                  | 4 M 7 3 7 7 |
| 日本国特許庁 (ISA/JP)                                                                                                                                                                                                                                                                                                                                                                                                                                                       | 特許庁審査官                                                                   | 眞 鍋 源       |