



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년05월17일  
 (11) 등록번호 10-1034776  
 (24) 등록일자 2011년05월06일

(51) Int. Cl.

H03F 3/26 (2006.01)

(21) 출원번호 10-2004-0003915

(22) 출원일자 2004년01월19일

심사청구일자 2009년01월08일

(65) 공개번호 10-2005-0076107

(43) 공개일자 2005년07월26일

(56) 선행기술조사문헌

US20030201803 A1\*

KPPD20000064712A

US20040257160

US20040090268

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

문국철

경기도수원시팔달구영통동벽적골주공아파트904동1001호

김일곤

서울특별시영등포구신길7동삼환아파트101동1106호

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 23 항

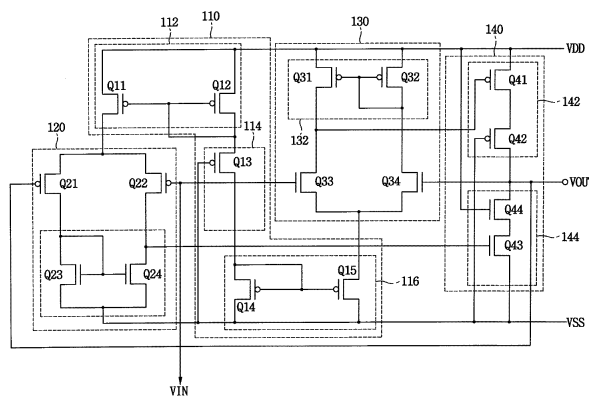
심사관 : 정병홍

**(54) 증폭기와, 이를 갖는 데이터 드라이버 및 표시 장치**

**(57) 요약**

오프셋 보상을 위한 증폭기와, 이를 갖는 데이터 드라이버 및 표시 장치가 개시된다. 바이어싱부는 제1 전원전압과 제2 전원전압을 근거로 제1 및 제2 바이어스 전류를 공급하고, 제1 증폭부는 외부로부터 입력전압이 인가됨에 따라, 제1 바이어스 전류를 근거로 제1 증폭 전압을 출력하며, 제2 증폭부는 입력전압이 인가됨에 따라, 제2 바이어스 전류를 근거로 제2 증폭 전압을 출력한다. 출력부는 제1 증폭 전압과 제1 전원전압을 근거로 제2 전원전압을 풀-다운 출력하고, 제2 증폭 전압과 제2 전원전압을 근거로 제1 전원전압을 풀-업 출력한다. 이에 따라, 증폭기의 출력부 및 바이어싱부에 오프셋 전압을 보상하는 트랜지스터를 각각 구비하므로써, 출력단을 통해 출력되는 출력 전압의 오프셋 편차를 감쇄시킬 수 있다.

**대표도**



(72) 발명자

**박대형**

경기도용인시수지읍풍덕천2동성우현대아파트신정마  
을807동1802호

**김철호**

서울특별시구로구신도림동432-8

**김철민**

경기도성남시분당구서현동시범단지삼성아파트110-7  
02

**박기찬**

경기도수원시팔달구영통동황골마을주공1  
단지아파트124동503호

**특허청구의 범위**

**청구항 1**

제1 전원전압과 제2 전원전압을 근거로 하여 제1 및 제2 바이어스 전류를 공급하는 바이어싱부;

외부로부터 입력전압이 인가됨에 따라, 상기 제1 바이어스 전류를 근거로 하여 제1 증폭 전압을 출력하는 제1 증폭부;

상기 입력전압이 인가됨에 따라, 상기 제2 바이어스 전류를 근거로 하여 제2 증폭 전압을 출력하는 제2 증폭부; 및

상기 제1 증폭 전압 및 상기 제1 전원전압을 근거로 하여 상기 제1 전원전압과 다른 상기 제2 전원전압을 풀-다운 출력하고, 상기 제2 증폭 전압 및 상기 제2 전원전압을 근거로 하여 상기 제2 전원전압과 다른 상기 제1 전원전압을 풀-업 출력하는 출력부를 포함하는 증폭기.

**청구항 2**

제1항에 있어서, 상기 출력부는,

상기 제2 증폭 전압과 상기 제2 전원전압을 근거로 상기 제1 전원전압을 출력단을 통해 풀-업 출력하고, 상기 풀-업 출력되는 전압을 상기 제1 및 제2 증폭부에 피드백하는 제1 출력 보상부; 및

상기 제1 증폭 전압과 상기 제1 전원전압을 근거로 상기 제2 전원전압을 상기 출력단을 통해 풀-다운 출력하고, 상기 풀-다운 출력되는 전압을 상기 제1 및 제2 증폭부에 피드백하는 제2 출력 보상부를 포함하는 증폭기.

**청구항 3**

제2항에 있어서, 상기 제1 출력 보상부는,

제1 전류전극이 상기 제1 전원전압에 연결되고, 제어전극이 상기 제2 증폭부에 연결된 제1 트랜지스터; 및

제1 전류전극이 상기 제1 트랜지스터의 제2 전류전극에 연결되고, 제어전극이 상기 제2 전원전압에 연결되며, 제2 전류전극이 상기 출력단, 제1 및 제2 증폭부에 연결된 제2 트랜지스터를 포함하는 증폭기.

**청구항 4**

제3항에 있어서, 상기 제1 및 제2 트랜지스터는,

P-채널 트랜지스터인 것을 특징으로 하는 증폭기.

**청구항 5**

제3항에 있어서, 상기 제1 및 제2 트랜지스터는,

저온 다결정 실리콘 박막 트랜지스터(Poly-Si TFT)인 것을 특징으로 하는 증폭기.

**청구항 6**

제2항에 있어서, 상기 제2 출력 보상부는,

제1 전류전극이 상기 제2 전원전압에 연결되고, 제어전극이 상기 제1 증폭부에 연결된 제3 트랜지스터; 및

제1 전류전극이 상기 제3 트랜지스터의 제2 전류전극에 연결되고, 제어전극이 상기 제1 전원전압에 연결되며, 제2 전류전극이 상기 출력단, 제1 및 제2 증폭부에 연결된 제4 트랜지스터를 포함하는 증폭기.

**청구항 7**

제6항에 있어서, 상기 제3 및 제4 트랜지스터는,

N-채널 트랜지스터인 것을 특징으로 하는 증폭기.

**청구항 8**

제6항에 있어서, 상기 제3 및 제4 트랜지스터는,  
저온 다결정 실리콘 박막 트랜지스터(Poly-Si TFT)인 것을 특징으로 하는 증폭기.

**청구항 9**

제1항에 있어서, 상기 바이어싱부는,  
상기 제1 전원전압을 근거로, 상기 제1 바이어스 전류를 상기 제1 증폭부에 출력하는 제1 커런트 미러;  
상기 제2 전원전압을 근거로, 상기 제2 바이어스 전류를 상기 제2 증폭부에 출력하는 제2 커런트 미러; 및  
상기 제1 커런트 미러와 제2 커런트 미러에 연결되어, 상기 제1 및 제2 바이어스 전류의 출력을 제어하는 바이어스 보상부를 포함하는 증폭기.

**청구항 10**

제9항에 있어서, 상기 바이어스 보상부는,  
제어전극이 상기 제2 전원전압에 연결되고, 제1 전류전극이 상기 제1 커런트 미러의 출력단에 연결되어, 상기 제1 커런트 미러로부터 제2 전류를 공급받는 제5 트랜지스터; 및  
제어전극이 상기 제1 전원전압에 연결되고, 제1 전류전극이 상기 제1 트랜지스터의 제2 전류전극에 연결된 제6 트랜지스터를 포함하는 증폭기.

**청구항 11**

제10항에 있어서, 상기 제5 트랜지스터는 P-채널 트랜지스터이고,  
상기 제6 트랜지스터는 N-채널 트랜지스터인 것을 특징으로 하는 증폭기.

**청구항 12**

제10항에 있어서, 상기 제5 및 제6 트랜지스터는,  
저온 다결정 실리콘 박막 트랜지스터(Poly-Si TFT)인 것을 특징으로 하는 증폭기.

**청구항 13**

회상 데이터를 제공받아 아날로그 전압으로 변환하는 디지털-아날로그 변환기; 및  
상기 아날로그 전압에 대응하는 제1 증폭 전압과 제1 전원전압을 근거로 하여 상기 제1 전원전압과 다른 제2 전원전압을 폴-다운 출력하고, 상기 아날로그 전압에 대응하는 제2 증폭 전압과 제2 전원전압을 근거로 하여 상기 제1 전원전압을 폴-업 출력하는 버퍼부를 포함하는 데이터 드라이버.

**청구항 14**

제13항에 있어서, 상기 버퍼부는,  
상기 제1 전원전압과 상기 제2 전원전압을 근거로 제1 및 제2 바이어스 전류를 공급하는 바이어싱부;  
상기 아날로그 전압이 인가됨에 따라, 상기 제1 바이어스 전류를 근거로 상기 제1 증폭 전압을 출력하는 제1 증폭부;  
상기 아날로그 전압이 인가됨에 따라, 상기 제2 바이어스 전류를 근거로 상기 제2 증폭 전압을 출력하는 제2 증폭부; 및  
상기 제1 증폭 전압과 상기 제1 전원전압을 근거로 상기 제2 전원전압을 폴-다운 출력하고, 상기 제2 증폭 전압과 상기 제2 전원전압을 근거로 상기 제1 전원전압을 폴-업 출력하는 출력부를 포함하는 데이터 드라이버.

**청구항 15**

제14항에 있어서, 상기 출력부는,

상기 제2 증폭 전압과 상기 제2 전원전압을 근거로 상기 제1 전원전압을 출력단을 통해 풀-업 출력하고, 상기 풀-업 출력되는 전압을 상기 제1 및 제2 증폭부에 피드백하는 제1 출력 보상부; 및

상기 제1 증폭 전압과 상기 제1 전원전압을 근거로 상기 제2 전원전압을 상기 출력단을 통해 풀-다운 출력하고, 상기 풀-다운 출력되는 전압을 상기 제1 및 제2 증폭부에 피드백하는 제2 출력 보상부를 포함하는 데이터 드라이버.

**청구항 16**

제15항에 있어서, 상기 제1 출력 보상부는,

제1 전류전극이 상기 제1 전원전압에 연결되고, 제어전극이 상기 제2 증폭부에 연결된 제1 PMOS; 및

제1 전류전극이 상기 제1 PMOS의 제2 전류전극에 연결되고, 제어전극이 상기 제2 전원전압에 연결되며, 제2 전류전극이 상기 출력단, 제1 및 제2 증폭부에 연결된 제2 PMOS를 포함하는 데이터 드라이버.

**청구항 17**

제15항에 있어서, 상기 제2 출력 보상부는,

제1 전류전극이 상기 제2 전원전압에 연결되고, 제어전극이 상기 제1 증폭부에 연결된 제1 N-MOS; 및

제1 전류전극이 상기 제1 NMOS의 제2 전류전극에 연결되고, 제어전극이 상기 제1 전원전압에 연결되며, 제2 전류전극이 상기 출력단, 제1 및 제2 증폭부에 연결된 제2 NMOS를 포함하는 데이터 드라이버.

**청구항 18**

제14항에 있어서, 상기 바이어싱부는,

상기 제1 전원전압을 근거로, 상기 제1 바이어스 전류를 상기 제1 증폭부에 출력하는 제1 커런트 미러;

상기 제2 전원전압을 근거로, 상기 제2 바이어스 전류를 상기 제2 증폭부에 출력하는 제2 커런트 미러; 및

상기 제1 커런트 미러와 제2 커런트 미러에 연결되어, 상기 제1 및 제2 바이어스 전류의 출력을 제어하는 바이어스 보상부를 포함하는 데이터 드라이버.

**청구항 19**

제18항에 있어서, 상기 바이어스 보상부는,

제어전극이 상기 제2 전원전압에 연결되고, 제1 전류전극이 상기 제1 커런트 미러의 출력단에 연결되어, 상기 제1 커런트 미러로부터 제2 전류를 공급받는 PMOS; 및

제어전극이 상기 제1 전원전압에 연결되고, 제1 전류전극이 상기 제1 트랜지스터의 제2 전류전극에 연결된 NMOS를 포함하는 데이터 드라이버.

**청구항 20**

다수의 데이터 라인과 스캔 라인에 의해 정의되는 영역에 형성된 스위칭 소자를 구비하는 표시 패널;

화상 데이터와 제1 및 제2 타이밍 신호를 출력하는 타이밍 제어부;

상기 제1 타이밍 신호를 근거로 상기 스캔 라인을 액티브시키는 스캔 신호를 순차적으로 출력하는 스캔 드라이버; 및

상기 화상 데이터를 제공받아 아날로그 전압으로 변환하여 상기 제2 타이밍 신호를 근거로 출력하되, 상기 아날로그 전압에 대응하는 제1 증폭 전압과 제1 전원전압을 근거로 제2 전원전압을 상기 데이터 라인에 풀-다운 출력하고, 상기 아날로그 전압에 대응하는 제2 증폭 전압과 제2 전원전압을 근거로 상기 제1 전원전압을 상기 데이터 라인에 풀-업 출력하는 데이터 드라이버를 포함하는 표시 장치.

**청구항 21**

제20항에 있어서, 상기 표시 패널은,

상기 스위칭 소자에 연결된 액정 캐패시터를 구비하는 액정 패널인 것을 특징으로 하는 표시 장치.

**청구항 22**

제20항에 있어서, 상기 데이터 드라이버는,

상기 표시 패널에 형성되는 것을 특징으로 하는 표시 장치.

**청구항 23**

제20항에 있어서, 상기 데이터 드라이버는,

저온 다결정 실리콘 박막 트랜지스터(Poly-Si TFT)로 이루어지는 것을 특징으로 하는 표시 장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0013] 본 발명은 증폭기에 관한 것으로, 보다 상세하게는 오프셋 보상을 위한 증폭기와, 이를 갖는 데이터 드라이버 및 표시 장치에 관한 것이다.
- [0014] 일반적으로 저온 다결정 실리콘 박막 트랜지스터(이하, poly-Si TFT)는 구동회로를 내장하는 액정표시장치의 제작에 이용된다. 근래들어, 게이트 구동 회로뿐만 아니라, 소오스 드라이브 IC를 내장하는 SOG(System On Glass) 제품의 개발이 진행중이다.
- [0015] 상기 소오스 드라이브 IC에 구비되는 디지털-아날로그 컨버터(DAC) 출력단은 전류의 능력을 크게 해주는 소오스 플로워 증폭기가 필요하다. 상기 소오스 플로워 증폭기는 여러 가지 형태가 사용되고 있지만, 보상형 OP-AMP의 경우 출력 범위가 넓고 속도가 빠르며 선형성이 우수하다.
- [0016] 도 1은 일반적인 푸시-풀 증폭기를 설명하기 위한 회로도이다. 특히 보상형 OP-AMP를 이용한 푸시-풀 증폭기를 설명하기 위한 회로도이다.
- [0017] 도 1을 참조하면, 일반적인 푸시-풀 증폭기는 바이어싱부(10), 제1 차동 증폭부(20), 제2 차동 증폭부(30) 및 출력부(40)를 포함한다.
- [0018] 바이어싱부(10)는 제1 전원전압(VDD)과 제2 전원전압(VSS)을 근거로 제1 바이어스 전류를 제1 차동 증폭부(20)에 공급하고, 제2 바이어스 전류를 제2 차동 증폭부(30)에 공급한다.
- [0019] 제1 차동 증폭부(20)는 N-채널 커런트 미러를 갖는 P-채널 차동쌍으로 이루어져, 상기 제1 바이어스 전류를 근거로 외부로부터 인가되는 입력 전압과 출력 전압의 차를 증폭하여 출력부(40)에 제공한다.
- [0020] 제2 차동 증폭부(30)는 P-채널 커런트 미러를 갖는 N-채널 차동쌍으로 이루어져, 상기 제2 바이어스 전류를 근거로 외부로부터 인가되는 입력 전압과 출력 전압의 차를 증폭하여 출력부(40)에 제공한다.
- [0021] 출력부(40)는 상기 제1 차동 증폭부(20)로부터 제공되는 제1 증폭 전압을 근거로 제2 전원전압(VSS)을 풀-다운하여 출력 전압을 출력하고, 상기 제2 차동 증폭부(30)로부터 제공되는 제2 증폭 전압을 근거로 제1 전원전압(VDD)을 풀-업하여 출력 전압을 출력한다.
- [0022] 동작시, N-채널 트랜지스터의 임계 전압이 높아질 경우 제1 및 제2 증폭부(20, 30)에서 출력되는 제1 및 제2 증폭 전압은 높아진다. 높아진 제1 및 제2 증폭 전압에 따라 선형 구간에 비틀림이 발생되어 최종 출력과 입력간에는 편차가 발생된다. P-채널 트랜지스터의 임계 전압의 변화도 동일한 이유로 출력에 영향을 주게된다.
- [0023] 하지만, poly-Si TFT를 이용하여 상기한 OP-AMP를 제작할 경우 동일한 입력 전압을 인가하더라도 출력 전압간에는 큰 편차가 발생된다. 이러한 차이가 오프셋(offset) 또는 오프셋 전압이다. 상기 오프셋은 트랜지스터의 특성 차이에 따라 변동이 심하게 나타난다.

[0024] 그러나, poly-Si TFT는 임계 전압(Vth)의 편차가 액정 패널별로 크며, 동일 액정 패널내에서도 크게 나타난다. 이러한 편차가 보상되지 않을 경우 동일한 데이터 전압을 인가하더라도 액정 패널에서는 서로 다른 데이터 전압으로 인식되어 화질의 차이로 나타나는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

[0025] 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 균일한 출력 특성을 갖고서 오프셋 보상을 하는 증폭기를 제공하는 것이다.

[0026] 또한, 본 발명의 다른 목적은 상기 증폭기를 갖는 데이터 드라이버를 제공하는 것이다.

[0027] 또한, 본 발명의 또 다른 목적은 상기한 증폭기를 갖는 표시 장치를 제공하는 것이다.

**발명의 구성 및 작용**

[0028] 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 증폭기는, 제1 전원전압과 제2 전원전압을 근거로 제1 및 제2 바이어스 전류를 공급하는 바이어싱부; 외부로부터 입력전압이 인가됨에 따라, 상기 제1 바이어스 전류를 근거로 제1 증폭 전압을 출력하는 제1 증폭부; 상기 입력전압이 인가됨에 따라, 상기 제2 바이어스 전류를 근거로 제2 증폭 전압을 출력하는 제2 증폭부; 및 상기 제1 증폭 전압과 상기 제1 전원전압을 근거로 상기 제2 전원전압을 풀-다운 출력하고, 상기 제2 증폭 전압과 상기 제2 전원전압을 근거로 상기 제1 전원전압을 풀-업 출력하는 출력부를 포함한다.

[0029] 또한, 상기한 본 발명의 다른 목적을 실현하기 위한 데이터 드라이버는, 화상 데이터를 제공받아 아날로그 전압으로 변환하는 디지털-아날로그 변환기; 및 상기 아날로그 전압에 대응하는 제1 증폭 전압과 제1 전원전압을 근거로 제2 전원전압을 풀-다운 출력하고, 상기 아날로그 전압에 대응하는 제2 증폭 전압과 제2 전원전압을 근거로 상기 제1 전원전압을 풀-업 출력하는 버퍼부를 포함한다.

[0030] 또한, 상기한 본 발명의 또 다른 목적을 실현하기 위한 표시 장치는, 다수의 데이터 라인과 스캔 라인에 의해 정의되는 영역에 형성된 스위칭 소자를 구비하는 표시 패널; 화상 데이터와 제1 및 제2 타이밍 신호를 출력하는 타이밍 제어부; 상기 제1 타이밍 신호를 근거로 상기 스캔 라인을 액티브시키는 스캔 신호를 순차적으로 출력하는 스캔 드라이버; 및 상기 화상 데이터를 제공받아 아날로그 전압으로 변환하여 상기 제2 타이밍 신호를 근거로 출력하되, 상기 아날로그 전압에 대응하는 제1 증폭 전압과 제1 전원전압을 근거로 제2 전원전압을 상기 데이터 라인에 풀-다운 출력하고, 상기 아날로그 전압에 대응하는 제2 증폭 전압과 제2 전원전압을 근거로 상기 제1 전원전압을 상기 데이터 라인에 풀-업 출력하는 데이터 드라이버를 포함한다.

[0031] 이러한 증폭기와, 이를 갖는 데이터 드라이버 및 표시 장치에 의하면, 증폭기의 출력부 및 바이어싱부에 오프셋 전압을 보상하는 트랜지스터를 각각 구비하므로써, 출력단을 통해 출력되는 출력 전압의 오프셋 편차를 감쇄시킬 수 있다.

[0032] 이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

[0033] 도 2는 본 발명의 일 실시예에 따른 푸시-풀 증폭기를 설명하기 위한 회로도이다.

[0034] 도 2를 참조하면, 본 발명의 일 실시예에 따른 푸시-풀 증폭기는 바이어싱부(110), 제1 차동 증폭부(120), 제2 차동 증폭부(130) 및 출력부(140)를 포함한다.

[0035] 바이어싱부(110)는 제1 커런트 미러(112)와, 바이어스 연결부(114)와, 제2 커런트 미러(116)를 포함하여, 제1 전원전압(VDD)과 제2 전원전압(VSS)을 근거로 제1 바이어스 전류를 제1 차동 증폭부(120)에 공급하고, 제2 바이어스 전류를 제2 차동 증폭부(130)에 공급한다. 바이어싱부(110)는 제1 및 제2 증폭부(120, 130)에 입력전압(VIN)이 가해지지 않는 상태에서 제1 및 제2 증폭부(120, 130)에 구비되는 트랜지스터들에 직류 전압을 가하여 일정 전류를 흐르게 함으로써, 입력신호(VIN)의 기준점을 설정하는 역할을 한다. 상기한 바이어스가 변동하면 제1 및 제2 증폭부(120, 130)를 통해 정확한 증폭 동작이 이루어지지 않을 뿐만 아니라, 회로 동작이 불안정하며, 열폭주를 일으켜 트랜지스터들이 파괴될 수도 있다.

[0036] 구체적으로, 제1 커런트 미러(112)는 드레인이 제1 전원전압(VDD)에 연결되고, 소오스가 제1 차동 증폭부(120)에 연결된 P-채널 트랜지스터(Q12)와, 드레인이 제1 전원전압(VDD)에 연결되고, 게이트가 소오스에 공통되어 P-채널 트랜지스터(Q12)의 게이트에 연결된 P-채널 트랜지스터(Q12)로 이루어져, 상기 제1 바이어스 전류를 제1 증폭부(120)에 공급한다.

- [0037] 바이어스 연결부(114)는 P-채널 트랜지스터(Q12)의 소오스를 통해 출력되는 상기 제1 바이어스 전류와 동일한 레벨의 바이어스 전류를 제2 커런트 미러(116)에 공급하는 P-채널 트랜지스터(Q13)로 이루어진다.
- [0038] 제2 커런트 미러(116)는 드레인과 게이트가 공통 연결되어 바이어스 연결부(114)를 통해 제공되는 바이어스 전류를 제공받고, 소오스가 제2 전원전압(VSS)에 연결된 N-채널 트랜지스터(Q14)와, 소오스가 제2 전원전압(VSS)에 연결되고, 게이트가 N-채널 트랜지스터(Q14)의 게이트에 연결되며, 드레인이 제2 차동 증폭부(130)에 연결된 N-채널 트랜지스터(Q15)로 이루어져, 상기 제2 바이어스 전류가 제2 증폭부(130)에 인가되도록 제어한다.
- [0039] 제1 차동 증폭부(120)는 N-채널의 제3 커런트 미러(122)를 갖는 P-채널 차동쌍으로 이루어져, 바이어싱부(110)로부터 제공되는 상기 제1 바이어스 전류를 근거로 외부로부터 인가되는 입력전압(VIN)과 출력부(140)의 출력단으로부터 피드백되는 출력전압(VOUT)간의 차전압을 제1 증폭하고, 제1 증폭된 전압을 출력부(140)에 출력한다.
- [0040] 구체적으로, 상기 P-채널 차동쌍은 드레인이 제1 커런트 미러(112)에 연결되고, 게이트가 출력부(140)의 출력단에 연결되어 출력전압(VOUT)을 공급받으며, 소오스가 N-채널의 커런트 미러(122)에 연결된 P-채널 트랜지스터(Q21)와, 드레인이 제1 커런트 미러(112)에 연결되고, 게이트가 입력전압(VIN)을 공급받으며, 소오스가 N-채널 커런트 미러에 연결된 P-채널 트랜지스터(Q22)로 이루어진다.
- [0041] 제3 커런트 미러(122)는 드레인과 게이트가 공통 연결되어 P-채널 트랜지스터(Q21)의 소오스에 연결되고, 소오스가 제2 전원전압(VSS)에 연결된 N-채널 트랜지스터(Q23)와, 게이트가 N-채널 트랜지스터(Q23)의 게이트에 연결되고, 소오스가 제2 전원전압(VSS)에 연결되며, 드레인이 P-채널 트랜지스터(Q22)의 소오스 및 출력부에 연결된 N-채널 트랜지스터(Q24)로 이루어진다.
- [0042] 제2 차동 증폭부(130)는 P-채널의 커런트 미러(132)를 갖는 N-채널 차동쌍으로 이루어져, 바이어싱부(110)에 의해 풀다운되는 제2 바이어스 전류를 근거로 외부로부터 인가되는 입력전압(VIN)과 출력단으로부터 피드백되는 출력전압(VOUT)간의 차전압을 제2 증폭하고, 제2 증폭된 전압을 출력부(140)에 출력한다.
- [0043] 구체적으로, 상기 P-채널의 커런트 미러(132)는 드레인이 제1 전원전압(VDD)에 연결되고, 소오스가 상기 N-채널 차동쌍 및 출력부(140)에 연결된 P-채널 트랜지스터(Q31)와, 드레인과 게이트가 공통 연결되어, 상기 P-채널 트랜지스터의 게이트에 연결되고, 소오스가 상기 N-채널 차동쌍에 연결된 P-채널 트랜지스터(Q32)로 이루어진다.
- [0044] 상기 N-채널 차동쌍은 드레인이 상기 P-채널 트랜지스터(Q31)의 소오스에 연결되고, 게이트가 제1 증폭부(120)와 공통으로 입력전압(VIN)을 공급받고, 소오스가 제2 커런트 미러(116)의 P-채널 트랜지스터(Q15)에 연결된 N-채널 트랜지스터(Q33)와, 드레인이 상기 P-채널 트랜지스터(Q32)의 소오스에 연결되고, 소오스가 제2 커런트 미러(116)의 P-채널 트랜지스터(Q15)에 연결되며, 게이트가 출력부에 연결된 N-채널 트랜지스터(Q34)로 이루어진다.
- [0045] 출력부(140)는 제1 출력 보상부(142)와 제2출력 보상부(144)로 이루어져, 상기 제1 전원전압(VDD)과 제2 전원전압(VSS)에 대응하여 상기 제1 증폭 전압과 제2 증폭 전압간의 출력 편차를 감쇄시킨 출력전압(VOUT)을 출력하고, 상기 출력전압(VOUT)을 제1 증폭부(120) 및 제2 증폭부(130)에 피드백한다.
- [0046] 구체적으로, 제1 출력 보상부(142)는 드레인이 제1 전원전압(VDD)에 연결되고, 게이트가 제2 증폭부(130)에 연결된 P-채널 트랜지스터(Q41)와, 드레인이 P-채널 트랜지스터(Q41)의 소오스에 연결되고, 게이트가 제2 전원전압(VSS)에 연결되며, 소오스가 출력단, 제1 증폭부(120) 및 제2 증폭부(130)에 연결된 P-채널 트랜지스터(Q43)로 이루어진다.
- [0047] 동작시, P-채널 트랜지스터(Q41)는 게이트에 인가되는 제2 증폭 신호에 응답하여 제1 전원전압(VDD)을 풀-업하고, 풀-업 전압을 소오스를 통해 P-채널 트랜지스터(Q42)에 출력한다. P-채널 트랜지스터(Q42)는 제2 전원전압(VDD)에 응답하여 상기 풀-업 전압을 상기 출력단, 제1 및 제2 증폭부(120, 130)에 출력한다.
- [0048] 도면상에서는 제2 증폭 신호에 응답하여 풀-다운 전압의 출력을 제어하는 P-채널 트랜지스터(Q42)의 게이트에 일종의 바이어스 전압으로 제1 전원전압(VDD)을 인가하는 것을 도시하였으나, 별도의 바이어스 전압을 인가할 수도 있다.
- [0049] 제2 출력 보상부(144)는 소오스가 제2 전원전압(VSS)에 연결되고, 게이트가 제1 증폭부(120)에 연결된 N-채널 트랜지스터(Q43)와, 드레인이 출력단에 연결되고, 게이트가 제1 전원전압(VDD)에 연결되며, 소오스가 N-채널 트랜지스터(Q43)의 드레인에 연결된 N-채널 트랜지스터(Q44)로 이루어진다.
- [0050] 동작시, N-채널 트랜지스터(Q43)는 게이트에 인가되는 제1 증폭 신호에 응답하여 제2 전원전압(VSS)을 풀-다운



하고, 풀-다운 전압을 드레인을 통해 N-채널 트랜지스터(Q44)에 출력한다. N-채널 트랜지스터(Q44)는 제1 전원 전압(VSS)에 응답하여 상기 풀-다운 전압을 상기 출력단, 제1 및 제2 증폭부(120, 130)에 출력한다.

- [0051] 도면상에서는 제1 증폭 신호에 응답하여 풀-다운 전압의 출력을 제어하는 N-채널 트랜지스터(Q44)의 게이트에 일종의 바이어스 전압으로 제1 전원전압(VDD)을 인가하는 것을 도시하였으나, 별도의 바이어스 전압을 인가할 수도 있다.
- [0052] 상기한 본 발명의 일 실시예에 따르면, 출력부(140)에 증폭기의 오프셋 전압을 보상하는 트랜지스터를 각각 구비하므로써, 출력단을 통해 출력되는 출력 전압의 편차를 감쇄시킬 수 있다.
- [0053] 도 3은 본 발명의 다른 실시예에 따른 푸시-풀 증폭기를 설명하기 위한 회로도이다.
- [0054] 도 3을 참조하면, 본 발명의 다른 실시예에 따른 푸시-풀 증폭기는 바이어싱부(210), 제1 차동 증폭부(220), 제2 차동 증폭부(230) 및 출력부(240)를 포함한다.
- [0055] 바이어싱부(210)는 제1 커런트 미러(212)와, 제1 보상부(214)와, 제2 커런트 미러(216)를 포함하여, 제1 전원전압(VDD)과 제2 전원전압(VSS)을 근거로 제1 바이어스 전류를 제1 차동 증폭부(220)에 공급하고, 제2 바이어스 전류를 제2 차동 증폭부(230)에 공급한다.
- [0056] 구체적으로, 제1 커런트 미러(212)는 드레인이 제1 전원전압(VDD)에 연결되고, 소오스가 제1 차동 증폭부(120)에 연결된 P-채널 트랜지스터(Q12)와, 드레인이 제1 전원전압(VDD)에 연결되고, 게이트가 소오스에 공통되어 P-채널 트랜지스터(Q12)의 게이트에 연결된 P-채널 트랜지스터(Q12)로 이루어져, 상기 제1 바이어스 전류를 제1 증폭부(220)에 공급한다.
- [0057] 제1 보상부(214)는 P-채널 트랜지스터(Q13)와 N-채널 트랜지스터(Q16)로 이루어져, P-채널 트랜지스터(Q12)의 소오스를 통해 출력되는 상기 제1 바이어스 전류와 동일한 레벨의 바이어스 전류를 제2 커런트 미러(216)에 공급한다.
- [0058] P-채널 트랜지스터(Q13)는 드레인이 제1 커런트 미러(212)에 연결되고, 게이트가 제2 전원전압(VSS)에 연결되며, 소오스가 N-채널 트랜지스터(Q16)에 연결된다.
- [0059] N-채널 트랜지스터(Q16)는 드레인이 P-채널 트랜지스터(Q13)의 소오스에 연결되고, 게이트가 제1 전원전압(VDD)에 연결되며, 소오스가 제2 커런트 미러(216)에 연결된다. N-채널 트랜지스터(Q16)는 제1 증폭부(220) 및 제2 증폭부(230)에 각각 인가되는 바이어스 전류를 줄이는 동작과 함께, 제1 증폭부(220) 및 제2 증폭부(230)로부터 출력되는 차동 증폭된 전압을 높이는 역할을 한다.
- [0060] 제2 커런트 미러(216)는 드레인과 게이트가 공통 연결되어 제1 보상부(214)를 통해 제공되는 바이어스 전류를 제공받고, 소오스가 제2 전원전압(VSS)에 연결된 N-채널 트랜지스터(Q14)와, 소오스가 제2 전원전압(VSS)에 연결되고, 게이트가 N-채널 트랜지스터(Q14)의 게이트에 연결되며, 드레인이 제2 차동 증폭부(130)에 연결된 N-채널 트랜지스터(Q15)로 이루어져, 상기 제2 바이어스 전류가 제2 증폭부(130)에 인가되도록 제어한다.
- [0061] 제1 차동 증폭부(220)는 N-채널의 제3 커런트 미러(222)를 갖는 P-채널 차동쌍으로 이루어져, 바이어싱부(210)로부터 제공되는 상기 제1 바이어스 전류를 근거로 외부로부터 인가되는 입력전압(VIN)과 출력단으로부터 피드백되는 출력전압(VOUT)간의 차전압을 제1 증폭하고, 제1 증폭된 전압을 출력부(240)에 출력한다.
- [0062] 구체적으로, 상기 P-채널 차동쌍은 드레인이 제1 커런트 미러(212)에 연결되고, 게이트가 출력단자에 연결되어 출력전압(VOUT)을 공급받으며, 소오스가 N-채널의 커런트 미러(222)에 연결된 P-채널 트랜지스터(Q21)와, 드레인이 제1 커런트 미러(212)에 연결되고, 게이트가 입력전압(VIN)을 공급받으며, 소오스가 N-채널 커런트 미러에 연결된 P-채널 트랜지스터(Q22)로 이루어진다.
- [0063] 제3 커런트 미러(222)는 드레인과 게이트가 공통 연결되어 P-채널 트랜지스터(Q21)의 소오스에 연결되고, 소오스가 제2 전원전압(VSS)에 연결된 N-채널 트랜지스터(Q23)와, 게이트가 N-채널 트랜지스터(Q23)의 게이트에 연결되고, 소오스가 제2 전원전압(VSS)에 연결되며, 드레인이 P-채널 트랜지스터(Q22)의 소오스 및 출력부에 연결된 N-채널 트랜지스터(Q24)로 이루어진다.
- [0064] 제2 차동 증폭부(230)는 P-채널의 커런트 미러(232)를 갖는 N-채널 차동쌍으로 이루어져, 바이어싱부(210)에 의해 풀다운되는 제2 바이어스 전류를 근거로 외부로부터 인가되는 입력전압(VIN)과 출력단으로부터 피드백되는 출력전압(VOUT)간의 차전압을 제2 증폭하고, 제2 증폭된 전압을 출력부(240)에 출력한다.

- [0065] 구체적으로, 상기 P-채널의 커런트 미러(232)는 드레인이 제1 전원전압(VDD)에 연결되고, 소오스가 상기 N-채널 차동쌍 및 출력부(140)에 연결된 P-채널 트랜지스터(Q31)와, 드레인과 게이트가 공통 연결되어, 상기 P-채널 트랜지스터의 게이트에 연결되고, 소오스가 상기 N-채널 차동쌍에 연결된 P-채널 트랜지스터(Q32)로 이루어진다.
- [0066] 상기 N-채널 차동쌍은 드레인이 상기 P-채널 트랜지스터(Q31)의 소오스에 연결되고, 게이트가 제1 증폭부(220)와 공통으로 입력전압(VIN)을 공급받고, 소오스가 제2 커런트 미러(216)의 P-채널 트랜지스터(Q15)에 연결된 N-채널 트랜지스터(Q33)와, 드레인이 상기 P-채널 트랜지스터(Q32)의 소오스에 연결되고, 소오스가 제2 커런트 미러(216)의 P-채널 트랜지스터(Q15)에 연결되며, 게이트가 출력부에 연결된 N-채널 트랜지스터(Q34)로 이루어진다.
- [0067] 출력부(240)는 제1 출력 보상부(242)와 제2출력 보상부(244)로 이루어져, 상기 제1 전원전압(VDD)과 제2 전원전압(VSS)에 대응하여 상기 제1 증폭 전압과 제2 증폭 전압간의 출력 편차를 감쇄시킨 출력전압(VOUT)을 출력하고, 상기 출력전압(VOUT)을 제1 증폭부(220) 및 제2 증폭부(230)에 피드백한다.
- [0068] 구체적으로, 제1 출력 보상부(242)는 드레인이 제1 전원전압(VDD)에 연결되고, 게이트가 제2 증폭부(230)에 연결된 P-채널 트랜지스터(Q41)와, 드레인이 P-채널 트랜지스터(Q41)의 소오스에 연결되고, 게이트가 제2 전원전압(VSS)에 연결되며, 소오스가 출력단, 제1 증폭부(220) 및 제2 증폭부(230)에 연결된 P-채널 트랜지스터(Q43)로 이루어진다.
- [0069] 동작시, P-채널 트랜지스터(Q41)는 게이트에 인가되는 제2 증폭 신호에 응답하여 제1 전원전압(VDD)을 풀-업하고, 풀-업 전압을 소오스를 통해 P-채널 트랜지스터(Q42)에 출력한다. P-채널 트랜지스터(Q42)는 제2 전원전압(VSS)에 응답하여 상기 풀-업 전압을 상기 출력단, 제1 및 제2 증폭부(220, 230)에 출력한다.
- [0070] 도면상에서는 제2 증폭 신호에 응답하여 풀-업 전압의 출력을 제어하는 P-채널 트랜지스터(Q42)의 게이트에 일종의 바이어스 전압으로 제2 전원전압(VSS)을 인가하는 것을 도시하였으나, 별도의 바이어스 전압을 인가할 수도 있다.
- [0071] 제2 출력 보상부(244)는 소오스가 제2 전원전압(VSS)에 연결되고, 게이트가 제1 증폭부(220)에 연결된 N-채널 트랜지스터(Q43)와, 드레인이 출력단에 연결되고, 게이트가 제1 전원전압(VDD)에 연결되며, 소오스가 N-채널 트랜지스터(Q43)의 드레인에 연결된 N-채널 트랜지스터(Q44)로 이루어진다.
- [0072] 동작시, N-채널 트랜지스터(Q43)는 게이트에 인가되는 제1 증폭 신호에 응답하여 제2 전원전압(VSS)을 풀-다운하고, 풀-다운 전압을 드레인을 통해 N-채널 트랜지스터(Q44)에 출력한다. N-채널 트랜지스터(Q44)는 제1 전원전압(VDD)에 응답하여 상기 풀-다운 전압을 상기 출력단, 제1 및 제2 증폭부(220, 230)의 제2 입력단에 출력한다.
- [0073] 도면상에서는 제1 증폭 신호에 응답하여 풀-다운 전압의 출력을 제어하는 N-채널 트랜지스터(Q44)의 게이트에 일종의 바이어스 전압으로 제1 전원전압(VDD)을 인가하는 것을 도시하였으나, 별도의 바이어스 전압을 인가할 수도 있다.
- [0074] 상기한 본 발명의 다른 실시예에 따르면, 출력부(240) 및 바이어싱부(210)에 증폭기의 오프셋 전압을 보상하는 트랜지스터를 각각 구비하므로써, 출력단을 통해 출력되는 출력 전압의 편차를 감쇄시킬 수 있다.
- [0075] 도 4는 본 발명에 따른 증폭기의 입력 전압 대비 출력 전압 특성을 설명하기 위한 도면으로, 특히, 본 발명에 따른 출력 전압 특성과 비교예(도 1의 푸시-풀 증폭기)에 따른 출력 전압 특성을 설명하기 위한 도면이다.
- [0076] 도 4에 도시한 바와 같이, 비교예에 따라 출력되는 부극성 오프셋 전압과 정극성 오프셋 전압간의 차는 30mV에서 40mV까지인 반면, 본 발명에 따라 출력되는 부극성 오프셋 전압과 정극성 오프셋 전압간의 차는 4mV에서 10mV이내인 것을 확인할 수 있다.
- [0077] 예를들어, 입력 전압(VIN)으로 0.5V를 인가했을 때, 비교예의 증폭기로부터 출력되는 부극성 오프셋 전압과 정극성 오프셋 전압은 각각 대략 -10mV와 30mV로서, 오프셋 전압간의 편차는 대략 40mV인 반면, 본 발명의 증폭기로부터 출력되는 부극성 오프셋 전압과 정극성 오프셋 전압은 각각 대략 -5mV와 5mV로서, 오프셋 전압간의 편차는 대략 10mV이다.
- [0078] 또한, 입력 전압(VIN)으로 1V를 인가했을 때, 비교예의 증폭기로부터 출력되는 부극성 오프셋 전압과 정극성 오프셋 전압은 각각 대략 -8mV와 35mV로서, 오프셋 전압간의 편차는 대략 43mV인 반면, 본 발명의 증폭기로부터 출력되는 부극성 오프셋 전압과 정극성 오프셋 전압은 각각 대략 -5mV와 8mV로서, 오프셋 전압간의 편차는 대략

13mV이다. 즉, 본 발명에 따르면 오프셋 전압을 대략 1/4로 줄일 수 있다.

- [0079] 이상에서 설명한 푸시-풀 증폭기는 액정 패널에 채용되는 LCD 드라이버에 사용하기에 적합하다. 상기 LCD 드라이버는 RGB 비디오 신호와 같은 아날로그 신호를 출력하여 각각의 디스플레이 셀 또는 '픽셀'의 그레이 레벨을 제어하기 위해 사용된다. 상기 신호는 복수의 공급 버스 또는 TFT 스크린의 소스 라인을 통해서 인가되고, 적절한 시간에 선택적으로 액티브되어 복수의 로우 또는 게이트 공급 버스에 인가되는 게이트 신호에 의해 표시장치의 셀을 각각 표시한다. 통상적으로, 소스 라인 드라이버는 소스 라인을 구동하기 위해 사용된다. 상기한 푸시-풀 증폭기는 상기 LCD 드라이버로서 사용될 수 있다.
- [0080] 도 5는 본 발명에 따른 푸시-풀 증폭기를 갖는 액정 표시 장치를 설명하기 위한 도면이다.
- [0081] 도 5를 참조하면, 본 발명에 따른 액정 표시 장치는 타이밍 제어부(310), 스캔 드라이버(320), 데이터 드라이버(330) 및 액정 패널(340)을 포함한다. 상기 스캔 드라이버(320)와 상기 데이터 드라이버(330)는 액정 패널(340)에 집적될 수도 있다.
- [0082] 타이밍 제어부(310)는 버스(312)를 통해서 열 타이밍 신호를 스캔 드라이버(320)에 제공하고, 버스(314)를 통해서 비디오 신호(데이터 신호 및 제어 신호), 예컨대 RGB 신호를 데이터 드라이버(330)에 제공한다.
- [0083] 스캔 드라이버(320)는 상기 열 타이밍 신호를 근거로 액정 패널(340)에 구비되는 픽셀을 선택하는 스캔 신호(S1, ..., Sm)를 순차적으로 제공한다.
- [0084] 데이터 드라이버(330)는 액정 패널(340)의 데이터 라인(344)을 구동하기 위해 사용된다. 통상적으로 스캔 라인(342) 전체를 구동시키기 위해 하나의 스캔 드라이버(320)가 사용된다.
- [0085] 액정 패널(340)은 복수의 스캔 라인(342)과 복수의 데이터 라인(또는 소오스 라인)(344)을 구비한다. 상기 스캔 라인과 상기 데이터 라인에 의해 둘러싸인 영역은 각각 화소를 이루며, 각 화소는 상기 스캔 라인과 상기 데이터 라인에 각각 게이트 및 소오스가 연결되는 박막 트랜지스터와, 상기 박막 트랜지스터의 드레인에 연결되는 액정 캐패시터(CLC)와, 스토리지 캐패시터(CST)를 포함한다.
- [0086] 데이터 드라이버(330)는 몇 개의 데이터 드라이버를 포함할 수 있다. 통상적으로, 100개의 데이터 라인 당 하나의 데이터 드라이버가 존재한다. 그러나, 하나의 데이터 드라이버의 출력을 다중화시키는 방식으로 200개 또는 그 이상의 데이터 라인을 구동시키는 것도 가능하다.
- [0087] 상기 각각의 데이터 드라이버(330)는 도 6에 도시된 바와 같이, 다수의 디지털-아날로그 변환기(DAC, 332) 및 다수의 버퍼(334)를 포함한다.
- [0088] 디지털-아날로그 변환기(DAC, 332)는 버스(314)를 통해서 비디오 신호(데이터 신호 및 제어 신호), 예컨대 RGB 신호를 아날로그 변환하고, 변환된 아날로그 전압을 버퍼(334)에 출력한다.
- [0089] 버퍼(334)는 액정 패널(340)의 각각의 픽셀이 요구하는 전압을 가지고 데이터 라인에 화상 표시를 위한 아날로그 전압을 출력한다. 여기서, 본 발명에 따른 푸시-풀 증폭기는 버퍼(334) 내부에 사용되어 상기 아날로그 전압의 오프셋 전압을 보상하고, 보상된 아날로그 전압을 데이터 라인에 출력한다.
- [0090] 본 발명에 따른 데이터 드라이버는 LCD 표시 장치를 제어하기 위해 사용되는 다른 소자와 함께 액정 패널상에 집적될 수 있다.
- [0091] 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**발명의 효과**

- [0092] 이상에서 설명한 바와 같이, 본 발명에 따르면 푸시-풀 증폭기의 출력부 및 바이어싱부에 오프셋 전압을 보상하는 트랜지스터를 각각 구비하므로써, 출력단을 통해 출력되는 출력 전압의 오프셋 편차를 감쇄시킬 수 있다.

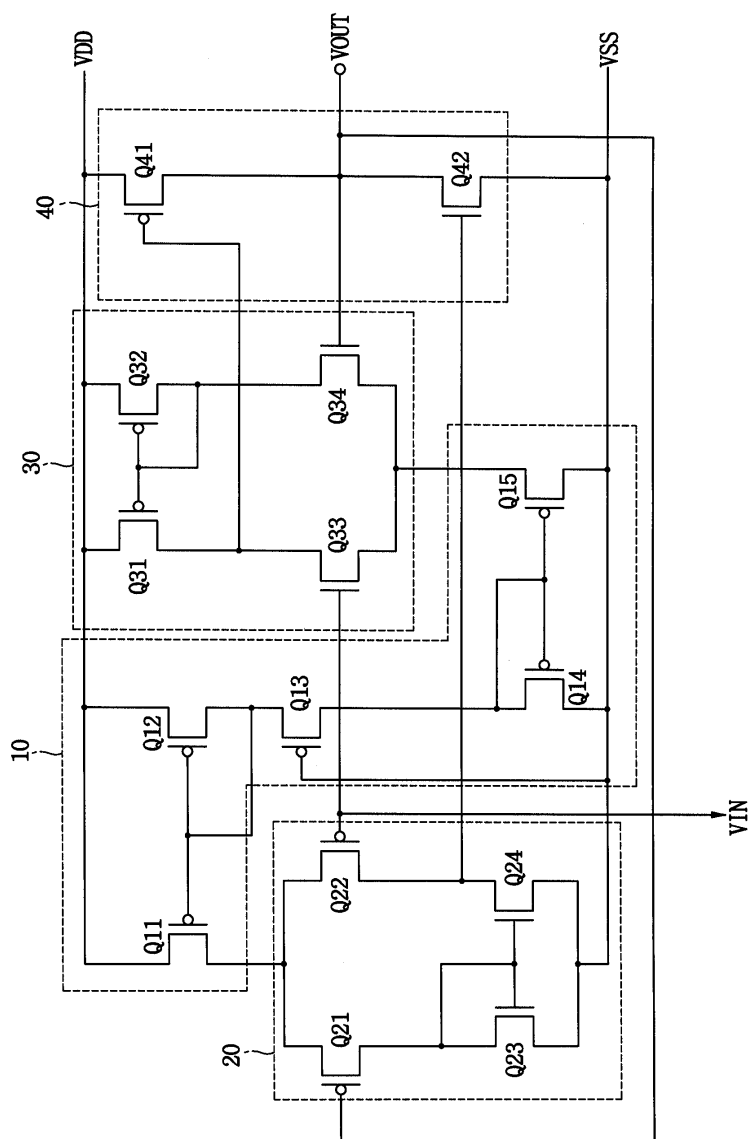
**도면의 간단한 설명**

- [0001] 도 1은 일반적인 푸시-풀 증폭기를 설명하기 위한 회로도이다.
- [0002] 도 2는 본 발명의 일 실시예에 따른 푸시-풀 증폭기를 설명하기 위한 회로도이다.

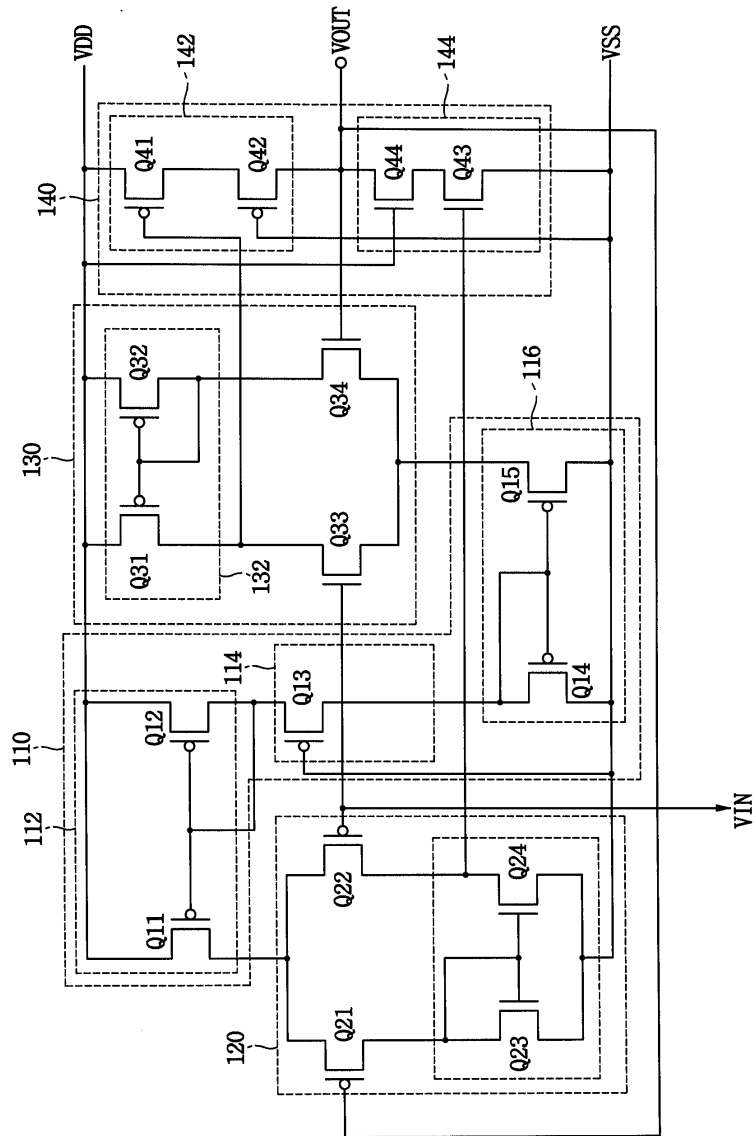
- [0003] 도 3은 본 발명의 다른 실시예에 따른 푸시-풀 증폭기를 설명하기 위한 회로도이다.
- [0004] 도 4는 본 발명에 따른 증폭기의 입력 전압 대비 출력 전압 특성을 설명하기 위한 도면이다.
- [0005] 도 5는 본 발명에 따른 푸시-풀 증폭기를 갖는 액정 표시 장치를 설명하기 위한 도면이다.
- [0006] 도 6은 본 발명에 따른 푸시-풀 증폭기를 갖는 데이터 드라이버를 설명하기 위한 도면이다.
- [0007] <도면의 주요부분에 대한 부호의 설명>
- [0008] 10, 110, 210 : 바이어싱부                            20, 120, 220 : 제1 차동 증폭부
- [0009] 30, 130, 230 : 제2 차동 증폭부    310 : 타이밍 제어부
- [0010] 320 : 스캔 드라이버                                330 : 데이터 드라이버
- [0011] 332 : 디지털-아날로그 변환기                334 : 버퍼
- [0012] 340 : 액정 패널                                     40, 140, 240 : 출력부

도면

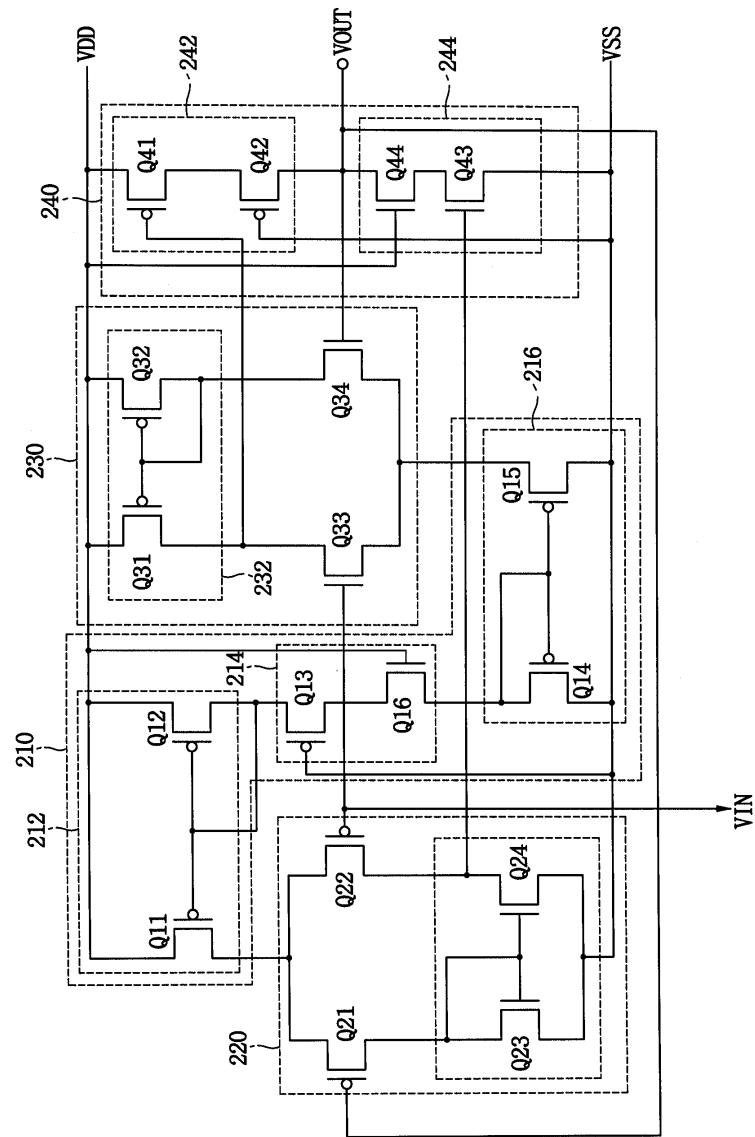
도면1



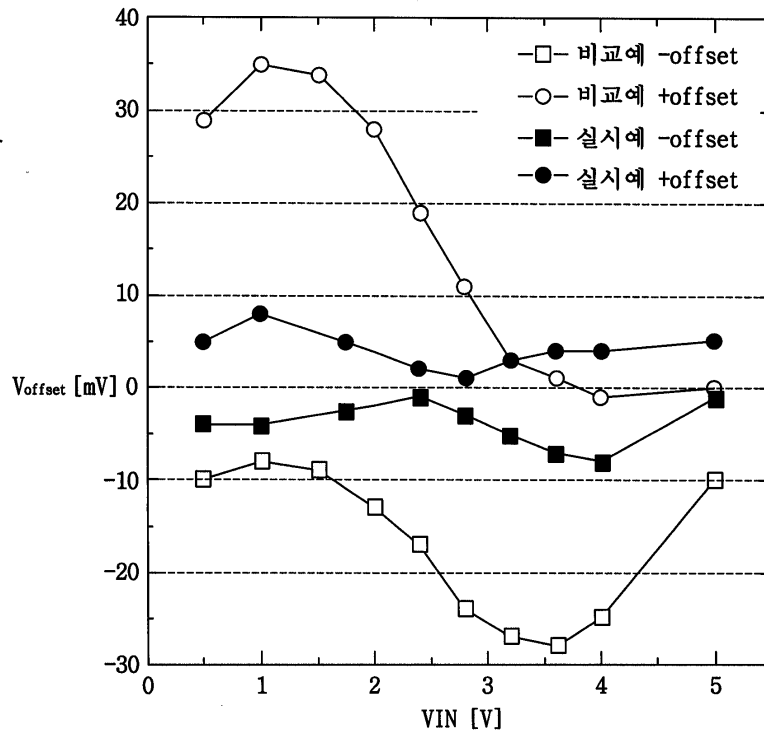
도면2



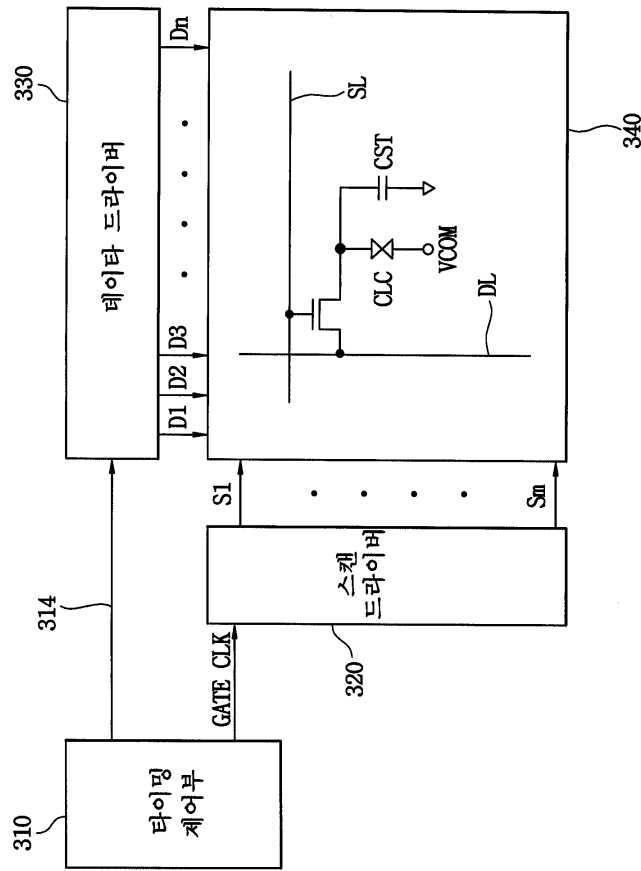
도면3



도면4



도면5



도면6

