



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0128275
(43) 공개일자 2017년11월22일

(51) 국제특허분류(Int. Cl.)
H04B 1/10 (2006.01) *H04B 1/525* (2014.01)
H04B 17/318 (2014.01) *H04B 17/345* (2014.01)
H04J 11/00 (2006.01)

(52) CPC특허분류
H04B 1/1036 (2013.01)
H04B 1/525 (2013.01)

(21) 출원번호 10-2017-7025197

(22) 출원일자(국제) 2016년03월04일
심사청구일자 없음

(85) 번역문제출일자 2017년09월07일

(86) 국제출원번호 PCT/US2016/021019

(87) 국제공개번호 WO 2016/148948
국제공개일자 2016년09월22일

(30) 우선권주장
14/658,047 2015년03월13일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브 5775

(72) 별명자
황, 인수
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브 5775

송, 봉용
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브 5775
(뒷면에 계속)

(74) 대리인
특허법인 남앤드남

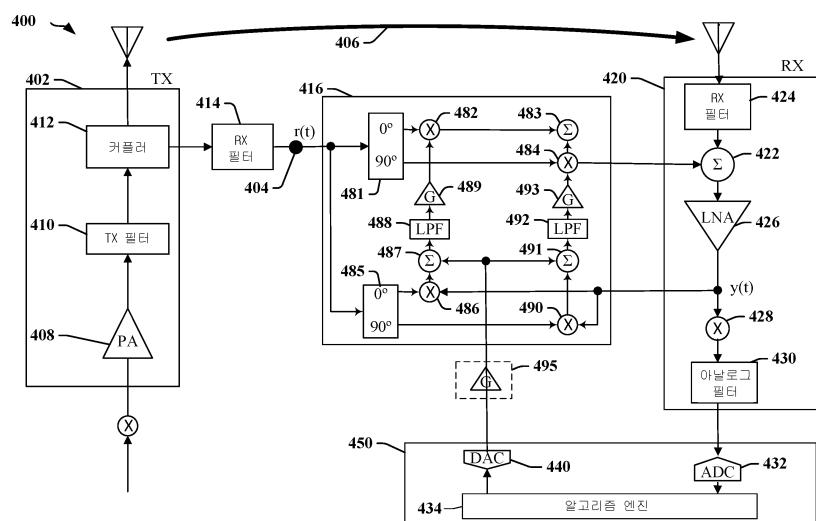
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 아날로그 간섭 제거를 위한 강건한 계수 컴퓨터션

(57) 요 약

본 개시물의 양상들은 간섭 제거에 관련된다. 수신기, 계수 제어기 및 AIC(analog interference cancellation) 회로를 가지는 무선 디바이스에서 간섭 제거를 수행하기 위한 방법은, 송신 신호를 수신하기 위하여 수신기를 활용하는 단계; 제 1 세트의 계수들을 사용하여 제 1 비용 함수 값을 컴퓨팅하고, 제 1 계수 제어 알고리즘을 사용하여 제 2 세트의 계수들을 컴퓨팅하고, 제 2 세트의 계수들을 사용하여 제 2 비용 함수 값을 컴퓨팅하고, 제 2 비용 함수 값을 제 1 비용 함수 값과 비교하고, 비교에 기초하여 제 1 세트의 계수들을 적용시킬지 아니면 제 2 세트의 계수들을 적용시킬지를 결정하기 위해 계수 제어기를 활용하는 단계; 및 참조 신호를 필터링하기 위하여 제 1 세트의 계수들 또는 제 2 세트의 계수들 중 하나를 적용시키기 위하여 AIC 회로를 활용하고, 간섭 제거를 위하여 수신된 송신 신호로부터, 필터링된 참조 신호를 차감하기 위하여 수신기를 활용하는 단계를 포함한다.

대 표 도 - 도4



(52) CPC특허분류

H04B 17/318 (2015.01)

H04B 17/345 (2015.01)

H04J 11/004 (2013.01)

H04B 2001/1063 (2013.01)

(72) 발명자

트란도, 휴이

미국 92121-1714 캘리포니아주 샌 디에고 모어하우

스 드라이브 5775

알카라, 오스발도

미국 92121-1714 캘리포니아주 샌 디에고 모어하우

스 드라이브 5775

솔리만, 사미르, 살립

미국 92121-1714 캘리포니아주 샌 디에고 모어하우
스 드라이브 5775

명세서

청구범위

청구항 1

간접 제거를 위한 방법으로서,

송신 신호를 수신하기 위하여 수신기를 활용하는 단계;

제 1 세트의 계수들을 활용하여 제 1 비용 함수 값을 컴퓨팅하는 단계;

제 1 계수 제어 알고리즘을 활용하여 제 2 세트의 계수들을 컴퓨팅하는 단계;

상기 제 2 세트의 계수들을 활용하여 제 2 비용 함수 값을 컴퓨팅하는 단계;

비교를 산출하기 위하여 상기 제 2 비용 함수 값을 상기 제 1 비용 함수 값과 비교하는 단계;

상기 간접 제거를 위하여 상기 제 1 세트의 계수들을 적용시킬지 아니면 상기 제 2 세트의 계수들을 적용시킬지를 결정하기 위해 상기 비교를 활용하는 단계; 및

참조 신호를 필터링하기 위하여 상기 제 1 세트의 계수들 또는 상기 제 2 세트의 계수들 중 하나를 적용시키고, 상기 간접 제거를 위하여 수신된 송신 신호로부터, 필터링된 참조 신호를 차감하는 단계를 포함하는, 간접 제거를 위한 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 계수 제어 알고리즘은 다음의 알고리즘들: 전압 스윕핑 알고리즘, 스토캐스틱 근사(stochastic approximation) 알고리즘, 또는 간략화된 스토캐스틱 근사 알고리즘 중 하나의 알고리즘인, 간접 제거를 위한 방법.

청구항 3

제 1 항에 있어서,

사전 정의된 조건은 사용을 위하여 상기 제 1 계수 제어 알고리즘을 인에이블링하는, 간접 제거를 위한 방법.

청구항 4

제 3 항에 있어서,

상기 사전 정의된 조건은 RSSI(received signal strength indication) 임계치보다 큰 RSSI이고,

상기 RSSI는 상기 제 1 비용 함수 값과 연관되는, 간접 제거를 위한 방법.

청구항 5

제 1 항에 있어서,

상기 비교가, 상기 제 2 비용 함수 값이 상기 제 1 비용 함수 값보다 적음을 표시하면, 상기 간접 제거를 위하여 상기 제 2 세트의 계수들을 적용시키는 단계를 더 포함하는, 간접 제거를 위한 방법.

청구항 6

제 1 항에 있어서,

상기 비교가, 상기 제 2 비용 함수 값이 상기 제 1 비용 함수 값보다 적음을 산출하면, 제 2 계수 제어 알고리즘을 활용하여 상기 제 2 세트의 계수들에 기초하여 제 3 세트의 계수들을 컴퓨팅하는 단계를 더 포함하는, 간접 제거를 위한 방법.

청구항 7

제 6 항에 있어서,

상기 제 3 세트의 계수들을 활용하여 제 3 비용 함수 값을 컴퓨팅하는 단계;

업데이트된 비교를 산출하기 위하여 상기 제 3 비용 함수 값을 상기 제 2 비용 함수 값과 비교하는 단계; 및

상기 간접 제거를 위하여 상기 제 3 세트의 계수들을 적용시킬지 여부를 결정하기 위해 상기 업데이트된 비교를 활용하는 단계를 더 포함하는, 간접 제거를 위한 방법.

청구항 8

제 6 항에 있어서,

상기 제 2 계수 제어 알고리즘은 상기 제 1 계수 제어 알고리즘과 동일하고,

상기 제 1 계수 제어 알고리즘은 다음의 알고리즘들: 전압 스윕핑 알고리즘, 스토캐스틱 근사 알고리즘, 또는 간략화된 스토캐스틱 근사 알고리즘 중 하나의 알고리즘인, 간접 제거를 위한 방법.

청구항 9

제 6 항에 있어서,

상기 제 2 계수 제어 알고리즘은 상기 제 1 계수 제어 알고리즘과 상이하고,

상기 제 1 계수 제어 알고리즘 및 상기 제 2 계수 제어 알고리즘은 다음의 알고리즘들: 전압 스윕핑 알고리즘, 스토캐스틱 근사 알고리즘, 또는 간략화된 스토캐스틱 근사 알고리즘 중 2개의 알고리즘들을 포함하는, 간접 제거를 위한 방법.

청구항 10

제 1 항에 있어서,

상기 제 2 비용 함수 값을 컴퓨팅하는 단계는 적용된 제 2 세트의 계수들로부터 발생하는 복수의 샘플들의 이동 평균 또는 샘플 평균에 기초하는, 간접 제거를 위한 방법.

청구항 11

제 1 항에 있어서,

상기 제 1 세트의 계수들 및 상기 제 2 세트의 계수들은 동-위상 및 직각 컴포넌트들로 표현되는, 간접 제거를 위한 방법.

청구항 12

제 1 항에 있어서,

상기 제 1 비용 함수 값을 컴퓨팅하는 단계는 제 1 평균 제곱 에러에 기초하고,

상기 제 2 비용 함수 값을 컴퓨팅하는 단계는 제 2 평균 제곱 에러에 기초하는, 간접 제거를 위한 방법.

청구항 13

간접 제거를 위한 장치로서,

적어도 하나의 프로세서; 및

상기 적어도 하나의 프로세서에 커플링된, 제 1 세트의 계수들을 저장하기 위한 메모리;

송신 신호를 수신하도록 구성된, 상기 적어도 하나의 프로세서에 커플링된 수신기;

상기 적어도 하나의 프로세서에 커플링된 계수 제어기 – 상기 계수 제어기는,

상기 제 1 세트의 계수들을 활용하여 제 1 비용 함수 값을 컴퓨팅하는 것;

제 1 계수 제어 알고리즘을 활용하여 제 2 세트의 계수들을 컴퓨팅하는 것;

상기 제 2 세트의 계수들을 활용하여 제 2 비용 함수 값을 컴퓨팅하는 것;

비교를 산출하기 위하여 상기 제 2 비용 함수 값을 상기 제 1 비용 함수 값과 비교하는 것; 및

상기 간섭 제거를 위하여 상기 제 1 세트의 계수들을 적용시킬지 아니면 상기 제 2 세트의 계수들을 적용시킬지를 결정하기 위해 상기 비교를 활용하는 것을 수행하도록 구성됨 – ; 및

참조 신호를 필터링하기 위하여 상기 제 1 세트의 계수들 또는 상기 제 2 세트의 계수들 중 하나를 적용시키기 위한 AIC(analog interference cancellation) 회로를 포함하고,

상기 수신기는 상기 간섭 제거를 위하여 수신된 송신 신호로부터, 필터링된 참조 신호를 차감하는, 간섭 제거를 위한 장치.

청구항 14

제 13 항에 있어서,

사전 정의된 조건은 사용을 위하여 상기 제 1 계수 제어 알고리즘을 인에이블링하고,

상기 사전 정의된 조건은 RSSI(received signal strength indication) 임계치보다 큰 RSSI이고,

상기 RSSI는 상기 제 1 비용 함수 값과 연관되는, 간섭 제거를 위한 장치.

청구항 15

제 13 항에 있어서,

상기 AIC(analog interference cancellation) 회로는, 상기 비교가, 상기 제 2 비용 함수 값이 상기 제 1 비용 함수 값보다 적음을 표시하면, 상기 간섭 제거를 위하여 상기 제 2 세트의 계수들을 적용시키는, 간섭 제거를 위한 장치.

청구항 16

제 13 항에 있어서,

상기 계수 제어기는, 상기 제 1 비용 함수 값 및 상기 제 2 비용 함수 값을 컴퓨팅하기 위한 비용 함수 컴퓨테이션 모듈, 상기 제 2 세트의 계수들을 컴퓨팅하기 위한 계수 컴퓨테이션 모듈, 상기 제 2 비용 함수 값을 상기 제 1 비용 함수 값과 비교하기 위한 비용 함수 비교 모듈, 및 상기 제 1 세트의 계수들을 적용시킬지 아니면 상기 제 2 세트의 계수들을 적용시킬지를 결정하기 위해 상기 비교를 활용하기 위한 계수 컴퓨테이션 알고리즘 선택 모듈을 포함하는, 간섭 제거를 위한 장치.

청구항 17

제 16 항에 있어서,

상기 계수 컴퓨테이션 모듈은, 다음의 모듈들: 전압 스윕핑 알고리즘을 수행하기 위한 전압 스윕핑 모듈, 스토캐스틱 근사 알고리즘을 수행하기 위한 스토캐스틱 근사 모듈, 또는 간략화된 스토캐스틱 근사 알고리즘을 수행하기 위한 간략화된 스토캐스틱 근사 모듈 중 적어도 하나의 모듈을 포함하는, 간섭 제거를 위한 장치.

청구항 18

제 16 항에 있어서,

상기 계수 컴퓨테이션 모듈은, 상기 비교가, 상기 제 2 비용 함수 값이 상기 제 1 비용 함수 값보다 적음을 산출하면, 제 2 계수 제어 알고리즘을 활용하여 상기 제 2 세트의 계수들에 기초하여 제 3 세트의 계수들을 컴퓨팅하는, 간섭 제거를 위한 장치.

청구항 19

제 18 항에 있어서,

상기 비용 함수 컴퓨테이션 모듈은 상기 제 3 세트의 계수들을 활용하여 제 3 비용 함수 값을 컴퓨팅하고;

상기 비용 함수 비교 모듈은 업데이트된 비교를 산출하기 위하여 상기 제 3 비용 함수 값을 상기 제 2 비용 함수 값과 비교하고; 그리고

상기 계수 컴퓨테이션 알고리즘 선택 모듈은 상기 간접 제거를 위하여 상기 제 3 세트의 계수들을 적용시킬지 여부를 결정하기 위해 상기 업데이트된 비교를 활용하는, 간접 제거를 위한 장치.

청구항 20

제 13 항에 있어서,

상기 제 2 비용 함수 값은 적용된 제 2 세트의 계수들로부터 발생하는 복수의 샘플들의 이동 평균 또는 샘플 평균에 기초하여 컴퓨팅되는, 간접 제거를 위한 장치.

청구항 21

제 13 항에 있어서,

상기 제 1 세트의 계수들 및 상기 제 2 세트의 계수들은 동-위상 및 직각 컴포넌트들로 표현되는, 간접 제거를 위한 장치.

청구항 22

제 13 항에 있어서,

상기 제 1 비용 함수 값은 제 1 평균 제곱 에러에 기초하여 컴퓨팅되고,

상기 제 2 비용 함수 값은 제 2 평균 제곱 에러에 기초하여 컴퓨팅되는, 간접 제거를 위한 장치.

청구항 23

간접 제거를 위한 장치로서,

적어도 하나의 프로세서;

상기 적어도 하나의 프로세서에 커플링된, 제 1 세트의 계수들을 저장하기 위한 메모리;

송신 신호를 수신하기 위한, 상기 적어도 하나의 프로세서에 커플링된 수신기;

상기 제 1 세트의 계수들을 활용하여 제 1 비용 함수 값을 컴퓨팅하기 위한 수단;

제 1 계수 제어 알고리즘을 활용하여 제 2 세트의 계수들을 컴퓨팅하기 위한 수단;

상기 제 2 세트의 계수들을 활용하여 제 2 비용 함수 값을 컴퓨팅하기 위한 수단;

비교를 산출하기 위하여 상기 제 2 비용 함수 값을 상기 제 1 비용 함수 값과 비교하기 위한 수단;

상기 간접 제거를 위하여 상기 제 1 세트의 계수들을 적용시킬지 아니면 상기 제 2 세트의 계수들을 적용시킬지를 결정하기 위해 상기 비교를 활용하기 위한 수단; 및

참조 신호를 필터링하기 위하여 상기 제 1 세트의 계수들 또는 상기 제 2 세트의 계수들 중 하나를 적용시키기 위한 수단을 포함하고,

상기 수신기는 상기 간접 제거를 위하여 수신된 송신 신호로부터, 필터링된 참조 신호를 차감하는, 간접 제거를 위한 장치.

청구항 24

제 23 항에 있어서,

사전 정의된 조건은 사용을 위하여 상기 제 1 계수 제어 알고리즘을 인에이블링하고,

상기 사전 정의된 조건은 RSSI(received signal strength indication) 임계치보다 큰 RSSI이고,

상기 RSSI는 상기 제 1 비용 함수 값과 연관되는, 간접 제거를 위한 장치.

청구항 25

제 23 항에 있어서,

상기 비교가, 상기 제 2 비용 함수 값이 상기 제 1 비용 함수 값보다 적음을 표시하면, 상기 간접 제거를 위하여 상기 제 2 세트의 계수들을 적용시키기 위한 수단을 더 포함하는, 간접 제거를 위한 장치.

청구항 26

제 23 항에 있어서,

상기 비교가, 상기 제 2 비용 함수 값이 상기 제 1 비용 함수 값보다 적음을 산출하면, 제 2 계수 제어 알고리즘을 활용하여 상기 제 2 세트의 계수들에 기초하여 제 3 세트의 계수들을 컴퓨팅하기 위한 수단;

상기 제 3 세트의 계수들을 활용하여 제 3 비용 함수 값을 컴퓨팅하기 위한 수단;

업데이트된 비교를 산출하기 위하여 상기 제 3 비용 함수 값을 상기 제 2 비용 함수 값과 비교하기 위한 수단; 및

상기 간접 제거를 위하여 상기 제 3 세트의 계수들을 적용시킬지 여부를 결정하기 위해 상기 업데이트된 비교를 활용하기 위한 수단을 더 포함하는, 간접 제거를 위한 장치.

청구항 27

제 23 항에 있어서,

상기 제 2 비용 함수 값을 컴퓨팅하기 위한 수단은 적용된 제 2 세트의 계수들로부터 발생하는 복수의 샘플들의 이동 평균 또는 샘플 평균에 기초하여 상기 제 2 비용 함수 값을 컴퓨팅하고, 그리고

상기 제 1 비용 함수 값을 컴퓨팅하기 위한 수단은 제 1 평균 제곱 에러에 기초하여 상기 제 1 비용 함수 값을 컴퓨팅하고, 그리고

상기 제 2 비용 함수 값을 컴퓨팅하는 것은 제 2 평균 제곱 에러에 기초하는, 간접 제거를 위한 장치.

청구항 28

컴퓨터 실행가능한 코드를 저장하는 컴퓨터 판독가능한 저장 매체로서, 상기 컴퓨터 실행가능한 코드는, 적어도 하나의 프로세서; 상기 적어도 하나의 프로세서에 커플링된, 제 1 세트의 계수들을 저장하기 위한 메모리; 송신 신호를 수신하도록 구성된, 상기 적어도 하나의 프로세서에 커플링된 수신기를 포함하는 디바이스 상에서 동작 가능하며,

상기 컴퓨터 실행가능한 코드는,

상기 적어도 하나의 프로세서로 하여금, 상기 제 1 세트의 계수들을 활용하여 제 1 비용 함수 값을 컴퓨팅하게 하기 위한 명령들;

상기 적어도 하나의 프로세서로 하여금, 제 1 계수 제어 알고리즘을 활용하여 제 2 세트의 계수들을 컴퓨팅하게 하기 위한 명령들;

상기 적어도 하나의 프로세서로 하여금, 비교를 산출하기 위하여 상기 제 2 비용 함수 값을 상기 제 1 비용 함수 값과 비교하게 하기 위한 명령들;

상기 적어도 하나의 프로세서로 하여금, 간접 제거를 위하여 상기 제 1 세트의 계수들을 적용시킬지 아니면 상기 제 2 세트의 계수들을 적용시킬지를 결정하기 위해 상기 비교를 활용하게 하기 위한 명령들; 및

상기 적어도 하나의 프로세서로 하여금, 참조 신호를 필터링하기 위하여 상기 제 1 세트의 계수들 또는 상기 제 2 세트의 계수들 중 하나를 적용시키게 하기 위한 명령들을 포함하고,

상기 수신기는 상기 간접 제거를 위하여 수신된 송신 신호로부터, 필터링된 참조 신호를 차감하도록 추가로 구성되는, 컴퓨터 판독가능한 저장 매체.

청구항 29

제 28 항에 있어서,

상기 컴퓨터 실행가능한 코드는, 상기 적어도 하나의 프로세서로 하여금, 상기 비교가, 상기 제 2 비용 함수 값이 상기 제 1 비용 함수 값보다 적음을 표시하면, 상기 간접 제거를 위하여 상기 제 2 세트의 계수들을 적용시키게 하거나, 또는 상기 비교가, 상기 제 2 비용 함수 값이 상기 제 1 비용 함수 값보다 적음을 산출하면, 제 2 계수 제어 알고리즘을 활용하여 상기 제 2 세트의 계수들에 기초하여 제 3 세트의 계수들을 컴퓨팅하게 하기 위한 명령들을 더 포함하는, 컴퓨터 판독가능한 저장 매체.

청구항 30

제 29 항에 있어서,

상기 컴퓨터 실행가능한 코드는,

상기 적어도 하나의 프로세서로 하여금, 상기 제 3 세트의 계수들을 활용하여 제 3 비용 함수 값을 컴퓨팅하게 하기 위한 명령들;

상기 적어도 하나의 프로세서로 하여금, 업데이트된 비교를 산출하기 위하여 상기 제 3 비용 함수 값을 상기 제 2 비용 함수 값과 비교하게 하기 위한 명령들;

상기 적어도 하나의 프로세서로 하여금, 상기 간접 제거를 위하여 상기 제 3 세트의 계수들을 적용시킬지 여부를 결정하기 위해 상기 업데이트된 비교를 활용하게 하기 위한 명령들을 더 포함하는, 컴퓨터 판독가능한 저장 매체.

발명의 설명

기술 분야

[0001]

관련 출원들에 대한 상호-참조

[0002]

[0001] 본 출원은 2015년 3월 13일자로 미국 특허청에 출원된 정규 출원 번호 제14/658,047호에 대한 우선권 및 그의 이익을 주장하고, 상기 출원의 전체 내용은 인용에 의해 본원에 포함된다.

[0003]

[0002] 본 개시물은 일반적으로, 간접 제거 시스템들 및 방법들의 분야에 관한 것으로, 상세하게는, 기저대역 계수들을 활용하는 간접 제거의 부분으로서 잔류 DC 오프셋들(즉, DC 바이어스)의 제거 또는 최소화에 관한 것이다.

배경 기술

[0004]

[0003] 진화된 무선 디바이스들은 동일한, 인접한 또는 고조파(harmonic) 주파수들 상에서 동작하는 다수의 라디오들을 가질 수 있다. 라디오들은 WWAN(wireless wide area network), WLAN(wireless local area network), WPAN(wireless personal area network), GPS(Global Positioning System), GLONASS(Global Navigation Satellite System), BeiDou 네비게이션 위성 시스템 등과 같은 네트워크들에 대한 액세스를 제공한다. 라디오(radio)들의 일부 조합들은 각각의 주파수들 사이의 간섭으로 인한 공존 이슈들을 야기할 수 있다. 특히, 다른 라디오가 수신하는 것과 동시에 동일한 주파수에서 또는 그 근방에서 하나의 라디오가 활성적으로 송신하고 있는 경우, 송신 라디오는 수신 라디오에 대한 간섭(즉, 디-센스)을 야기할 수 있다. 예컨대, 블루투스(WPAN)와 2.4 GHz WiFi(WLAN) 사이에 동일한 대역 간섭이 발생할 수 있고; WLAN과 LTE(Long Term Evolution) 대역 7, 40, 41 사이에 인접한 대역 간섭이 발생할 수 있고; 5.7 GHz ISM과 1.9 GHz PCS(Personal Communications Service) 사이에 고조파 간섭이 발생할 수 있고; 그리고 7xx MHz와 GPS 수신기 사이에 상호변조 이슈가 발생할 수 있다.

[0005]

[0004] AIC(Analog interference cancellation)는, 도 1에 도시되는 바와 같이, 유선 AIC 경로에서 그리고 무선 커플링 경로 신호의 이득 및 위상을 매칭함으로써 송신기 라디오와 수신기 라디오 사이의 간섭을 제거하며, d_t 는 송신기(어그레서) 라디오(102)로부터 송신된 신호이고, h_c 는 송신기 라디오(102)로부터 수신기(희생(victim)) 라디오(104)로의 커플링 채널(무선 커플링 경로 신호)이다. AIC(106)는 AIC(106)의 출력 상의 음의 부호를 통해 반영되는 바와 같이, 커플링 채널 h_c 에 대한 영향을 제거하려고 시도한다. 제거는 별개의 송신기-

수신기 안테나 시나리오들뿐만 아니라, 송신기(들) 및 수신기(들)가 동일한 안테나(들)를 공유하는 시나리오들에 적용가능할 수 있다. 후자의 경우, 오버-디-에어(over-the-air) 커플링 채널은 유선 채널로 추가로 간략화될 수 있다.

[0006] 아날로그 간섭 제거는 RF에서 또는 기저대역에서 컴퓨팅된 적응형 필터 계수들을 활용하여 수행될 수 있으며, 기저대역은 디지털 구현, 예컨대, FPGA(field programmable gate array), DSP(digital signal processing) 엘리먼트들 또는 ASIC(application-specific integrated circuits)를 활용하는 것을 의미한다. 기저대역 계수 컴퓨테이션은 최적의 간섭 제거를 이끌 수 있는 더 정확한 계수 결정을 허용할 수 있다. 이에 따라 컴퓨팅된 계수들은 원하지 않는 간섭을 제거하도록 참조 신호를 컨디셔닝하기 위하여 AIC(analog interference cancellation) 회로에 전송된다. 그러나, 기저대역 프로세싱의 하나의 단점은 원하지 않는 DC 오프셋 누설이다. 즉, 참조 신호는, AIC 컨디셔닝 이후에, 간섭 제거를 저하시킬 수 있는 잔류 dc 바이어스를 가질 수 있다.

발명의 내용

[0007] 다음의 설명은 본 개시물의 하나 또는 그 초과의 양상들의 기본적 이해를 제공하기 위하여 본 개시물의 하나 또는 그 초과의 양상들의 간략화된 개요를 제시한다. 이 개요는 본 개시물의 모든 고려되는 특징들의 포괄적인 개요는 아니며, 본 개시물의 모든 양상들의 핵심 또는 중요한 엘리먼트들을 식별하거나, 본 개시물의 임의의 또는 모든 양상들의 범위를 서술하고자 할 의도도 아니다. 그 유일한 목적은 추후에 제시되는 더 상세한 설명에 대한 서두로서, 본 개시물의 하나 또는 그 초과의 양상들의 일부 개념들을 간략화된 형태로 제시하는 것이다.

[0008] 본 개시물의 다양한 양상들에 따르면, 간섭 제거를 위한 방법은, 송신 신호를 수신하기 위하여 수신기를 활용하는 단계; 제 1 세트의 계수들을 활용하여 제 1 비용 함수 값을 컴퓨팅하는 단계; 제 1 계수 제어 알고리즘을 활용하여 제 2 세트의 계수들을 컴퓨팅하는 단계; 제 2 세트의 계수들을 활용하여 제 2 비용 함수 값을 컴퓨팅하는 단계; 비교를 산출하기 위하여 제 2 비용 함수 값을 제 1 비용 함수 값과 비교하는 단계; 간섭 제거를 위하여 제 1 세트의 계수들을 적용시킬지 아니면 제 2 세트의 계수들을 적용시킬지를 결정하기 위하여 비교를 활용하는 단계; 및 참조 신호를 필터링하기 위하여 제 1 세트의 계수들 또는 제 2 세트의 계수들 중 하나를 적용시키고, 간섭 제거를 위하여 수신된 송신 신호로부터, 필터링된 참조 신호를 차감하는 단계를 포함한다.

[0009] 다양한 양상들에서, 간섭 제거를 위한 장치는, 적어도 하나의 프로세서; 적어도 하나의 프로세서에 커플링된, 제 1 세트의 계수들을 저장하기 위한 메모리; 송신 신호를 수신하기 위하여 구성된, 적어도 하나의 프로세서에 커플링된 수신기; 적어도 하나의 프로세서에 커플링된 계수 제어기 – 계수 제어기는, 제 1 세트의 계수들을 활용하여 제 1 비용 함수 값을 컴퓨팅하는 것; 제 1 계수 제어 알고리즘을 활용하여 제 2 세트의 계수들을 컴퓨팅하는 것; 제 2 세트의 계수들을 활용하여 제 2 비용 함수 값을 컴퓨팅하는 것; 비교를 산출하기 위하여 제 2 비용 함수 값을 제 1 비용 함수 값과 비교하는 것; 및 간섭 제거를 위하여 제 1 세트의 계수들을 적용시킬지 아니면 제 2 세트의 계수들을 적용시킬지를 결정하기 위하여 비교를 활용하는 것을 수행하기 위하여 구성됨 – ; 및 참조 신호를 필터링하기 위하여 제 1 세트의 계수들 또는 제 2 세트의 계수들 중 하나를 적용시키기 위한 AIC(analog interference cancellation) 회로를 포함하고, 수신기는 간섭 제거를 위하여 수신된 송신 신호로부터, 필터링된 참조 신호를 차감한다.

[0010] 다양한 양상들에서, 간섭 제거를 위한 장치는, 적어도 하나의 프로세서; 적어도 하나의 프로세서에 커플링된, 제 1 세트의 계수들을 저장하기 위한 메모리; 송신 신호를 수신하기 위한, 적어도 하나의 프로세서에 커플링된 수신기; 제 1 세트의 계수들을 활용하여 제 1 비용 함수 값을 컴퓨팅하기 위한 수단; 제 1 계수 제어 알고리즘을 활용하여 제 2 세트의 계수들을 컴퓨팅하기 위한 수단; 제 2 세트의 계수들을 활용하여 제 2 비용 함수 값을 컴퓨팅하기 위한 수단; 비교를 산출하기 위하여 제 2 비용 함수 값을 제 1 비용 함수 값과 비교하기 위한 수단; 간섭 제거를 위하여 제 1 세트의 계수들을 적용시킬지 아니면 제 2 세트의 계수들을 적용시킬지를 결정하기 위하여 비교를 활용하기 위한 수단; 및 참조 신호를 필터링하기 위하여 제 1 세트의 계수들 또는 제 2 세트의 계수들 중 하나를 적용시키기 위한 수단을 포함하고, 수신기는 간섭 제거를 위하여 수신된 송신 신호로부터, 필터링된 참조 신호를 차감한다.

[0011] 다양한 양상들에서, 컴퓨터 관독가능한 저장 매체는, 적어도 하나의 프로세서; 적어도 하나의 프로세서에 커플링된, 제 1 세트의 계수들을 저장하기 위한 메모리; 송신 신호를 수신하기 위하여 구성된, 적어도 하나의 프로세서에 커플링된 수신기를 포함하는 디바이스 상에서 동작가능한 컴퓨터 실행가능한 코드를 저장하고, 컴퓨터 실행가능한 코드는, 적어도 하나의 프로세서로 하여금, 제 1 세트의 계수들을 활용하여 제 1 비용 함수

값을 컴퓨팅하게 하기 위한 명령들; 적어도 하나의 프로세서로 하여금, 제 1 계수 제어 알고리즘을 활용하여 제 2 세트의 계수들을 컴퓨팅하게 하기 위한 명령들; 적어도 하나의 프로세서로 하여금, 제 2 세트의 계수들을 활용하여 제 2 비용 함수 값을 컴퓨팅하게 하기 위한 명령들; 적어도 하나의 프로세서로 하여금, 비교를 산출하기 위하여 제 2 비용 함수 값을 제 1 비용 함수 값과 비교하게 하기 위한 명령들; 적어도 하나의 프로세서로 하여금, 간접 제거를 위하여 제 1 세트의 계수들을 적용시킬지 아니면 제 2 세트의 계수들을 적용시킬지를 결정하기 위하여 비교를 활용하게 하기 위한 명령들; 및 적어도 하나의 프로세서로 하여금, 참조 신호를 필터링하기 위하여 제 1 세트의 계수들 또는 제 2 세트의 계수들 중 하나를 적용시키게 하기 위한 명령들을 포함하고, 수신기는 간접 제거를 위하여 수신된 송신 신호로부터, 필터링된 참조 신호를 차감하도록 추가로 구성된다.

[0012] 본 개시물의 이러한 그리고 다른 양상들은 다음의 상세한 설명의 리뷰 시 더 완전히 이해될 것이다. 본 개시물의 다른 양상들, 특징들 및 실시예들은 첨부한 도면들과 함께 본 개시물의 특정한 예시적 실시예들의 다음의 설명을 리뷰할 시, 당업자들에게 명백해질 것이다. 본 개시물의 특징들은 아래의 특정 실시예들 및 도면들과 관련하여 논의될 수 있지만, 본 개시물의 모든 실시예들은 본원에서 논의되는 유리한 특징들 중 하나 또는 그 초과의 특징들을 포함할 수 있다. 다시 말해서, 하나 또는 그 초과의 실시예들은 특정한 유리한 특징들을 가지는 것으로 논의될 수 있지만, 이러한 특징들 중 하나 또는 그 초과의 특징들은 또한, 본원에서 논의되는 본 개시물의 다양한 실시예들에 따라 사용될 수 있다. 유사한 방식으로, 예시적 실시예들이 디바이스, 시스템 또는 방법 실시예들로서 아래에서 논의될 수 있지만, 이러한 예시적 실시예들이 다양한 디바이스들, 시스템들 및 방법들로 구현될 수 있다는 것이 이해되어야 한다.

도면의 간단한 설명

[0013] 도 1은 아날로그 간접 제거 시스템을 예시하는 블록 다이어그램이다.

[0013] 도 2는 하나 또는 그 초과의 무선 통신 디바이스들을 포함하는 네트워킹 환경을 예시하는 다이어그램이다.

[0014] 도 3은 본 개시물의 다양한 실시예들에 따른, 복수의 송신기들 및 복수의 수신기들을 가지는 무선 통신 디바이스를 예시하는 블록 다이어그램이다.

[0015] 도 4는 본원에서 개시되는 다양한 양상들에 따른, 간접 제거를 수행하기 위하여 적응될 수 있는 시스템을 예시하는 블록 다이어그램이다.

[0016] 도 5는 무선 통신 시스템에서 수신기에 대한 계수 제어기의 구현을 예시하는 블록 다이어그램이다.

[0017] 도 6a-6c는 수신기에서 간접 제거를 구현하면서 잔류 dc 바이어스를 최소화하기 위한 계수들을 결정하기 위하여 전압 스윕핑(voltage sweeping)을 활용하기 위한 예시적 알고리즘의 흐름 다이어그램을 예시한다.

[0018] 도 7a-7c는 수신기에서 간접 제거를 구현하면서 잔류 dc 바이어스를 최소화하기 위한 계수들을 결정하기 위하여 스토캐스틱 근사(stochastic approximation)를 활용하기 위한 예시적 알고리즘의 흐름 다이어그램을 예시한다.

[0019] 도 8a-8c는 수신기에서 간접 제거를 구현하면서 잔류 dc 바이어스를 최소화하기 위한 계수들을 결정하기 위하여 간략화된 스토캐스틱 근사를 활용하기 위한 예시적 알고리즘의 흐름 다이어그램을 예시한다.

[0020] 도 9a-9b는 간접 제거를 위한 방법의 흐름 다이어그램을 예시한다.

[0021] 도 10은 본원에 개시되는 특정 양상들에 따라 적응되는 프로세싱 회로를 채용하는 프로세싱을 채용하는 장치에 대한 하드웨어 구현의 예를 예시하는 다이어그램이다.

[0022] 도 11은 본원에 개시되는 특정 양상들에 따라 적응될 수 있는 프로세싱 회로를 채용하는 장치의 예를 예시하는 블록 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

[0023] 첨부되는 도면들과 관련하여 아래에서 기술되는 상세한 설명은 다양한 구성들의 설명으로서 의도되며, 본원에서 설명되는 개념들이 실시될 수 있는 유일한 구성들을 표현하도록 의도되지 않는다. 상세한 설명은 다양한 개념들의 철저한 이해를 제공할 목적으로 특정 세부사항들을 포함한다. 그러나, 이 개념들은 이 특정 세부사항들 없이 실시될 수 있다는 것이 당업자들에게 명백할 것이다. 일부 사례들에서, 이러한 개념들을 모호하

게 하는 것을 회피하기 위하여, 잘 알려진 구조들 및 컴포넌트들이 블록 다이어그램 형태로 도시된다.

[0015] [0024] 본 개시물의 다양한 양상들은 제 2 라디오(트랜시버)의 수신 성능에 영향을 미치는, 하나의 라디오(트랜시버)에 의한 송신들로부터 발생하는 국부적 간섭을 제거하기 위한 시스템들 및 방법들과 관련된다. 특정 양상들에서, 간섭 제거 시스템은 상이한 라디오 조합들에 적응가능하다. 예컨대, 라디오들의 제 1 조합에 의해 야기되는 공존 이슈에 있어서, 송신 라디오(예컨대, WiFi)는 IC(interference cancellation) 회로의 입력을 위하여 선택될 수 있고, 수신 라디오(예컨대, 블루투스)는 간섭 제거 회로의 출력을 위하여 선택될 수 있다. 라디오들의 제 2(상이한) 조합에 의해 야기되는 공존 이슈에 있어서, 송신 라디오(예컨대, WiFi)는 간섭 제거 회로의 입력을 위하여 선택될 수 있고, 수신 라디오(예컨대, LTE 대역 7)는 간섭 제거 회로의 출력을 위하여 선택될 수 있다. (간섭 제거에서와 같은) 제거라는 용어들 및 이들의 변형들은, 적어도 일부 간섭이 감소된다는 점에서 감소, 완화 등과 같은 의미일 수 있다는 점이 주목되어야 한다.

[0016] [0025] 본 개시물의 범위 내에서, 임의의 적합한 간섭 제거 회로가 활용될 수 있다. 본 개시물의 일부 양상들에서, 간섭 제거 회로는 간섭 제거 경로에서의 신호를 커플링 경로에서의 신호와 매칭하도록 구성된 아날로그 1-탭(one-tap) 적응형 필터일 수 있다. 다양한 예들에서, 아날로그 1-탭 적응형 필터는 아날로그 1-탭 LMS(least mean square) 적응형 필터이다. LMS 적응형 필터는, 원하는 신호와 관측 또는 수신 신호 사이의 차를 표현할 수 있는 여러 신호의 최소 제곱 평균을 생성하기 위하여 계산된 필터 계수들을 활용하여 원하는 필터를 모방하도록 동작할 수 있다. 종래의 1-탭 간섭 제거 필터는, 간섭 신호의 전력이 가장 높고, 따라서, 하나의 타입의 간섭 및/또는 하나의 주파수 또는 주파수들의 대역에 영향을 미치는 간섭을 통상적으로 어드레싱할 수 있는 주파수에서 그의 최고의 제거 에너지에 이상적으로 포커싱한다. 제거 센터를 활성적으로 스티어링하기 위하여 필터에 DC 오프셋이 적용될 수 있으며, DC 오프셋의 값은 수신기로부터 유도되는 기저대역 신호에 따라 디지털 도메인에서 자동으로 계산된다. DC 오프셋은 기저대역 신호에 따라 디지털 도메인에서 계산된 필터 계수들을 활용하여 생성될 수 있다.

[0017] [0026] 본 개시물의 특정 양상들에 따르면, 필터 계수(즉, 알려지지 않은 dc 바이어스)가 결정되어, 비용 함수를 최소화함으로써, 즉, 제거 에러를 최소화함으로써, 간섭 제거를 위하여 AIC 회로에 제공된다.

[0018] [0027] 도 2는 하나 또는 그 초과의 무선 통신 디바이스들(202a-202d)을 포함하는 네트워킹 환경(200)을 예시하는 다이어그램이다. 각각의 무선 통신 디바이스(202a-202d)는 적어도 하나의 액세스 포인트(206, 208, 210)로부터 무선 신호들을 송신 및/또는 수신하도록 적응되거나 또는 구성될 수 있다. 일부 사례들에서, 무선 통신 디바이스(202a-202d)는 적어도 하나의 다른 무선 통신 디바이스(202a-202d)로부터 무선 신호들을 송신 및/또는 수신하도록 적응되거나 또는 구성될 수 있다. 하나 또는 그 초과의 무선 통신 디바이스들(202a-202d)은 모바일 디바이스 및/또는 이동가능하지만 정지 상태를 유지하도록 주로 의도된 디바이스를 포함할 수 있다. 다양한 예들에서, 디바이스는 셀룰러 폰, 스마트 폰, 개인용 디지털 보조기, 휴대용 컴퓨팅 디바이스, 웨어러블 컴퓨팅 디바이스, 및 어플라이언스, 미디어 플레이어, 네비게이션 디바이스, 태블릿 등일 수 있다. 하나 또는 그 초과의 무선 통신 디바이스들(202a-202d)은 또한, 무선 신호들을 송신 및/또는 수신하도록 인에이블된 고정식 디바이스(예컨대, 데스크탑 컴퓨터, 기계-타입 통신 디바이스 등)를 포함할 수 있다. 하나 또는 그 초과의 무선 통신 디바이스들(202a-202d)은 또 다른 디바이스에서의 사용을 위하여 동작가능하게 인에이블될 수 있는 하나 또는 그 초과의 집적 회로들, 회로 보드들 등으로 구현되거나 또는 그들로부터 구성되는 장치 또는 시스템을 포함할 수 있다. 따라서, 본원에서 사용되는 바와 같이, "디바이스" 및 "모바일 디바이스"라는 용어들은, 각각의 용어가 무선 신호들을 송신 및/또는 수신할 수 있는 임의의 단일 디바이스 또는 디바이스들의 임의의 조합가능한 그룹을 지칭하도록 의도되므로, 상호 교환가능하게 사용될 수 있다.

[0019] [0028] 액세스 포인트들(206, 208, 210) 중 하나 또는 그 초과의 액세스 포인트는 RAT(radio access technology)를 활용하여 연결성을 제공하는 RAN(radio access network)(204, 214)과 연관될 수 있다. RAN(204, 214)은 하나 또는 그 초과의 무선 통신 디바이스들(202a-202d)을 코어 네트워크에 연결시킬 수 있다. 다양한 예들에서, RAN(204, 214)은 WWAN, WLAN, WPAN, WMAN(wireless metropolitan area network), 블루투스 통신 시스템, WiFi 통신 시스템, GSM(Global System for Mobile communication) 시스템, EVDO(Evolution Data Only/Evolution Data Optimized) 통신 시스템, UMB(Ultra Mobile Broadband) 통신 시스템, LTE 통신 시스템, MSS-ATC(Mobile Satellite Service-Ancillary Terrestrial Component) 통신 시스템 등을 포함할 수 있다.

[0020] [0029] RAN(204, 214)은, 단순히 클라우드(212)로 표현되는 다른 디바이스들 및/또는 자원들과 통신하고 그리고/또는 그렇지 않으면 그들에 동작가능하게 액세스하도록 인에이블링될 수 있다. 예컨대, 클라우드(212)는 하나 또는 그 초과의 통신 디바이스들, 시스템들, 네트워크들 또는 서비스들, 및/또는 하나 또는 그 초과의 컴퓨

팅 디바이스들, 시스템들, 네트워크들 또는 서비스들 등, 또는 이들의 임의의 조합을 포함할 수 있다.

[0021] [0030] 다양한 예들에서, RAN(204, 214)은, CDMA(Code Division Multiple Access), TDMA(Time Division Multiple Access), FDMA(Frequency Division Multiple Access), OFDMA(Orthogonal Frequency Division Multiple Access), SC-FDMA(Single-Carrier Frequency Division Multiple Access) 등을 포함하는(그러나, 이들로 제한되는 것은 아님) 임의의 적합한 다중 액세스 및 멀티플렉싱 방식을 활용할 수 있다. RAN(204, 214)이 WWAN인 예들에서, 네트워크는 D-AMPS(Digital Advanced Mobile Phone System), IS-95, cdma2000, GSM(Global System for Mobile Communications), UMTS, eUTRA(LTE), 또는 임의의 다른 적합한 RAT와 같은 하나 또는 그 초과의 표준화된 RAT들을 구현할 수 있다. GSM, UMTS 및 eUTRA는 "3GPP(3rd Generation Partnership Project)"라고 명명되는 컨소시엄으로부터의 문서들에서 설명된다. IS-95 및 cdma2000은 "3GPP2(3rd Generation Partnership Project 2)"라고 명명되는 컨소시엄으로부터의 문서들에서 설명된다. 3GPP 및 3GPP2 문서들은 공개적으로 입수 가능하다. RAN(204, 214)이 WLAN인 예들에서, 네트워크는 IEEE 802.11x 네트워크 또는 임의의 다른 적합한 네트워크 탑재할 수 있다. RAN(204, 214)이 WPAN인 예들에서, 네트워크는 블루투스 네트워크, IEEE 802.15x 또는 임의의 다른 적합한 네트워크 탑재할 수 있다.

[0022] [0031] 무선 통신 디바이스(202a-202d)는 적어도 하나의 라디오(트랜시버로 또한 지칭됨)를 포함할 수 있다. 본원에서 사용되는 "라디오" 또는 "트랜시버"라는 용어들은 무선 신호들을 수신하고 그리고/또는 무선 신호들을 송신하도록 인에이블될 수 있는 임의의 회로 등을 지칭한다. 특정 양상들에서, 2개 또는 그 초과의 라디오들은 회로의 일부분 등(예컨대, 프로세싱 유닛, 메모리 등)을 공유하도록 인에이블될 수 있다. 즉, "라디오" 또는 "트랜시버"라는 용어들은, 신호들의 송신 및 수신 둘 다를 수행하기 위한 능력을 가지는 디바이스들(별개의 송신기들 및 수신기들을 가지는 디바이스들, 신호들을 송신 및 수신하기 위한 결합된 회로를 가지는 디바이스들 등을 포함함)을 포함하는 것으로 해석될 수 있다.

[0023] [0032] 일부 양상들에서, 무선 통신 디바이스(202a-202d)는 적어도 RAN(204, 214)의 제 1 네트워크와 연관된 무선 신호들을 수신 및/또는 송신하도록 인에이블된 제 1 라디오, 및 RAN(204, 214) 및/또는 네비게이션 시스템(예컨대, 위성 포지셔닝 시스템 등)과 지리적으로 오버랩하거나 또는 이와 콜로케이팅될 수 있는 액세스 포인트(206, 208, 210), 피어 디바이스 또는 다른 송신기와 연관된 무선 신호들을 수신 및/또는 송신하도록 인에이블된 제 2 라디오를 포함할 수 있다.

[0024] [0033] 도 3은 본원에서 개시되는 특정 양상들에 따른, 복수의 송신기들(302a-302d) 및 복수의 수신기들(310a-310d)을 포함하는 무선 통신 디바이스(300)를 예시하는 블록 다이어그램이다. M개의 송신기들(302a-302d) 및 N개의 수신기들(310a-310d)은 최대 $M \times N$ 개의 수신기/송신기(Rx/Tx) 회로들로서 제공될 수 있다. 당업자는 수량 M 및 수량 N이 동일할 수 있거나 또는 동일하지 않을 수 있다는 것을 이해할 것이다. 그리고, 일부 경우들에서, 수량들 중 어느 하나는 0일 수 있다. 하나 또는 그 초과의 송신기들(302a-302d)이 활성적으로 송신하고 있고, 하나 또는 그 초과의 수신기들(310a-310d)이 활성적으로 수신하고 있는 경우, 공존 이슈들이 발생할 수 있다.

[0025] [0034] Rx/Tx 회로들(310a/302a, 310b/302b, 310c/302c, 및/또는 310d/302d) 각각은, 예컨대, 각각의 주파수, 그룹 지연들을 가지는 라디오 주파수 회로들, 다른 Tx/Rx 회로들 Rx/Tx 회로들(310a/302a, 310b/302b, 310c/302c, 310d/302d)에 대한 커플링 채널 이득들 등을 포함하는 특정 파라미터들에 따라 동작하도록 구성될 수 있다. 예컨대, 제 1 Tx/Rx 회로(310a/302a)는 제 1 지연 d_1 을 가지는 제 1 주파수 f_1 에서 동작할 수 있고, 제 2 Tx/Rx 회로(310b/302b)는 제 2 지연 d_2 를 가지는 제 2 주파수 f_2 에서 동작할 수 있고, 제 3 Tx/Rx 회로(310c/302c)는 제 3 지연 d_3 을 가지는 제 3 주파수 f_3 에서 동작할 수 있는 식이다. 제 1 Tx/Rx 회로(310a/302a)는 제 2 Tx/Rx 회로(310b/302b)에 대한 커플링 채널 이득 h_{12} , 제 3 Tx/Rx 회로(310c/302c)에 대한 커플링 채널 이득 h_{13} 등을 가질 수 있다. Tx/Rx 회로(310/302)는 다양한 다른 Tx/Rx 회로들에 대한 상이한 커플링 채널 이득들을 가질 수 있다.

[0026] [0035] 다양한 양상들에서, 장치(300)는, 예컨대, 동일한, 인접한, 고조파 또는 저조파(sub-harmonic) 주파수들 상에서 동작하는 Tx/Rx 회로들(310a/302a, 310b/302b, 310c/302c, 310d/302d) 사이에서 생성된 간섭을 감소시키도록 구성된다. 장치(300)는 상이한 Tx/Rx 회로 결합들을 위하여 구성 또는 적응될 수 있다. 즉, 장치(300)는 Tx/Rx 회로들(310a/302a, 310b/302b, 310c/302c, 및/또는 310d/302d)의 현재 결합에 의해 야기되는 공존 이슈에 기초하여 간섭을 제거하도록 구성될 수 있다. 예컨대, 제 1 송신기(302a)가 WiFi를 위하여 채용되고 제 2 수신기(310b)가 블루투스를 위하여 채용되는 경우, 시간 T_1 에서의 공존 이슈가 야기될 수 있다. 일부 시스템

들에서, 장치는 제 1 송신기(302a)의 출력을 IC(interference cancelling) 회로(306)에 선택적으로 제공하도록 구성될 수 있고, IC 회로(306)는 그 다음, 간섭 제거 신호(316)를 제 2 수신기(310b)에 제공할 수 있다. 따라서, 희생 Tx/Rx 회로(310b/302b)에 대해 어그레서 Tx/Rx 회로(310a/302a)에 의해 야기되는 간섭을 간섭 제거 회로(306)가 감소시킬 수 있다. 다양한 예들에서, 어그레서(310a/302a)로부터 희생 Tx/Rx 회로(310b/302b)로의 커플링 채널 이득은 2개의 안테나들의 분리에 기초하여 -10 dB일 수 있고, 간섭 제거 회로(306)는 성공적 간섭 제거를 위하여 이 이득과 매칭하도록 구성될 수 있다. 동작 양상들에서, 장치(300)는 간섭 제거 구성을 선택하도록 제어될 수 있는 MUX(multiplexer) 회로(304) 및 DEMUX(demultiplexer) 회로(308)를 포함할 수 있다.

[0027] [0036] 도 4는 본원에서 개시되는 특정 양상들에 따른, 송신기(402)와 수신기(420) 사이의 국부적 간섭을 제거하기 위한 시스템(400)의 특정 양상들을 예시한다. 시스템(400)은 하나 또는 그 초과의 서브시스템들, 장치, 디바이스들 또는 컴포넌트들과 연관될 수 있다. 송신기(TX)(402)는 위반 송신기(offending transmitter)일 수 있고, 수신기(420)는 희생 수신기일 수 있다. 즉, 송신기(402)는 희생 수신기(420)에 의해 수신된 오버-디-에어(over-the-air) 간섭 신호(406)와 관련된 국부적 간섭을 생성하거나 또는 야기하는 오플더(offender)일 수 있다. 위반 송신기(402) 및 희생 수신기(420)는 동일한 디바이스의 일부일 수 있다. 더욱이, 단일 송신기(402) 및 단일 수신기(420)가 도시되지만, 본 개시물의 양상들에 따라 하나 초과의 송신기(402) 및/또는 하나 초과의 수신기(420)가 제공될 수 있다. 다양한 양상들에서, 송신기(402)는 도 3에 도시되는 송신기들(302) 중 하나의 송신기이고, 수신기(420)는 도 3에 도시되는 수신기들(310) 중 하나의 수신기이다.

[0028] [0037] 송신기(402)는 PA(power amplifier)(408) 및 TX 필터(410)와 연관되거나 또는 이들에 커플링될 수 있으며, 이 컴포넌트들은 당해 기술 분야에서 잘 알려져 있어서, 간결함을 위하여 추가적 설명이 생략된다. PA(408)는 TX(402)에 의한 송신을 위하여 신호 또는 데이터를 수신할 수 있다.

[0029] [0038] 송신기(402)는 커플러(412)와 연관될 수 있다. 커플러(412)는 참조 신호 $r(t)$ (404)를 AIC 회로(416)에 제공하기 위하여 사용될 수 있다. 참조 신호는 송신기(402)에 의해 송신된 신호의 일부 부분 또는 함수에 대응할 수 있으며, 수신 필터(414)를 통해 제공될 수 있다. 다양한 예들에서, AIC 회로(416)는 1-탭 적응형 필터(예컨대, 1-탭 LMS(least mean square) 적응형 필터)를 포함할 수 있다.

[0030] [0039] 광범위하게, AIC 회로(416)는, 국부적 간섭 신호를 제거하기 위하여 파괴적 방식으로 오버-디-에어 간섭 신호(406)와 AIC 출력이 결합될 수 있도록, 주어진 허용오차 내에서 오버-디-에어 간섭 신호(406)와 매칭하는 출력 신호를 생성하도록 구성될 수 있다. AIC 회로(416)는 잔류 dc 바이어스를 최소화하기 위하여 계수 제어기로부터 DC 오프셋들을 수신할 수 있다. AIC 회로(416)는 가산기(422)로의 제 1 입력으로서 공급될 수 있는 출력을 생성하도록 구성될 수 있다. 컴포넌트(422)가 도 4에서 가산기로서 도시되지만, 당업자는 컴포넌트(422)가 결합기(combiner), 적분기 또는 신호들을 결합하거나 또는 가산하는 또 다른 컴포넌트일 수 있다는 것을 이해할 것이다. 가산기(422)로의 제 2 입력은 RX(420)에 의해 수신된 오버-디-에어 간섭 신호(406)에 대응할 수 있다. 일부 사례들에서, 오버-디-에어 간섭 신호(406)는 수신 필터(424)를 통해 가산기(422)에 제공될 수 있다.

[0031] [0040] 가산기(422)는 LNA(low-noise amplifier)(426)에 제공되는 출력을 생성하기 위하여 자신의 입력들을 결합하도록 구성될 수 있다. 다양한 예들에서, 가산기(422)는, 수신 필터(424)로부터 수신된 입력으로부터, AIC 회로(416)에 의해 제공된 입력을 차감하도록 구성될 수 있다. 필터 계수들의 선택이 완벽한 이상적인 경우, 가산기(422)의 제 1 입력에 제공된 신호는, 간섭이 LNA(426)에 제공된 신호에서 제거되도록, 오버-디-에어 간섭 신호(406)와 연관된 간섭과 동일하다. 이와 관련하여, 커플러(412)로부터 수신 필터(414)를 통해 AIC 회로(416)로의 경로는 참조 신호 $r(t)$ 를 제공하기 위하여 참조 경로로서 역할을 할 수 있다.

[0032] [0041] 시스템(400)은, 특정된 허용오차 내에 동일한 필터 특성들을 가지기 위하여, 참조 신호 경로에서의 수신 필터(414) 및 수신기 안테나에 커플링된 수신 필터(424)를 제공할 수 있다. 즉, 동일한 방식으로 둘 모두의 신호들을 필터링하는 것은 참조 신호 $r(t)$ 와 수신 신호(즉, 오버-디-에어 간섭 신호(406)) 사이의 임의의 타이밍 미스매치가 감소되거나 또는 제거되는 것을 보장하는 것을 도울 수 있다.

[0042] 일부 사례들에서, AIC 회로(416)는 수신 신호가 기저대역 신호로 변환된 이후에, 수신 신호에 기초하는 정보를 활용하여 구성될 수 있다. 다양한 예들에서, 계수 제어기(450)는 기저대역 신호로부터 하나 또는 그 초과의 계수들을 유도하고, 그 계수들에 기초하여 AIC 회로(416)를 구성할 수 있다. 즉, LNA(426)로부터의 출력 $y(t)$ 는 믹서(428)에 그리고 AIC 회로(416)에 제공될 수 있다. 그 다음, 믹서(428)는 LNA(426)로부터의 출력 $y(t)$ 를 제 1 신호 도메인 또는 주파수로부터 제 2 신호 도메인 또는 주파수로 변환한다. 예컨대, 제 1 신호 도메인은 선택된 라디오 주파수와 관련될 수 있고, 제 2 신호 도메인은 기저대역 주파수들과 관련될 수 있다. 여

기서, 기저대역 신호는, 예컨대, 최대 20 kHz의 청취가능한 범위에 대응하는 일부 예들에서, 변조되지 않은 신호, 저역통과 신호, 또는 비교적 낮은 주파수들에서의 신호를 포함할 수 있다. 일부 사례들에서, 믹서(428)는 기저대역으로의 변환을 제공하기 위하여 VCO(voltage-controlled oscillator)와 같은 발진기로부터 신호를 수신할 수 있다.

[0043] 믹서(428)로부터의 출력 기저대역 신호는 앤티-앨리어싱 필터로서 동작할 수 있는 아날로그 필터(430)에 제공될 수 있다. 아날로그 필터(430)의 출력은 계수 제어기(450) 내에 상주하는 것으로 도시되는 ADC(analog-to-digital converter)(432)에 제공될 수 있다. ADC(432)의 출력은 수신기(420)의 응답의 측정치를 제공하기 위하여 알고리즘 엔진(434)에 제공된다. 다양한 예들에서, 수신기의 응답은 수신기의 출력에 존재하는 원하는 신호, 간섭 및 잡음의 중첩(superposition)이다. 알고리즘 엔진(434)은 하나 또는 그 초과의 알고리즘들을 수용할 수 있다. 예컨대, 알고리즘은 비용 함수(들)를 계산하기 위하여 사용될 수 있는 반면, 또 다른 알고리즘은 계수 제어를 위하여 사용될 수 있다.

[0044] 알고리즘 엔진(434)은 DC 오프셋 및/또는 필터 계수들을 표현하는 하나 또는 그 초과의 신호들을 생성하여 AIC 회로(416)로 출력하도록 구성될 수 있다. 알고리즘 엔진(434)은 디지털 포맷으로 출력을 생성할 수 있고, 출력은 DAC(digital-to-analog converter)(440)에 제공될 수 있다. 그 다음, DAC(440)의 출력은 AIC 회로(416)에 제공될 수 있다. 도 5에 도시되는 바와 같이, 알고리즘 엔진(434)은, 다양한 예들에서, 다음의 컴포넌트들: 비용 함수 컴퓨테이션 모듈(505), 저장 비용 함수 모듈(510), 비용 함수 비교 모듈(520), 계수 컴퓨테이션 알고리즘 선택 모듈(530), 계수 컴퓨테이션 모듈(555) 및/또는 계수 애플리케이션 모듈(570) 중 하나 또는 그 초과의 컴포넌트를 포함할 수 있다. 당업자는, 알고리즘 엔진(434) 내의 컴포넌트들의 리스트가 배타적 리스트가 아니고, 다른 컴포넌트들이 포함될 수 있으며 본 개시물의 범위 및 사상 내에 있을 수 있다는 것을 이해할 것이다.

[0045] AIC 회로(416)는 다위상(polyphase) 컴포넌트들(481 및 485)을 포함할 수 있다. 다위상 컴포넌트들(481 및 485)은 참조 신호(404)에 관한 동-위상 및 직각 신호 출력들을 생성하기 위하여 사용될 수 있다. 동-위상 신호 출력은, 어떤 위상 시프트도 없이 (예컨대, 0도 위상 시프트로) 참조 신호(404)를 단순히 통과시킴으로써 생성될 수 있다. 직각 신호 출력은 90도 위상 시프트를 참조 신호(404)에 적용시킴으로써 생성될 수 있다.

[0046] 제 1 다위상 컴포넌트(481)에 의한 동-위상 신호 출력은 믹서(482)에 제공된다. 제 1 다위상 컴포넌트(481)에 의한 직각 신호 출력은 믹서(484)에 제공된다. 믹서들(482, 484)의 출력들은 가산기, 적분기 또는 결합기(483)에 제공된다. 가산기(483)의 출력은 가산기(422)로의 입력으로서 역할을 한다.

[0047] 제 2 다위상 컴포넌트(485)에 의한 동-위상 신호 출력은 믹서(486)에 제공된다. 제 2 다위상 컴포넌트(485)에 의한 직각 신호 출력은 믹서(490)에 제공된다. 믹서들(486, 490)은 LNA(426)의 출력에 대응하는 제 2 입력을 각각 수신한다. 즉, 본 개시물의 일부 양상들에서, 수신기(420)의 출력 신호에 대응하는 피드백은 AIC 회로(416)로의 입력으로서 제공된다.

[0048] 믹서(486)의 출력은 제 1 가산기 또는 적분기(487)에 제공된다. 믹서(490)의 출력은 제 2 가산기 또는 적분기(491)에 제공된다. 적분기들(487, 491) 각각으로의 제 2 입력은 AIC 회로(416)를 스티어링하기 위하여 사용될 수 있는 디지털화된 수신 신호로부터 계수들을 생성하는 계수 제어기(450)에 의해 제공된다. 적분기들(487, 491)의 출력들은 제 1 및 제 2 LPF(low pass filter)들(488 및 492)을 각각 포함하는 하나 또는 그 초과의 필터들에 제공될 수 있다. 제 1 및 제 2 LPF들(488, 492)의 출력들은 하나 또는 그 초과의 증폭기들(489 및 493)에 각각 제공될 수 있다. 증폭기들(489, 493)은 독립적으로 제어된 이득(G) 값들을 각각 가질 수 있다. 일부 사례들에서, 공통 이득이 증폭기들(489 및 493) 둘 다와 관련하여 사용될 수 있다. 증폭기들(489, 493)의 출력들은 믹서들(482 및 484)로의 입력들로서 각각 제공될 수 있다.

[0049] 적분기들(487, 491) 각각으로의 제 2 입력은 계수 제어기(450)에 의해 실행되는 알고리즘 엔진(434)에 의해 출력된 계수들 및/또는 오프셋들에 대응한다. 계수들은 LNA(426)에 의한 RF 신호 출력에 직접적으로 기초하는 것이 아니라 오히려, 계수들은, ADC(analog-to-digital converter)(432)를 활용하여 수신 신호가 기저대역 신호로 변환된 이후에, 수신 신호에 기초한다. 즉, 계수 제어기(450)는 AIC 회로(416)를 스티어링하기 위하여 기저대역 신호로부터 하나 또는 그 초과의 계수들을 생성할 수 있다. 디지털 계수들은 디지털-투-아날로그 변환기(440)를 활용하여 아날로그 신호로 변환될 수 있다.

[0050] 본원에서 개시되는 특정 양상들에 따라 제공되는 간섭 제거 회로들은 수신기에 영향을 미칠 수 있는 다

수의 간섭 소스들 및/또는 타입들을 동시에 핸들링하도록 적응될 수 있다. 다양한 예들에서, 간섭의 소스는 LTE에 배정되는 주파수들에서 LTE 신호들을 송신하는 인근 및/또는 국부적 송신 안테나일 수 있다. 이 LTE 신호들은 Wi-Fi 수신 안테나에서 강한 간섭을 생성할 수 있다. OOB(out-of-band) 방출, 기본 방출 및 위상 잡음에 의해 야기되는 간섭을 포함하여 상이한 타입들의 간섭이 생성될 수 있다. Wi-Fi 채널에 의해 사용되는 주파수들이 LTE에 의해 사용되는 주파수들로부터 떨어져 있는 경우에도 간섭이 생성될 수 있다. 하나의 특정 예에서, LTE 대역 40(B40)에서의 LTE 송신들과 2.462 GHz Wi-Fi 채널 11 사이에서 간섭이 발생할 수 있고, 이는 100 MHz의 대역폭을 가지는 2.3 GHz 내지 2.4 GHz의 주파수들을 배정받는다. 아날로그 안티-앨리어싱 필터일 수 있는 채널화 필터가 빅서 뒤에 배치되고, 과도한 양의 에너지가 Wi-Fi 대역으로 떨어지며 RX 프론트 엔드를 포화시키기 때문에, 간섭이 발생할 수 있다.

[0042] [0051] 도 5는 무선 통신 시스템에서 수신기에 대한 계수 제어기의 구현을 예시하는 블록 다이어그램이다. 다양한 예들에서, 수신된 기저대역 신호 $s(t)$ 는, 직교 신호 컴포넌트들인, 동-위상 수신된 기저대역 신호 $i(t)$ 및 직각 수신된 기저대역 신호 $q(t)$ 로 분해된다. $i(t)$ 및 $q(t)$ 인 각각의 직교 신호 컴포넌트는 아날로그 입력 신호 프로세싱 모듈들(501 및 502)에 의해 각각 프로세싱된다. 다양한 예들에서, 아날로그 입력 신호 프로세싱 모듈들(501 및 502)은 저역 통과 필터링, 증폭, 안티-앨리어싱 필터링, dc 바이어스 보상 등과 같은 기저대역 신호 프로세싱 기능들을 포함할 수 있다. 다음으로, 프로세싱된 직교 신호 컴포넌트들은 그 다음, 아날로그-투-디지털 변환기들을 활용하여, 디지털 직교 신호 컴포넌트들 $x(n)$ 및 $y(n)$ 으로 변환된다. 다양한 예들에서, 프로세싱된 직교 신호 컴포넌트들은 디지털 직교 신호 컴포넌트들 $x(n)$ 및 $y(n)$ 을 생성하기 위하여 별개의 아날로그-투-디지털 변환기들(432a 및 432b)에 의해 변환된다. 다양한 예들에서, 별개의 아날로그-투-디지털 변환기들은, 적어도 신호 대역폭 B(예컨대, 나이퀴스트-샤논(Nyquist-Shannon) 샘플링 기준)의 2배만큼 높은 샘플링 레이트 R 로 동작한다. 또 다른 예에서, 별개의 아날로그-투-디지털 변환기들은 N 비트에 대응하는 진폭 분해능으로 동작한다. 이 디지털 직교 신호 컴포넌트들은 계수 제어기(450) 내의 알고리즘 엔진(434)으로의 입력들로서 역할을 한다. 다양한 예들에서, 알고리즘 엔진(434)은 FPGA(field programmable gate array), ASIC(application specific integrated circuit), DSP(digital signal processor), 소프트웨어-기반 프로세서, 또는 임의의 적합한 타입의 컴퓨테이션 플랫폼으로서 구현될 수 있다.

[0043] [0052] 다음으로, 디지털 직교 신호 컴포넌트들인 $x(n)$ 및 $y(n)$ 은 비용 함수 컴퓨테이션 모듈(505)로 입력된다. 비용 함수 컴퓨테이션 모듈(505)은 간섭 제거를 위하여 AIC 회로(416)에 대한 계수들을 활용하여 비용 함수 값들을 컴퓨팅한다. 다양한 예들에서, 초기 계수 값들은 저장된 값들, 랜덤 값들일 수 있거나, 또는 제로 값들로 세팅될 수 있다. 후속 컴퓨테이션은 업데이트되고 있는 현재 유도되는 값들을 사용한다. 다양한 예들에서, 비용 함수 컴퓨테이션 모듈(505)은 AIC 회로(416)에서 사용되는 계수들(예컨대, 기저대역 계수들)을 최적화하기 위하여 사용되는 비용 함수 $C(r)$ 을 생성한다. 또 다른 예에서, 비용 함수 컴퓨테이션 모듈(505)은 디지털 직교 신호 컴포넌트들 $x(n)$ 및 $y(n)$ 의 복수의 샘플들에 대한 비용 함수 $C(r)$ 을 생성하고, $r = x + jy$ 이며, j 는 허수 유닛(즉, -1 의 제곱근)이다. 예컨대, 비용 함수 $C(r)$ 는 샘플 평균, 즉, 사전 정의된 양의 샘플들 M (즉, 사전 결정된 시간 듀레이션)에 걸쳐 디지털 직교 신호 컴포넌트들의 크기들의 제곱의 비가중 합계로서 계산될 수 있다:

$$C(r) = S_1 = \sum_{n=1}^M \|x(n)\|^2 + \|y(n)\|^2 \quad \text{수식 (1)}$$

[0045] [0053] 대안적으로, 비용 함수 $C(r)$ 는 가중 팩터 α 를 가지는 디지털 직교 신호 컴포넌트들의 크기들의 제곱의 이동 평균으로서 컴퓨팅될 수 있다:

$$C(r) = S_{MA}(k) = \alpha S(k) + (1-\alpha) S_{MA}(k-1) \quad \text{수식 (2)}$$

[0047] 여기서,

$$S(k) = \|x(n)\|^2 + \|y(n)\|^2 \quad \text{수식 (3)}$$

$$0 < \alpha \leq 1 \quad \text{수식 (4)}$$

[0049] [0054] 다양한 예들에서, 가중 팩터 α 는 수치적 편의를 위하여, $(1-\alpha)$ 가 2의 지수(예컨대,

$2^0, 2^{-1}, 2^{-2}, \dots$)이도록 선택될 수 있거나, 또는 완전히 구성가능한 것으로 선택될 수 있다. 다양한 양상들에서, 이동 평균은 α 의 구성을 통해 가변 시간 듀레이션의 이점을 가진다. 다른 양상들에서, 이동 평균은 더 단순한 하드웨어 구현(예컨대, 분할의 회피)을 허용할 수 있다.

[0051] [0055] 비용 함수 비교 모듈(520)은 비용 함수 값들을 비교한다. 다음으로, 비용 함수 $C(r)$ 은 비용 함수 저장 모듈(510) 내에 저장된다. 그 다음, 비용 함수 $C(r)$ 이 후속적으로, 비용 함수 저장 모듈(510)로부터 리트리브되고, 계수들을 (AIC 회로(416)에서 사용되도록) 계수들의 값들로 업데이트하거나 또는 유지하도록 결정하기 위하여 비용 함수 임계치 C_0 과 비교된다.

[0052] [0056] 다양한 예들에서, 비용 함수 $C(r)$ 이 비용 함수 임계치 C_0 을 초과하면, 계수들은 업데이트된다. 그렇지 않으면, 계수들은 자신들의 값들로 유지된다(즉, 동결됨). 다양한 양상들에서, 비용 함수는 RSSI(received signal strength indication)에 대응하고, 비용 함수 비교는 RSSI가 RSSI 임계치보다 강한지 아닌지(예컨대, 간섭이 AIC 회로(416)에 대한 업데이트된 기저대역 계수를 보장하기에 충분히 강함)를 결정한다. 다양한 예들에서, 비용 함수는 간섭-투-신호 레벨(들)과 같은 다른 시스템 파라미터들에 기초할 수 있다.

[0053] [0057] 계수 컴퓨터이션 알고리즘 선택 모듈(530)은 간섭 제거를 위하여 계수들의 세트를 적용시킬지 아니면 계수들의 세트를 업데이트할지를 결정할 수 있다. 계수들의 세트가 간섭 제거를 위하여 적용될 것이라면, 계수들의 세트는 계수 컴퓨터이션 알고리즘 선택 모듈(530)로부터 (라인(531)을 통해) 계수 애플리케이션 모듈(570)로 전송된다. 계수들의 세트가 업데이트될 것이라면, 계수 컴퓨터이션 알고리즘은 계수 컴퓨터이션 알고리즘 선택 모듈(530)에 의해 선택된다. 다양한 예들에서, 계수 컴퓨터이션 알고리즘은, 전압 스윕핑 모듈(540) 내의 전압 스윕핑 알고리즘, 간략화된 스토캐스틱 근사 모듈(550) 내의 간략화된 스토캐스틱 근사 알고리즘, 또는 스토캐스틱 근사 모듈(560) 내의 스토캐스틱 근사 알고리즘 사이에서 선택될 수 있다. 당업자는, 다른 계수 컴퓨터이션 알고리즘들(본원에서 리스팅된 알고리즘들과는 상이함)이 본 개시물의 범위 및 사상으로부터 이탈하지 않으면서 다른 예들에서 사용될 수 있다는 것을 이해할 것이다. 후속적으로, 업데이트된 기저대역 계수들은 선택된 계수 컴퓨터이션 알고리즘에 의해 컴퓨팅되고, 계수 애플리케이션 모듈(570)에 전송된다. 다양한 예들에서, 계수 애플리케이션 모듈(570)은 알고리즘 엔진(434)의 출력들로서 업데이트된 계수들(예컨대, 직교 기저대역 계수들 b_x 및 b_y)을 공급한다.

[0054] [0058] 다음으로, 업데이트된 기저대역 계수들은 업데이트된 기저대역 계수들을 아날로그 형태로 변환하기 위하여 디지털-투-아날로그 변환기들에 전송된다. 다양한 예들에서, 업데이트된 직교 기저대역 계수들 b_x 및 b_y 는 업데이트된 아날로그 계수들 c_x 및 c_y 를 생성하기 위하여 별개의 디지털-투-아날로그 변환기들(440a 및 440b)에 의해 변환된다. 다음으로, 업데이트된 아날로그 계수들 c_x 및 c_y 는 업데이트된 프로세싱된 아날로그 계수들 d_x 및 d_y 를 생성하기 위하여 아날로그 출력 신호 프로세싱 모듈들(571 및 572)에 의해 프로세싱된다. 다양한 예들에서, 아날로그 출력 신호 프로세싱 모듈들(571 및 572)은 저역 통과 필터링, 증폭, dc 바이어스 보상 등과 같은 기저대역 신호 프로세싱 기능들을 포함할 수 있다.

[0055] [0059] 그리고, 업데이트된 프로세싱된 아날로그 계수들 d_x 및 d_y 는 간섭 제거를 위하여 AIC 회로(416)에 전송된다. 다양한 예들에서, 업데이트된 프로세싱된 아날로그 계수들 d_x 및 d_y 는 AIC 회로(416)에 전송되기 이전에 증폭기(495)에 의해 증폭된다.

[0060] [0066] 도 6a-6c는 수신기에서 간섭 제거를 구현하면서 잔류 dc 바이어스를 최소화하기 위한 계수들을 결정하기 위하여 전압 스윕핑을 활용하기 위한 예시적 알고리즘의 흐름 다이어그램을 예시한다. 다양한 양상들에서, 계수 컴퓨터이션 알고리즘은 입력들로서 제 1 디지털 신호 컴포넌트 $x(n)$ 및 제 2 디지털 신호 컴포넌트 $y(n)$ 를 사용한다. 전압 스윕핑을 활용하는 계수 컴퓨터이션 알고리즘은 출력들로서 제 1 기저대역 계수 b_x 및 제 2 기저대역 계수 b_y 를 생성한다. 제 1 디지털 신호 컴포넌트 $x(n)$ 은 동-위상 신호 컴포넌트로 지정되고, 제 2 디지털 신호 컴포넌트 $y(n)$ 은 직각 신호 컴포넌트로 지정된다. 대응적으로, 제 1 기저대역 계수 b_x 는 동-위상 계수로 지정되고, 제 2 기저대역 계수 b_y 는 직각 계수로 지정된다. 다양한 예들에서, 전압 스윕핑을 활용하는 계수 컴퓨터이션 알고리즘은 알고리즘 엔진(434)(도 4에 도시됨) 내에 상주한다.

[0061] 다양한 양상들에서, 계수 컴퓨터이션 알고리즘은 최적의 성능을 결정하기 위하여 비용 함수 C 를 사용한

다. 비용 함수 C 가 최소화되는 경우, 최적의 성능이 획득될 수 있다.

[0058] 전압 스위프(Voltage Sweep)를 활용하는 직각 컴포넌트의 고정 및 동-위상 컴포넌트의 증분

[0062] 블록(610)에서, 초기 직각 계수 b_{y0} 을 획득하기 위하여 고정 값으로 직각 계수를 세팅하며, 초기 동-위상 계수 b_{x0} 을 획득하기 위하여 초기 값 V_{min} 으로 동-위상 계수를 초기화한다. 직각 계수 고정 값은, 예컨대, 또한 초기 직각 계수 b_{y0} 을 획득하기 위하여 V_{min} 으로 세팅될 수 있다. 블록(615)에서, 초기 동-위상 계수 b_{x0} 및 초기 직각 계수 b_{y0} 을 AIC 회로(416)에 공급하고, 초기 동-위상 응답 r_0 을 획득한다. 다양한 예들에서, 초기 동-위상 응답 r_0 은 샘플 평균으로서 또는 이동 평균으로서 획득된다. 초기 동-위상 응답 r_0 은 $r_0 = (x_0, y_0)$ 로 표현될 수 있다.

[0063] 블록(620)에서, 초기 동-위상 응답 r_0 에서 평가된 초기 비용 함수 $C(r_0)$ 을 컴퓨팅한다. 블록(625)에서, 초기 비용 함수 $C(r_0)$ 을 사전 정의된 조건 C_0 과 비교한다. 다양한 예들에서, 사전 정의된 조건은 최소 RSSI 레벨에 대응한다. 초기 비용 함수 $C(r_0)$ 이 C_0 보다 크면, 블록(635)으로 진행한다. 그렇지 않으면, 블록(630)으로 진행하며, 초기 동-위상 계수를 b_{x0} 으로 동결시키고, 초기 직각 계수를 b_{y0} 으로 동결시킨다.

[0064] 블록(635)에서, 제 1 업데이트된 동-위상 계수 b_{x1} 을 획득하기 위하여 초기 값 V_{min} 을 V_{step} 만큼 증분시킴으로써 초기 동-위상 계수 b_{x0} 을 업데이트한다. 여기서, $b_{x1} = b_{x0} + V_{step}$ 이고, V_{step} 은 전압 증분이다. 블록(640)에서, 간접 제거를 위하여 제 1 업데이트된 동-위상 계수 b_{x1} 및 초기 직각 계수 b_{y0} 을 AIC 회로(416)에 공급하고, 제 1 업데이트된 동-위상 응답 r_1 을 획득한다. 제 1 업데이트된 동-위상 응답 r_1 은 $r_1 = (x_1, y_0)$ 로 표현될 수 있다. 블록(645)에서, 제 1 업데이트된 동-위상 응답 r_1 에서 평가된 제 1 업데이트된 동-위상 비용 함수 $C(r_1)$ 를 컴퓨팅한다. 다양한 예들에서, 제 1 업데이트된 동-위상 응답 r_1 은 샘플 평균으로서 또는 이동 평균으로서 획득된다. 여기에 도시되지는 않지만, 업데이트된 동-위상 비용 함수들($C(r_2), C(r_3) \dots C(r_n)$)을 획득하기 위하여 V_{step} 만큼 증분시킴으로써 동-위상 계수의 추가적 업데이팅이 수행될 수 있다. 동-위상 계수의 업데이팅이 V_{step} 만큼의 이전 동-위상 계수의 증분에 기초하는 것이 이해된다. 블록(650)에서, 동-위상 비용 함수들($C(r_0), C(r_1), C(r_2), C(r_3) \dots C(r_n)$)로부터의 최소 동-위상 비용 함수에 기초하여 최적의 동-위상 계수 b_{xopt} 를 결정한다.

전압 스위프를 활용하는 동-위상 컴포넌트의 고정 및 직각 컴포넌트의 증분

[0065] 블록(655)에서, 초기 동-위상 계수 b_{x0} 을 획득하기 위하여 동-위상 계수를 고정 값으로, 예컨대, V_{min} 으로 세팅하고, 초기 직각 계수 b_{y0} 을 획득하기 위하여 직각 계수를 초기 값 V_{min} 으로 초기화한다. 블록(660)에서, 초기 동-위상 계수 b_{x0} 및 초기 직각 계수 b_{y0} 을 AIC 회로(416)에 공급하고, 초기 직각 응답 s_0 을 획득한다. 초기 직각 응답 $s_0 = (x_0, y_0)$ 로 표현될 수 있다. 다양한 예들에서, 초기 직각 응답 s_0 은 샘플 평균으로서 또는 이동 평균으로서 획득된다.

[0066] 블록(665)에서, 초기 직각 응답 $s_0 = (x_0, y_0)$ 에서 평가된 초기 비용 함수 $C(s_0)$ 를 컴퓨팅한다. 블록(670)에서, 초기 비용 함수 $C(s_0)$ 를 사전 정의된 조건 C_1 과 비교한다. C_1 은 위의 동-위상 계수 계산에서 C_0 과 동일한 값을 가질 수 있다. 다양한 예들에서, 사전 정의된 조건 C_1 은 최소 RSSI 레벨에 대응한다. 다양한 예들에서, 사전 정의된 조건 C_1 은 RSSI 레벨에 기초하는 저장된 값 또는 측정된 값일 수 있다. 초기 비용 함수 $C(s_0)$ 이 C_1 보다 크면, 블록(680)으로 진행한다. 그렇지 않으면, 블록(675)으로 진행하며, 초기 동-위상 계수를 b_{x0} 으로 동결시키고, 초기 직각 계수를 b_{y0} 으로 동결시킨다.

[0067] 블록(680)에서, 제 1 업데이트된 직각 계수 b_{y1} 을 획득하기 위하여 초기 값 V_{min} 을 V_{step} 만큼 증분시킴으로

써 초기 직각 계수 b_{y0} 을 업데이트한다. 여기서, $b_{y1} = b_{y0} + V_{step}$ 이다. 블록(685)에서, 간접 제거를 위하여 제 1 업데이트된 직각 계수 b_{y1} 및 초기 동-위상 계수 b_{x0} 을 AIC 회로(416)에 공급하고, 제 1 업데이트된 직각 응답 s_1 을 획득한다. 제 1 업데이트된 직각 응답 s_1 은 $s_1 = (x_0, y_1)$ 로 표현될 수 있다. 블록(690)에서, 제 1 업데이트된 직각 응답 s_1 에서 평가된 제 1 업데이트된 직각 비용 함수 $C(s_1)$ 를 컴퓨팅한다. 다양한 예들에서, 제 1 업데이트된 직각 응답 s_1 은 샘플 평균으로서 또는 이동 평균으로서 획득된다. 여기에 도시되지는 않지만, 업데이트된 직각 비용 함수들($C(s_2), C(s_3) \dots C(s_m)$)을 획득하기 위하여 V_{step} 만큼 충분시킴으로써 직각 계수의 추가적 업데이팅이 수행될 수 있다. 직각 계수의 업데이팅이 V_{step} 만큼의 이전 직각 계수의 충분에 기초하는 것이 이해된다. 블록(695)에서, 직각 비용 함수들($C(s_0), C(s_1), C(s_2), C(s_3) \dots C(s_m)$)로부터의 최소 직각 비용 함수에 기초하여 최적의 직각 계수 b_{yopt} 를 결정한다.

[0066] [0068] 블록(699)에서, 잔류 dc 바이어스를 최소화하기 위하여 최소 동-위상 및 직각 비용 함수들에 기초하는 최적의 계수들 b_{xopt} 및 b_{yopt} 를 AIC 회로(416)에 공급한다.

[0067] [0069] 도 7a-7c는 수신기에서 간접 제거를 구현하면서 잔류 dc 바이어스를 최소화하기 위한 계수들을 결정하기 위하여 스토캐스틱 근사를 활용하기 위한 예시적 알고리즘의 흐름 다이어그램을 예시한다. 다양한 양상들에서, 계수 컴퓨테이션 알고리즘은 입력들로서 제 1 디지털 신호 컴포넌트 $x(n)$ 및 제 2 디지털 신호 컴포넌트 $y(n)$ 를 사용한다. 스토캐스틱 근사를 활용하는 계수 컴퓨테이션 알고리즘은 출력들로서 제 1 기저대역 계수 b_x 및 제 2 기저대역 계수 b_y 를 생성한다. 제 1 디지털 신호 컴포넌트 $x(n)$ 은 동-위상 신호 컴포넌트로 지칭되고, 제 2 디지털 신호 컴포넌트 $y(n)$ 은 직각 신호 컴포넌트로 지칭된다. 대응적으로, 제 1 기저대역 계수 b_x 는 동-위상 계수로 지칭되고, 제 2 기저대역 계수 b_y 는 직각 계수로 지칭된다. 다양한 예들에서, 스토캐스틱 근사를 활용하는 계수 컴퓨테이션 알고리즘은 알고리즘 엔진(434)(도 4에 도시됨) 내에 상주한다.

스토캐스틱 근사를 활용하는 직각 컴포넌트의 고정 및 동-위상 컴포넌트의 충분

[0068] [0070] 블록(710)에서, 동-위상 컴포넌트 및 직각 컴포넌트로 계수를 초기 계수 c_0 으로 세팅한다. 초기 계수 c_0 은 (b_{x0}, b_{y0}) 로서 표현될 수 있고, b_{x0} 은 초기 동-위상 계수이고, b_{y0} 은 초기 직각 계수이다. 예가 동-위상 및 직각 계수들로 제시되지만, 이 예는 임의의 2개의 차원들로, 즉, 제 1 차원 및 제 2 차원으로 일반화될 수 있다.

[0070] [0071] 블록(715)에서, 제 1 동-위상 충분 Δ_x 만큼 초기 동-위상 계수 b_{x0} 을 충분시킴으로써 제 1 동-위상 계수 b_{x1} 을 획득하며, 즉, $b_{x1} = b_{x0} + \Delta_x$ 이다. 따라서, 동-위상-충분을-통한 제 1 2-D 계수(c_1)는 (b_{x1}, b_{y0}) 로서 표현된다. 블록(720)에서, 동-위상-충분을-통한-제 1 2-D 계수(c_1)를 AIC 회로(416)에 공급하고, 제 1 동-위상 응답 r_1 을 획득한다.

[0071] [0072] 블록(725)에서, 제 1 동-위상 충분 Δ_x 만큼 초기 동-위상 계수 b_{x0} 을 감소시킴으로써 제 2 동-위상 계수 b_{x2} 를 획득하며, 즉, $b_{x2} = b_{x0} - \Delta_x$ 이다. 따라서, 동-위상-충분을-통한-제 2 2-D 계수(c_2)는 (b_{x2}, b_{y0}) 로서 표현된다. 블록(730)에서, 동-위상-충분을-통한-제 2 2-D 계수(c_2)를 AIC 회로(416)에 공급하고, 제 2 동-위상 응답 r_2 를 획득한다. 블록(735)에서, 제 1 동-위상 응답 r_1 과 제 2 동-위상 응답 r_2 사이의 차로부터 동-위상 그라디언트 G_I 를 컴퓨팅한다. 다양한 예들에서,

$$G_I = (r_1 - r_2) / (2 \Delta_x) \quad \text{수식 (5)}$$

[0072] [0073] 블록(740)에서, 최적의 동-위상 그라디언트 G_{Iopt} 를 컴퓨팅한다. 여기에 도시되지는 않지만, Δ_x 만큼 동

-위상-증분을-통한-제 1 및 제 2 2-D 계수들(c_1, c_2)을 증분 및 감소시키고, 동-위상 그라디언트 G_l 가 그라디언트 임계치 G_0 보다 적을 때까지 715-735의 블록들을 반복함으로써 동-위상 그라디언트 G_l 의 추가적 업데이팅이 수행될 수 있다. 그라디언트 임계치 G_0 보다 적은 반복으로부터의 제 1 동-위상 그라디언트 G_l 를 최적의 동-위상 그라디언트 $G_{l_{opt}}$ 로 참조한다. 제 1 동-위상 증분 Δ_x 는 포지티브 값이거나, 또는 네거티브 값일 수 있다.

[0074] 스토캐스틱 근사를 활용하는 동-위상 컴포넌트의 고정 및 직각 컴포넌트의 증분

[0075] [0074] 블록(745)에서, b_{x0} 을 초기 동-위상 계수로서 선택하고, b_{y0} 을 초기 직각 계수로서 선택한다. 블록(750)에서, 제 1 직각 증분 Δ_y 만큼 초기 직각 계수 b_{y0} 을 증분시킴으로써 제 1 직각 계수 b_{y1} 을 획득하며, 즉, $b_{y1} = b_{y0} + \Delta_y$ 이다. 따라서, 직각-증분을-통한-제 1 2-D 계수(d_1)는 (b_{x0}, b_{y1}) 로서 표현된다. 블록(755)에서, 직각-증분을-통한-제 1 2-D 계수(d_1)를 AIC 회로(416)에 공급하고, 제 1 직각 응답 s_1 을 획득한다.

[0076] [0075] 블록(760)에서, 제 1 직각 증분 Δ_y 만큼 초기 직각 계수 b_{y0} 을 감소시킴으로써 제 2 직각 계수 b_{y2} 를 획득하며, 즉, $b_{y2} = b_{y0} - \Delta_y$ 이다. 따라서, 직각-증분을-통한-제 2 2-D 계수(d_2)는 (b_{x0}, b_{y2}) 로서 표현된다. 블록(765)에서, 직각-증분을-통한-제 2 2-D 계수(d_2)를 AIC 회로(416)에 공급하고, 제 2 직각 응답 s_2 를 획득한다. 블록(770)에서, 제 1 직각 응답 s_1 과 제 2 직각 응답 s_2 사이의 차로부터 직각 그라디언트 G_0 를 컴퓨팅한다. 다양한 예들에서,

$$G_Q = (s_1 - s_2) / (2 \Delta_y) \quad \text{수식 (6)}$$

[0077] [0076] 블록(775)에서, 최적의 직각 그라디언트 $G_{Q_{opt}}$ 를 컴퓨팅한다. 여기에 도시되지는 않지만, Δ_y 만큼 직각-증분을-통한-제 1 및 제 2 2-D 계수들 (d_1, d_2) 을 증분 및 감소시키고, 직각 그라디언트 G_0 가 또한 그라디언트 임계치 G_0 보다 적을 때까지 750-770의 블록들을 반복함으로써 직각 그라디언트 G_0 의 추가적 업데이팅이 수행될 수 있다. 그라디언트 임계치 G_0 보다 적은 반복으로부터의 제 1 직각 그라디언트 G_0 를 최적의 직각 그라디언트 $G_{Q_{opt}}$ 로 참조한다. 제 1 직각 증분 Δ_y 는 포지티브 값이거나, 또는 네거티브 값일 수 있다.

[0078] 복합 계수의 형성

[0079] [0077] 블록(780)에서, 최적의 동-위상 그라디언트 $G_{l_{opt}}$ 및 최적의 직각 그라디언트 $G_{Q_{opt}}$ 로부터 복합 계수 w_c 를 형성한다.

$$w_c = c_0 - [G_{l_{opt}} + G_{Q_{opt}}] * \Delta_w \quad \text{수식 (7)}$$

[0080] [0078] 다양한 예들에서, 계수 증분 Δ_w 는 제 1 동-위상 증분 Δ_x 또는 제 1 직각 증분 Δ_y 와 동일하다.

[0081] [0079] 블록(785)에서, 잔류 dc 바이어스를 최소화하기 위하여 복합 계수 w_c 를 AIC 회로(416)에 공급한다. 다양한 양상들에서, 동-위상 및 직각 계수들이 개별적으로 업데이트된다.

[0082] [0080] 도 8a-8c는 수신기에서 간섭 제거를 구현하면서 잔류 dc 바이어스를 최소화하기 위한 계수들을 결정하기 위하여 간략화된 스토캐스틱 근사를 활용하기 위한 예시적 알고리즘의 흐름 다이어그램을 예시한다. 다양한 양상들에서, 계수 컴퓨테이션 알고리즘은 입력들로서 제 1 디지털 신호 컴포넌트 $x(n)$ 및 제 2 디지털 신호 컴포넌트 $y(n)$ 를 사용한다. 간략화된 스토캐스틱 근사를 활용하는 계수 컴퓨테이션 알고리즘은 출력들로서 제 1 기저대역 계수 b_x 및 제 2 기저대역 계수 b_y 를 생성한다. 제 1 디지털 신호 컴포넌트 $x(n)$ 은 동-위상 신호 컴포넌트로 지칭되고, 제 2 디지털 신호 컴포넌트 $y(n)$ 은 직각 신호 컴포넌트로 지칭된다. 대응적으로, 제 1 기저대역 계수 b_x 는 동-위상 계수로 지칭되고, 제 2 기저대역 계수 b_y 는 직각 계수로 지칭된다. 다양한 예들에서, 간략화된 스토캐스틱 근사를 활용하는 계수 컴퓨테이션 알고리즘은 알고리즘 엔진(434)(도 4에 도시됨) 내에 상주

한다.

[0085] 초기 비용 함수 $C(z_0)$ 의 컴퓨팅

[0086] [0081] 블록(810)에서, 동-위상 컴포넌트 및 직각 컴포넌트로 계수를 초기 계수 c_0 으로 세팅한다. 초기 계수 c_0

은 (b_{x0}, b_{y0}) 로서 표현될 수 있고, b_{x0} 은 초기 동-위상 계수이고, b_{y0} 은 초기 직각 계수이다. 예가 동-위상 및 직각 계수들로 제시되지만, 이 예는 임의의 2개의 차원들로, 즉, 제 1 차원 및 제 2 차원으로 일반화될 수 있다. 블록(815)에서, 초기 계수 c_0 을 AIC 회로(416)에 공급하고, 초기 응답 z_0 을 획득한다. 블록(820)에서, 초기 응답 z_0 에서 평가된 초기 비용 함수 $C(z_0)$ 를 컴퓨팅한다. 다양한 예들에서, 초기 응답 z_0 은 샘플 평균으로서 또는 이동 평균으로서 획득된다. 초기 비용 함수 $C(z_0)$ 는 초기 계수 c_0 에 대응한다.

[0087] 간략화된 스토캐스틱 근사를 활용하는 직각 컴포넌트의 고정 및 동-위상 컴포넌트의 증분

[0088] [0082] 블록(825)에서, 제 1 동-위상 증분 Δ_x 만큼 초기 동-위상 계수 b_{x0} 을 증분시킴으로써 제 1 동-위상 계수 b_{x1} 을 획득하며, 즉, $b_{x1} = b_{x0} + \Delta_x$ 이다. 따라서, 동-위상-증분을-통한-제 1 2-D 계수(c_1)는 (b_{x1}, b_{y0}) 로서 표현된다. 블록(830)에서, 동-위상-증분을-통한-제 1 2-D 계수(c_1)를 AIC 회로(416)에 공급하고, 제 1 동-위상 응답 r_1 을 획득한다. 블록(835)에서, 제 1 동-위상 응답 r_1 에서 평가된 증분적 동-위상 비용 함수 $C(r_1)$ 를 컴퓨팅한다. 다양한 예들에서, 제 1 동-위상 응답 r_1 은 샘플 평균으로서 또는 이동 평균으로서 획득된다. 증분적 동-위상 비용 함수 $C(r_1)$ 는 동-위상-증분을-통한-제 1 2-D 계수(c_1)에 대응한다. 제 1 동-위상 증분 Δ_x 는 포지티브 값이거나, 또는 네거티브 값일 수 있다.

[0089] 간략화된 스토캐스틱 근사를 활용하는 동-위상 컴포넌트의 고정 및 직각 컴포넌트의 증분

[0090] [0083] 블록(840)에서, b_{x0} 을 초기 동-위상 계수로서 선택하고, b_{y0} 을 초기 직각 계수로서 선택한다. 블록(845)에서, 제 1 직각 증분 Δ_y 만큼 초기 직각 계수 b_{y0} 을 증분시킴으로써 제 1 직각 계수 b_{y1} 을 획득하며, 즉, $b_{y1} = b_{y0} + \Delta_y$ 이다. 따라서, 직각-증분을-통한-제 1 2-D 계수(d_1)는 (b_{x0}, b_{y1}) 로서 표현된다. 블록(850)에서, 직각-증분을-통한-제 1 2-D 계수(d_1)를 AIC 회로(416)에 공급하고, 제 1 직각 응답 s_1 을 획득한다. 블록(855)에서, 제 1 직각 응답 s_1 에서 평가된 증분적 직각 비용 함수 $C(s_1)$ 를 컴퓨팅한다. 다양한 예들에서, 제 1 직각 응답 s_1 은 샘플 평균으로서 또는 이동 평균으로서 획득된다. 증분적 직각 비용 함수 $C(s_1)$ 는 직각-증분을-통한-제 1 2-D 계수(d_1)에 대응한다. 제 1 직각 증분 Δ_y 는 포지티브 값이거나, 또는 네거티브 값일 수 있다.

[0091] 계수들의 업데이팅

[0092] [0084] 블록(860)에서, 다음의 로직:

```

if  $C(r_1) < C(z_0)$  and  $C(s_1) < C(z_0)$ , set  $w_1 = c_0 + (\Delta_x + j\Delta_y)$ 
else if  $C(r_1) \geq C(z_0)$  and  $C(s_1) < C(z_0)$ , set  $w_1 = c_0 + (-\Delta_x + j\Delta_y)$ 
else if  $C(r_1) < C(z_0)$  and  $C(s_1) \geq C(z_0)$ , set  $w_1 = c_0 + (\Delta_x - j\Delta_y)$ 
else, set  $w_1 = c_0 + (-\Delta_x - j\Delta_y)$ 

```

[0093] [0094] 예 따라 업데이트된 계수 w_1 을 획득하기 위하여 초기 계수 c_0 을 업데이트한다.

[0095] [0085] 블록(865)에서, 업데이트된 계수 w_1 을 AIC 회로(416)에 공급하고, 업데이트된 응답 z_1 을 획득한다. 블록(870)에서, 업데이트된 응답 z_1 에서 평가된 업데이트된 비용 함수 $C(z_1)$ 를 컴퓨팅한다. 다양한 예들에서, 업

데이트된 응답 z_1 은 샘플 평균으로서 또는 이동 평균으로서 획득된다. 업데이트된 비용 함수 $C(z_1)$ 는 업데이트된 계수 w_1 에 대응한다.

- [0096] [0086] 블록(875)에서, 최적의 업데이트된 계수 w_{opt} 를 획득하기 위하여 블록들(825-835 및 845-870)을 반복한다. 최적의 업데이트된 계수 w_{opt} 는 최적의 비용 함수에 대응하고, 최적의 비용 함수는 비용 함수 임계치 $C_{threshold}$ 보다 적은 비용 함수이다. 당업자는 비용 함수 임계치 $C_{threshold}$ 의 값들이 다음의 것들: ADC(analog to digital converter)(432) 양자화 레벨, ADC(432)에서의 열 잡음, ADC(432)에서의 간섭, 원하는 신호의 존재 등 중 하나 또는 그 초과의 것들에 의존할 수 있다는 것을 이해할 것이다.
- [0097] [0087] 블록(880)에서, 잔류 dc 바이어스를 최소화하기 위하여 최적의 계수 w_{opt} 를 AIC 회로에 공급한다. 다양한 양상들에서, 동-위상 및 직각 계수들이 개별적으로 업데이트된다.
- [0098] [0088] 도 9a-9b는 간섭 제거를 위한 방법의 흐름 다이어그램을 예시한다. 방법은 하나 또는 그 초과의 송신기들 및 하나 또는 그 초과의 수신기들을 가지는 디바이스에 의해 수행될 수 있다. 다양한 예들에서, 하나 또는 그 초과의 송신기들 및 수신기들 둘 다는 동일한 RAT(radio access technology)에 따라 동작한다. 또 다른 예에서, 디바이스는, 제 1 RAT에 따라, 신호들을 송신하는 반면, 제 2 RAT에 따라, 송신된 신호들을 수신하도록 구성된다. 블록(905)에서, 디바이스는 송신 신호를 수신할 수 있다. 다양한 양상들에서, 수신기(예컨대, 도 4에 도시되는 수신기(420))는 송신 신호를 수신하기 위하여 사용된다. 다양한 예들에서, 수신기는 하나 또는 그 초과의 블록들(910 내지 990)에서 단계들을 수행하도록 구성된 적어도 하나의 프로세서에 커플링될 수 있다. 블록(910)에서, 디바이스는 제 1 세트의 계수들을 활용하여 제 1 비용 함수 값을 컴퓨팅할 수 있다. 다양한 양상들에서, 디바이스는 제 1 비용 함수 값을 컴퓨팅하기 위하여 비용 함수 컴퓨테이션 모듈(505)(도 5에 도시됨)을 사용할 수 있다. 다양한 예들에서, 제 1 세트의 계수들은, 예컨대, 디바이스의 일부인 메모리 내에 저장되는 저장된 값들이다.
- [0099] [0089] 블록(920)에서, 디바이스는 제 1 계수 제어 알고리즘을 활용하여 제 2 세트의 계수들을 컴퓨팅할 수 있다. 다양한 예들에서, 제 1 계수 제어 알고리즘은 다음의 알고리즘들: 전압 스윕핑 알고리즘, 스토캐스틱 근사 알고리즘, 간략화된 스토캐스틱 근사 알고리즘 중 하나의 알고리즘이다. 다양한 양상들에서, 디바이스는 제 2 세트의 계수들을 컴퓨팅하기 위한 계수 컴퓨테이션 모듈(555)을 포함하며, 계수 컴퓨테이션 모듈(555)은 다음의 모듈들: 전압 스윕핑 모듈(540), 간략화된 스토캐스틱 근사 모듈(550) 또는 스토캐스틱 근사 모듈(560)(도 5에 도시됨) 중 하나 또는 그 초과의 모듈을 포함할 수 있다. 다양한 예들에서, 계수 컴퓨테이션 모듈(555)은 다른 계수 컴퓨테이션 알고리즘(들)에 대한 다른 모듈(들)을 포함할 수 있다. 사전 정의된 조건은 사용을 위하여 제 1 계수 제어 알고리즘을 인에이블링할 수 있다. 다양한 예들에서, 사전 정의된 조건은 RSSI(received signal strength indication) 임계치보다 큰 RSSI이고, RSSI는 제 1 비용 함수 값과 연관된다. RSSI와 이전 RSSI 사이의 차가 사전 결정된 값보다 크면, RSSI는 제 1 비용 함수 값과 연관된다. 다양한 예들에서, 사전 결정된 값은 열 잡음 레벨, 간섭 레벨 및/또는 전파 조건들 등에 기초할 수 있다. 다양한 예들에서, 제 1 세트의 계수들 및 제 2 세트의 계수들은 동-위상 및 직각 컴퓨팅트들로 표현된다.
- [0100] [0090] 블록(930)에서, 디바이스는 제 2 세트의 계수들을 활용하여 제 2 비용 함수 값을 컴퓨팅할 수 있다. 예컨대, 디바이스는 적용된 제 2 세트의 계수들로부터 발생하는 복수의 샘플들의 이동 평균 또는 샘플 평균에 기초하여 제 2 비용 함수 값을 컴퓨팅할 수 있다. 다양한 예들에서, 디바이스는 각각의 평균 제곱 에러들에 기초하여 제 1 비용 함수 값 및 제 2 비용 함수 값을 컴퓨팅할 수 있다. 다양한 양상들에서, 디바이스는 제 2 비용 함수 값을 컴퓨팅하기 위하여 비용 함수 컴퓨테이션 모듈(505)(도 5에 도시됨)을 사용할 수 있다.
- [0101] [0091] 블록(940)에서, 디바이스는 비교를 산출하기 위하여 제 2 비용 함수 값을 제 1 비용 함수 값과 비교할 수 있다. 다양한 양상들에서, 디바이스는 제 2 비용 함수 값을 제 1 비용 함수 값과 비교하기 위하여 비용 함수 비교 모듈(520)(도 5에 도시됨)을 사용할 수 있다.
- [0102] [0092] 블록(950)에서, 디바이스는 간섭 제거를 위하여 제 1 세트의 계수들을 적용시킬지 아니면 제 2 세트의 계수들을 적용시킬지를 결정하기 위하여 비교를 사용할 수 있다. 예컨대, 비교가 제 2 비용 함수 값이 제 1 비용 함수 값보다 적음을 표시하면, 제 2 세트의 계수들은 간섭 제거를 위하여 적용된다. 다양한 양상들에서, 디바이스는 간섭 제거를 위하여 제 1 세트의 계수들을 적용시킬지 아니면 제 2 세트의 계수들을 적용시킬지를 결정하기 위하여 계수 컴퓨테이션 알고리즘 선택 모듈(530)(도 5에 도시됨)을 사용할 수 있다.
- [0103] [0093] 블록(960)에서, 디바이스는, 비교가, 제 2 비용 함수 값이 제 1 비용 함수 값보다 적음을 산출하면, 제

2 계수 제어 알고리즘을 활용하여 제 2 세트의 계수들에 기초하여 제 3 세트의 계수들을 계속 컴퓨팅할 수 있다. 제 2 계수 제어 알고리즘은 제 1 계수 제어 알고리즘과 동일할 수 있다. 예컨대, 알고리즘은 다음의 알고리즘들: 전압 스윕핑 알고리즘, 스토캐스틱 근사 알고리즘, 간략화된 스토캐스틱 근사 알고리즘 중 하나의 알고리즘일 수 있다. 또 다른 예에서, 제 2 계수 제어 알고리즘은 제 1 계수 제어 알고리즘과는 상이하다. 다양한 예들에서, 제 1 계수 제어 알고리즘 및 제 2 계수 제어 알고리즘은 다음의 알고리즘들: 전압 스윕핑 알고리즘, 스토캐스틱 근사 알고리즘, 간략화된 스토캐스틱 근사 알고리즘 각각이다. 그리고, 디바이스는 제 3 세트의 계수들을 컴퓨팅하기 위하여 계수 컴퓨테이션 모듈(555)을 사용할 수 있다. 또는, 디바이스는 제 3 세트의 계수들을 컴퓨팅하기 위하여 대응하는 모듈(들) – 전압 스윕핑 모듈(540), 간략화된 스토캐스틱 근사 모듈(550) 또는 스토캐스틱 근사 모듈(560)(도 5에 도시됨) – 을 사용할 수 있다.

[0104] [0094] 블록(970)에서, 디바이스는 제 3 세트의 계수들을 활용하여 제 3 비용 함수 값을 컴퓨팅할 수 있다. 다양한 양상들에서, 디바이스는 제 3 비용 함수 값을 컴퓨팅하기 위하여 비용 함수 컴퓨테이션 모듈(505)(도 5에 도시됨)을 사용할 수 있다. 블록(980)에서, 디바이스는 업데이트된 비교를 산출하기 위하여 제 3 비용 함수 값을 제 2 비용 함수 값과 비교할 수 있다. 다양한 양상들에서, 디바이스는 제 3 비용 함수 값을 제 2 비용 함수 값과 비교하기 위하여 비용 함수 비교 모듈(520)(도 5에 도시됨)을 사용할 수 있다.

[0105] [0095] 블록(990)에서, 디바이스는 간접 제거를 위하여 제 3 세트의 계수들을 적용시킬지 여부를 결정하기 위해 업데이트된 비교를 사용할 수 있다. 다양한 양상들에서, 디바이스는 간접 제거를 위하여 제 3 세트의 계수들을 적용시킬지 여부를 결정하기 위해 계수 컴퓨테이션 알고리즘 선택 모듈(530)(도 5에 도시됨)을 사용할 수 있다. 다양한 예들에서, 디바이스는 추가의 하나 또는 그 초과의 세트들의 계수들 및 비용 함수 값들에 대해 960 내지 990의 블록들을 반복할 수 있다. 다양한 양상들에서, 블록들(910 내지 990)은 계수 제어기(450)에 의해 수행될 수 있고, 계수 제어기(450)는 블록들(910 내지 990)에서 단계들을 수행하도록 구성된 적어도 하나의 프로세서에 커플링될 수 있다.

[0106] [0096] 블록(995)에서, (예컨대, AIC 회로(416)를 사용하는) 디바이스는 참조 신호를 필터링하기 위하여 계수들의 세트들(예컨대, 제 1 세트, 제 2 세트, 제 3 세트 등) 중 하나를 적용시키고, 그 다음, 간접 제거를 위하여 수신된 송신 신호로부터 필터링된 참조 신호를 (예컨대, 수신기(420)를 사용하여) 차감할 수 있다. 다양한 예들에서, AIC 회로(416)에 입력된 참조 신호를 필터링하는 AIC 회로(416)의 주파수 응답을 수정하기 위하여 계수들의 세트가 AIC 회로(416)에 입력된다. 그 다음, 필터링된 참조 신호는 AIC 회로(416)로부터 가산기(422)로 출력된다(도 4에 도시됨). 가산기(422)에서, 필터링된 참조 신호는 (블록(905)으로부터의) 수신된 송신 신호로부터 차감되어서, 간접 제거를 초래한다.

[0107] [0097] 도 10은 프로세싱 회로(1002)를 채용하는 장치(1000)에 대한 하드웨어 구현의 간략화된 예를 예시하는 디어그램이다. 프로세싱 회로는 통상적으로, 마이크로프로세서, 마이크로제어기, 디지털 신호 프로세서, 시퀀서(sequencer) 및 상태 머신 중 하나 또는 그 초과의 것들을 포함할 수 있는 프로세서(1016)를 가진다. 프로세싱 회로(1002)는 버스(1020)에 의해 일반적으로 표현되는 버스 아키텍처로 구현될 수 있다. 버스(1020)는 프로세싱 회로(1002)의 특정 애플리케이션 및 전반적 설계 제약들에 따라 임의의 수의 상호연결 버스들 및 브릿지(bridge)들을 포함할 수 있다. 버스(1020)는 프로세서(1016), 모듈들 또는 회로들(1004 및 1008), 하나 또는 그 초과의 안테나들(1014) 상에서 통신하도록 구성가능한 트랜시버 회로들(1012), 및 컴퓨터 판독가능한 저장 매체(1018)로 표현되는 하나 또는 그 초과의 프로세서들 및/또는 하드웨어 모듈들을 포함하는 다양한 회로들을 함께 링크시킨다. 버스(1020)는 또한, 당해 기술 분야에서 잘 알려져 있고, 따라서, 더 이상 설명되지 않을 타이밍 소스들, 주변기기들, 전압 레귤레이터들, 및 전력 관리 회로들과 같은 다양한 다른 회로들을 링크시킬 수 있다.

[0108] [0098] 프로세서(1016)는 컴퓨터 판독가능한 저장 매체(1018) 상에 저장된 소프트웨어의 실행을 포함하는 일반적 프로세싱을 담당한다. 다양한 예들에서, 컴퓨터 판독가능한 저장 매체는 디바이스 상에서 동작가능한 컴퓨터 실행가능한 코드를 저장한다. 소프트웨어는 프로세서(1016)에 의해 실행되는 경우, 프로세싱 회로(1002)로 하여금 임의의 특정 장치에 대해 위에서 설명된 다양한 기능들을 수행하게 한다. 컴퓨터 판독가능한 저장 매체(1018)는 또한, 소프트웨어를 실행하는 경우 프로세서(1016)에 의해 조작되는 데이터(하나 또는 그 초과의 안테나들(1014) 상에서 송신된 RF 신호들에서 송신되거나 또는 수신된 데이터를 포함함)를 저장하기 위하여 사용될 수 있으며, 이는 데이터 레인들 및 클럭 레인들로서 구성될 수 있다. 프로세싱 회로(1002)는 모듈들(1004 및 1008) 중 적어도 하나를 더 포함한다. 모듈들(1004 및 1008)은 프로세서(1016)에서 실행되는 소프트웨어 모듈들일 수 있거나, 컴퓨터 판독가능한 저장 매체(1018) 내에 상주/저장될 수 있거나, 프로세서(1016)에 커플링된 하나 또는 그 초과의 하드웨어 모듈들일 수 있거나, 또는 그들 중 일부 조합일 수 있다. 모듈들(1004 및/또는

1008)은 마이크로제어기 명령들, 상태 머신 구성 파라미터들, 또는 이들의 일부 조합을 포함할 수 있다.

[0109] 하나의 구성에서, 무선 통신을 위한 장치(1000)는 장치(1000)에 의해 송신된 간섭 신호를 표현하는 참조 신호를 수신 및 프로세싱하도록 구성된 모듈 및/또는 회로(1004), RF를 활용하는 필터를 구성하도록 구성된 모듈 및/또는 회로(1008), 기저대역 또는 디지털 피드백, 및 RF 신호에서 간섭을 제거하도록 구성된 모듈 및/또는 회로(1010)를 포함한다. 모듈들/회로들(예컨대, 1004, 1008, 1010, 1012, 1018)이 프로세서(1016) 외부에 있는 것으로 도 10에 도시되지만, 당업자는 이 모듈들/회로들 중 하나 또는 그 초과의 모듈들/회로들이 프로세서(1016) 내에 상주할 수 있다는 것을 이해할 것이다.

[0110] 도 11은 본원에서 개시되는 하나 또는 그 초과의 기능들을 수행하도록 구성될 수 있는 프로세싱 회로(1102)를 채용하는 장치에 대한 하드웨어 구현의 간략화된 예를 예시하는 개념적 다이어그램(1100)이다. 본 개시물의 다양한 양상들에 따라, 엘리먼트, 또는 엘리먼트의 임의의 부분, 또는 엘리먼트들의 임의의 조합은 본원에서 개시되는 바와 같이, 프로세싱 회로(1102)를 활용하여 구현될 수 있다. 프로세싱 회로(1102)는 하드웨어 및 소프트웨어 모듈들의 일부 조합에 의해 제어되는 하나 또는 그 초과의 프로세서들(1104)을 포함할 수 있다. 프로세서들(1104)의 예들은 마이크로프로세서들, 마이크로제어기들, DSP(digital signal processor) 들, FPGA(field programmable gate array)들, PLD(programmable logic device)들, 상태 머신들, 시퀀서들, 게이티드 로직(gated logic), 이산 하드웨어 회로들, 및 본 개시물의 전반에 걸쳐 설명되는 다양한 기능을 수행하도록 구성되는 다른 적합한 하드웨어를 포함한다. 하나 또는 그 초과의 프로세서들(1104)은, 특정 기능들을 수행하고, 소프트웨어 모듈들(1116) 중 하나의 소프트웨어 모듈에 의해 구성, 증강 또는 제어될 수 있는 특수화된 프로세서들을 포함할 수 있다. 하나 또는 그 초과의 프로세서들(1104)은, 초기화 동안 로딩된 소프트웨어 모듈들(1116)의 조합을 통해 구성될 수 있으며, 동작 동안 하나 또는 그 초과의 소프트웨어 모듈들(1116)을 로딩 또는 언로딩함으로써 추가로 구성될 수 있다.

[0111] 예시되는 예에서, 프로세싱 회로(1102)는 버스(1110)에 의해 일반적으로 표현되는 버스 아키텍처로 구현될 수 있다. 버스(1110)는 프로세싱 회로(1102)의 특정 애플리케이션 및 전반적 설계 제약들에 따라 임의의 수의 상호연결 버스들 및 브릿지들을 포함할 수 있다. 버스(1110)는 하나 또는 그 초과의 프로세서들(1104) 및 저장소(1106)를 포함하는 다양한 회로들을 함께 링크시킨다. 저장소(1106)는 메모리 디바이스들 및 대용량 저장 디바이스들을 포함할 수 있으며, 컴퓨터 판독가능한 저장 매체들 및/또는 프로세서 판독가능한 저장 매체들로 본원에서 지칭될 수 있다. 버스(1110)는 또한, 타이밍 소스들, 타이머들, 주변기기들, 전압 레귤레이터들 및 전력 관리 회로들과 같은 다양한 다른 회로들을 링크시킬 수 있다. 버스 인터페이스(1108)는 버스(1110)와 하나 또는 그 초과의 트랜시버들(1112) 사이에 인터페이스를 제공할 수 있다. 트랜시버(1112)는 프로세싱 회로에 의해 지원되는 각각의 네트워킹 기술에 대해 제공될 수 있다. 일부 사례들에서, 다수의 네트워킹 기술들은 트랜시버(1112)에서 발견된 회로 또는 프로세싱 모듈들 전부 또는 그 일부를 공유할 수 있다. 각각의 트랜시버(1112)는 송신 매체 상에서 다양한 다른 장치와 통신하기 위한 수단을 제공한다. 장치의 특성에 따라, 사용자 인터페이스(1118)(예컨대, 키패드, 디스플레이, 스피커, 마이크로폰, 조이스틱)가 또한 제공될 수 있으며, 버스 인터페이스(1108)를 통해 또는 직접적으로 버스(1110)에 통신가능하게 커플링될 수 있다.

[0112] 프로세서(1104)는 버스(1110)를 관리하는 것과, 저장소(1106)를 포함할 수 있는 컴퓨터 판독가능한 저장 매체 내에 저장된 소프트웨어의 실행을 포함할 수 있는 일반적 프로세싱을 담당할 수 있다. 이와 관련하여, 프로세서(1104)를 포함하는 프로세싱 회로(1102)는, 본원에서 개시되는 방법들, 기능들 및 기법들 중 임의의 것을 구현하기 위하여 사용될 수 있다. 저장소(1106)는, 소프트웨어를 실행하는 경우 프로세서(1104)에 의해 조작되는 데이터를 저장하기 위하여 사용될 수 있고, 소프트웨어는 본원에서 개시되는 방법들 중 임의의 방법을 구현하도록 구성될 수 있다.

[0113] 프로세싱 회로(1102)에서의 하나 또는 그 초과의 프로세서들(1104)은 소프트웨어를 실행할 수 있다. 소프트웨어는 소프트웨어로 지칭되든, 펌웨어로 지칭되든, 미들웨어로 지칭되든, 마이크로코드로 지칭되든, 하드웨어 기술으로 지칭되든, 또는 다르게 지칭되든 간에, 명령들, 명령 세트들, 코드, 코드 세그먼트들, 프로그램 코드, 프로그램들, 서브프로그램들, 소프트웨어 모듈들, 애플리케이션들, 소프트웨어 애플리케이션들, 소프트웨어 패키지들, 루틴들, 서브루틴들, 오브젝트들, 실행가능한 것들(executable), 실행 스크립트들, 프로시저들, 함수들, 알고리즘들 등을 의미하는 것으로 광범위하게 해석될 것이다. 소프트웨어는 저장소(1106)에 또는 외부 컴퓨터 판독가능한 저장 매체에, 컴퓨터 판독가능한 형태로 상주할 수 있다. 외부 컴퓨터 판독가능한 저장 매체 및/또는 저장소(1106)는 비-일시적 컴퓨터 판독가능한 저장 매체를 포함할 수 있다. 비-일시적 컴퓨터 판독 가능한 저장 매체는, 예로서, 자기 저장 디바이스(예컨대, 하드 디스크, 플로피 디스크, 자기 스트립), 광학 디스크(예컨대, CD(compact disc) 또는 DVD(digital versatile disc)), 스마트 카드, 플래시 메모리 디바이스(예

컨대, "플래시 드라이브", 카드, 스택 또는 키 드라이브), RAM(random access memory), ROM(read only memory), PROM(programmable ROM), EPROM(erasable PROM), EEPROM(electrically erasable PROM), 레지스터, 탈착가능한(removable) 디스크 및 컴퓨터에 의해 액세스 및 판독될 수 있는 소프트웨어 및/또는 명령들을 저장하기 위한 임의의 다른 적합한 매체를 포함할 수 있다. 컴퓨터 판독가능한 저장 매체 및/또는 저장소(1106)는 또한, 예로서, 반송파, 송신 라인 및 컴퓨터에 의해 액세스 및 판독될 수 있는 소프트웨어 및/또는 명령들을 송신하기 위한 임의의 다른 적합한 매체를 포함할 수 있다. 컴퓨터 판독가능한 저장 매체 및/또는 저장소(1106)는 프로세싱 회로(1102) 내에, 프로세서(1104) 내에 상주하거나, 프로세싱 회로(1102) 외부에 있거나, 또는 프로세싱 회로(1102)를 포함하는 다수의 엔티티들에 걸쳐 분산될 수 있다. 컴퓨터 판독가능한 저장 매체 및/또는 저장소(1106)는 컴퓨터 프로그램 제품으로 구현될 수 있다. 예로서, 컴퓨터 프로그램 제품은 패키징 재료들(packaging materials)에 컴퓨터 판독가능한 저장 매체를 포함할 수 있다. 당업자들은 전체 시스템 상에 부과되는 전반적 설계 제약들 및 특정 애플리케이션에 따라 본 개시물 전반에 걸쳐 제시되는 설명되는 기능을 구현할 최상의 방법을 인지할 것이다.

[0114] [00104] 저장소(1106)는 소프트웨어 모듈들(1116)로 본원에서 지칭될 수 있는 로딩가능한 코드 세그먼트들, 모듈들, 애플리케이션들, 프로그램들 등에서 유지 및/또는 조직화되는 소프트웨어를 유지할 수 있다. 소프트웨어 모듈들(1116) 각각은, 프로세싱 회로(1102) 상에서 인스톨 또는 로딩되고 하나 또는 그 초과의 프로세서들(1104)에 의해 실행되는 경우, 하나 또는 그 초과의 프로세서들(1104)의 동작을 제어하는 실행-시간 이미지(1114)에 기여하는 명령들 및 데이터를 포함할 수 있다. 실행되는 경우, 특정 명령들은, 프로세싱 회로(1102)로 하여금, 본원에서 설명되는 특정 방법들, 알고리즘들 및 프로세스들에 따라 기능들을 수행하게 할 수 있다.

[0115] [00105] 소프트웨어 모듈들(1116) 중 일부는 프로세싱 회로(1102)의 초기화 동안 로딩될 수 있고, 이 소프트웨어 모듈들(1116)은 본원에서 개시되는 다양한 기능들의 수행을 인에이블하도록 프로세싱 회로(1102)를 구성할 수 있다. 예컨대, 일부 소프트웨어 모듈들(1116)은 프로세서(1104)의 내부 디바이스들 및/또는 로직 회로들(1122)을 구성할 수 있으며, 트랜시버(1112), 버스 인터페이스(1108), 사용자 인터페이스(1118), 타이머들, 연산 코프로세서(mathematical coprocessor)들 등과 같은 외부 디바이스들에 대한 액세스를 관리할 수 있다. 소프트웨어 모듈들(1116)은, 인터럽트 핸들러들 및 디바이스 드라이버들과 인터랙팅하고 프로세싱 회로(1102)에 의해 제공되는 다양한 자원들에 대한 액세스를 제어하는 제어 프로그램 및/또는 운영 시스템을 포함할 수 있다. 자원들은 트랜시버(1112), 사용자 인터페이스(1118) 등에 대한 메모리, 프로세싱 시간, 액세스를 포함할 수 있다.

[0116] [00106] 프로세싱 회로(1102) 중 하나 또는 그 초과의 프로세서들(1104)은 다기능적일 수 있고, 그에 의해, 소프트웨어 모듈들(1116) 중 일부 소프트웨어 모듈들은 상이한 기능들, 또는 동일한 기능들의 상이한 인스턴스들을 수행하도록 로딩 및 구성된다. 하나 또는 그 초과의 프로세서들(1104)은, 예컨대, 사용자 인터페이스(1118), 트랜시버(1112) 및 디바이스 드라이버들로부터의 입력들에 대한 응답으로 개시되는 배경 태스크들을 관리하도록 추가적으로 적응될 수 있다. 다수의 기능들의 수행을 지원하기 위하여, 하나 또는 그 초과의 프로세서들(1104)은 멀티태스킹 환경을 제공하도록 구성될 수 있고, 그에 의해, 복수의 기능들 각각은, 필요한 경우 또는 원하는 경우, 하나 또는 그 초과의 프로세서들(1104)에 의해 서비스되는 태스크들의 세트로 구현된다. 다양한 예들에서, 멀티태스킹 환경은 상이한 태스크들 사이에서 프로세서(1104)의 제어를 전달하는 시분할(timesharing) 프로그램(1120)을 활용하여 구현될 수 있고, 그에 의해, 각각의 태스크는, 임의의 미해결된(outstanding) 동작들의 완료 시에 그리고/또는 인터럽트와 같은 입력에 대한 응답으로 하나 또는 그 초과의 프로세서들(1104)의 제어를 시분할 프로그램(1120)으로 리턴한다. 태스크가 하나 또는 그 초과의 프로세서들(1104)의 제어를 가지는 경우, 프로세싱 회로는 제어 태스크와 연관된 기능에 의해 어드레싱되는 목적들을 위하여 효과적으로 특수화된다. 시분할 프로그램(1120)은 운영 시스템, 라운드-로빈 방식으로 제어를 전달하는 메인 루프, 기능들의 우선순위화에 따라 하나 또는 그 초과의 프로세서들(1104)의 제어를 배정하는 기능, 및/또는 하나 또는 그 초과의 프로세서들(1104)의 제어를 핸들링 기능에 제공함으로써 외부 이벤트들에 응답하는 인터럽트 구동 메인 루프를 포함할 수 있다.

[0117] [00107] 추가적으로, 도 10 및 도 11에서 설명되는 컴포넌트들은 도 6-9의 호를 다이어그램들의 블록들 전부 또는 그 일부를 수행하도록 구현될 수 있다. 전기통신 시스템의 몇몇 양상들이 제시되었다. 당업자들이 용이하게 인식할 바와 같이, 본 개시물 전반에 걸쳐 설명되는 다양한 양상들은 다양한 타입들의 전기 통신 시스템들, 네트워크 아키텍처들 및 통신 표준들로 확장될 수 있다.

[0118] [00108] 본 개시물 내에서, "예시적"이라는 단어는 "예, 사례, 또는 예시로서 작용함"을 의미하기 위하여 사용

된다. "예시적"으로서 본원에서 설명되는 임의의 구현 또는 양상은 본 개시물의 다른 양상들에 비해 바람직하거나 또한 유리한 것으로 반드시 해석되어야 하는 것은 아니다. 마찬가지로, "양상들"이라는 용어는 본 개시물의 모든 양상들이 논의된 특징, 이점, 또는 동작 모드를 포함할 것을 요구하지 않는다. "커플링된"이라는 용어는 2개의 오브젝트들 간의 직접적 또는 간접적 커플링을 지칭하기 위하여 본원에서 사용된다. 예컨대, 오브젝트 A가 오브젝트 B를 물리적으로 터치하고, 오브젝트 B가 오브젝트 C를 터치하면, 오브젝트들 A 및 C는 – 이들이 서로를 직접 물리적으로 터치하지 않는 경우에도 – 여전히 서로 커플링되는 것으로 고려될 수 있다. 예컨대, 제 1 다이가 제 2 다이와 직접 물리적으로 접촉되지 않음에도 불구하고, 제 1 다이는 패키지에서 제 2 다이에 커플링될 수 있다. "회로" 및 "회로부"라는 용어들은 광범위하게 사용되며, 연결 및 구성되는 경우, 전자회로들의 탑재에 대한 제한없이 본 개시물에서 설명되는 기능들의 수행을 가능하게 하는 컨터터들 및 전기 디바이스들의 하드웨어 구현들뿐만 아니라, 프로세서에 의해 실행되는 경우, 본 개시물에서 설명되는 기능들의 수행을 가능하게 하는 명령들 및 정보의 소프트웨어 구현들 둘 다를 포함하도록 의도된다.

[0119] [00109] 도면들에서 예시되는 컴포넌트들, 블록들, 특징들 및/또는 기능들 중 하나 또는 그 초과의 것은 단일 컴포넌트, 블록, 특징 또는 기능으로 재배열 및/또는 조합될 수 있거나, 또는 몇몇 컴포넌트들, 블록들, 또는 기능들로 구현될 수 있다. 추가적 엘리먼트들, 컴포넌트들, 블록들, 및/또는 기능들은 또한 본원에서 개시되는 신규한 특징들로부터 이탈하지 않으면서 추가될 수 있다. 다양한 도면들에서 예시되는 장치, 디바이스들 및/또는 컴포넌트들은 본원에서 설명되는 방법들, 특징들, 또는 블록들 중 하나 또는 그 초과의 것을 수행하도록 구성될 수 있다. 본원에서 설명되는 신규한 알고리즘들은 또한 소프트웨어로 효율적으로 구현될 수 있고 그리고/또는 하드웨어 내에 임베딩될 수 있다.

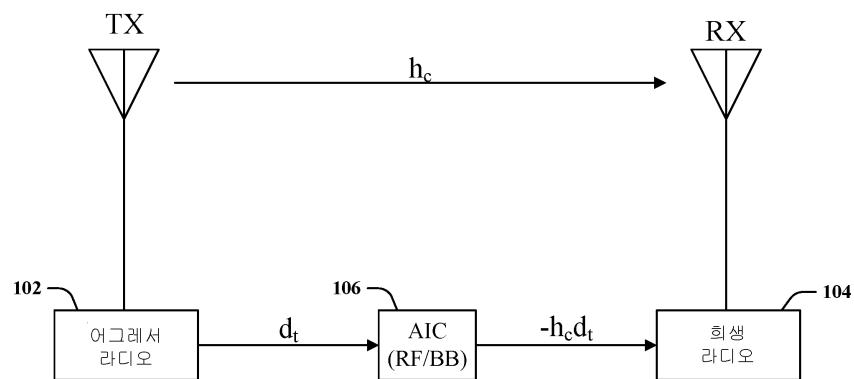
[0120] [00110] 개시되는 방법들에서의 블록들의 특정 순서 또는 계층 구조는 예시적 프로세스들의 예시라는 것이 이해될 것이다. 설계 선호도들에 기초하여, 방법들에서의 블록들의 특정 순서 또는 계층 구조는 재배열될 수 있다는 것이 이해된다. 첨부한 방법 청구항들은 표본적 순서에서 다양한 블록들의 엘리먼트들을 제시하고, 본원에서 구체적으로 기술되지 않는 한, 제시된 특정 순서 또는 계층 구조로 제한되도록 의도되지 않는다.

[0121] [00111] 이전 설명은 임의의 당업자가 본원에서 설명되는 다양한 양상들을 실시하는 것을 가능하게 하도록 제공된다. 이 양상들에 대한 다양한 수정들은 당업자들에게 용이하게 명백할 것이고, 본원에서 정의되는 일반적 원리들은 다른 양상들에 적용될 수 있다. 따라서, 청구항들은 본원에서 도시되는 양상들로 제한되도록 의도되는 것이 아니라, 청구항 문언과 일치하는 전체 범위를 따르도록 한 것이고, 단수인 엘리먼트에 대한 참조는 구체적으로 그렇게 서술되지 않는 한, "하나 그리고 오직 하나"를 의미하도록 의도되지 않고, 오히려 "하나 또는 그 초과"를 의미하도록 의도된다. 이와 다르게 구체적으로 서술되지 않는 한, "일부"라는 용어는 하나 또는 그 초과를 지칭한다. 항목들의 리스트 "중 적어도 하나"를 지칭하는 문구는 단일 부재들을 포함하는 그러한 항목들의 임의의 조합을 지칭한다. 예로서, "a, b 또는 c 중 적어도 하나"는, a; b; c; a 및 b; a 및 c; b 및 c; 및 a, b 및 c를 커버하도록 의도된다. 당업자들에게 알려져 있거나 또는 추후에 알려질 본 개시물의 전반에 걸쳐 설명되는 다양한 양상들의 엘리먼트들에 대한 모든 구조적 그리고 기능적 등가물들은 인용에 의해 본원에 명백하게 포함되고, 청구항들에 의해 망라되도록 의도된다. 더욱이, 본원에서 개시되는 어떤 것도 그러한 개시물이 청구항들에서 명시적으로 인용되는지 여부에 관계없이 공중에게 헌정되도록 의도되지 않는다. 엘리먼트가 "위한 수단"이라는 문구를 활용하여 명백하게 기술되거나, 또는 방법 청구항의 경우, 엘리먼트가 "위한 단계"라는 문구를 활용하여 기술되지 않는 한, 어떤 청구항 엘리먼트도 35 U.S.C. § 112의 6번째 문단의 조문들 하에서 해석되어야 하는 것은 아니다.

도면

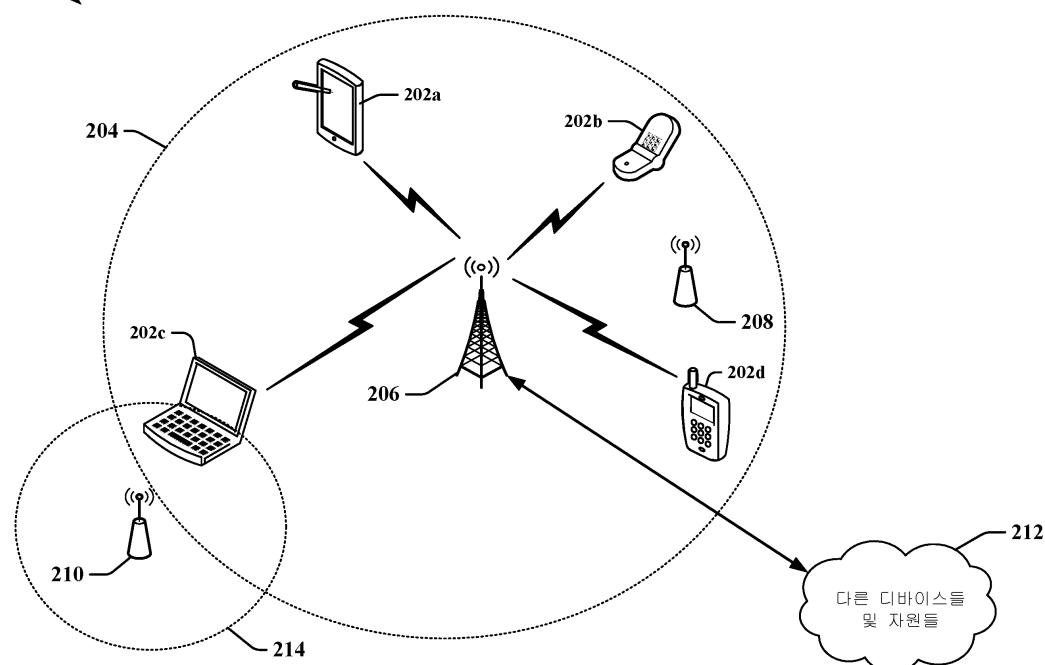
도면1

100 ↗



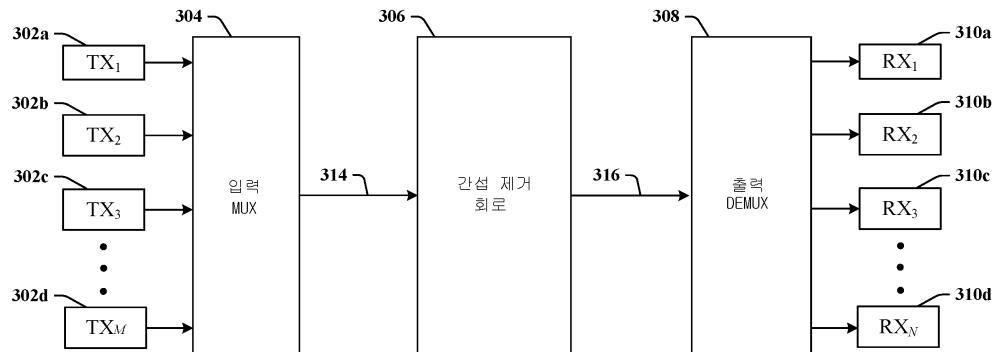
도면2

200 ↗

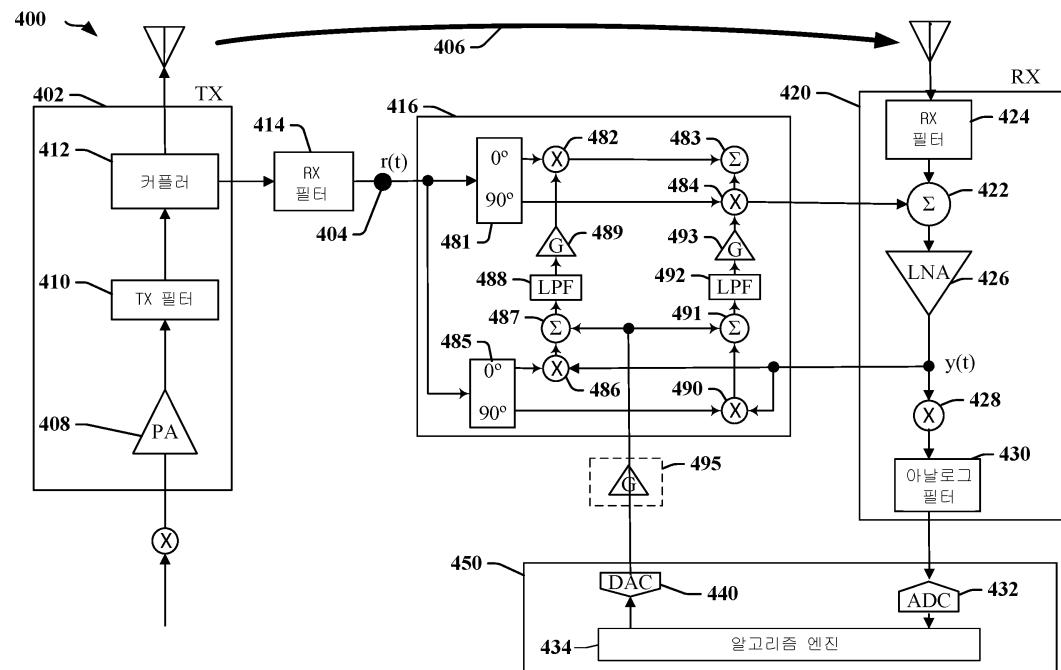


도면3

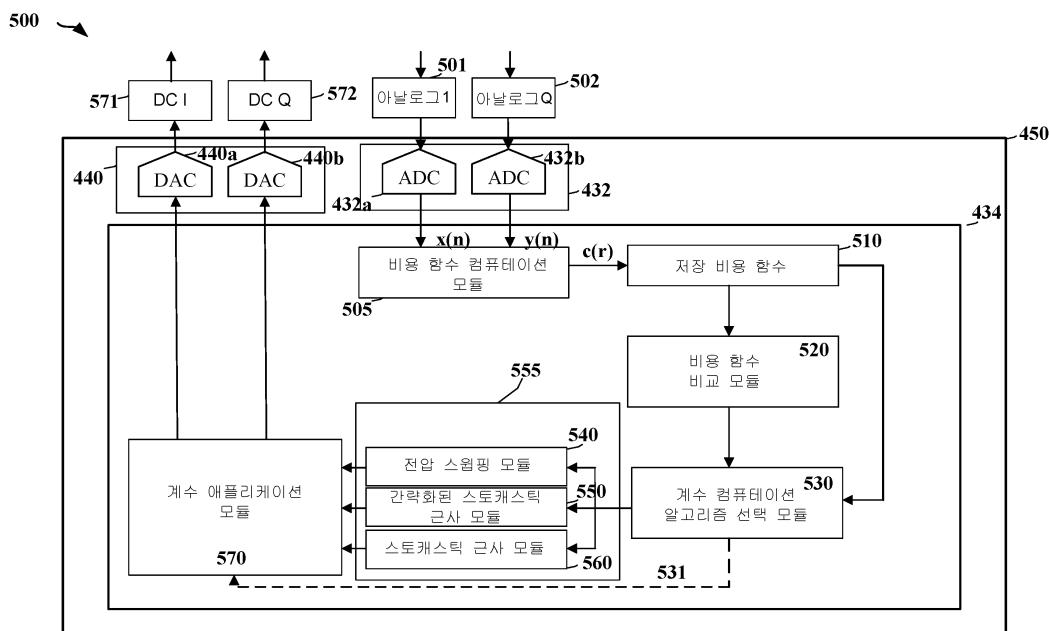
300 ↪



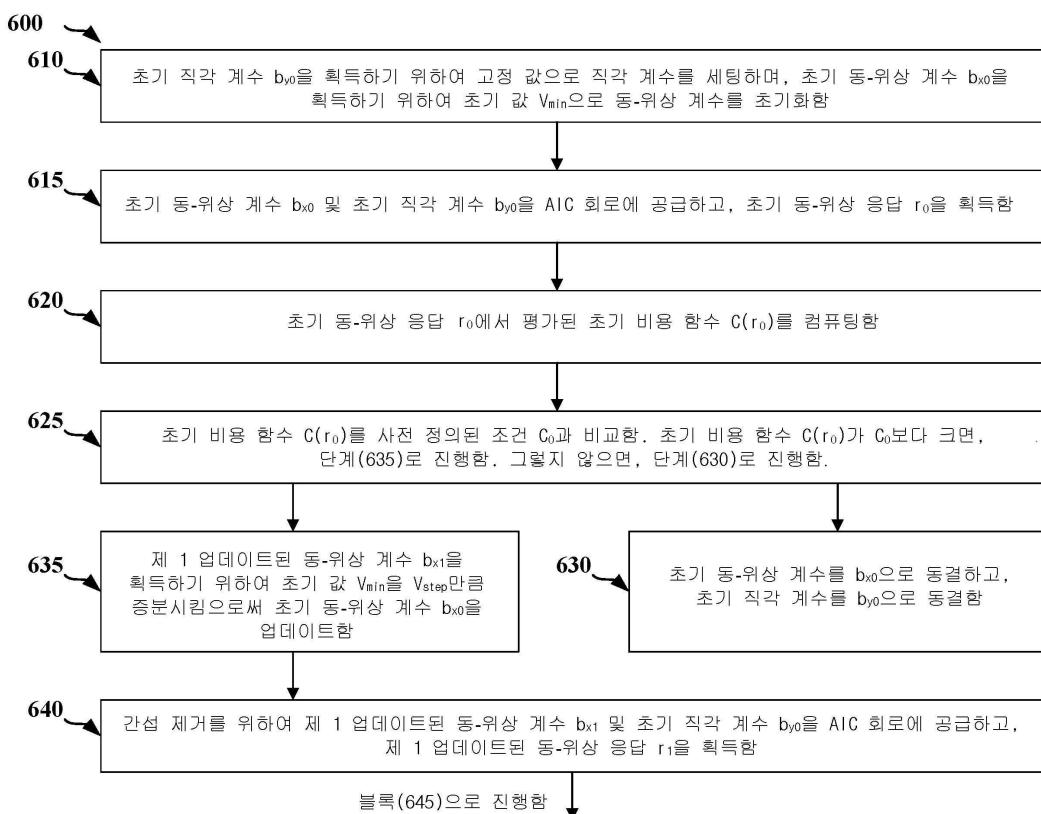
도면4



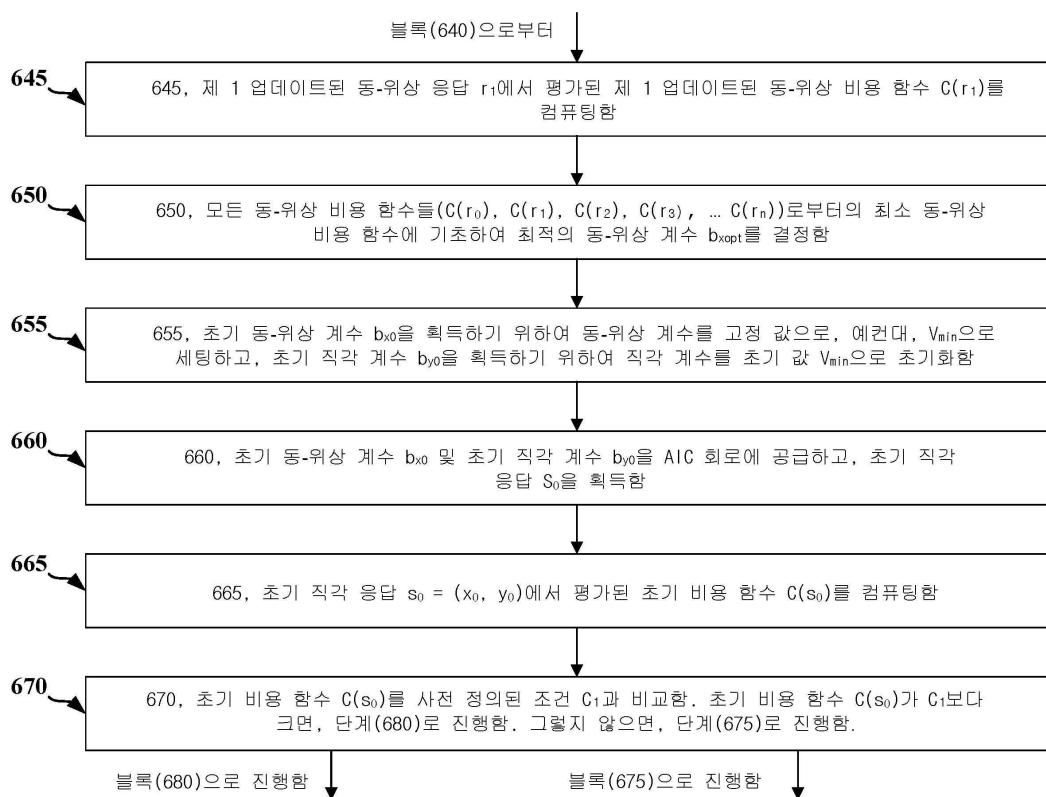
도면5



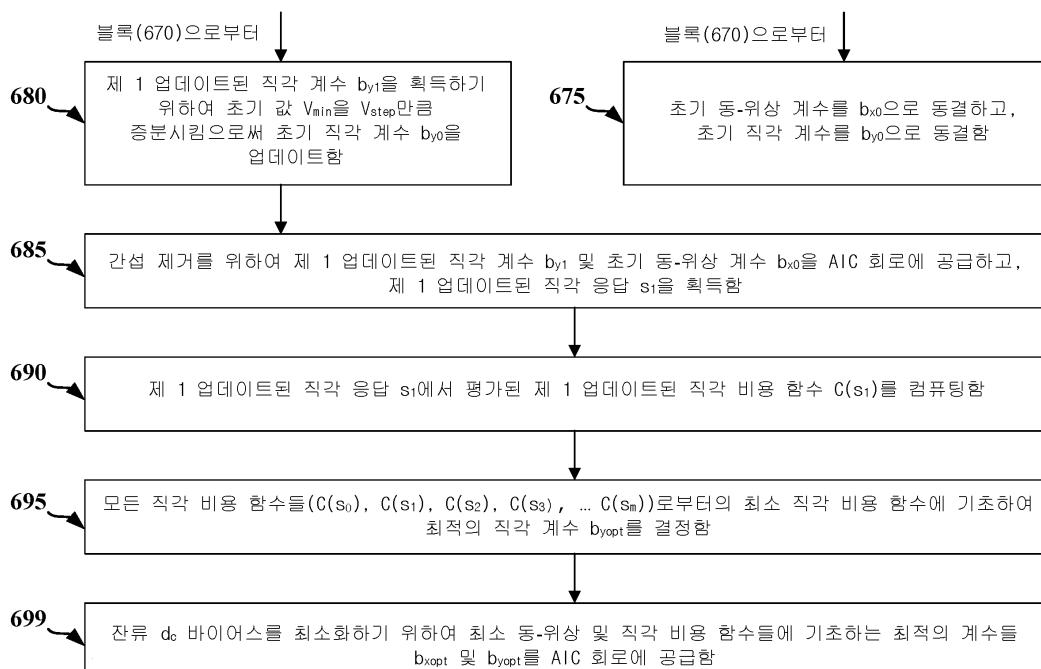
도면6a



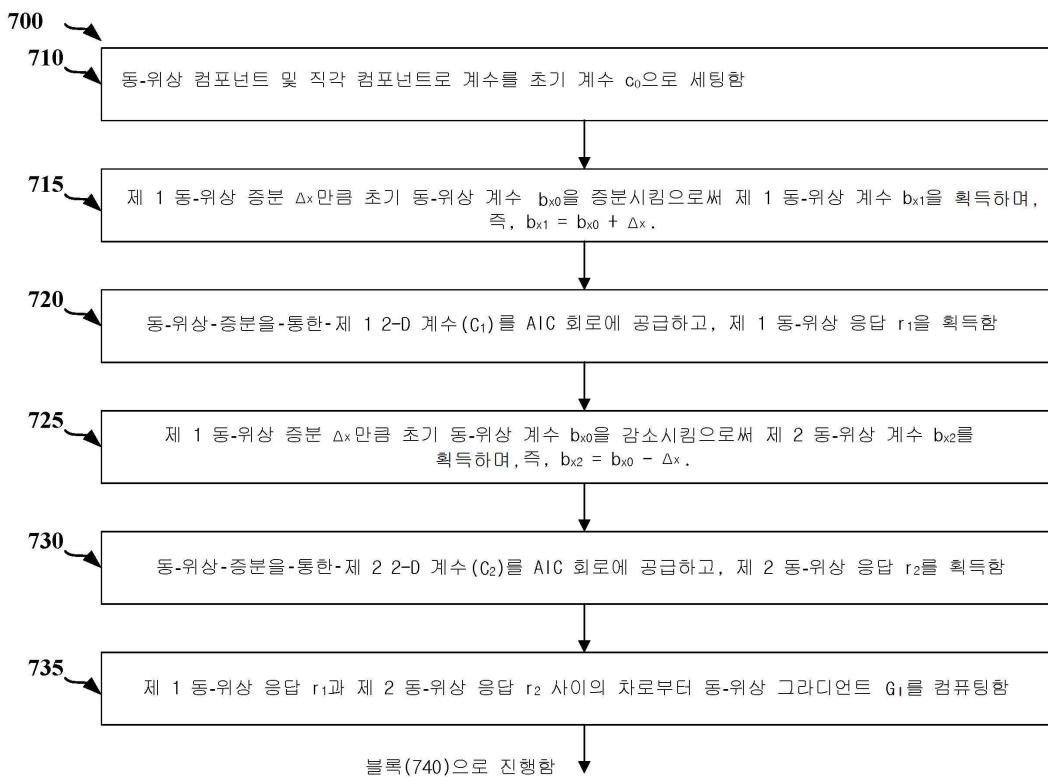
도면6b



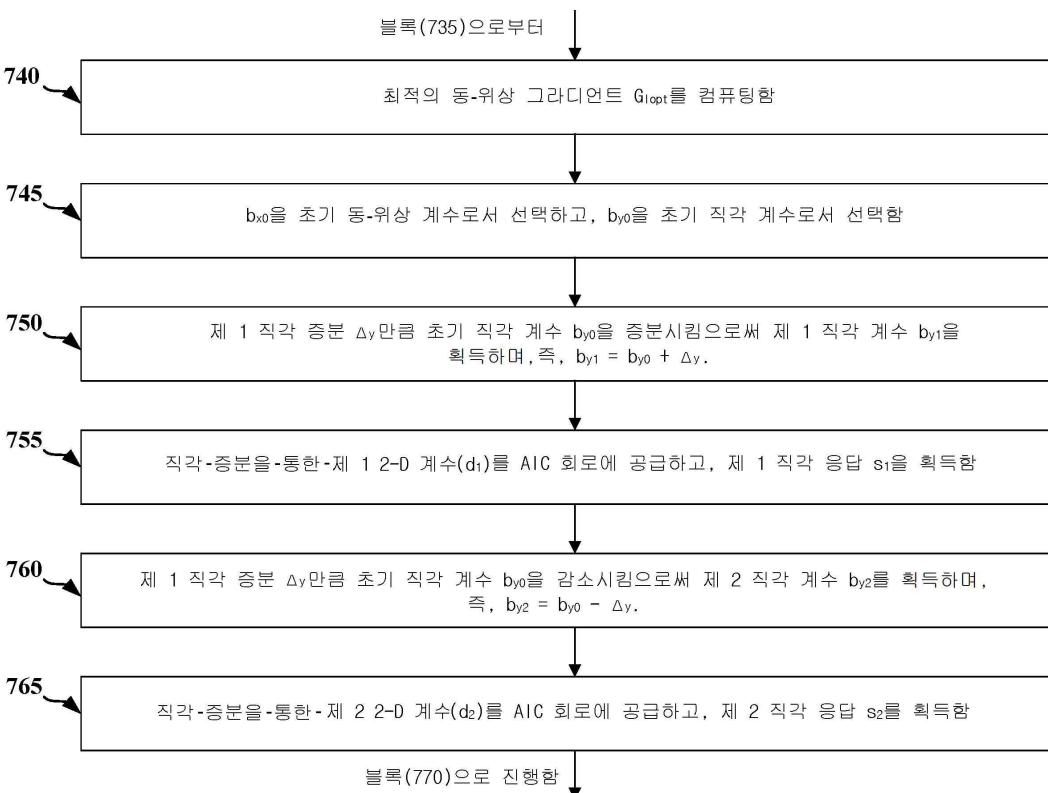
도면6c



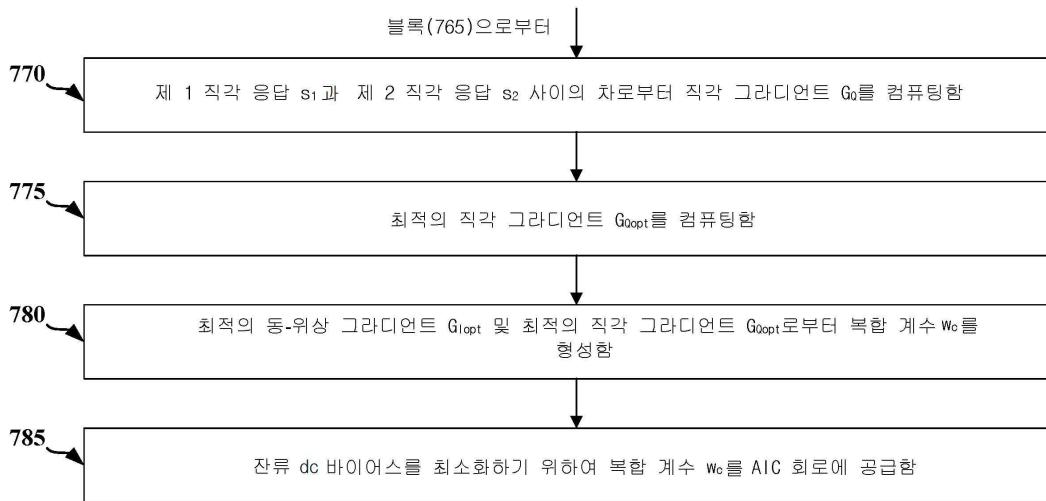
도면7a



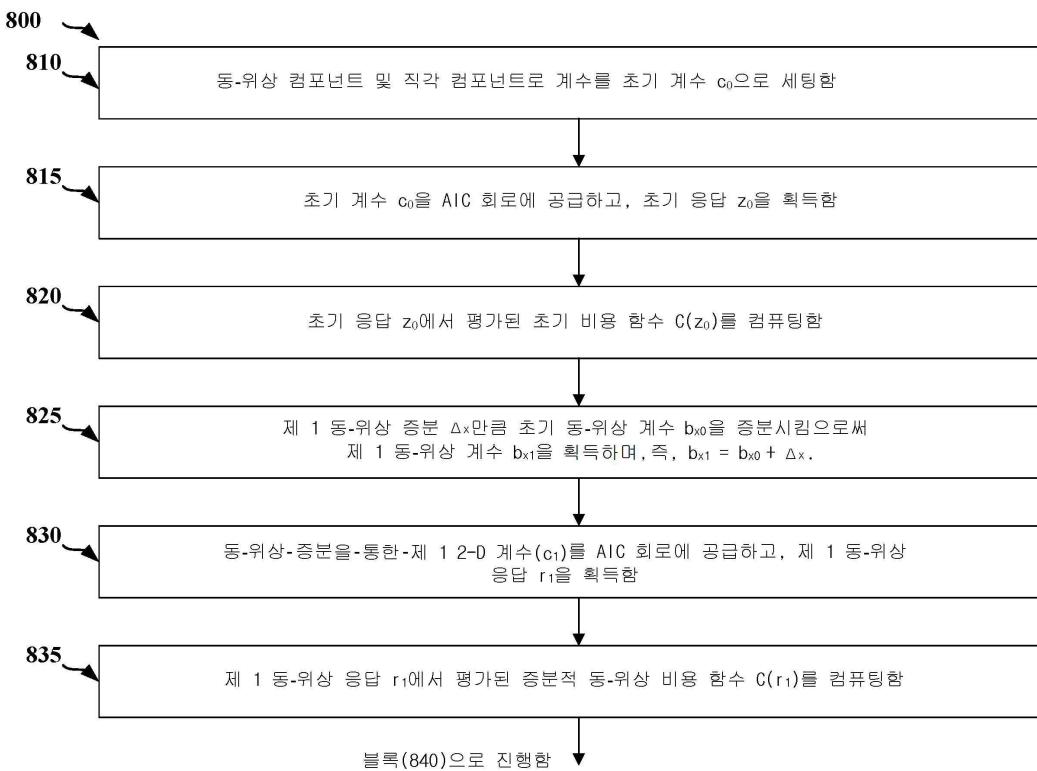
도면7b



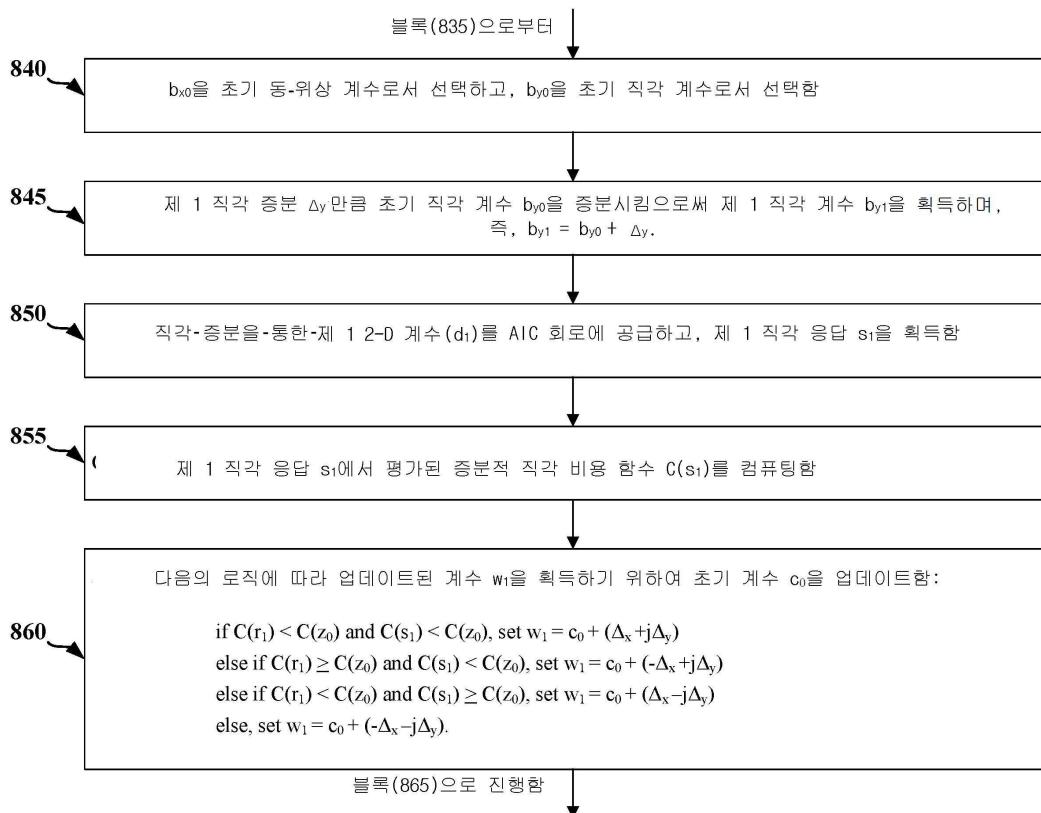
도면7c



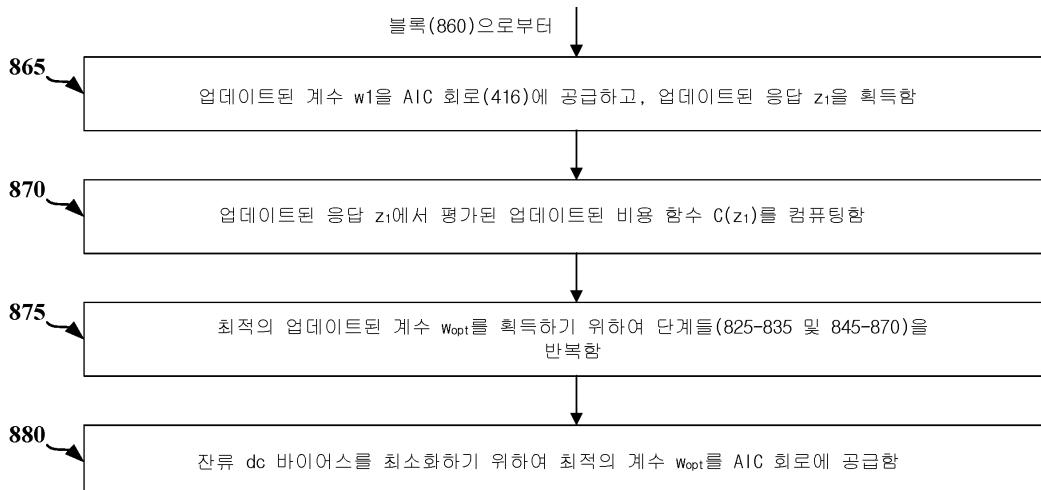
도면8a



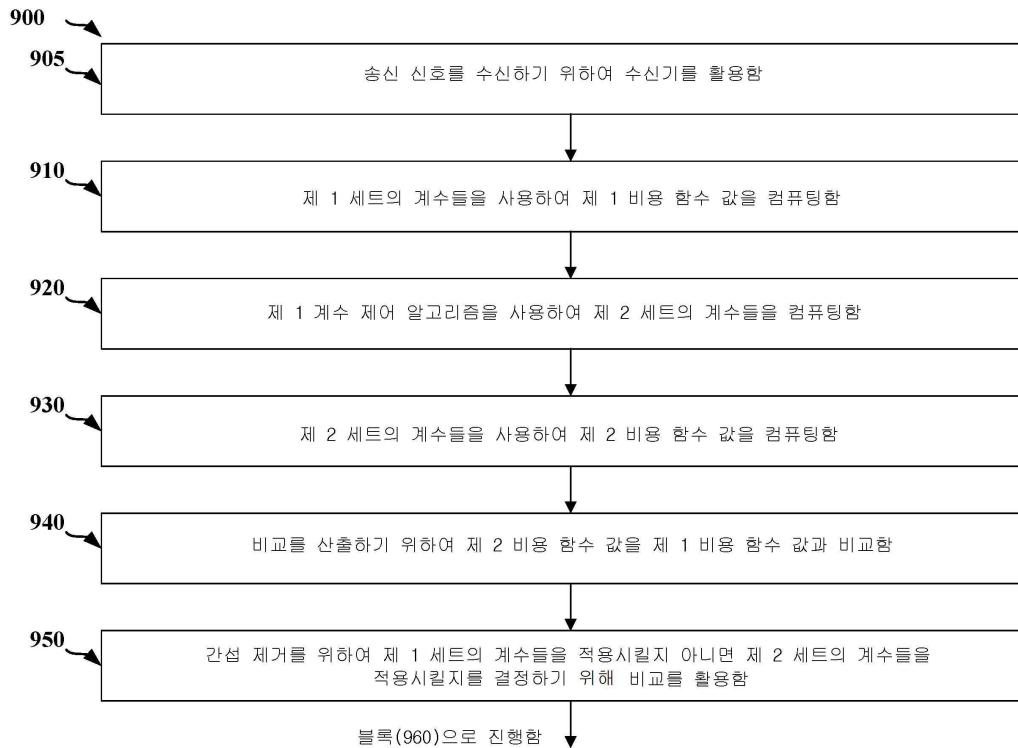
도면8b



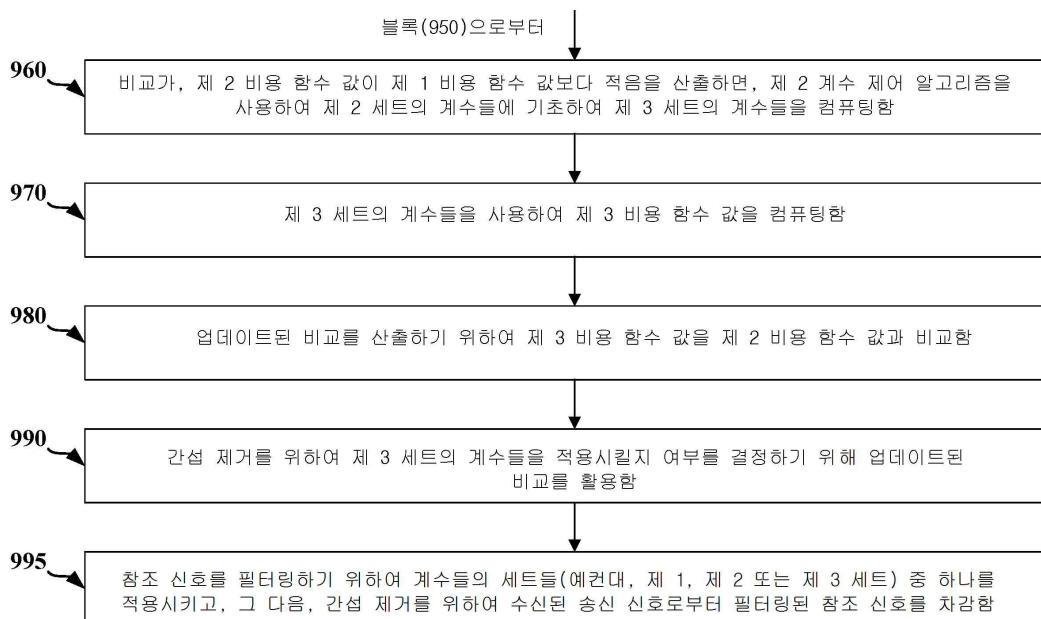
도면8c



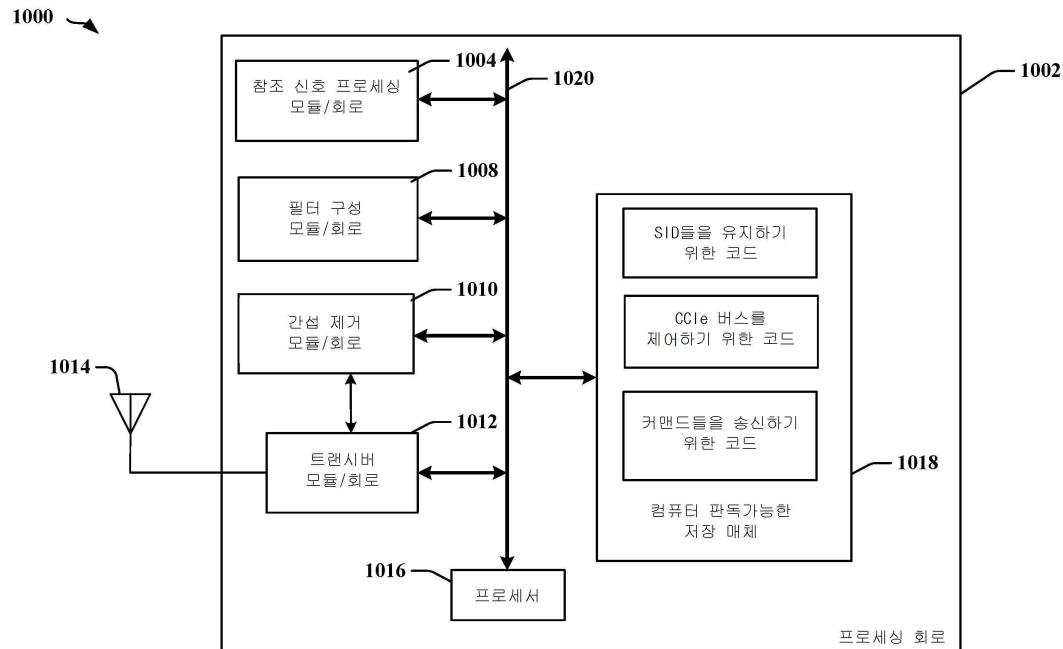
도면9a



도면9b



도면10



도면11

