

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 3 月 31 日(31.03.2016)



(10) 国際公開番号

WO 2016/047474 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/3745 (2011.01)
H04N 5/374 (2011.01)
- (21) 国際出願番号: PCT/JP2015/075948
- (22) 国際出願日: 2015 年 9 月 14 日(14.09.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-196146 2014 年 9 月 26 日(26.09.2014) JP
- (71) 出願人: ソニー株式会社(SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者: 大理 洋征龍(OHRI Hiroyuki); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿 7 丁目 5 番 2 5 号 西新宿木村屋ビルディング 9 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SOLID STATE IMAGING DEVICE, AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像装置、および電子装置

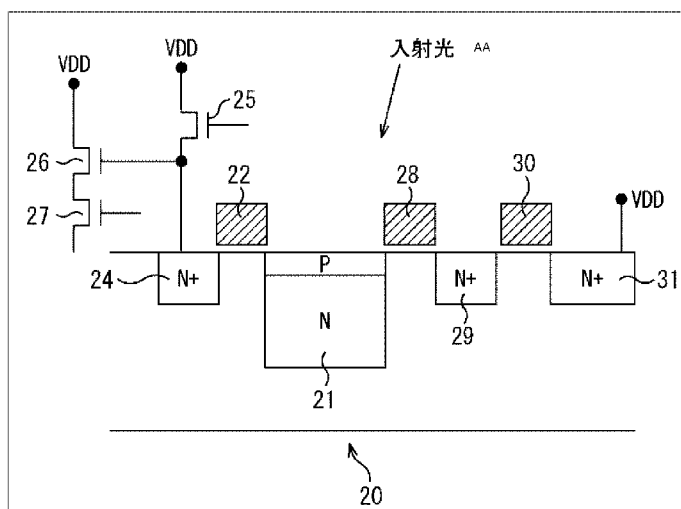


FIG. 5:
AA Incoming light

(57) Abstract: This invention relates to a solid state imaging device capable of preventing the disappearance of an electric charge accumulated by a PD, thereby suppressing a decrease in the S/N or dynamic range, and to an electronic device. The solid state imaging device, which is one aspect of the present invention, comprises a photoelectric conversion part for generating an electric charge in response to an incoming light, a first holding part for holding the electric charge transferred from the photoelectric conversion part, a first transfer gate part for controlling the transfer of the electric charge from the photoelectric conversion part to the first holding part, an electric charge drain part serving as a draining destination for the electric charge generated in the photoelectric conversion part, a first drain gate part for controlling the transfer of the electric charge from the photoelectric conversion part to the electric charge drain part, and a second drain gate part for connecting the electric charge drain part to a constant voltage source. The present invention is applicable to a CIS and to an electronic device equipped therewith.

(57) 要約:

[続葉有]



本開示は、PDに蓄積された電荷の消失を防ぎ、S/Nやダイナミックレンジの低下を抑止することができようにする固体撮像装置、および電子装置に関する。本開示の一側面である固体撮像装置は、入射光に応じて電荷を発生する光電変換部と、前記光電変換部から転送された前記電荷を保持する第1の保持部と、前記光電変換部から前記第1の保持部への前記電荷の転送を制御する第1の転送ゲート部と、前記光電変換部で発生された前記電荷の排出先となる電荷排出部と、前記光電変換部から前記電荷排出部への前記電荷の転送を制御する第1の排出ゲート部と、前記電荷排出部と定電圧源を接続する第2の排出ゲート部とを備える。本開示は、CISとそれを搭載した電子装置に適用できる。

明 細 書

発明の名称： 固体撮像装置、および電子装置

技術分野

[0001] 本開示は、固体撮像装置、および電子装置に関し、特に、グローバルシャッタ機能を備えるCIS(CMOS Image Sensor)に用いて好適な固体撮像装置、および電子装置に関する。

背景技術

[0002] 従来、デジタルカメラなどの撮像装置に搭載される固体撮像装置としてCISが広く利用されている。一般的なCISでは、画素の露光と読み出しが行単位で行われるので、高速移動する被写体を撮像した場合、いわゆる、フォーカルプレーン歪が生じてしまう。

[0003] そこで、フォーカルプレーン歪の発生を防止する対策として、画素の露光と読み出しを全画素で一致させることができるグローバルシャッタ機能を備えたCISが提案されている（例えば、特許文献1参照）。

[0004] 図1は、グローバルシャッタ機能を備えた表面照射型CISの各单位画素における基本的な構成の一例を示す平面図である。図2は図1に対応する断面図である。

[0005] 該CIS10の各单位画素は、例えば、HAD(Hole Accumulated Diode)構造からなり、光電変換を行うフォトダイオード（以下、PDと略称する。他の構成要素についても同様とする）11、PD11に対して転送ゲート（TG）12を介して接続された浮遊拡散領域（FD）13を備える。

[0006] また、各单位画素には、PD11に対してオーバフローゲート(OFG)14を介して、PD11をリセットのために定電圧源VDDに接続された電荷排出領域（オーバフロードレイン(OFD)）15が水平位置に配置されている。

[0007] さらに、該各单位画素は、リセットトランジスタ（RST）、セレクトトランジスタ（SEL）、およびアンプトランジスタ（AMP）（いずれも不図示）を備える。

[0008] FD 13は、PD 11で発生された電荷を保持するためのものであり、これによりグローバルシャッタ機能の実現される。なお、FD 13の代わりに、PD 11で発生された電荷を保持する電荷保持領域を備える場合もある。

先行技術文献

特許文献

[0009] 特許文献1：特開2009-268083号公報

発明の概要

発明が解決しようとする課題

[0010] ところでCIS 10のPD 11では、PD 11にて発生、蓄積されている電荷が、TG 12がオンとなって読み出されるまでの間に、過渡的なオーバフロー現象によってその多くが消失してしまうことが知られている。

[0011] 図3は、電荷のオーバフロー現象の様子を示すものであり、横軸が経過時間、縦軸がPD 11に蓄積されている電荷数を示している。同図に示されるように、経過時間が長いほど、電荷が消失して蓄積されている電荷数が減ってしまう。よって、PD 11における電荷のオーバフロー現象は、長時間露光を行う場面においてより深刻となる。

[0012] 例えば夜間に光る物体を撮影するように、露光期間の初期にPD 11が飽和してしまうほどの光が入射し、その後は暗くなるような撮像状況では、初期に蓄積した電荷がオーバフロー現象により消失してしまうので、S/Nやダイナミックレンジが悪化する要因となる。

[0013] 特に、図1に示されたCIS 10のように、OFD 15を有する構造では、この問題が悪化してしまう。これについて、図4を参照して説明する。

[0014] 通常、PD 11の電荷数が減少するとPD 11のポテンシャルは深く（高くなり、いわゆるDIBL効果(Drain-Induced Barrier Lowering)により、PD 11とOFD 15との間のオーバフローバリア(OFB)の高さも深くなる（高くなる）。そして、オーバフロー現象によってPD 11の電荷が減った場合にも、それに伴ってオーバフローバリアが下がるので、PD 11からOFD 15に電

荷が流れて、蓄積している電荷がさらに減ってしまうというサイクルが続くことになる。これは、画素が微細化されると、PD11とFD15の距離が短縮されることになるため、さらに顕著になる。

[0015] 本開示はこのような状況に鑑みてなされたものであり、PDに蓄積された電荷の消失を防ぎ、S/Nやダイナミックレンジの低下を抑止できるようにするものである。

課題を解決するための手段

[0016] 本開示の第1の側面である固体撮像装置は、入射光に応じて電荷を発生する光電変換部と、前記光電変換部から転送された前記電荷を保持する第1の保持部と、前記光電変換部から前記第1の保持部への前記電荷の転送を制御する第1の転送ゲート部と、前記光電変換部で発生された前記電荷の排出先となる電荷排出部と、前記光電変換部から前記電荷排出部への前記電荷の転送を制御する第1の排出ゲート部と、前記電荷排出部と定電圧源を接続する第2の排出ゲート部とを備える。

[0017] 本開示の第1の側面である固体撮像装置は、前記光電変換部と前記第1の保持部の間に前記光電変換部から転送された前記電荷を保持する第2の保持部と、前記光電変換部から前記第2の保持部への前記電荷の転送を制御する第2の転送ゲート部とさらに備えることができる。

[0018] 前記第2の転送ゲート部は、1以上のゲートから構成することができる。

[0019] 前記第2の排出ゲート部は、画素部とは異なる領域に形成することができる。

[0020] 前記第2の排出ゲート部は、配線層内に形成することができる。

[0021] 前記第2の排出ゲート部は、酸化物半導体のトランジスタとして配線層内に形成することができる。

[0022] 前記光電変換部の露光期間における前記第2の排出ゲート部のゲート電圧は、非導通状態の負電圧と導通状態の電源電圧の間の値に設定することができる。

[0023] 前記光電変換部の露光期間における前記第2の排出ゲート部のドレイン電

圧は、0 Vと導通状態の電源電圧の間の値に設定することができる。

[0024] 前記固体撮像装置は、表面照射型とすることができる。

[0025] 前記固体撮像装置は、裏面照射型とすることができる。

[0026] 前記固体撮像装置は、積層型とすることができる。

[0027] 本開示の第2の側面である電子装置は、固体撮像装置が搭載される電子装置において、前記固体撮像装置は、入射光に応じて電荷を発生する光電変換部と、前記光電変換部から転送された前記電荷を保持する第1の保持部と、前記光電変換部から前記第1の保持部への前記電荷の転送を制御する第1の転送ゲート部と、前記光電変換部で発生された前記電荷の排出先となる電荷排出部と、前記光電変換部から前記電荷排出部への前記電荷の転送を制御する第1の排出ゲート部と、前記電荷排出部と定電圧源を接続する第2の排出ゲート部とを備える。

[0028] 本開示の第1および第2の側面においては、光電変換部で発生された電荷の排出先となる電荷排出部のポテンシャルが、第2の排出ゲート部が非導通状態である場合、フローティングとなる。

発明の効果

[0029] 本開示の第1および第2の側面によれば、第1の保持部に蓄積された電荷の消失を抑止できる。

図面の簡単な説明

[0030] [図1]グローバルシャッタ機能を実現した表面照射型のCISの基本的な構成の一例を示す平面図である。

[図2]図1に対応する断面図である。

[図3]PDにおける過渡的な電荷のオーバフロー現象を説明する図である。

[図4]オーバフロードレインを備える場合にオーバフロー現象が悪化することを説明する図である。

[図5]本開示を適用したCISの第1の構成例を示す断面図である。

[図6]CISの第1の構成例の平面図である。

[図7]CISの第1の構成例の等価回路図である。

[図8] CISの第1の構成例の駆動タイミングを表すタイミングチャートである。

[図9] 本開示の効果を説明するための図である。

[図10] 本開示の効果を説明するための図である。

[図11] 本開示を適用したCISの第2の構成例を示す断面図である。

[図12] CISの第2の構成例の平面図である。

[図13] 本開示を適用したCISの第3の構成例を示す断面図である。

[図14] CISの第3の構成例の平面図である。

[図15] 本開示を適用したCISの第4の構成例を示す断面図である。

[図16] 本開示を適用したCISの第5の構成例を示す断面図である。

[図17] 制御ゲート30のゲート電圧設定について説明する図である。

[図18] 図17の場合に対応するタイミングチャートである。

[図19] 電荷排出領域31に対する印可電圧設定について説明する図である。

[図20] 図19の場合に対応するタイミングチャートである。

[図21] 本開示を適用したCISの第6の構成例を示す断面図である。

[図22] 本開示を適用したCISの第7の構成例を示す断面図である。

発明を実施するための形態

[0031] 以下、本開示を実施するための最良の形態（以下、実施の形態と称する）について、図面を参照しながら詳細に説明する。

[0032] <本実施の形態であるCISの第1の構成例>

図5は、本実施の形態である表面照射型のCISの単位画素の構成例を示す断面図である。図6は図5に対応する平面図である。図7は、図5に対応する等価回路図である。

[0033] このCIS20は、フォトダイオード（PD）21、転送ゲート（TG）22、浮遊拡散領域（FD）24、リセットトランジスタ（RST）25、アンプトランジスタ（AMP）26、およびセレクトトランジスタ（SEL）27を備える。さらに、CIS20は、0FG28、電荷排出領域（OFD）29、制御ゲート（0FG）30、および電荷排出領域（OFD）31を備える。

- [0034] PD 21 は、アノード端子が接地され、カソード端子がTG 22 を介してFD 24 に接続される。また、PD 21 のカソード端子は、制御ゲート（制御トランジスタ）28 を介してOFD 29 に接続される。OFD 29 は、キャパシタ52 を介して接地されるとともに、制御ゲート（制御トランジスタ）30 を介して定電圧源VDDに接続される。
- [0035] FD 24 は、キャパシタ51 を介して接地されるとともに、RST 25 を介して定電圧源VDDに接続され、さらに、AMP 26 のゲート電極に接続される。AMP 26 は、一方の端子が定電圧源VDDに接続されるとともに、他方の端子がSEL 27 を介して、定電流源53 に接続された垂直信号線43 に接続されている。
- [0036] TG 22 のゲート電極には水平信号線42Tが接続されている。SEL 27 のゲート電極には水平信号線42Sが接続されている。RST 25 のゲート電極には水平信号線42Rが接続されている。OFD 28 のゲート電極には水平信号線420FG1が接続されている。0FG 30 のゲート電極には水平信号線420FG2が接続されている。
- [0037] <CIS 20 の駆動タイミング>
- CIS 20 は、露光期間中においては0FG 28 および0FG 30 がオフとされ、OFD 29 が電氣的にフローティングとされる。PD 21 のリセット時には、0FG 28 および0FG 30 がオンとされてPD 21 が定電圧源VDDに接続される。
- [0038] より具体的に説明する。図8は、CIS 20 の駆動タイミングを表すタイミングチャートである。同図において、SEL等はSEL 27 などの各トランジスタのゲート電極に入力される制御信号を示し、Highレベル（オンと同義）またはLowレベル（オフと同義）の二値をとり得るものとする。ただし、0FG1, 0FG2は、それぞれ0FG 28 または0FG 30 のゲート電極に入力される制御信号を示す。また、OFD2は、OFD31に印可される電圧（定電圧VDD）のレベルを示す。
- [0039] 始めに、時刻T1において、全ての行の画素に対して同時に、PD 21、FD 24、およびOFD 29 をリセットするために、リセット信号RST、並びに排出信号0FG1および0FG2がHighレベルとされる。

- [0040] Highレベルのリセット信号RSTに対応してRST 2 5 がオンとされ、F D 2 4 がリセットされる。また、Highレベルの排出信号0FG1に対応して0FG 2 8 が、Highレベルの排出信号0FG2に対応して0FG 3 0 がそれぞれオンとされて、P D 2 1 に蓄積されている電荷が定電圧源VDDに排出される。
- [0041] 時刻T2において、全ての行の画素に対して同時に、リセット信号RST、並びに排出信号0FG1および0FG2がLowレベルとされて、RST 2 5、0FG 2 8、0FG 3 0 がオフとされる。これにより、P D 2 1、F D 2 4、および0FD 2 9 のリセットが完了し、全ての行の画素において同時に、P D 2 1 の露光が開始される。
- [0042] 時刻T3において、全ての行の画素に対して同時に、リセット信号RSTがHighレベルにされ、時刻T4においてリセット信号RSTがLowレベルとされる。これにより、RST 2 5 がオンになり、露光期間中に主にF D 2 4 で接合リークによって生成された電荷がF D 2 4 から排出される。
- [0043] 時刻T5において、全ての行の画素に対して同時に、転送信号TGがHighレベルとされ、これに対応してT G 2 2 がオンとされる。これにより、画素の露光が終了し、全ての行の画素において同時に、P D 2 1 に蓄積されている電荷がF D 2 4 に転送される。この転送動作が全ての画素で同時に行われることにより、グローバルシャッタ動作が実行されたことになる。
- [0044] 時刻T6において、全ての画素に対して同時に、転送信号TGがLowレベルとされ、これに対応してT G 2 2 がオフとされて電荷の転送が完了する。
- [0045] 次に、時刻T7において、全ての画素に対して同時に、排出信号0FG1および0FG2がHighレベルとされ、これ以降、排出信号0FG1および0FG2はHighレベルが維持される。これにより、P D 2 1 で発生する電荷は定電圧源VDDに排出され続けるので、P D 2 1 に余分な電荷が蓄積することを抑止できる。
- [0046] なお、時刻T1から時刻T7までの動作は、全ての画素が同じタイミングで実行される。P D 2 1 にて発生した電荷はキャパシタ 5 1 に蓄積されており、その後、行単位で順次、電荷の読み出しが行われる。
- [0047] 具体的には、例えば時刻T9から時刻12までが1行目の画素の電荷の読み出

し期間とされ、時刻T13から時刻T17までが2行目の画素の電荷の読み出し期間とされる。そして、以下同様に、最終行まで順次、読み出し期間とされた行の画素の電荷の読み出しが行われる。

[0048] すなわち、時刻T9において、1行目の画素に対して選択信号SELがHighレベルとされ、これに対応してSEL 2 7がオンとされて、読み出される電荷が垂直信号線4 3を介して出力できる状態とされる。そして、出力電圧が安定した後、キャパシタ5 1に蓄積されている電荷に応じたレベルを示す信号が信号D 1として出力される。

[0049] 時刻T10において、1行目の画素に対してリセット信号RSTがHighレベルとされ、これに対応してRST 2 5がオンとされる。これにより、FD 2 4に蓄積された電荷が定電圧源VDDに排出されてFD 2 4がリセットされる。

[0050] 次に、時刻T11において、1行目の画素に対してリセット信号RSTがLowレベルとされ、これに対応してRST 2 5がオフとされ、FD 2 4のリセットが完了される。そして、出力電圧が安定した後、キャパシタ5 1のリセットレベルを示す信号が信号D 2として出力される。

[0051] そして、時刻T12において、1行目の画素に対して選択信号SELがLowレベルとされ、SEL 2 7がオフとされて1行目の画素に対する読み出し期間が終了される。

[0052] なお、時刻T9に出力された信号D 1とから時刻t10に出力された信号D 2の差分が、PD 2 1で発生された電荷に応じたレベルを示す出力信号SIGとされる。

[0053] 同様に、時刻T 13から時刻T16までの間が2行目の画素の読み出し期間とされ、出力信号SIGが出力される。これ以降、全ての行の画素について同様の動作が繰り返され、全ての画素から画素信号が出力される。

[0054] 以上説明したように、CIS 2 0では、OFD 2 9を電氣的にフローティングとするため、図9に示されるように、PD 2 1から電荷がオーバフローした際にOFD 2 9の電位は浅くなる。OFD 2 9の電位が浅くなることで、PD 2 1とOFD 2 9の間のOFBの障壁がPD 2 1の電位によって下がるのが抑制される。

この結果、図10に示されるように、時間経過に伴うPD21に蓄積された電荷の消失が抑制され、S/Nやダイナミックレンジ等の悪化が抑止される。

[0055] <本実施の形態であるCISの第2の構成例>

次に、図11は、本実施の形態である表面照射型のCISの単位画素の他の構成例（第2の構成例）を示す断面図である。図12は図11に対応する平面図である。

[0056] 第2の構成例であるCIS60は、第1の構成例であるCIS20のPD21とFD24の間に電荷保持領域（MEM）61を追加したものである。なお、第2の構成例であるCIS60の構成要素のうち、第1の構成例であるCIS20の構成要素と共通するものについては共通の符号を付しているため、その説明は適宜省略する。

[0057] MEM61は、PD21と同様の不純物濃度で形成されており、ゲート（TX）62を介してPD21と接続されている。

[0058] CIS60は、MEM61を設けたことにより、CIS20が得られる効果に加えて、全画素同時転送後に電荷が保持されている間の暗電流によるノイズを抑制できるという効果を得ることができる。

[0059] <本実施の形態であるCISの第3の構成例>

次に、図13は、本実施の形態である表面照射型のCISの単位画素の他の構成例（第3の構成例）を示す断面図である。図14は図13に対応する平面図である。

[0060] 第3の構成例であるCIS70は、第2の構成例であるCIS60のTX62を、TX62-1およびTY62-2に割したものである。なお、第3の構成例であるCIS70の構成要素のうち、第1および第2の構成例の構成要素と共通するものについては共通の符号を付しているためその説明は適宜省略する。

[0061] TX62-1は、PD21からMEM61への電荷の転送とMEM61が電荷保持時のSi表面への正孔誘起を行う。TY62-2は、PD21からMEM61に電荷が転送された後にPD21に電荷が戻ることを抑制する。

[0062] CIS70は、TX62-1およびTY62-2を設けたことにより、CIS20およびCIS60が得られる効果に加えて、PD21からMEM61への電荷の転送後に、電荷がPD21に逆流することを抑止し易くなり、飽和電荷量の向上に繋がるという効果を得ることができる。

[0063] <本実施の形態であるCISの第4の構成例>

次に、図15は、本実施の形態である表面照射型のCISの単位画素の他の構成例（第4の構成例）を示す断面図である。

[0064] 第4の構成例であるCIS80は、OFD29とOFD31を繋ぐ制御トランジスタ（OFD29、OFG30、およびOFD31から成るトランジスタ構造）を、単位画素が配置されている画素部に配置せず、その他の領域（画素の周辺部や画素間の素子分離領域）に形成したものである。

[0065] CIS80は、画素部に制御トランジスタを形成しないのでPD21の面積に影響することなく、CIS60と同様の効果を得ることができる。

[0066] <本実施の形態であるCISの第5の構成例>

次に、図16は、本実施の形態である表面照射型のCISの単位画素の他の構成例（第4の構成例）を示す断面図である。

[0067] 第5の構成例であるCIS90は、第4の構成例であるCIS80において画素部以外の領域に配置していた制御トランジスタを、画素部が形成されるSi基板の上層側の配線層に形成したものである。この制御トランジスタ90は、配線層において酸化物半導体材料等からなる薄膜トランジスタによって形成する。

[0068] 制御トランジスタ90としての薄膜トランジスタのゲート電極およびメタル配線には、例えばAl、Cu、Ti、Mo、W、Crや、それらの窒化物、酸化物、ITO、ZnOなどの透明金属、またはこれらのうちの複数の金属の積層構造を採用できる。またゲート絶縁膜には、Si酸化物、Si窒化物、Hf酸化物、Al酸化物、Ta酸化物やそれらの積層構造を採用できる。半導体層としては、ZnO、SnO、InOやそれらにGaを添加したもの、またはこれらのうちの元素を複数含有した酸化物半導体を採用することができる。

る。

[0069] CIS 90は、PD 21の面積に影響することなく、CIS 60と同様の効果を得ることができる。

[0070] <制御ゲート (0FG) 30のゲート電圧設定について>

次に、図17は、CIS 20等の制御ゲート (0FG) 30のゲート電圧 V_g の設定変更について説明するための図である。図18は、図17の場合に対応する駆動タイミングチャートである。

[0071] 図17に示されるように、0FG 28の下のパテンシャル障壁の高さが、0FG 30の下のパテンシャル障壁の高さよりも高くなるように0FG 30のゲート電圧 V_g を設定する。具体的には、図8を参照して上述した駆動タイミングの説明では、Highレベル（オンと同義）またはLowレベル（オフと同義）の二値をとり得るとした0FG 30に対する排出信号0FG2を、図18に示されるように、Highレベル（オンと同義）、またはHighレベルとLowレベルの中間電位レベルMidの二値をとり得るものに変更する。その他の制御信号については、図8の場合と同様である。

[0072] そして、図18に示されるように、PD 21の露光期間中、0FG 30のゲート電圧 V_g を、0FG 30がオフである場合の負電圧とオンである場合の定電圧源の固定電圧VDDの中間電位Midに設定する。これにより、PD 21に大きな光量が入射した場合であっても余剰電荷を保持領域や隣接画素に溢れさすことなく、定電圧源VDDに接続された0FD 31に排出させることが可能となる。

[0073] <電荷排出領域(0FD) 31に対する印可電圧設定について>

次に、図19は、CIS 20等の電荷排出領域(0FD) 31に対する印可電圧の設定変更について説明するための図である。図20は、図19の場合に対応する駆動タイミングを表すタイミングチャートである。

[0074] 図19に示されるように、0FG 28の下のパテンシャル障壁の高さが、0FG 30の下のパテンシャル障壁の高さよりも高くなるように0FD 31に接続した電源の電圧を設定する。具体的には、図8を参照して上述した駆動タイミングの説明では、定電圧VDDのままとした0FD 31に対するドレイン電圧を、図

20に示されるように、最大電圧VDD、またはオフ時の電圧0Vと最大電圧VDDの中間電位Midの二値をとり得るものに変更する。その他の制御信号については、図8の場合と同様である。

[0075] そして、図20に示されるように、PD21の露光期間中、OFD31に対する印可電圧（ドレイン電圧）を中間電位Midに設定する。これにより、PD21に大きな光量が入射した場合であっても余剰電荷を保持領域や隣接画素に溢れさずことなく、OFD31に排出させることが可能となる。

[0076] <本開示の裏面照射型CISに対する適用>

上述した第1乃至第6の構成例は表面照射型のCISであるが、本開示は裏面照射型のCISに対しても適用可能である。

[0077] 図21は、本実施の形態である裏面照射型のCISの単位画素の構成例（第7の構成例）を示す断面図である。この第7の構成例である裏面照射型のCIS100は、図5に示された第2の構成例であるCIS20に、金属層から成る遮光膜101が追加されている。遮光膜101は、少なくともFD24を覆うように形成される。CIS100では、CIS20が得られる効果に加えて、入射光が配線層を通過しないので、配線層におけるケラレによる集光の制限をなくすることができる。

[0078] 図22は、本実施の形態である裏面照射型のCISの単位画素の他の構成例（第8の構成例）を示す断面図である。この第8の構成例である裏面照射型のCIS110は、図11に示された第2の構成例であるCIS60に、金属層から成る遮光膜111が追加されている。遮光膜111は、少なくともFD24およびMEM61を覆うように形成される。CIS110では、CIS60が得られる効果に加えて、配線層におけるケラレによる集光の制限をなくすることができる。

[0079] <変形例>

Si基板における導電型については図示したものに限定されるものではなく、N型層とP型層が反転して形成されていてもかまわない。例えば、信号電荷に正孔を用いる場合、N-well中にP型層からなるPDおよび電荷保持領

域を形成するようにしてもよい。

[0080] 本実施の形態である各CISは、カメラなどの撮像装置は勿論、撮像機能を有するあらゆる種類の電子装置に適用できる。

[0081] 本開示は、3トランジスタ型または4トランジスタ型のどちらであってもよい。

[0082] さらに、本開示は、複数の画素で電極やFDなどを共有する複数画素共有型CISに対しても適用できる。

[0083] またさらに、本開示は、センサ回路が形成された基板と、論理回路が形成された基板とが積層されている積層型CISに対しても適用できる。

[0084] 本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0085] 本開示は以下のような構成も取ることができる。

(1)

入射光に応じて電荷を発生する光電変換部と、
前記光電変換部から転送された前記電荷を保持する第1の保持部と、
前記光電変換部から前記第1の保持部への前記電荷の転送を制御する第1の転送ゲート部と、
前記光電変換部で発生された前記電荷の排出先となる電荷排出部と、
前記光電変換部から前記電荷排出部への前記電荷の転送を制御する第1の排出ゲート部と、
前記電荷排出部と定電圧源を接続する第2の排出ゲート部と
を備える
固体撮像装置。

(2)

前記光電変換部と前記第1の保持部の間に前記光電変換部から転送された前記電荷を保持する第2の保持部と、
前記光電変換部から前記第2の保持部への前記電荷の転送を制御する第2の転送ゲート部と

さらに備える前記（１）に記載の固体撮像装置。

（３）

前記第２の転送ゲート部は、１以上のゲートから構成される

前記（２）に記載の固体撮像装置。

（４）

前記第２の排出ゲート部は、画素部とは異なる領域に形成される

前記（１）から（３）のいずれかに記載の固体撮像装置。

（５）

前記第２の排出ゲート部は、配線層内に形成される

前記（１）から（３）のいずれかに記載の固体撮像装置。

（６）

前記第２の排出ゲート部は、酸化物半導体のトランジスタとして配線層内に形成される

前記（５）に記載の固体撮像装置。

（７）

前記光電変換部の露光期間における前記第２の排出ゲート部のゲート電圧は、非導通状態の負電圧と導通状態の電源電圧の間の値に設定される

前記（１）から（６）のいずれかに記載の固体撮像装置。

（８）

前記光電変換部の露光期間における前記第２の排出ゲート部のドレイン電圧は、０Ｖと導通状態の電源電圧の間の値に設定される

前記（１）から（６）のいずれかに記載の固体撮像装置。

（９）

前記固体撮像装置は、表面照射型である

前記（１）から（８）のいずれかに記載の固体撮像装置。

（１０）

前記固体撮像装置は、裏面照射型である

前記（１）から（８）のいずれかに記載の固体撮像装置。

(11)

前記固体撮像装置は、積層型である

前記(1)から(10)のいずれかに記載の固体撮像装置。

(12)

固体撮像装置が搭載される電子装置において、

前記固体撮像装置は、

入射光に応じて電荷を発生する光電変換部と、

前記光電変換部から転送された前記電荷を保持する第1の保持部と、

前記光電変換部から前記第1の保持部への前記電荷の転送を制御する第1の転送ゲート部と、

前記光電変換部で発生された前記電荷の排出先となる電荷排出部と、

前記光電変換部から前記電荷排出部への前記電荷の転送を制御する第1の排出ゲート部と、

前記電荷排出部と定電圧源を接続する第2の排出ゲート部と

を備える

電子装置。

符号の説明

[0086] 20 CIS, 21 PD, 22 TG, 24 FD, 25 RST,
26 AMP, 27 SEL, 28 OFG, 29 OFD, 30 OFG, 3
1 OFD, 60 CIS, 61 MEM, 62 TX, 70 CIS, 80
CIS, 90 CIS, 91 制御Tr, 100 CIS, 101 遮光膜
, 110 CIS, 111 遮光膜

請求の範囲

- [請求項1] 入射光に応じて電荷を発生する光電変換部と、
前記光電変換部から転送された前記電荷を保持する第1の保持部と、
、
前記光電変換部から前記第1の保持部への前記電荷の転送を制御する第1の転送ゲート部と、
前記光電変換部で発生された前記電荷の排出先となる電荷排出部と、
、
前記光電変換部から前記電荷排出部への前記電荷の転送を制御する第1の排出ゲート部と、
前記電荷排出部と定電圧源を接続する第2の排出ゲート部と
を備える
固体撮像装置。
- [請求項2] 前記光電変換部と前記第1の保持部の間に前記光電変換部から転送された前記電荷を保持する第2の保持部と、
前記光電変換部から前記第2の保持部への前記電荷の転送を制御する第2の転送ゲート部と
さらに備える請求項1に記載の固体撮像装置。
- [請求項3] 前記第2の転送ゲート部は、1以上のゲートから構成される
請求項2に記載の固体撮像装置。
- [請求項4] 前記第2の排出ゲート部は、画素部とは異なる領域に形成される
請求項2に記載の固体撮像装置。
- [請求項5] 前記第2の排出ゲート部は、配線層内に形成される
請求項2に記載の固体撮像装置。
- [請求項6] 前記第2の排出ゲート部は、酸化物半導体のトランジスタとして配線層内に形成される
請求項5に記載の固体撮像装置。
- [請求項7] 前記光電変換部の露光期間における前記第2の排出ゲート部のゲー

ト電圧は、非導通状態の負電圧と導通状態の電源電圧の間の値に設定される

請求項 2 に記載の固体撮像装置。

[請求項 8] 前記光電変換部の露光期間における前記第 2 の排出ゲート部のドレイン電圧は、0 V と導通状態の電源電圧の間の値に設定される

請求項 2 に記載の固体撮像装置。

[請求項 9] 前記固体撮像装置は、表面照射型である

請求項 2 に記載の固体撮像装置。

[請求項 10] 前記固体撮像装置は、裏面照射型である

請求項 2 に記載の固体撮像装置。

[請求項 11] 前記固体撮像装置は、積層型である

請求項 2 に記載の固体撮像装置。

[請求項 12] 固体撮像装置が搭載される電子装置において、

前記固体撮像装置は、

入射光に応じて電荷を発生する光電変換部と、

前記光電変換部から転送された前記電荷を保持する第 1 の保持部と、

前記光電変換部から前記第 1 の保持部への前記電荷の転送を制御する第 1 の転送ゲート部と、

前記光電変換部で発生された前記電荷の排出先となる電荷排出部と、

前記光電変換部から前記電荷排出部への前記電荷の転送を制御する第 1 の排出ゲート部と、

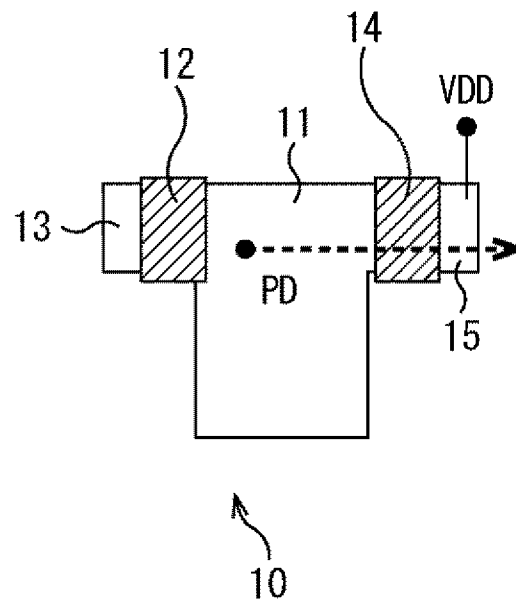
前記電荷排出部と定電圧源を接続する第 2 の排出ゲート部と

を備える

電子装置。

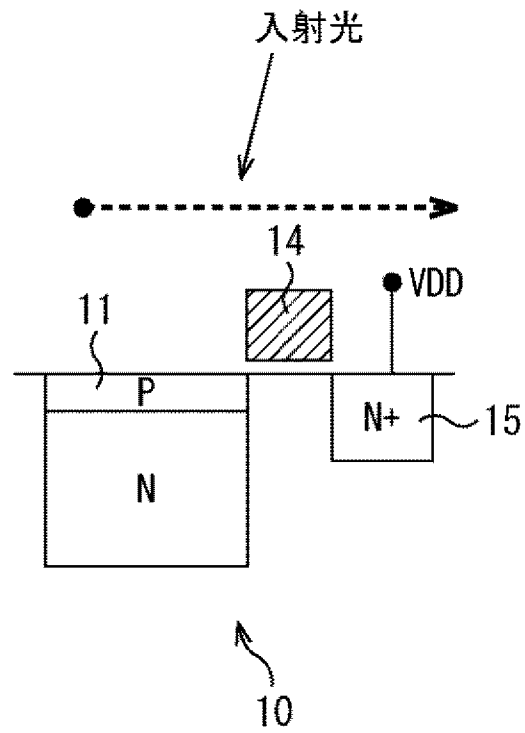
[図1]

図1



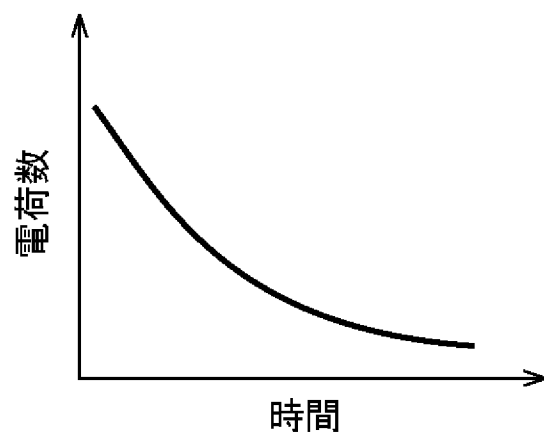
[図2]

図2



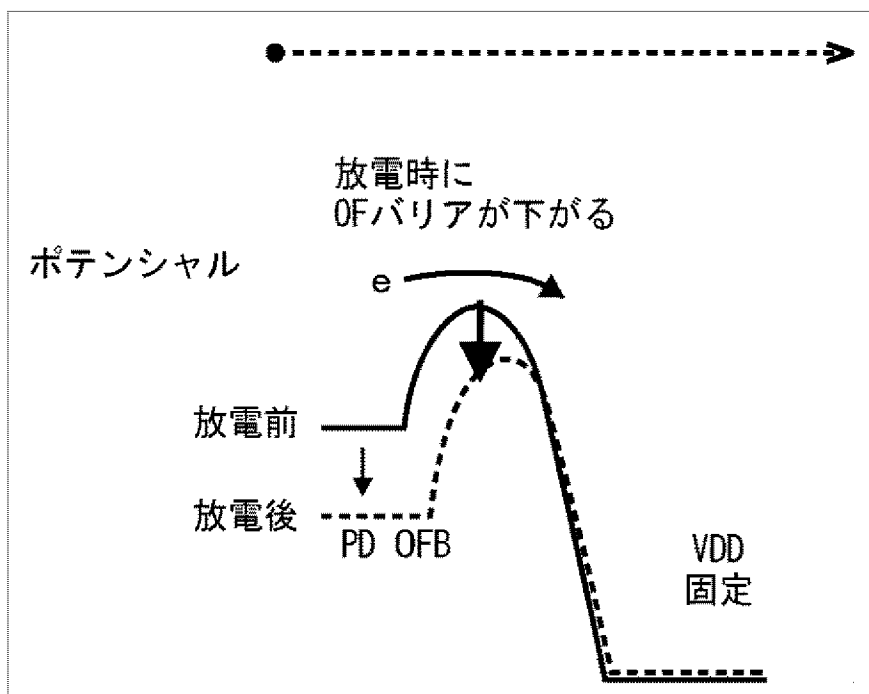
[図3]

図3



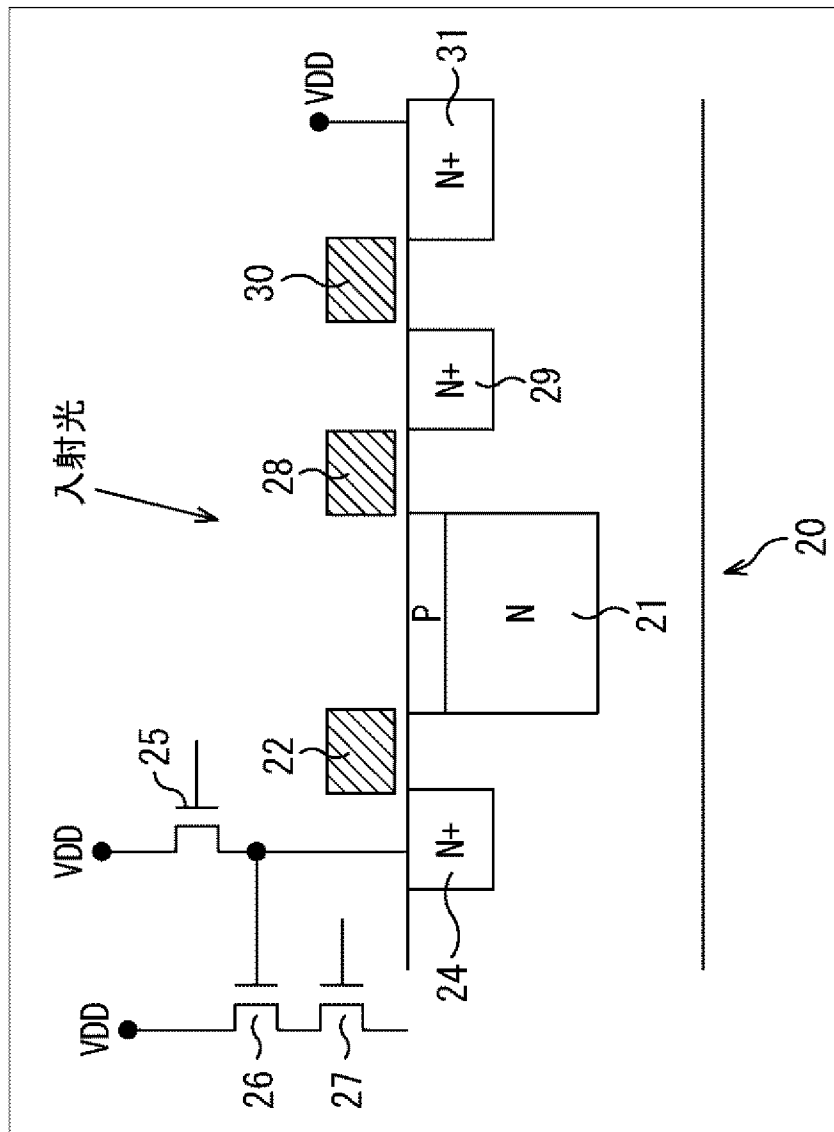
[図4]

図4



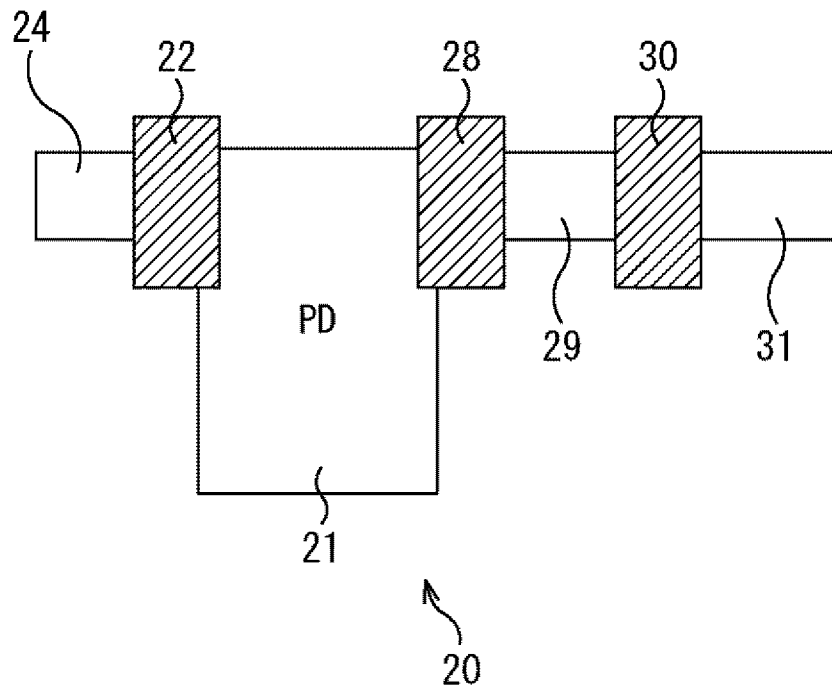
[図5]

図5



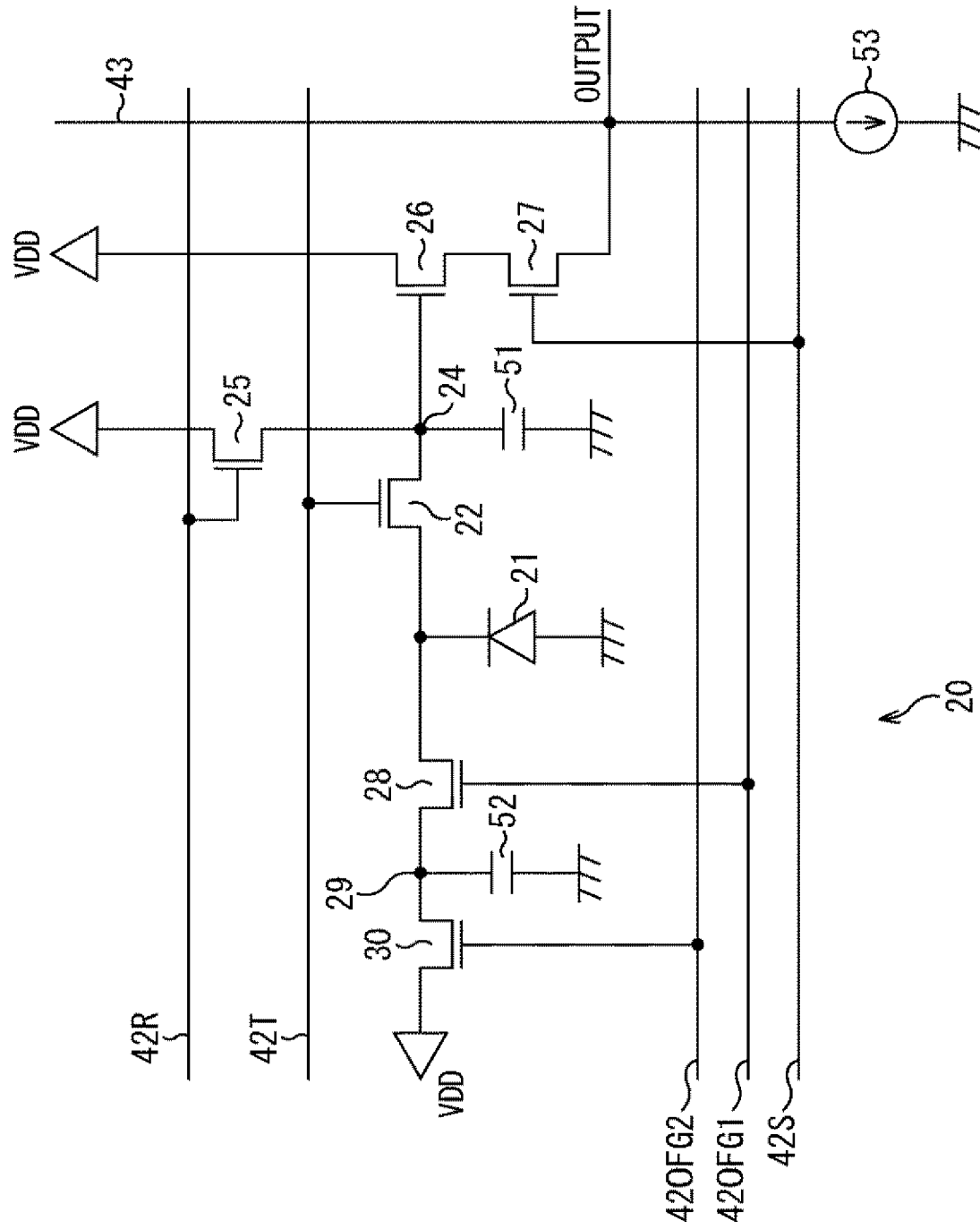
[図6]

図6



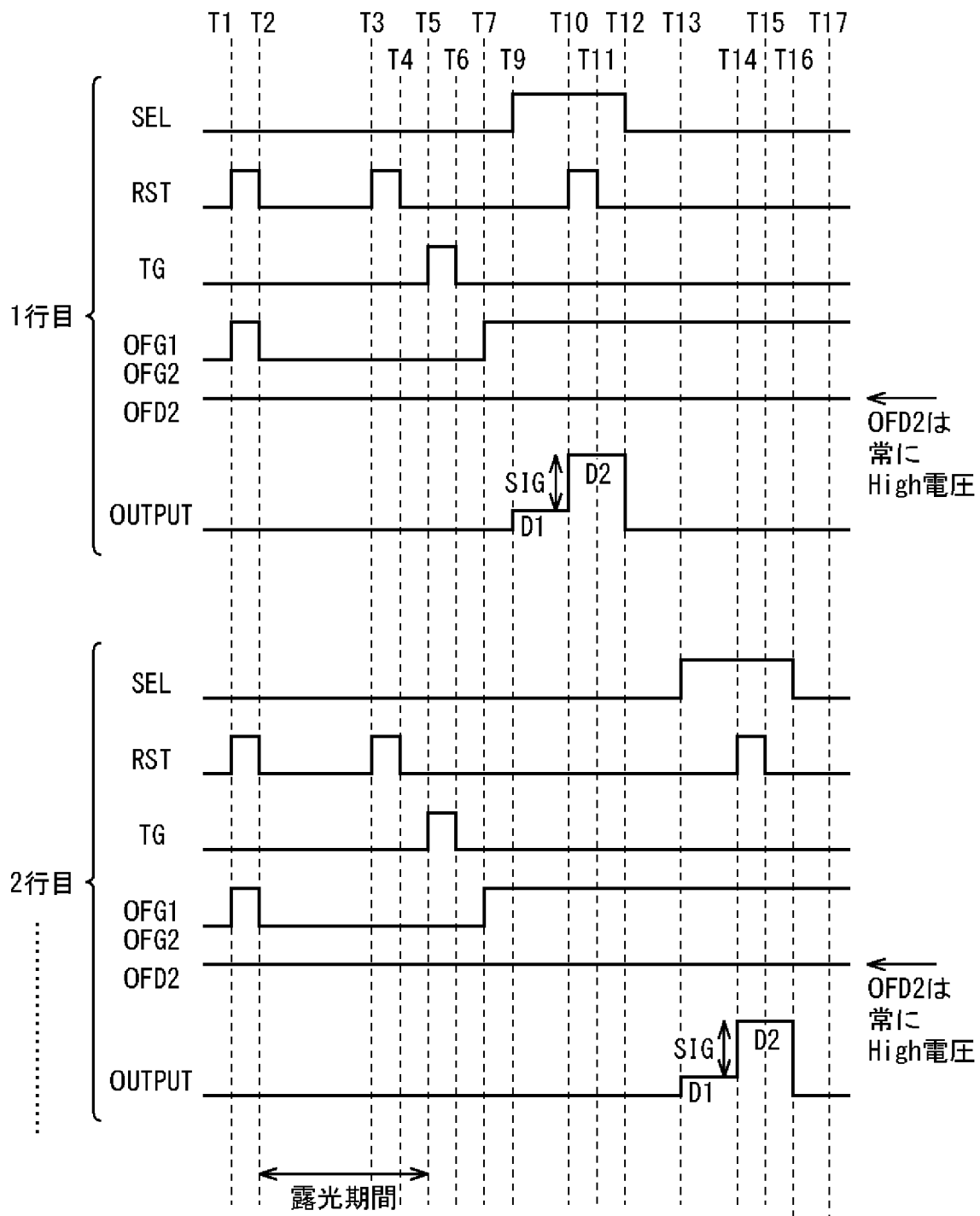
[図7]

図7



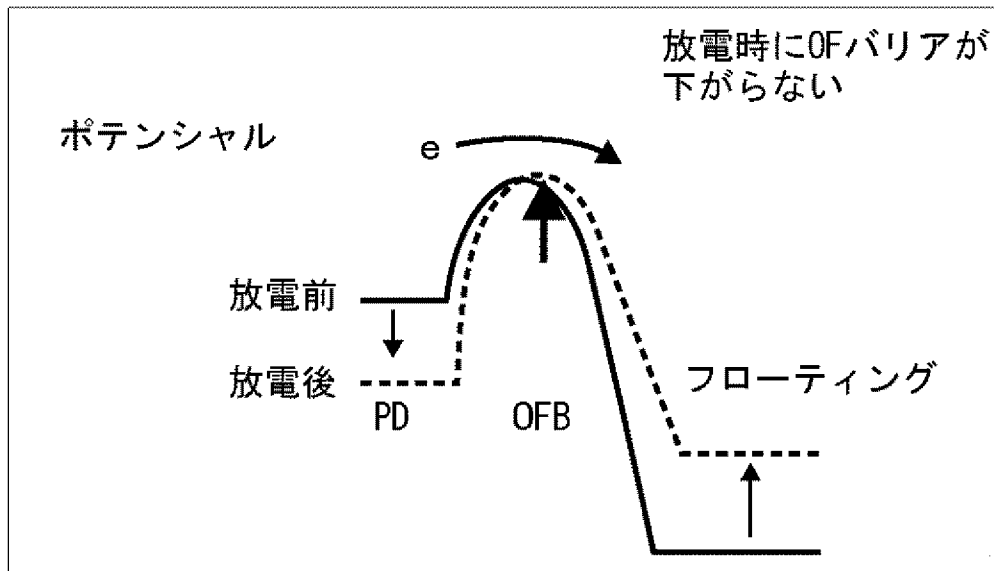
[図8]

図8



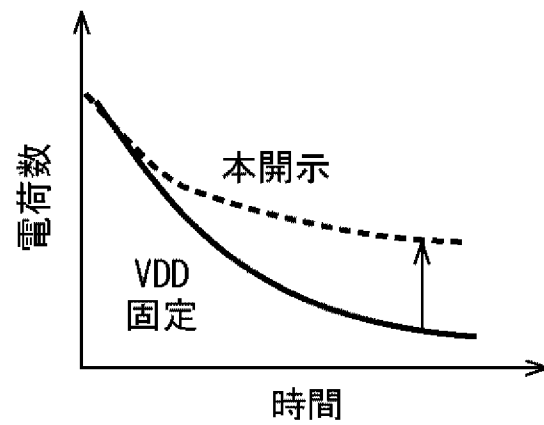
[図9]

図9



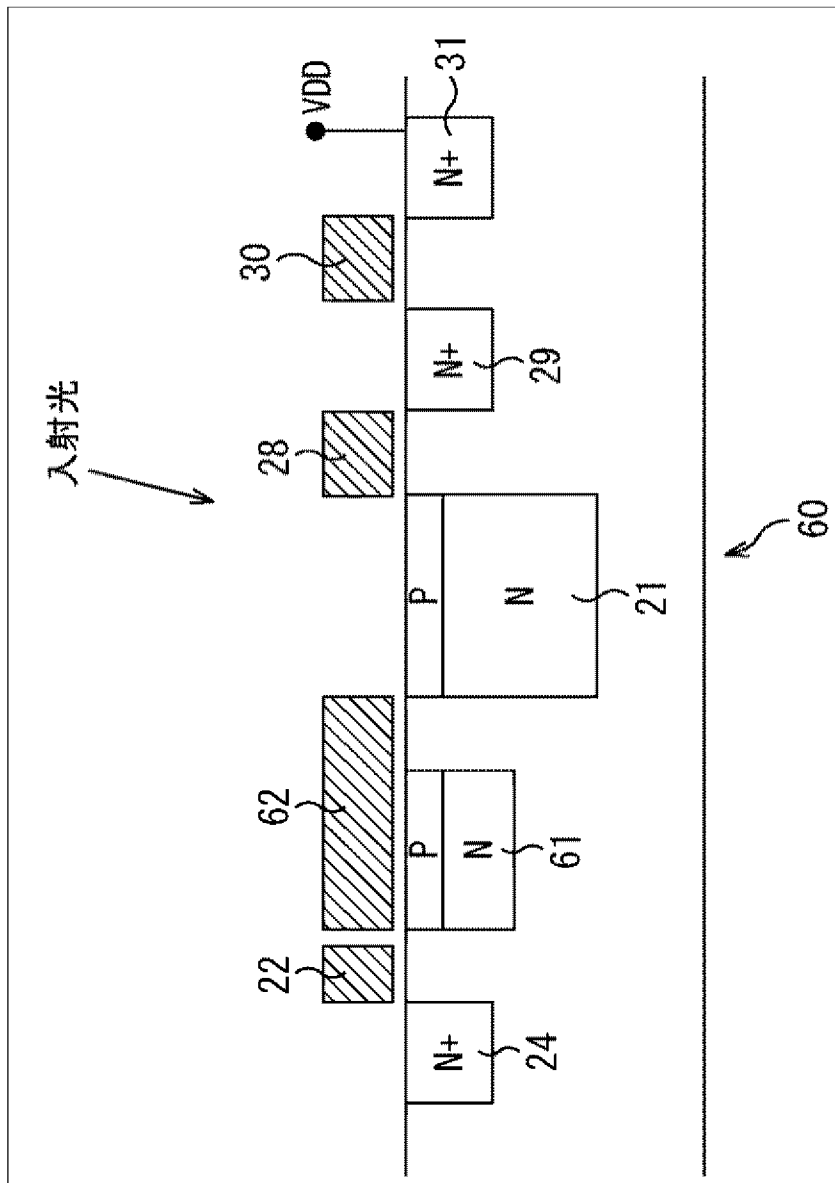
[図10]

図10



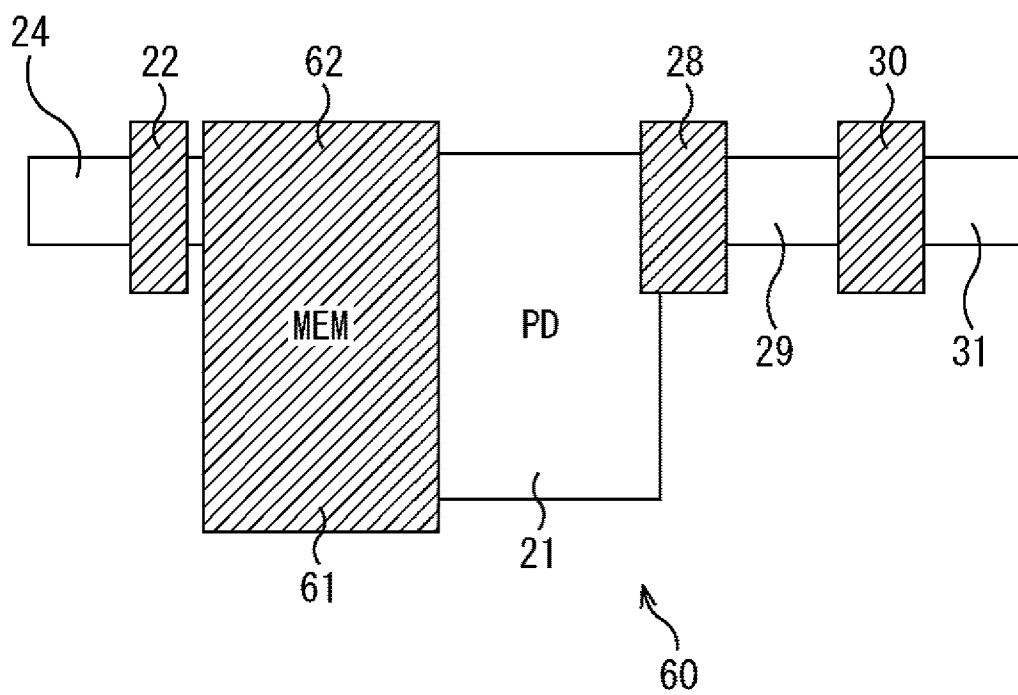
[図11]

図11



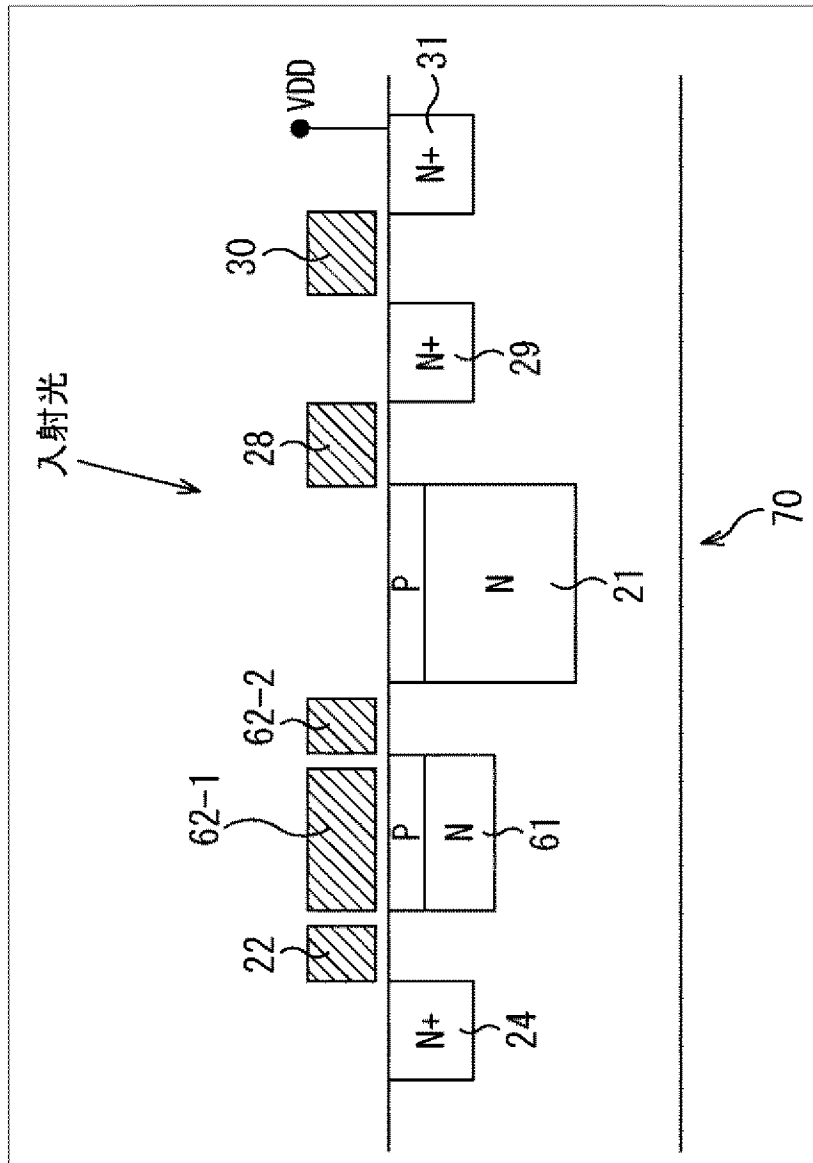
[図12]

図12



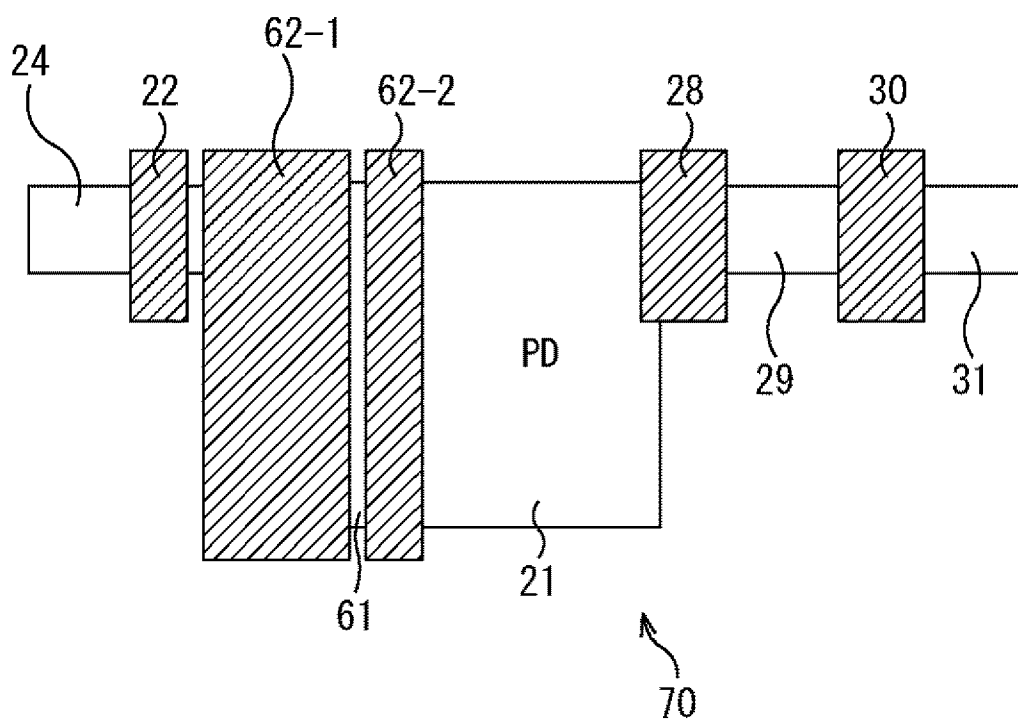
[図13]

図13



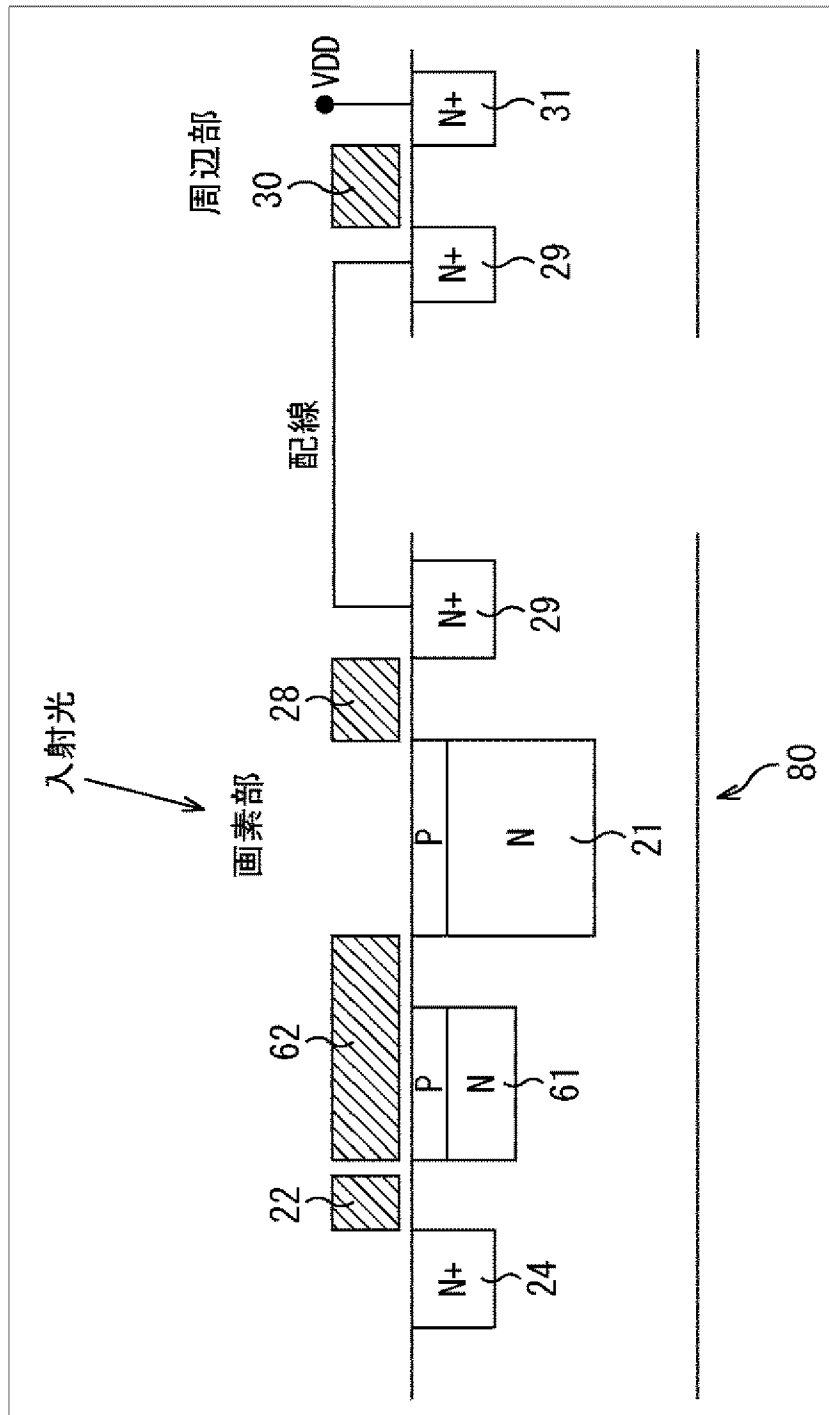
[図14]

図14



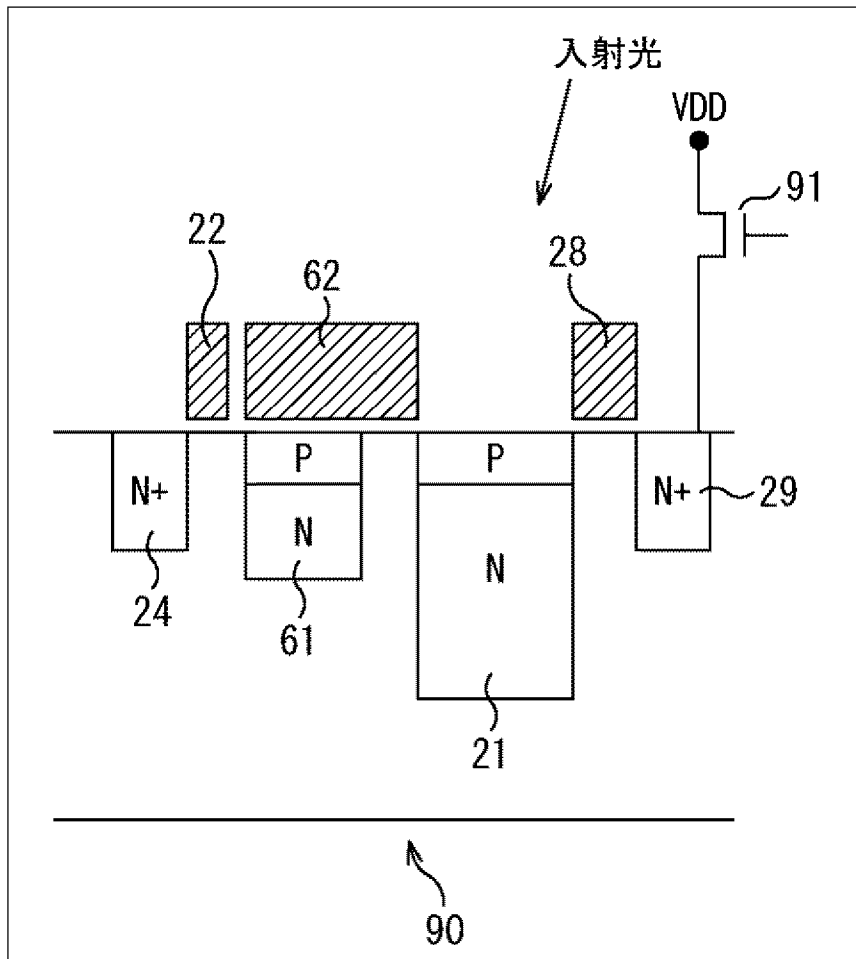
[図15]

図15



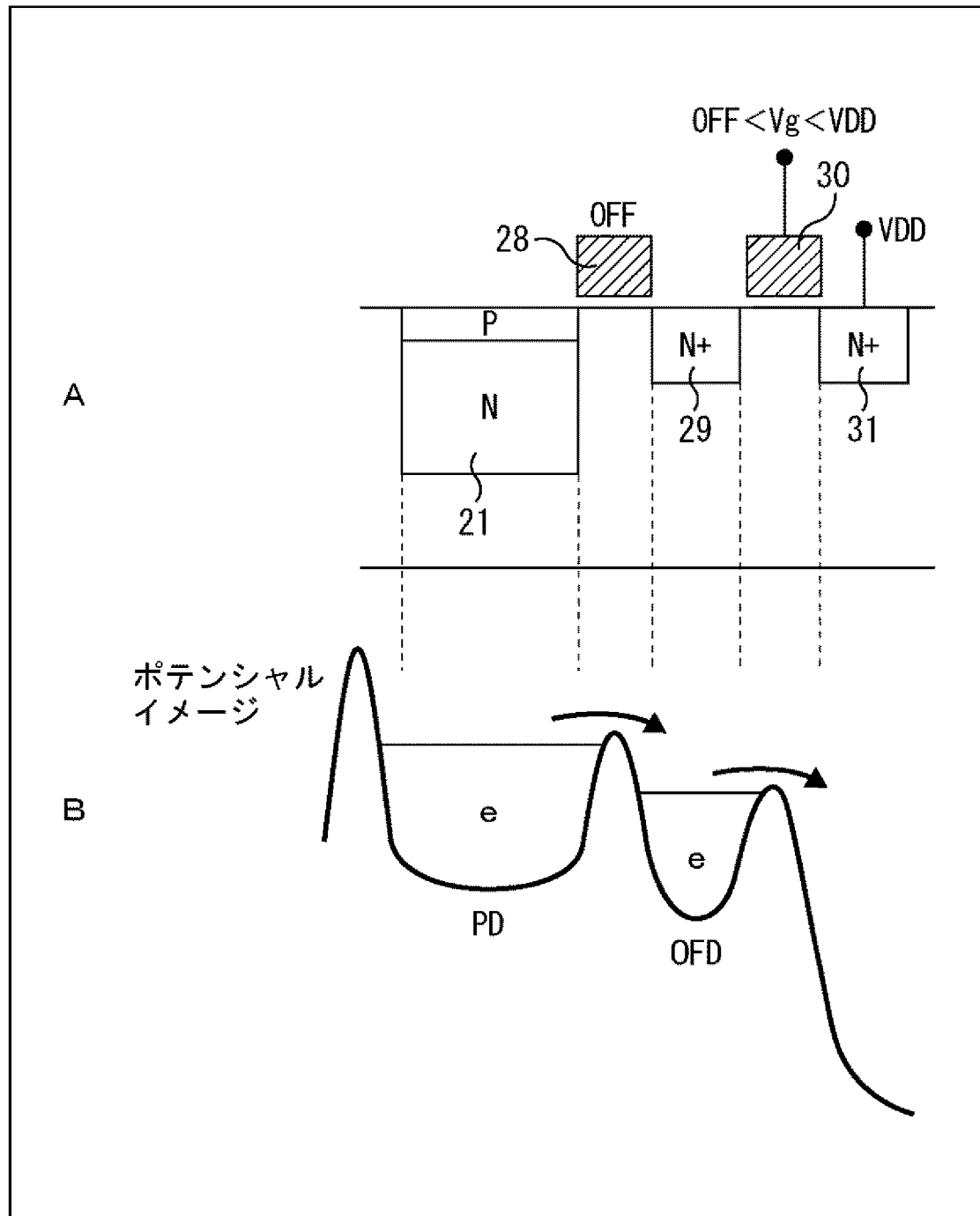
[図16]

図16



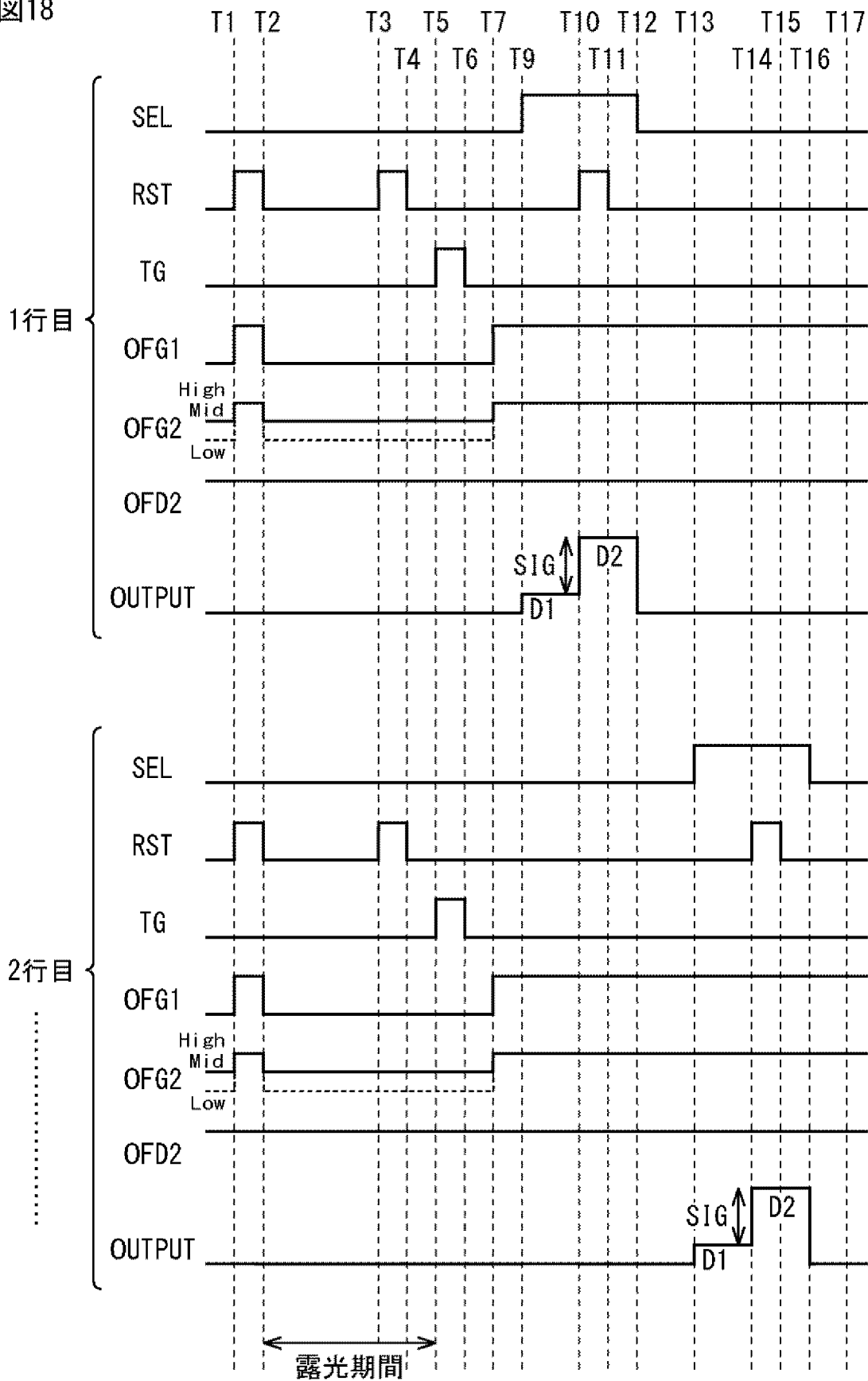
[図17]

図17



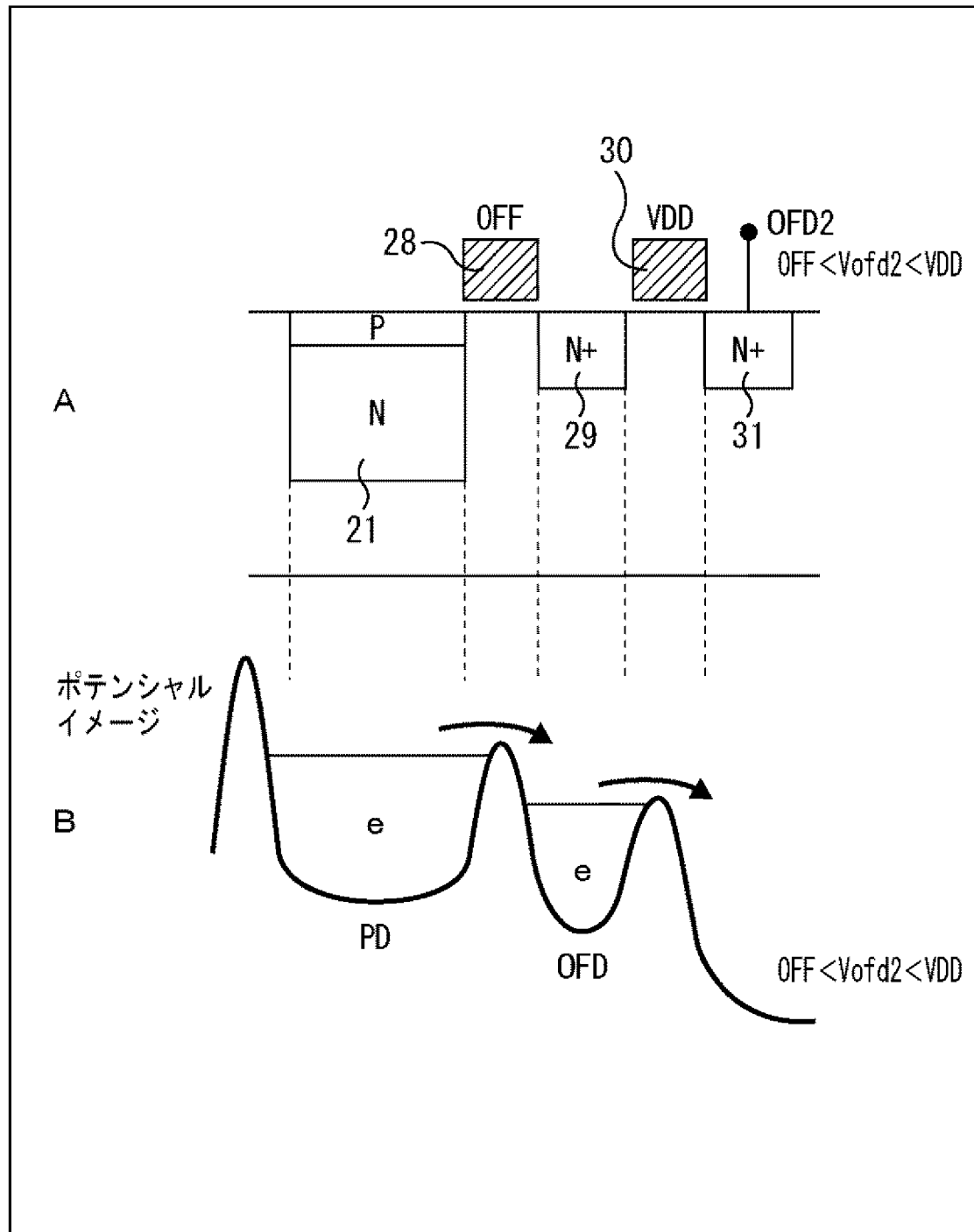
[図18]

図18



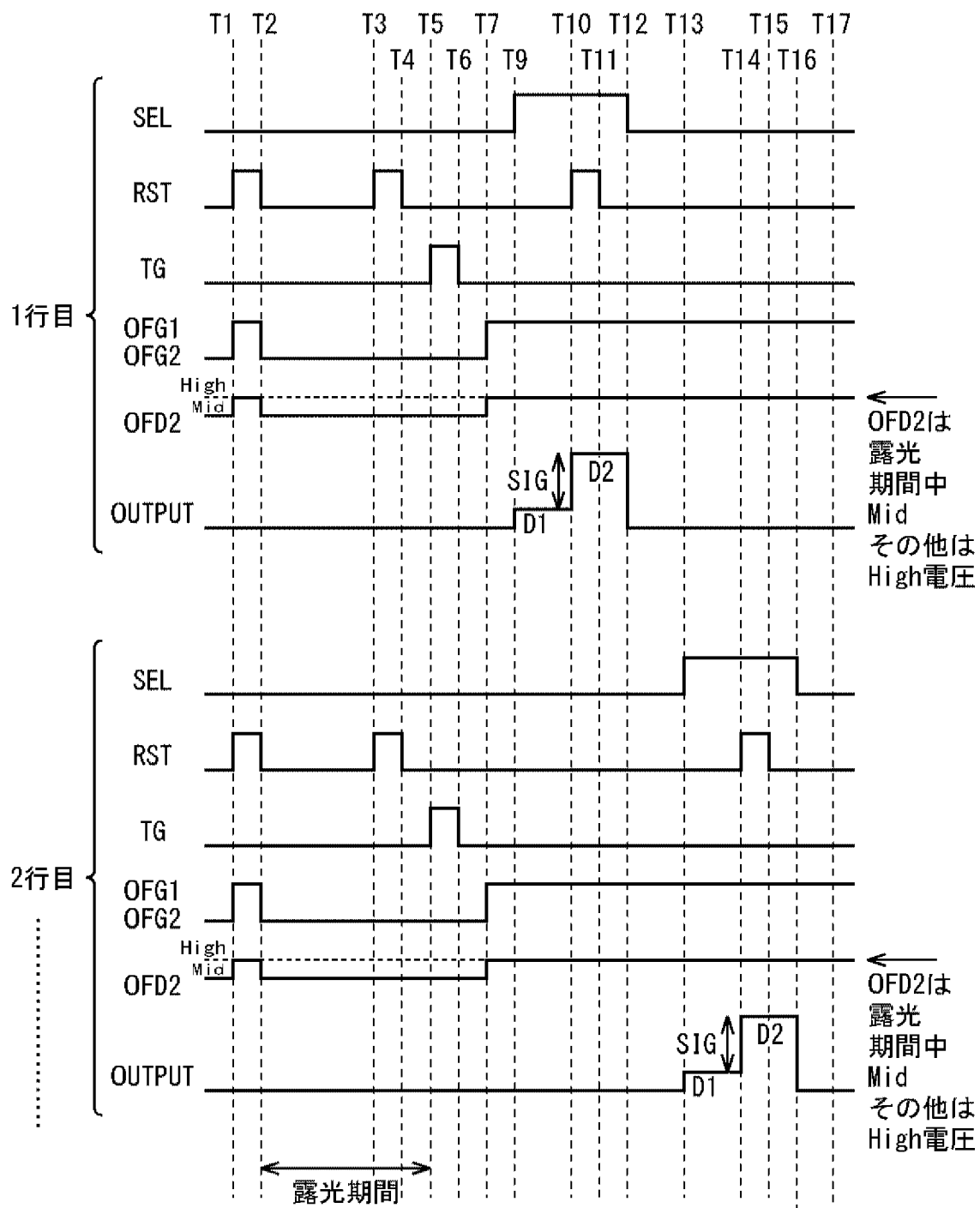
[図19]

図19



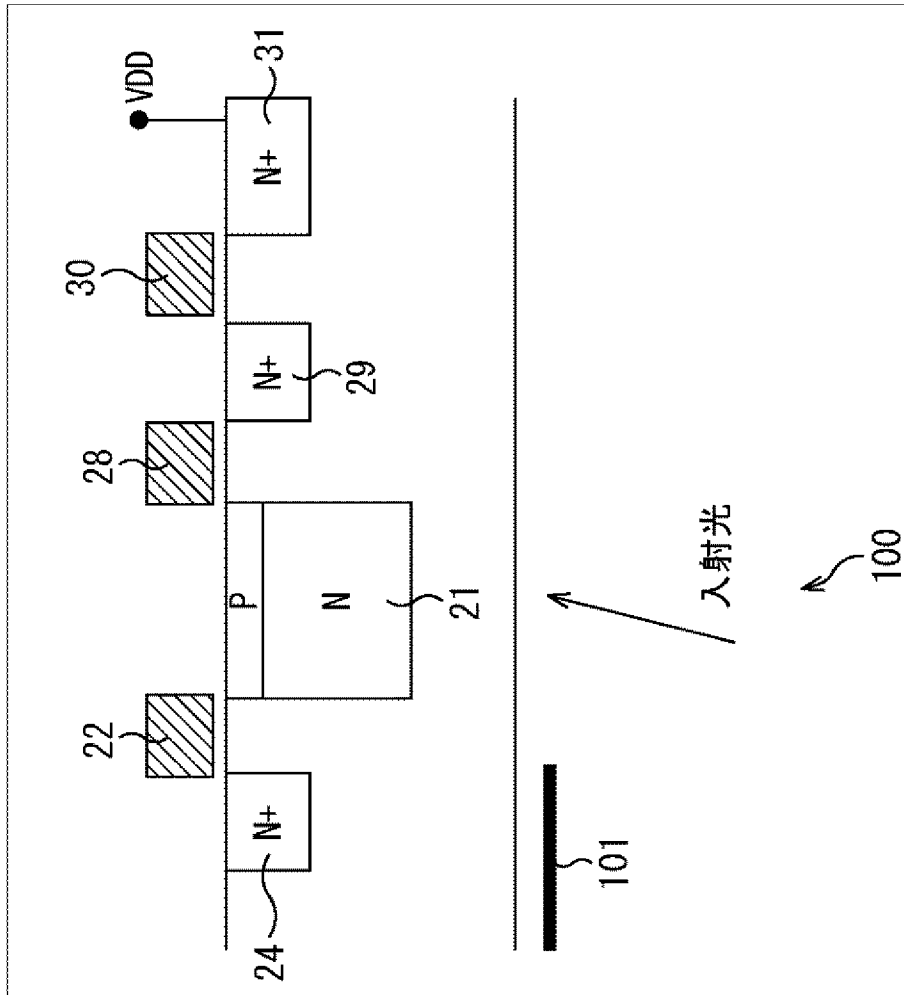
[図20]

図20



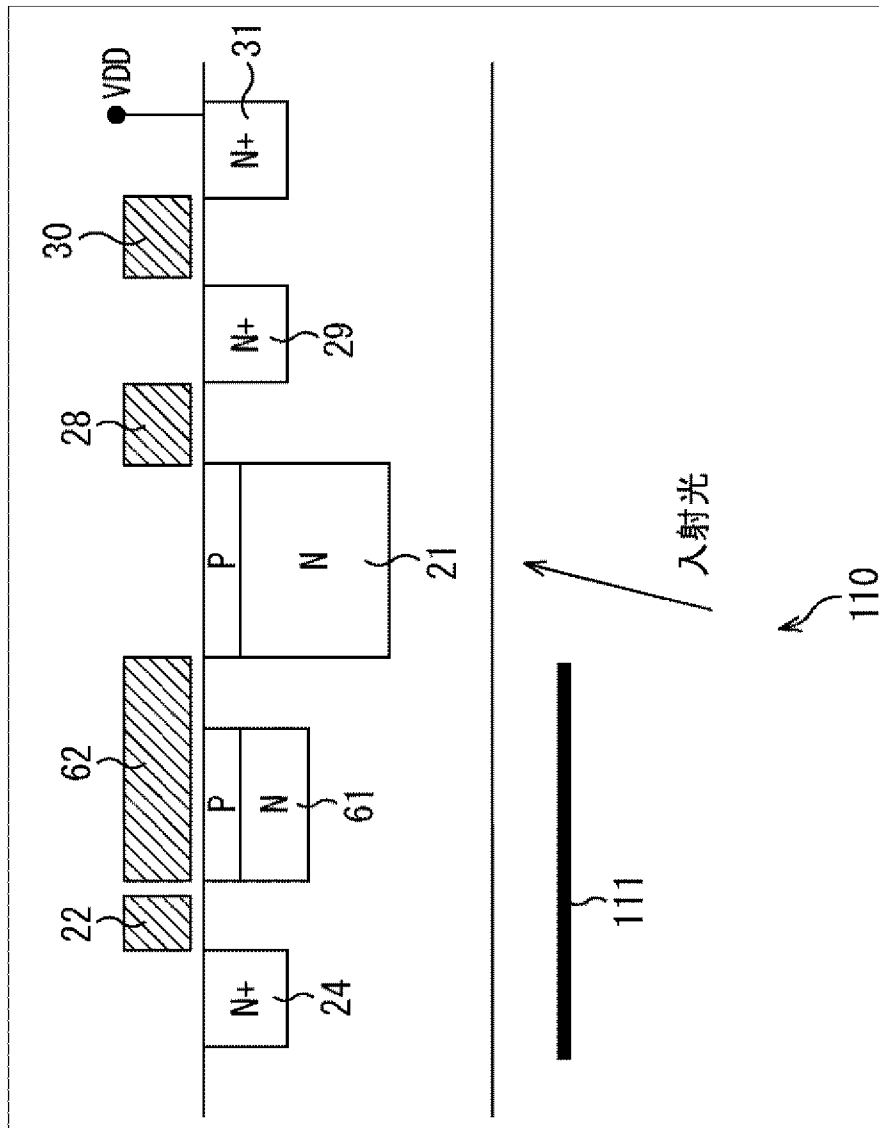
[図21]

図21



[図22]

図22



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/075948

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H04N5/374(2011.01)i, H04N5/3745(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H04N5/374, H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2013-031116 A (National University Corporation Shizuoka University), 07 February 2013 (07.02.2013), paragraphs [0021] to [0039], [0049] to [0051]; fig. 1 to 3 & US 2014/0232917 A1 paragraphs [0028] to [0046], [0056] to [0058]; fig. 1 to 3 & WO 2013/018623 A1 & EP 2739037 A1 & KR 10-2014-0044909 A	1 2-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 October 2015 (30.10.15)

Date of mailing of the international search report
10 November 2015 (10.11.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/075948

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-268083 A (Sony Corp.), 12 November 2009 (12.11.2009), paragraphs [0047] to [0049], [0101] to [0127]; fig. 2, 11 to 18 & US 2009/0251582 A1 paragraphs [0096] to [0098], [0151] to [0176]; fig. 2, 11 to 18 & US 2012/0327278 A1 & US 8934036 B2 & EP 2107610 A2 & EP 2654081 A2 & CN 101562707 A & KR 10-2009-0105871 A & CN 102209206 A & TW 201002057 A & TW 201309005 A	2-12
Y	JP 2013-033896 A (Sony Corp.), 14 February 2013 (14.02.2013), paragraphs [0042] to [0050], [0138] to [0141]; fig. 5, 20 & US 2013/0001403 A1 paragraphs [0072] to [0080], [0168] to [0171]; fig. 5, 20 & CN 102857711 A & KR 10-2013-0007444 A	4-6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/146(2006.01)i, H04N5/374(2011.01)i, H04N5/3745(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/146, H04N5/374, H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2013-031116 A（国立大学法人静岡大学） 2013.02.07, 段落 [0021] - [0039], [0049] - [0051], 図 1-3 & US 2014/0232917 A1, 段落 [0028] - [0046], [0056] - [0058], 図 1-3 & WO 2013/018623 A1 & EP 2739037 A1 & KR 10-2014-0044909 A	1 2-12
Y	JP 2009-268083 A（ソニー株式会社） 2009.11.12, 段落 [0047] - [0049], [0101] - [0127], 図 2, 11-18 & US 2009/0251582 A1, 段落 [0096] - [0098], [0151] - [0176],	2-12

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 1 0 . 2 0 1 5

国際調査報告の発送日

1 0 . 1 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

今井 聖和

5 F

5 8 9 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	図 2, 11-18 & US 2012/0327278 A1 & US 8934036 B2 & EP 2107610 A2 & EP 2654081 A2 & CN 101562707 A & KR 10-2009-0105871 A & CN 102209206 A & TW 201002057 A & TW 201309005 A JP 2013-033896 A (ソニー株式会社) 2013.02.14, 段落 [0042] - [0050], [0138] - [0141], 図 5, 20 & US 2013/0001403 A1, 段落 [0072] - [0080], [0168] - [0171], 図 5, 20 & CN 102857711 A & KR 10-2013-0007444 A	4-6