



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0140201  
(43) 공개일자 2012년12월28일

(51) 국제특허분류(Int. Cl.)  
H01L 51/05 (2006.01) H01L 29/786 (2006.01)  
(21) 출원번호 10-2012-0062795  
(22) 출원일자 2012년06월12일  
심사청구일자 없음  
(30) 우선권주장  
JP-P-2011-136492 2011년06월20일 일본(JP)  
JP-P-2011-279240 2011년12월21일 일본(JP)

(71) 출원인  
소니 주식회사  
일본국 도쿄도 미나토쿠 코난 1-7-1  
(72) 발명자  
오노 히데끼  
일본 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사  
내  
아끼야마 류토  
일본 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사  
내  
(74) 대리인  
박충범, 장수길, 이중희

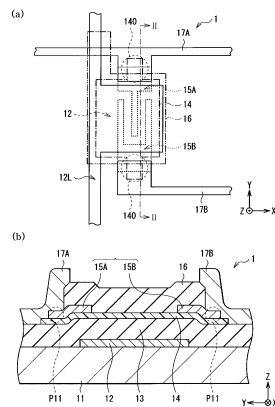
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 반도체 소자, 그 제조 방법, 표시 장치 및 전자 기기

(57) 요약

반도체 소자는 유기 반도체층과, 상기 유기 반도체층과 접하도록 상기 유기 반도체층 상에 배치된 전극과, 상기 전극과는 별도로 형성되고, 상기 전극에 전기적으로 접속된 배선층을 포함한다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

반도체 소자로서,  
유기 반도체층과,  
상기 유기 반도체층과 접하도록 상기 유기 반도체층 상에 배치된 전극과,  
상기 전극과는 별도로 형성되고, 상기 전극에 전기적으로 접속된 배선층을 포함하는, 반도체 소자.

### 청구항 2

제1항에 있어서,  
상기 유기 반도체층과,  
게이트 전극과,  
상기 전극으로서의 한 쌍의 소스?드레인 전극과,  
상기 배선층을 포함하고,  
박막 트랜지스터로서 형성되는, 반도체 소자.

### 청구항 3

제2항에 있어서,  
게이트 절연막과,  
보호막을 더 포함하고,  
기판 상에 상기 게이트 전극, 상기 게이트 절연막, 상기 유기 반도체층, 상기 소스?드레인 전극, 상기 보호막 및 상기 배선층이 상기 게이트 전극, 상기 게이트 절연막, 상기 유기 반도체층, 상기 소스?드레인 전극, 상기 보호막 및 상기 배선층의 순서대로 적층되어 있는, 반도체 소자.

### 청구항 4

제3항에 있어서,  
상기 유기 반도체층은 상기 보호막의 형성 영역 외부에 상기 소스?드레인 전극에 중첩되는 영역으로서의 볼록부를 갖는, 반도체 소자.

### 청구항 5

제3항에 있어서,  
상기 보호막은 절결 영역(notch regions)으로서의 오목부를 갖고,  
상기 유기 반도체층과 상기 소스?드레인 전극은 상기 절결 영역에서 서로 중첩되어 있는, 반도체 소자.

### 청구항 6

제3항에 있어서,  
상기 게이트 전극과 상기 배선층 사이의 중첩 영역에 상기 유기 반도체층 및 상기 보호막 중 하나가 배치되어 있는, 반도체 소자.

### 청구항 7

제3항에 있어서,

상기 유기 반도체층의 외형선은 상기 배선층으로서의 한 쌍의 배선층을 서로 연결하는 영역에서 상기 게이트 전극의 외형선의 내측에 배치되고,

상기 한 쌍의 배선층은 상기 한 쌍의 소스?드레인 전극에 각각 접속되어 있는, 반도체 소자.

#### 청구항 8

제2항에 있어서,

상기 한 쌍의 소스?드레인 전극은, 상기 소스?드레인 전극을 개별적으로 포함하도록 형성된 얼라인먼트 어긋남 흡수 영역(alignment displacement accommodating regions)을 포함하는, 반도체 소자.

#### 청구항 9

제2항에 있어서,

상기 소스?드레인 전극은 금속, 도전성 중합체 및 카본 중 하나로 형성되는, 반도체 소자.

#### 청구항 10

표시 장치로서,

반도체 소자와,

표시층을 포함하고,

상기 반도체 소자는,

유기 반도체층과,

상기 유기 반도체층과 접하도록 상기 유기 반도체층 상에 배치된 전극과,

상기 전극과는 별도로 형성되고, 상기 전극에 전기적으로 접속된 배선층을 포함하는, 표시 장치.

#### 청구항 11

전자 기기로서,

반도체 소자와,

표시층을 포함하는 표시 장치를 포함하고,

상기 반도체 소자는,

유기 반도체층과,

상기 유기 반도체층과 접하도록 상기 유기 반도체층 상에 배치된 전극과,

상기 전극과는 별도로 형성되고, 상기 전극에 전기적으로 접속된 배선층을 포함하는, 전자 기기.

#### 청구항 12

반도체 소자의 제조 방법으로서,

기판 상에 유기 반도체층을 형성하는 단계와,

상기 유기 반도체층과 접하도록 상기 유기 반도체층 상에 전극을 형성하는 단계와,

상기 전극을 형성한 후, 상기 전극에 전기적으로 접속된 배선층을 형성하는 단계를 포함하는, 반도체 소자의 제조 방법.

#### 청구항 13

제12항에 있어서,

상기 전극은 인쇄 프로세스를 사용하여 형성되고,

상기 배선층은 진공 성막 프로세스 및 포토리소그래피 기술을 사용하여 형성되는, 반도체 소자의 제조 방법.

## 명세서

### 기술 분야

[0001] 본 개시물은 유기 반도체층을 갖는 반도체 소자, 그 제조 방법, 및 그러한 반도체 소자를 포함하는 표시 장치 및 전자 기기에 관한 것이다.

### 배경 기술

[0002] 최근, 유기 TFT(Thin Film Transistors; 박막 트랜지스터) 등의 유기 반도체를 사용하는 반도체 소자의 개발이 진행되고 있다(예를 들어, 비특허문헌 1 참조). 이 유기 반도체를 사용하는 반도체 소자는, 플렉시블 유기 EL(Electro Luminescence) 디스플레이, 플렉시블 전자 페이퍼 등의 표시 장치 및 플렉시블 프린트 기관, 유기 박막 태양 전지, 터치 패널 등의 전자 기기에 대한 응용이 상정되고 있다.

### 선행기술문헌

#### 비특허문헌

[0003] (비특허문헌 0001) 비특허문헌 1: C. D. Dimitrakopoulos and P. R. L. Malenfant, Adv. Mater. 2002, 14, No. 2, p.99

### 발명의 내용

#### 해결하려는 과제

[0004] 상술된 유기 반도체를 사용한 반도체 소자에서는, 유기 반도체층 상에 전극(예를 들어, 소스 전극 및 드레인 전극) 및 배선층을 형성할 때, 예를 들어 유기 반도체층의 단부(반도체 섬(island)의 에지 부분) 부근 등에서, 배선층의 단선이 발생할 수 있다. 또한, 전극 상에 유기 반도체층을 형성하는 경우에는, 유기 반도체층과 전극 사이의 접촉 저항이나 배선 저항이 증가할 수 있다. 이러한 배선층의 단선 및 저항값의 증대는 제조 불량률의 요인이다. 따라서, 신뢰성을 향상시키는 방법의 제안이 요망된다.

[0005] 본 개시물은 이러한 문제점을 감안하여 이루어졌다. 신뢰성을 향상시킬 수 있는 반도체 소자, 그 제조 방법, 및 표시 장치 및 전자 기기를 제공하는 것이 바람직하다.

#### 과제의 해결 수단

[0006] 본 개시물의 반도체 소자는, 유기 반도체층과, 이 유기 반도체층과 접하도록 배치된 전극과, 이 전극과는 별도로 형성되고, 또한 전극과 전기적으로 접속된 배선층을 구비한 것이다.

[0007] 본 개시물의 표시 장치는, 상기 본 개시물의 반도체 소자와, 표시층을 구비한 것이다.

[0008] 본 개시물의 전자 기기는, 상기 본 개시물의 표시 장치를 구비한 것이다.

[0009] 본 개시물의 반도체 소자, 표시 장치 및 전자 기기에서는, 유기 반도체층과 접하도록 배치된 전극과, 이 전극과 전기적으로 접속된 배선층이, 별도로 형성되어 있다. 이에 의해, 이들 전극과 배선층이 일체적으로 형성되어 있는 경우와 비교해, 예를 들어 유기 반도체층의 단부(반도체 섬의 에지 부분) 부근에서의 배선층의 단선이 발생하기 어려워지거나, 유기 반도체층과 전극과의 사이의 접촉 저항을 억제하면서 배선 저항을 저감할 수 있다.

[0010] 본 개시물의 반도체 소자의 제조 방법은, 기판 상에 유기 반도체층 및 이 유기 반도체층과 접하는 전극을 형성하는 공정과, 이 전극과 전기적으로 접속된 배선층을 형성하는 공정을 포함하도록 한 것이다.

[0011] 본 개시물의 반도체 소자의 제조 방법에서는, 유기 반도체층과 접하는 전극이 형성되고, 이 전극과 전기적으로 접속된 배선층이 형성된다. 이에 의해, 이들 전극과 배선층이 일체적으로(동일 공정으로) 형성되는 경우와 비교해, 예를 들어 유기 반도체층의 단부(반도체 섬의 에지 부분) 부근에서의 배선층의 단선이 발생하기 어려워지거나, 유기 반도체층과 전극과의 사이의 접촉 저항을 억제하면서 배선 저항을 저감할 수 있다.

## 발명의 효과

[0012] 본 개시물의 상술된 실시예에 따른 반도체 소자, 표시 장치 및 전자 기기에 따르면, 유기 반도체층 상에 접하도록 배치된 전극과, 이 전극과 전기적으로 접속된 배선층이 별도로 형성되어 있다. 따라서, 예를 들어 유기 반도체층의 단부 부근에서의 배선층의 단선이 용이하게 발생하는 것을 방지하고, 접촉 저항을 억제하면서 배선 저항을 저감할 수 있다. 따라서, 신뢰성을 향상시킬 수 있게 된다.

[0013] 본 개시물의 상술된 실시예에 따른 반도체 소자의 제조 방법에 따르면, 유기 반도체층 상에 접하도록 전극을 형성한 후에, 이 전극과 전기적으로 접속된 배선층을 형성한다. 따라서, 예를 들어 유기 반도체층의 단부 부근에서의 배선층의 단선이 용이하게 발생하는 것을 방지하고, 접촉 저항을 억제하면서 배선 저항을 저감할 수 있다. 따라서, 신뢰성을 향상시킬 수 있게 된다.

## 도면의 간단한 설명

[0014] 도 1은 본 개시물의 제1 실시 형태에 따른 반도체 소자로서의 박막 트랜지스터의 구성예를 도시하는 도면이다.  
 도 2는 소스?드레인 전극에서의 얼라인먼트 어긋남 흡수 영역에 대해서 설명하기 위한 모식도이다.  
 도 3은 유기 반도체층, 소스?드레인 전극 및 보호막의 배치 및 형상에 대해서 설명하기 위한 모식도이다.  
 도 4는 도 3에 도시한 볼록부 및 오목부의 상세에 대해서 설명하기 위한 모식도이다.  
 도 5는 제1 실시 형태에 따른 박막 트랜지스터의 다른 구성예를 도시하는 단면도이다.  
 도 6은 제1 실시 형태에 따른 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 평면도이다.  
 도 7은 비교예 2, 3에 따른 박막 트랜지스터에서의 문제점에 대해서 설명하기 위한 모식도이다.  
 도 8은 게이트 전극, 게이트 절연막, 유기 반도체층, 소스?드레인 전극 및 보호막 간의 배치 관계에 대해서 설명하기 위한 모식도이다.  
 도 9는 게이트 전극과 유기 반도체층 간의 배치 관계에 대해서 설명하기 위한 모식도이다.  
 도 10은 제2 실시 형태에 따른 박막 트랜지스터의 구성예 및 제2 실시 형태에 따른 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 평면도이다.  
 도 11은 제3 실시 형태에 따른 박막 트랜지스터의 구성예 및 제3 실시 형태에 따른 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 평면도이다.  
 도 12는 제4 실시 형태에 따른 박막 트랜지스터의 구성예 및 제4 실시 형태에 따른 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 평면도이다.  
 도 13은 제5 실시 형태에 따른 박막 트랜지스터의 구성예를 도시하는 도면이다.  
 도 14는 제5 실시 형태에 따른 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 평면도이다.  
 도 15는 बैं크의 형성 위치와 소스?드레인 전극의 형상 간의 관계에 대해서 설명하기 위한 평면도이다.  
 도 16은 변형예 1에 따른 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 평면도이다.  
 도 17은 변형예 2에 따른 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 평면도이다.  
 도 18은 변형예 3에 따른 बैं크의 구성 및 이 बैं크를 사용한 소스?드레인 전극의 형성 방법에 대해서 설명하기 위한 평면도이다.  
 도 19는 बैं크의 형상과, 소스?드레인 전극 및 배선층 간의 콘택트와의 관계에 대해서 설명하기 위한 단면도이다.  
 도 20은 제6 실시 형태에 따른 박막 트랜지스터의 구성예를 도시하는 단면도이다.  
 도 21은 제6 실시 형태에 따른 박막 트랜지스터의 제조 방법을 공정순으로 도시하는 평면도이다.  
 도 22는 비교예 4, 5에 따른 박막 트랜지스터의 구성을 도시하는 단면도이다.  
 도 23은 각 실시 형태 및 각 변형예에 따른 박막 트랜지스터의 표시 장치에 대한 적용예를 도시하는 도면이다.

도 24는 도 23에 도시한 표시 장치의 전자 기기에 대한 적용예 1의 외관을 도시하는 사시도이다.

도 25는 적용예 2의 외관을 도시하는 사시도이다.

도 26의 (a)는 적용예 3의 앞쪽에서 본 외관을 도시하는 사시도이며, 도 26의 (b)는 적용예 3의 뒷쪽에서 본 외관을 도시하는 사시도이다.

도 27은 적용예 4의 외관을 도시하는 사시도이다.

도 28은 적용예 5의 외관을 도시하는 사시도이다.

도 29의 (a)는 적용예 6이 개방된 상태의 정면도, 도 29의 (b)는 적용예 6이 개방된 상태의 측면도, 도 29의 (c)는 적용예 6이 폐쇄된 상태의 정면도, 도 29의 (d)는 적용예 6이 폐쇄된 상태의 좌측면도, 도 29의 (e)는 적용예 6이 폐쇄된 상태의 우측면도, 도 29의 (f)는 적용예 6이 폐쇄된 상태의 상면도, 도 29의 (g)는 적용예 6이 폐쇄된 상태의 하면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 개시물의 양호한 실시 형태에 대해서, 도면을 참조하여 상세하게 설명한다. 또한, 설명은 이하의 순서로 행한다.
- [0016] 1. 제1 실시 형태(소스?드레인 전극의 인쇄 형성 및 배선층의 진공 성막 형성의 예)
- [0017] 2. 제2 실시 형태(소스?드레인 전극 및 배선층의 인쇄 형성의 예)
- [0018] 3. 제3 실시 형태(소스?드레인 전극의 진공 성막 형성 및 배선층의 인쇄 형성의 예)
- [0019] 4. 제4 실시 형태(소스?드레인 전극 및 배선층의 진공 성막 형성의 예)
- [0020] 5. 제5 실시 형태(뱅크를 사용하여 소스?드레인 전극을 형성하는 예)
- [0021] 6. 제5 실시 형태의 변형예(변형예 1 내지 3)
- [0022] 7. 제6 실시 형태(보텀 콘택트형의 예)
- [0023] 8. 적용예(표시 장치 및 전자 기기에 대한 적용예)
- [0024] 9. 기타 변형예
- [0025] <제1 실시 형태>
- [0026] [박막 트랜지스터(1)의 전체 구성]
- [0027] 도 1은, 본 개시물의 제1 실시 형태에 따른 반도체 소자(박막 트랜지스터(1))의 개략 구성을 모식적으로 도시한 것이다. 도 1의 (a)는 평면 구성(X-Y 평면 구성)을 도시한다. 도 1의 (b)는, 도 1의 (a)에서의 II-II 선을 따라 화살표 방향으로 본 단면 구성(Y-Z 단면 구성)을 도시하고 있다. 이 박막 트랜지스터(1)는, 예를 들어 표시 장치의 액티브 매트릭스 회로 등에 사용되는 튜 콘택트?스태거드형인 것이다. 박막 트랜지스터(1)는, 예를 들어 기판(11) 상에 게이트 전극(12), 게이트 절연막(13), 유기 반도체층(14), 한 쌍의 소스?드레인 전극(15A, 15B)(전극), 보호막(16) 및 한 쌍의 배선층(17A, 17B)이 이 순서대로 적층되어 형성된 구조를 갖는다. 즉, 이 박막 트랜지스터(1)는 유기 반도체를 사용한 유기 TFT이다.
- [0028] 기판(11)은, 예를 들어 유리, 석영, 실리콘, 갈륨 비소 등의 무기 재료, 금속 재료, 플라스틱 재료 등으로 형성된다. 금속 재료로서는, 예를 들어 알루미늄(Al), 니켈(Ni) 또는 스테인리스 등을 포함한다. 플라스틱 재료로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리메틸메타크릴레이트(PMMA), 폴리카보네이트(PC), 폴리에테르술폰(PES), 폴리에테르에테르케톤(PEEK), 방향족 폴리에스테르(액정 중합체) 등을 포함한다. 이 기판(11)은, 웨이퍼 등의 강성의 기판일 수 있고, 박층 유리, 필름, 종이(일반지) 등의 가요성 기판(플렉시블 기판)일 수 있다. 또한, 기판(11)의 표면에는, 예를 들어 밀착성을 확보하기 위한 버퍼층, 가스 방출을 방지하기 위한 가스 배리어층 등의 각종 층이 설치될 수 있다.
- [0029] 게이트 전극(12)은, 박막 트랜지스터(1)의 게이트 전극으로서 기능하는 것이다. 게이트 전극(12)은 이러한 경우 Y축 방향을 따라 연장되는 게이트 배선(12L)과 전기적으로 접속되어 있다. 게이트 전극(12)은 기판(11) 상에 설치되어 있다. 게이트 전극(12)은 예를 들어 금속 재료, 무기 도전성 재료, 유기 도전성 재료 또는 탄소

재료 중 1종류 또는 2종류 이상에 의해 형성되어 있다. 금속 재료는 예를 들어 알루미늄, 구리(Cu), 몰리브덴(Mo), 티타늄(Ti), 크롬(Cr), 니켈, 팔라듐(Pd), 금(Au), 은(Ag), 백금(Pt) 또는 그것들을 포함하는 합금 등이다. 무기 도전성 재료는 예를 들어 산화인듐( $\text{In}_2\text{O}_3$ ), 산화인듐주석(ITO), 산화인듐아연(IZO) 또는 산화아연( $\text{ZnO}$ ) 등이다. 유기 도전성 재료는 예를 들어 폴리에틸렌디옥시티오펜(PEDOT) 또는 폴리스티렌술포산(PSS) 등이다. 탄소 재료는, 예를 들어 그래파이트 등이다. 또한, 게이트 전극(12)은 상기한 각종 재료의 층이 2층 이상 적층되어 형성될 수 있다.

[0030] 게이트 절연막(13)은 게이트 전극(12) 및 게이트 배선(12L)을 덮고 있으며, 예를 들어 무기 절연성 재료 또는 유기 절연성 재료 중 1종류 또는 2종류 이상으로 형성되어 있다. 무기 절연성 재료는 예를 들어 산화규소( $\text{SiO}_2$ ), 질화규소( $\text{SiN}_x$ ), 산화 알루미늄( $\text{Al}_2\text{O}_3$ ), 산화티타늄( $\text{TiO}_2$ ), 산화하프늄( $\text{HfO}_x$ ) 또는 티타늄산바륨( $\text{BaTiO}_3$ ) 등이다. 유기 절연성 재료는 예를 들어 폴리비닐페놀(PVP), 폴리이미드, 폴리메타크릴산 아크릴레이트, 감광성 폴리이미드, 감광성 노볼락 수지 또는 폴리파라크실릴렌 등이다. 또한, 게이트 절연막(13)은 상기한 각종 재료의 층이 2층 이상 적층되어 형성될 수 있다.

[0031] 유기 반도체층(14)은 박막 트랜지스터(1)의 형성 영역에서 섬 형상으로 형성되어 있다. 유기 반도체층(14)은 예를 들어 PXX(per i-xanthenoxanthene) 유도체에 의해 형성되어 있다. 또한, 이 유기 반도체층(14)은 예를 들어 펜타센( $\text{C}_{22}\text{H}_{14}$ ), 폴리티오펜 등의 다른 유기 반도체 재료에 의해 형성될 수 있다.

[0032] 소스?드레인 전극(15A, 15B)은 유기 반도체층(14) 상에서, 이 유기 반도체층(14)과 접하도록 배치된 전극이다. 소스?드레인 전극(15A, 15B)은 이러한 경우 평면 형상(X-Y 평면 형상)이 빗살형으로 되어 있다. 단, 소스?드레인 전극(15A, 15B)의 형상은 이에 한정되지 않는다. 소스?드레인 전극(15A, 15B)은 도전성 재료, 특히, 그대로 유기 반도체층(14)과 오믹 접촉을 제공할 수 있는 금속, 금속 산화물, 도전성 고분자, 탄소 등에 의해 형성되어 있는 것이 바람직하다. 그러한 금속으로서는, 예를 들어 금(Au), 구리(Cu), 은(Ag), 니켈(Ni) 또는 티타늄(Ti)을 포함한다. 또한, 소스?드레인 전극(15A, 15B)은 예를 들어 두께 20nm의 티타늄(Ti)층과, 두께 200nm의 알루미늄(Al)층과, 두께 20nm의 티타늄(Ti)층을 이 순서대로 적층하여 형성된 적층 구조를 가질 수 있다. 상기한 금속 산화물로서는, 예를 들어  $\text{CuO}_x$ ,  $\text{NiO}_x$ ,  $\text{TiO}_x$ , ITO(Indium Tin Oxide; 산화인듐주석),  $\text{MoO}_x$  및  $\text{WO}_x$ 를 포함한다. 또한, 상기한 도전성 고분자로서는, 예를 들어 수용성 PEDOT-PSS를 포함한다.

[0033] 보호막(16)은 소스?드레인 전극(15A, 15B) 및 배선층(17A, 17B) 중 적어도 일부를 덮도록 배치되어 있다. 보호막(16)은 예를 들어  $(\text{C}_6\text{F}_{10})_n$  등의 불소 수지에 의해 형성되어 있다. 이 보호막(16)은 유기 반도체층(14)에 손상을 주지 않는 용매에 용해된 수지인 것이 바람직하다. 또한, 그러한 수지로서는 상기한 불소 수지 외에, PVA(폴리비닐알코올; 수용성), 파릴렌 수지 등을 포함한다.

[0034] 배선층(17A, 17B)은 각각 소스?드레인 전극(15A, 15B)과는 별도로(별도의 공정에 의해) 형성된 것이며, 또한 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속되어 있다. 구체적으로 배선층(17A)은, 소스?드레인 전극(15A)과 전기적으로 접속되고, 배선층(17B)은 소스?드레인 전극(15B)과 전기적으로 접속되어 있다. 이들 배선층(17A, 17B)은, 예를 들어 상기한 소스?드레인 전극(15A, 15B)과 마찬가지로의 재료에 의해 형성되어 있다. 배선층(17A, 17B)은 이러한 경우 X축 방향으로 연장되어 있다.

[0035] [유기 반도체층(14), 소스?드레인 전극(15A, 15B), 보호막(16) 등의 상세 구성]

[0036] 본 실시 형태에서는, 예를 들어 도 2에 도시한 바와 같이, 소스?드레인 전극(15A, 15B)의 전극단(여기서는 Y축 방향의 전극단)에는 각각, 얼라인먼트 어긋남 흡수 영역(alignment displacement accommodating region)(150)이 설치되어 있다. 얼라인먼트 어긋남 흡수 영역(150)은, X축 방향 및 Y축 방향의 각각에 따른 위치 정렬 마진(얼라인먼트 어긋남 마진)  $\Delta x$ ,  $\Delta y$ 를 고려한 영역(여기서는 직사각 형상의 영역)이며, 소스?드레인 전극(15A, 15B)을 개별로 포함하도록 배치되어 있다. 구체적으로, 예를 들어 도 2의 (d)에 도시한 비교예 1과 같이, 하나의 얼라인먼트 어긋남 흡수 영역(150) 내에 한 쌍의 소스?드레인 전극(15A, 15B)의 양쪽이 배치되는 대신에, 하나의 얼라인먼트 어긋남 흡수 영역(150) 내에는, 한 쌍의 소스?드레인 전극(15A, 15B) 중 어느 하나만이 배치되어 있다. 이에 의해, 상세한 것은 후술하는데, 소스?드레인 전극(15A, 15B)을 인쇄 형성할 때의 위치 정렬 어긋남(얼라인먼트 어긋남)이 흡수되어, 제조 불량이 방지될 수 있다.

[0037] 또한, 예를 들어 도 1의 (a), 도 3의 (a) 및 도 4의 (a)에 도시한 바와 같이, 유기 반도체층(14)에는, 보호막(16)의 형성 영역의 외부에, 소스?드레인 전극(15A, 15B)과의 중첩 영역으로서의 볼록부(140)가 설치되어 있다. 구체적으로, 이 볼록부(140)는, Y축 방향을 따라 보호막(16)의 형성 영역으로부터 돌출되도록 형성되어 있고,

소스?드레인 전극(15A, 15B) 중 상기한 얼라인먼트 어긋남 흡수 영역(150)과 중첩되도록 배치되어 있다(도 1의 (b) 및 도 4의 (a) 중의 부호(P11) 참조). 이에 의해 상세한 것은 후술하는데, 유기 반도체층(14)의 단부(반도체 섬의 에지 부분) 부근에서의 배선층(17A, 17B)의 단선(절단(step disconnection))이 용이하게 발생하지 않는다(바람직하게는, 그러한 단선의 발생이 방지됨).

[0038] 대안적으로, 도 3의 (b) 및 도 4의 (b)에 도시된 바와 같이, 보호막(16)은 절결 영역으로서의 오목부(160)를 구비할 수 있다. 구체적으로 이 절결 영역(오목부(160))은, Y축 방향을 따라 형성되어 있고, 이 절결 영역에서 유기 반도체층(14)과 소스?드레인 전극(15A, 15B)이 중첩되어 있다(도 4의 (b) 및 도 5(도 3의 (b)에서 III-III 선을 따라 화살표 방향으로 본 단면도) 중의 부호(P12) 참조). 단, 소스?드레인 전극(15A, 15B) 중 상기한 얼라인먼트 어긋남 흡수 영역(150)은, 이 오목부(160)와는 중첩되지 않도록 배치되어 있다. 이러한 오목부(160)를 설치한 경우에도, 상세한 것은 후술하는데, 유기 반도체층(14)의 단부(반도체 섬의 에지 부분) 부근에서의 배선층(17A, 17B)의 단선(절단)이 용이하게 발생하지 않는다(바람직하게는, 그러한 단선의 발생이 방지됨).

[0039] [박막 트랜지스터(1)의 제조 방법]

[0040] 이 박막 트랜지스터(1)는, 예를 들어 다음과 같이 해서 제조할 수 있다. 도 6의 (a) 내지 도 6의 (e)는, 본 실시 형태의 박막 트랜지스터(1)의 제조 방법에서의 주요한 공정예를, 공정순으로 평면도(X-Y 평면도)로 도시한 것이다.

[0041] 우선, 도 6의 (a)에 도시한 바와 같이, 도시하지 않은 기판(11) 상에 게이트 전극(12) 및 게이트 배선(12L)을 형성하고, 이들 게이트 전극(12) 및 게이트 배선(12L) 상에 도시하지 않은 게이트 절연막(13)을 형성한다.

[0042] 구체적으로는, 우선, 상술한 재료로 이루어지는 기판(11)을 준비하고, 이 기판(11)에, 예를 들어 진공 성막법, 도포법 또는 도금법에 의해, 상술한 금속 재료로 이루어진 게이트 전극 재료막(도시하지 않음)을 형성한다. 진공 성막법은, 예를 들어 진공 증착법, 플래스마 증착법, 스퍼터링법, 물리적 기상 성장법(PVD), 화학적 기상 성장법(CVD), 펄스 레이저 퇴적법(PLD) 또는 아크 방전법 등이다. 도포법은, 예를 들어 스핀 코팅법, 슬릿 코팅법, 바 코팅법 또는 스프레이 코팅법 등이다. 도금법은, 예를 들어 전해 도금법 또는 무전해 도금법 등이다.

[0043] 계속해서, 이 게이트 전극 재료막 상에 레지스트 패턴 등의 마스크(도시하지 않음)를 형성한다. 계속해서, 마스크를 사용하여 게이트 전극 재료막을 에칭한 후, 애싱법, 에칭법 등을 사용하여 마스크를 제거한다. 이에 의해, 도 6의 (a)에 도시한 바와 같이, 기판(11) 상에 게이트 전극(12) 및 게이트 배선(12L)이 형성된다. 여기서, 레지스트 패턴을 형성하는 경우에는, 예를 들어 포토레지스트를 도포해서 포토레지스트막을 형성한 후, 포토리소그래피법, 레이저 묘화법, 전자선 묘화법 또는 X선 묘화법 등을 사용하여 포토레지스트막을 패터닝한다. 단, 레지스트 전사법 등을 사용하여 레지스트 패턴을 형성할 수 있다. 게이트 전극 재료막의 에칭 방법은, 예를 들어 건식 에칭법 또는 에천트 용액을 사용한 습식 에칭법이다. 건식 에칭법은, 예를 들어 이온 밀링 또는 반응성 이온 에칭(RIE) 등이다. 마스크를 제거하기 위한 에칭 방법도 마찬가지이다.

[0044] 또한, 게이트 전극(12) 등의 형성 방법은, 예를 들어 잉크젯법, 스크린 인쇄법, 그라비아 인쇄법 또는 그라비아 오프셋 인쇄법 등의 인쇄법일 수 있다. 또한, 레이저 어블레이션(ablation)법, 마스크 증착법, 레이저 전사법 등을 사용하여, 마스크로서 레지스트 패턴 대신 금속 패턴을 형성할 수 있다. 물론, 게이트 전극(12) 등을 형성하기 위해서, 금속 재료 대신에 상술한 무기 도전성 재료, 유기 도전성 재료, 탄소 재료 등을 사용할 수도 있다.

[0045] 계속해서, 이들 게이트 전극(12) 및 게이트 배선(12L)을 덮도록, 게이트 절연막(13)을 형성한다. 이 게이트 절연막(13)의 형성 수준은, 예를 들어 게이트 절연막(13)을 형성하는 재료에 따라 상이하다. 무기 절연성 재료를 사용하는 경우의 형성 수준은, 예를 들어 도포법이 좋?겔법 등일 수 있는 것을 제외하고, 게이트 전극(12) 등을 형성하는 경우와 마찬가지이다. 유기 절연성 재료를 사용하는 경우의 형성 수준은, 예를 들어 포토리소그래피법 등을 사용하여 감광성 재료를 패터닝할 수 있는 것을 제외하고, 게이트 전극(12) 등을 형성한 경우와 마찬가지이다.

[0046] 계속해서, 도 6의 (b)에 도시한 바와 같이, 도시하지 않은 게이트 절연막(13) 상에 예를 들어 도포법이나 증착법을 사용하여, 유기 반도체층(14)을 형성한다. 여기에서는 일례로서, 유기 반도체층(14)에 상술한 볼록부(140)를 설치하는 경우에 대해서 설명한다.

[0047] 구체적으로는, 우선, 예를 들어 상술한 유기 반도체 재료, 예를 들어 PXX 유도체를 유기 용제 등의 용매에 분산 또는 용해시킨 용액(혼합 용액)을 제조한다. 이 혼합 용액을 게이트 절연막(13)의 상면에 도포하여,

가열(소성)한다. 이에 의해, 게이트 절연막(13) 상에 상술한 유기 반도체 재료, 예를 들어 PXX 유도체로 이루어진 유기 반도체 재료막을 형성한다. 용매로서는, 예를 들어 톨루엔, 크실렌, 메시틸렌 또는 테트라린 등을 사용할 수 있다.

[0048] 계속해서, 이와 같이 하여 형성한 유기 반도체 재료막 상에, 레이저 어블레이션법을 사용하여 소자 분리를 행하고, 상술한 섬 형상으로 이루어지는 유기 반도체층(14)을 형성한다. 단, 소자 분리의 방법으로서 레이저 어블레이션법에 한정되지 않고, 금속 보호막층을 이용한 방법이나, 감광성 불소 수지 상으로의 패터닝법을 사용할 수 있다. 혹은, 유기 반도체층(14)을 인쇄법에 의해 직접 패턴 형성하고, 이 소자 분리 공정을 생략할 수 있다. 단, 유기 반도체층(14)의 표면에 부여하는 손상을 최대한 저감시키기 위해서는, 레이저 어블레이션법을 사용하는 것이 바람직하다.

[0049] 계속해서, 도 6의 (c)에 도시한 바와 같이, 유기 반도체층(14) 상에 이 유기 반도체층(14)과 접하도록, 상술한 형상으로 이루어지는 소스?드레인 전극(15A, 15B)을 형성한다. 구체적으로, 본 실시 형태에서는, 이들 소스?드레인 전극(15A, 15B)을, 인쇄법(인쇄 프로세스)을 사용하여 형성한다. 상세하게는, 유기 반도체층(14) 상에서, 예를 들어 반전 오프셋 인쇄법을 사용하여 수용성 PEDOT-PSS를 직접 패터닝하고, 그 후, 예를 들어 140℃의 온도로 1시간 정도 가열 처리를 행함으로써, 소스?드레인 전극(15A, 15B)을 형성한다. 단, 전극 재료로서는 PEDOT-PSS에 한정되지 않고, 예를 들어 Ag 나노 잉크나 Cu 나노 잉크 등을 잉크 재료로서 사용함으로써, Ag나 Cu를 전극 재료로 사용할 수 있다. 혹은, 그래핀, 카본 나노튜브 등의 카본계 재료(탄소 재료)를 전극 재료로서 사용할 수 있다. 또한, 인쇄법의 종류로서도, 인쇄법은 상기한 반전 오프셋 인쇄법으로 한정되지 않고, 다른 인쇄법을 사용할 수 있다.

[0050] 이어서, 도 6의 (d)에 도시한 바와 같이, 유기 반도체층(14) 및 소스?드레인 전극(15A, 15B) 상에 상술한 재료로 이루어지는 보호막(16)을 형성한다. 구체적으로는, 예를 들어  $(C_6F_{10})_n$  등의 불소 수지를 전체면에 도포한 후, 불소 수지의 막 상에 일반적인 포토레지스트를 도포하고, 포토리소그래피 기술을 사용하여 원하는 패턴을 형성함으로써, 보호막(16)을 형성한다. 이 포토리소그래피 기술을 사용한 패턴 형성 시에는, 예를 들어 산소 플라즈마를 사용하여, 불소 수지막을 건식 에칭 가공한다. 이 건식 에칭은, 소스?드레인 전극(15A, 15B)에서 상술한 얼라인먼트 어긋남 흡수 영역(150)이 노출될 때까지 행한다. 에칭 가공 후에는 포토레지스트를 제거한다. 또한, 감광성 불소 수지를 사용한 포토리소그래피 기술에 의한 패턴 형성도 가능하다. 또한, 여기서는 포토리소그래피 기술을 사용한 패턴 형성을 예로 들어 설명했지만, 패턴 형성은 이것에 한정되지 않는다. 또한, 예를 들어 반전 오프셋 인쇄법 등의 인쇄법을 사용하여, 보호막(16)을 직접 패턴 형성할 수도 있다.

[0051] 계속해서, 도 6의 (e)에 도시한 바와 같이, 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)을 형성한다. 구체적으로 본 실시 형태에서는, 이들 배선층(17A, 17B)을 진공 성막 프로세스 및 포토리소그래피 기술을 사용하여 형성한다(진공 성막에 의해 형성됨). 이와 같이 하여, 상기한 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)을 별도로(별도의 공정에 의해) 형성한다.

[0052] 상세하게는, 우선, 두께 20nm의 Ti층, 두께 200nm의 Al층 및 두께 20nm의 Ti층을 이 순서대로 적층하여 형성한 적층막을, 예를 들어 스퍼터링법을 사용하여 전체면 위에 성막한다. 그 후에 일반적인 포토레지스트막을 도포하고, 포토리소그래피 기술을 사용하여 원하는 패턴을 형성한다. 계속해서, 예를 들어 질산?불산?인산의 혼산(mixed acid)을 사용하여, 상기한 적층막을 습식 에칭 가공하고, 그 후 포토레지스트막을 용해?제거함으로써, 배선층(17A, 17B)을 형성한다. 이상에 의해, 도 1의 (a) 및 도 1의 (b)에 도시한 박막 트랜지스터(1)가 완성된다.

[0053] 또한, 여기에서는 배선층(17A, 17B)의 재료로서, Ti/Al/Ti를 예로 들어 설명했지만, 배선층(17A, 17B)의 재료는 이에 한정되지 않고, 상술한 다양한 재료를 사용할 수 있다. 단, 재료가 저렴한 것, 배선 저항이 작은 것, 기판과 배선과의 부착성이 양호한 것, 및 습식 에칭 가공이 용이한 점 등에서, Ti/Al/Ti를 사용하는 것이 바람직하다고 말할 수 있다. 또한, 여기서는 성막 방법으로서 스퍼터링법을 예로 들어 설명했지만, 성막 방법은 이에 한정되지 않고, 예를 들어 저항 가열 진공 증착, 전자선 가열 진공 증착, CVD법 등의 다양한 성막 방법이 적용 가능하다. 또한, 여기에서는 패터닝 방법으로서, 포토리소그래피 기술을 사용한 예를 들고 있지만, 패터닝 방법은 이에 한정되지 않고, 예를 들어 레이저 어블레이션법을 사용하여 패터닝을 행할 수 있다. 이와 함께, 여기에서는 습식 에칭 가공을 예로 들어 설명했지만, 에칭 가공은 이에 한정되지 않고, 염소, 혹은 염소와 사불화탄소와의 혼합 가스를 사용한 리액티브 이온 에칭에 의해 배선층(17A, 17B)의 가공을 행할 수 있다.

[0054] 여기서, 최종적으로 형성된 박막 트랜지스터(1)에서는, 유기 반도체층(14)의 외측 테두리 부분(반도체 섬의 에지 부분)이, 보호막(16) 또는 배선층(17A, 17B)에 의해 완전히 피복되어 있다. 이에 의해, 본 실시

형태에서는, 도 6의 (e) 이후의 공정에서, 유기 용제에 용해된 수지를 도포 형성할 수 있게 된다. 가령, 이 단계에서 유기 반도체층(14)의 외측 테두리 부분(반도체 섬의 에지 부분)의 일부가 노출되어 있을 경우에는, 그 단부면을 덮는 공정(예를 들어, 불소 수지의 도포 및 불소 수지의 패터닝 공정)을 제공할 필요가 발생하고, 공정수의 증가나 제조 비용의 증가로 이어진다. 따라서, 이러한 사태를 피하기 위해서, 도 6의 (e)와 같이 형성하는 것이 바람직하다고 말할 수 있다.

[0055] [박막 트랜지스터(1)의 작용?효과]

[0056] 박막 트랜지스터(1)에서는, 게이트 배선(12L)을 통해서 게이트 전극(12)에 소정의 임계값 전압 이상의 전압(게이트 전압)이 인가되면, 유기 반도체층(14) 내에 채널이 형성된다. 이에 의해, 소스?드레인 전극(15A, 15B) 간에 전류(드레인 전류)가 흘러들어, 박막 트랜지스터(1)는 트랜지스터(유기 TFT)로서 기능한다.

[0057] (1. 종래 방법의 문제점)

[0058] 종래에는 이러한 유기 TFT에서는 유기 반도체층 상에 금속층을 직접 성막해서 에칭 가공함으로써 소스?드레인 전극을 형성하는 방법이 사용되고 있다. 그러나, 이 방법으로는 유기 반도체와 전극 금속과의 조합에 따라, 유기 반도체 표면에 손상이 발생하고, 특성 열화를 초래할 우려가 있다.

[0059] 이에 대해, 인쇄 프로세스(인쇄법)를 사용하여, 톱 콘택트형의 소스?드레인 전극을 직접 패턴 형성하는 경우, 이상적으로는, 채널 상의 유기 반도체층의 표면에 아무것도 접촉하지 않고, 소스?드레인 전극을 형성할 수 있다. 따라서, 유기 반도체층에 대한 손상을 억제하면서 톱 콘택트 구조를 형성할 수 있어, 양호한 트랜지스터 특성이 얻어진다. 즉, 인쇄법은 보텀 게이트?스테거드형 유기 TFT를 제조할 때, 소스?드레인 전극의 형성 방법으로서 적합한 방법이라고 말할 수 있다. 또한, 이러한 인쇄법에 기초한 전극 형성 기술 중에서도, 반전 오프셋 인쇄법에 기초한 배선 형성 기술은 정세도(精細度: definition)에서 우수한 성과를 거두고 있다.

[0060] 여기서, 보텀 게이트?스테거드형 유기 TFT를 사용하여, 집적 회로를 제조하는 경우에 대해서 생각한다. 특히, 소스?드레인 전극 및 배선층을 각각 반전 오프셋 인쇄법을 사용하여 형성하는 경우에 대해서 생각한다. 이 경우에서, 이들 소스?드레인 전극과 배선층을, 인쇄법(반전 오프셋 인쇄법)을 사용하여 일괄 형성(동일 공정으로 형성)하면, 특히 보텀 게이트?스테거드형 유기 TFT를 집적화하는 때에는, 이하의 문제가 발생한다.

[0061] 제1 문제점으로서, 유기 반도체층 상에 전극(소스 전극 및 드레인 전극) 및 배선층을 형성할 때, 예를 들어 유기 반도체층의 단부(반도체 섬의 에지 부분) 부근 등에서 배선층의 단선(절단)이 발생할 우려가 있다. 이것은, 피인쇄면인 섬 형상의 유기 반도체층의 표면은 평탄면이 아니므로, 유기 반도체층의 표면이 단차(level difference)는 몇 십 nm 정도로 작지만, 에지 근방에서 배선이 끊어지기 쉬운 점에 기인하고 있다. 이러한 유기 반도체층의 단부 부근 등에서의 배선층의 단선(절단)은, 보텀 콘택트형 유기 TFT를 제조할 때에는 발생하지 않고, 톱 콘택트형의 유기 TFT 특유의 문제이다. 이러한 배선층의 단선은 제조 불량률의 요인이므로, 제조 불량률을 저감하는 것이 요망된다.

[0062] 또한, 제2 문제점으로서, 패턴의 위치 정렬 정밀도가 불충분한 것을 들 수 있다. 이것은 이하의 이유에 의한 것이다. 우선, 인쇄 장치의 기계 정밀도 및 블랭킷(blanket)의 왜곡에 의해, 인쇄되는 패턴은 본래 있어야 할 위치에서 어긋나버리는 경우가 있다. 그로 인해, 집적 회로 패턴은, 이 인쇄 위치 정밀도를 고려한 장황한 패턴이 된다. 그러면, 스테퍼(stepper) 등을 사용한 포토리소그래피 기술에 기초한 패턴 형성법(높은 위치 정밀도: 위치 어긋남이  $\pm 1\mu\text{m}$  정도 미만)을 상정한 집적 회로 패턴과 비교하여, 트랜지스터의 집적화 밀도는 작아져 버린다.

[0063] 또한, 제3 문제점으로서, 재료에서의 문제를 몇 가지 들 수 있다. 우선, 현재 시점에서 인쇄 배선용 재료로서 일반적인 것은, 유기 분자로 그 주변이 수식된(modified) Ag 나노 입자이다. 그런데, Ag 배선은 고습도 중의 통전에 의해, 일렉트로마이크레이션이 야기되는 것이 알려져 있다. 그로 인해, Ag 배선을 갖는 전기 회로에서의 신뢰성을 확보하기 위해서는, 외부로부터의 수분 침입을 저지하기 위한 견고한 배리어층(예를 들어, 유리)이 필요하게 된다. 이것은, 유기 TFT를 사용하여 플렉시블 회로를 제작하는데 장벽이 되어버린다.

[0064] 또한, 이러한 Ag 배선의 결점을 해소할 수 있는 Cu 나노 잉크도 최근 개발되고 있다. 그러나, Cu의 산화하기 쉬운 성질에 기인하여 잉크의 보존 기간이 단기간인 점, 및 환원 분위기 중에서 잉크를 소성할 필요성에 의해 특수 가열 설비를 필요로 하는 점 등에 의해, Cu 잉크에는 아직 실용상의 결점이 있다.

[0065] 또한, 금속 나노 입자의 잉크 이외에, PEDOT-PSS 등의 도전성 고분자나 그래핀, 카본 나노튜브 등의 카본계 재료(카본 재료)도 배선 재료가 될 수 있다. 어느 쪽 재료의 경우라도 이온화 포텐셜(혹은 일함수)이 5eV 정도이

고, 유기 반도체에 대해 비교적 작은 전기적 장벽을 형성한다. 또한, 카본계 재료는 그 사양에 따라 금속 나노 입자 잉크에 비해 저렴하다. 그러나, 모두 시트 저항이 높기 때문에, 긴 배선에 사용하는 것은 어렵다고 말할 수 있다.

[0066] 이상 설명한 3개의 문제점에 의해, 보텀 게이트?스태거드형 유기 TFT에서는, 특히 보텀 게이트?스태거드형 유기 TFT의 집적 회로를 제작할 때, 소스?드레인 전극과 배선층을 인쇄법(예를 들어 반전 오프셋 인쇄법)을 사용하여 일괄 형성(동일 공정으로 소스?드레인 전극과 배선층을 형성)하는 것은 가공 관점 및 재료 관점의 양면에서 보아 어려움을 수반한다.

[0067] (2. 본 실시 형태의 작용)

[0068] 따라서, 본 실시 형태에서는 이하에 설명하는 바와 같이 하여 상기한 3가지 문제점을 해소하고 있다. 구체적으로는, 우선, 본 실시 형태에 따른 박막 트랜지스터(1)에서는, 유기 반도체층(14) 상에 유기 반도체층(14)과 접하도록 배치된 소스?드레인 전극(15A, 15B)과, 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)이 별도로 형성되어 있다. 다시 말해, 박막 트랜지스터(1)를 제조할 때, 유기 반도체층(14) 상에 유기 반도체층(14)과 접하도록 소스?드레인 전극(15A, 15B)이 형성된 후에, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)이 형성된다. 이에 의해, 소스?드레인 전극(15A, 15B)이 배선층(17A, 17B)과 일체적으로 형성되는(배선층(17A, 17B)과 동일 공정으로 형성되는) 경우와 비교하여, 예를 들어 유기 반도체층(14)의 단부(반도체 섬의 에지 부분) 부근에서의 배선층(17A, 17B)의 단선이 발생하는 것을 방지한다.

[0069] 또한, 본 실시 형태에서는, 예를 들어 도 3의 (a) 등에 도시한 블록부(140), 혹은 도 3의 (b) 등에 도시한 오목부(160)가 유기 반도체층(14) 또는 보호막(16)에 설치되어 있다. 이에 의해, 예를 들어 도 4의 (a) 또는 도 4의 (b) 중의 사선으로 나타난 영역(부호(P11, P12) 참조)에서, 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)이 확실하게 전기적으로 서로 접속되게(서로 접촉되게) 된다. 그 결과, 예를 들어 도 1의 (b)는 및 도 5에 도시한 바와 같이, 배선층(17A, 17B)에서의 단선(절단)의 발생이 방지되고, 보다 확실한 전기적 접속이 확보된다.

[0070] 즉, 예를 들어 도 3의 (c) 및 도 7의 (a)에 도시한 비교예 2에 따른 박막 트랜지스터(박막 트랜지스터(201))에서는, 유기 반도체층(14) 및 보호막(16) 중 어느 것이든 블록부(140)나 오목부(160)가 설치되어 있지 않다. 이 점에서, 예를 들어 도 7의 (a) 중의 부호(P201)로 나타난 바와 같이, 게이트 전극(12)과 소스?드레인 전극(15A, 15B)(또는 배선층(17A, 17B))과의 층간에 게이트 절연막(13)만이 설치되어 있는 영역이 존재하게 된다. 이러한 영역은, 게이트 전극(12)과 소스?드레인 전극(15A, 15B) 사이의 누설부가 될 가능성이 높고, 대규모의 집적 회로를 제작했을 경우에는, 집적 회로는 회로로서의 성능을 나타내지 못할 수도 있다.

[0071] 따라서, 본 실시 형태에 따른 박막 트랜지스터(1)에서는, 예를 들어 도 8의 (a) 및 도 8의 (b)에 도시한 바와 같이, 게이트 전극(12)과 소스?드레인 전극(15A, 15B)(배선층(17A, 17B))과의 중첩 영역에, 유기 반도체층(14) 및 보호막(16) 중 적어도 하나가 배치되어 있도록 하는 것이 바람직하다고 말할 수 있다. 다시 말해, 예를 들어 도 8의 (c)에 도시한 비교예 2에 따른 박막 트랜지스터(201)와 같이, 게이트 전극(12)과 소스?드레인 전극(15A, 15B)(배선층(17A, 17B))과의 중첩 영역에, 유기 반도체층(14) 및 보호막(16) 모두 배치되지 않는 것은 바람직하지 않다.

[0072] 또한, 예를 들어 도 7의 (b)에 도시한 비교예 3의 박막 트랜지스터(박막 트랜지스터(301))에서는, 배선층(17A, 17B)을 서로 연결하는 영역에서, 게이트 전극(12)의 외형선의 외측에 유기 반도체층(14)의 외형선이 배치되어 있다. 따라서, 예를 들어 도 7의 (b) 중의 부호(P301)로 나타난 바와 같이, 게이트 전극(12)에 인가되는 게이트 전압에 의해 변조되지 않는 반도체 영역이 소스?드레인 전극(15A, 15B) 간(배선층(17A, 17B) 간)에 존재하게 된다. 이러한 반도체 영역은, 게이트 전극(12)과 소스?드레인 전극(15A, 15B) 사이의 누설부가 될 가능성이 높기 때문에, 상술한 이유에서 바람직하지 않은 영역이라고 말할 수 있다.

[0073] 이 점에서, 본 실시 형태의 박막 트랜지스터(1)에서는, 예를 들어 도 9에 도시한 바와 같이, 배선층(17A, 17B)을 서로 연결하는 영역에서, 게이트 전극(12)의 외형선의 내측에 유기 반도체층(14)의 외형선이 배치되어 있는 것이 바람직하다고 말할 수 있다. 또한, 이와 함께, 이하의 이유에 의해, 배선층(17A, 17B)을 서로 연결하는 방향(Y축 방향)에서는, 반대로, 게이트 전극(12)의 외형선의 외측에 유기 반도체층(14)의 외형선이 배치되어 있는 것이 바람직하다고 말할 수 있다. 즉, 유기 반도체층(14)의 반도체 섬에서의 외형선 부근(소스?드레인 전극(15A, 15B))의 영역에서의 Z 방향(두께 방향)의 적층 상황을 생각하면, 이하에 대해 말할 수 있다. 우선, 게이트 전극(12)의 외형선의 외측에 유기 반도체층(14)의 외형선이 배치되어 있는 경우, 상기한 영역에서의 적층 구

조는, 게이트 전극(12), 게이트 절연막(13), 유기 반도체층(14) 및 배선층(17A, 17B)의 순서대로 적층되어 형성된 것이 된다. 한편, 게이트 전극(12)의 외형선의 내측에 유기 반도체층(14)의 외형선이 배치되어 있는 경우, 상기한 영역에서의 적층 구조는, 게이트 전극(12), 게이트 절연막(13) 및 배선층(17A, 17B)의 순서대로 적층되어 형성된 것이 된다. 즉, 후자(유기 반도체층(14)의 외형선이 내측에 배치되었을 경우)와 비교해서, 전자(유기 반도체층(14)의 외형선이 외측에 배치되었을 경우)쪽이 적층수가, 유기 반도체층(14)에 대응되는 1층만큼 많게 된다. 이와 같이 전자가 후자보다 적층수가 1층만큼 적층수가 많음으로써, 후자와 비교해서 전자쪽이 게이트 배선?소스 배선 간 또는 게이트 배선?드레인 배선 간에서의 층간 누설의 발생 확률이 저감된다고 말할 수 있다.

[0074] 이상과 같이 본 실시 형태에서는, 유기 반도체층(14) 상에 유기 반도체층(14)과 접하도록 배치된 소스?드레인 전극(15A, 15B)과, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)이 별도로 형성되어 있다. 다시 말해, 이 박막 트랜지스터(1)를 제조할 때, 유기 반도체층(14) 상에 유기 반도체층(14)과 접하도록 소스?드레인 전극(15A, 15B)을 형성한 후에, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)을 형성한다. 이에 의해, 이들 소스?드레인 전극(15A, 15B)이 배선층(17A, 17B)과 일체적으로 형성되는(배선층(17A, 17B)과 동일 공정으로 형성되는) 경우와 비교하여, 예를 들어 유기 반도체층(14)의 단부(반도체 섬의 예지 부분) 부근에서의 배선층(17A, 17B)의 단선이 용이하게 발생하는 것을 방지할 수 있어, 제조 불량을 저감할 수 있게 된다. 이에 의해, 예를 들어 보텀 게이트?스태거드형 유기 TFT를 포함하는 대규모의 집적 회로를 높은 재현성으로 제조할 수 있게 된다.

[0075] 또한, 소스?드레인 전극(15A, 15B)을, 인쇄법을 사용하여 직접 패터닝 형성하기 때문에, 유기 TFT가 양호한 특성을 나타내는 보텀 게이트?스태거드형 유기 TFT를 얻을 수 있다. 이것은, 소스?드레인 전극(15A, 15B) 간(채널 바로 위의 유기 반도체층(14)의 표면)에 손상을 주지 않고서 튼 콘택트를 형성할 수 있기 때문이다.

[0076] 또한, 소스?드레인 전극(15A, 15B)으로서 사용 가능한 재료의 선택을 넓힐 수 있게 된다. 예를 들어, 도전성 고분자, 카본계 재료 등의 유기 반도체와의 전기적 접속이 양호하면서 저렴한 재료를 선택할 수 있게 된다. 이것은, 가령 높은 시트 저항의 재료라고 하더라도, 배선층(17A, 17B)을 일반적인 금속(시트 저항이 비교적 낮은 금속)에 의해 형성하면, 배선 저항이 증대해 버리는 문제를 발생시키지 않기 때문이다.

[0077] 이와 함께, 소스?드레인 전극(15A, 15B)의 전극단에 각각, 얼라인먼트 어긋남 흡수 영역(150)을 설치하도록 했으므로, 소스?드레인 전극(15A, 15B)을 인쇄 형성할 때의 위치 정렬 어긋남(얼라인먼트 어긋남)을 흡수할 수 있어(허용하도록 되어), 제조 불량의 발생을 더욱 저감할 수 있게 된다.

[0078] 또한, 박막 트랜지스터(1)에서, 유기 반도체층(14)의 외측 테두리 부분(반도체 섬의 예지 부분)이 보호막(16) 또는 배선층(17A, 17B)에 의해 완전히 피복되어 있도록 했으므로, 이하의 이점도 얻어진다. 우선, 진공 성막 방법에서, 선택의 자유도를 향상시킬 수 있다. 예를 들어, 스퍼터링법, CVD법 등, 비착(飛着; deposition particles) 입자에 고에너지를 부여하는 금속 성막 방법도 선택할 수 있게 된다. 이것은, 유기 반도체층(14)의 표면에 대한 손상을 걱정할 필요가 없기 때문이다. 또한, 배선층(17A, 17B) 가공 시에, 어느 정도의 강산이나 강염기를 사용할 수 있게 되므로, 택트성(tact characteristic)의 향상 및 저비용화를 도모할 수 있게 된다.

[0079] 이하, 본 개시물의 다른 실시 형태(제2 내지 제4 실시 형태)에 대해서 설명한다. 또한, 상기 제1 실시 형태에서의 구성 요소와 동일한 것에는 동일한 부호를 부여하고, 적절히 설명을 생략한다.

[0080] <제2 실시 형태>

[0081] [박막 트랜지스터(1A)의 구성 및 제조 방법]

[0082] 도 10의 (a) 내지 도 10의 (f)는, 제2 실시 형태에 따른 반도체 소자(박막 트랜지스터(1A))의 구성에 및 제2 실시 형태에 따른 박막 트랜지스터(1A)의 제조 방법에서의 주요한 공정예를 공정순으로 도시하는 평면도(X-Y 평면도)이다.

[0083] 본 실시 형태의 박막 트랜지스터(1A)는, 본 실시 형태의 박막 트랜지스터(1A)가 후술하는 콘택트부(18)를 구비하는 것을 제외하고는, 기본적으로는 박막 트랜지스터(1)와 마찬가지로 구성으로 되어 있다. 단, 이 박막 트랜지스터(1A)에서는, 이하 상세하게 설명하는 바와 같이, 소스?드레인 전극(15A, 15B) 및 배선층(17A, 17B)의 양쪽이 인쇄 프로세스(인쇄법)에 의해 형성되어 있다.

[0084] 또한, 이 박막 트랜지스터(1A)에서는, 박막 트랜지스터(1)와는 달리, 기판(11) 상에 게이트 전극(12), 게이트 절연막(13), 유기 반도체층(14), 한 쌍의 소스?드레인 전극(15A, 15B), 한 쌍의 배선층(17A, 17B) 및 보호막

(16)이 이 순서대로 적층되어 있다. 이것은, 보호막(16)을 형성한 후에 인쇄법에 의해 배선층(17A, 17B)을 형성하는 방법은, 표면의 요철이 너무 커서 인쇄하는 것이 곤란해지기 때문이다.

[0085] 본 실시 형태에서는, 우선, 도 10의 (a) 내지 도 10의 (c)에 도시한 바와 같이, 제1 실시 형태와 마찬가지로, 기판(11) 상에 게이트 전극(12) 및 게이트 배선(12L)을 형성하고, 이들 게이트 전극(12) 및 게이트 배선(12L) 상에 도하지 않은 게이트 절연막(13)을 형성한다. 그리고, 제1 실시 형태와 마찬가지로, 게이트 절연막(13) 상에 섬 형상의 유기 반도체층(14)을 형성한다. 단, 제1 실시 형태와는 상이하게, 유기 반도체층(14)을 형성할 때, 상술한 누설 전류의 발생을 피하기 위해, 게이트 배선(12L)과 배선층(17A, 17B)과의 교차 부분에도, 섬 형상의 유기 반도체층(14)을 형성한다.

[0086] 계속해서, 예를 들어 도 10의 (d)에 도시한 바와 같이, 예를 들어 반전 오프셋 인쇄법 등의 인쇄법을 사용하여, 배선층(17A, 17B)을 형성한다. 구체적으로는, 예를 들어 Ag를 직접 패터닝한 후, 예를 들어 140℃의 온도 조건으로 1시간 정도의 가열 처리를 행한다. 또한, 배선층(17A, 17B)의 재료 및 인쇄법의 종류에 대해서는 이에 한정되지 않는다.

[0087] 계속해서, 예를 들어 도 10의 (e)에 도시한 바와 같이, 제1 실시 형태와 마찬가지로, 보호막(16)을 형성한다. 단, 다음의 도 10의 (f)에 도시한 공정을 고려하면, 이 보호막(16)의 형상으로서, 상술한 오목부(160)를 갖는 형상인 것이 바람직하다. 이하의 도 10의 (f)의 공정에서, 잉크젯법을 사용하여 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)과의 콘택트 부분에 잉크를 적하할 때 오목부(160)에 의해, 미소 액적의 가로 방향(X축 방향)으로의 확대가 억제되기 때문이다.

[0088] 그 후, 본 실시 형태에서는, 예를 들어 도 10의 (f)에 도시한 바와 같이, 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)과의 콘택트부(18)를, 예를 들어 잉크젯법을 사용하여 형성한다. 구체적으로는, 잉크젯법을 사용하여, 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)과의 콘택트 부분에 Ag 나노 잉크를 적하하고, 그 잉크 적하 후에, 예를 들어 140℃의 온도 조건으로 1시간 정도의 가열 처리를 행함으로써, 콘택트부(18)를 형성한다. 이에 의해, 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)과의 양호한 전기적 접속이 확보되게 된다. 이상에 의해, 본 실시 형태에 따른 박막 트랜지스터(1A)가 완성된다.

[0089] [박막 트랜지스터(1A)의 작용?효과]

[0090] 박막 트랜지스터(1A)에서도, 박막 트랜지스터(1)와 마찬가지로, 유기 반도체층(14) 상에 유기 반도체층(14)과 접하도록 배치된 소스?드레인 전극(15A, 15B)과, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)이 별도로 형성되어 있다. 다시 말해, 박막 트랜지스터(1A)를 제조할 때, 유기 반도체층(14) 상에 유기 반도체층(14)과 접하도록 소스?드레인 전극(15A, 15B)을 형성한 후에, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)을 형성한다. 따라서, 본 실시 형태에서도 제1 실시 형태와 마찬가지로의 작용에 의해 제1 실시 형태와 마찬가지로의 효과를 제공할 수 있다.

[0091] 또한, 본 실시 형태에서는, 배선층(17A, 17B)을 형성하기 위한 잉크 재료로서, Ag 잉크를 사용하는 경우에는, 배선층(17A, 17B)에 수분이 침입하는 것을 방지하기 위해서, 강력한 시일(예를 들어, 유리 밀봉)을 제공할 필요가 있다. 그러한 경우, 플렉시블 회로의 실현은 불가능하게 된다. 한편, 잉크 재료로서 Ag 이외의 고저항 재료를 사용한 경우에는, 배선 길이가 짧은 회로에 고저항 재료를 적용하는 것이 가능하다고 생각된다.

[0092] 본 실시 형태에서, 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)을 별도 공정으로 형성하는 것의 이점은, 제1 실시 형태에서 설명한 바와 같이, 유기 반도체층(14)의 단부 부근에서의 배선층(17A, 17B)의 단선을 발생시키기 어렵게 한다는 것이다. 또한, 소스?드레인 전극(15A, 15B) 및 배선층(17A, 17B)을 인쇄 프로세스만으로 형성함으로써, 포토리소그래피 기술 및 에칭 가공을 사용하여 배선층(17A, 17B)을 형성하는 경우와 비교하여, 공정수를 삭감할 수 있다. 예를 들어, 소스?드레인 전극(15A, 15B)은 PEDOT-PSS 등의 도전성 고분자에 의해 구성되고, 배선층(17A, 17B)은 Ag에 의해 구성된다고 한 것과 같이, 별도의 잉크를 사용할 수도 있다. 적합한 전극 재료가 반드시 적합한 배선 재료가 된다고는 할 수 없기 때문에, 소스?드레인 전극(15A, 15B) 및 배선층(17A, 17B)을 별도 공정으로 형성하는 것에는 그 나름대로 의의가 있는 경우가 있을 수 있다.

[0093] <제3 실시 형태>

[0094] [박막 트랜지스터(1B)의 구성 및 제조 방법]

[0095] 도 11의 (a) 내지 도 11의 (e)는, 제3 실시 형태에 따른 반도체 소자(박막 트랜지스터(1B))의 구성에 및 제3 실시 형태에 따른 박막 트랜지스터(1B)의 제조 방법에서의 주요한 공정예를, 공정순으로 평면도(X-Y 평면도)로 도

시한 것이다.

- [0096] 본 실시 형태의 박막 트랜지스터(1B)는, 기본적으로는 박막 트랜지스터(1)와 마찬가지로 구성으로 되어 있다. 단, 이 박막 트랜지스터(1B)에서는, 이하 상세하게 설명한 바와 같이, 소스?드레인 전극(15A, 15B)은 진공 성막 프로세스 및 포토리소그래피 기술을 사용하여 형성되는(진공 성막 형성) 한편, 배선층(17A, 17B)은 인쇄 프로세스(인쇄법)에 의해 형성되어 있다. 배선층(17A, 17B)의 패턴 형성은 모두 인쇄법에 의해 행하고 있기 때문에, 포토리소그래피 기술을 사용하는 경우와 비교해서 공정수를 삭감할 수 있다.
- [0097] 또한, 이 박막 트랜지스터(1B)에서도, 제2 실시 형태와 마찬가지로 이유에 의해, 기판(11) 상에 게이트 전극(12), 게이트 절연막(13), 유기 반도체층(14), 한 쌍의 소스?드레인 전극(15A, 15B), 한 쌍의 배선층(17A, 17B) 및 보호막(16)이 이 순서대로 적층되어 있다.
- [0098] 본 실시 형태에서는, 우선, 도 11의 (a) 및 도 11의 (b)에 도시한 바와 같이, 제2 실시 형태와 마찬가지로 하여, 기판(11) 상에 게이트 전극(12) 및 게이트 배선(12L)을 형성하고, 이들 게이트 전극(12) 및 게이트 배선(12L) 상에 도시하지 않은 게이트 절연막(13)을 형성한다. 제2 실시 형태와 마찬가지로 하여, 이 게이트 절연막(13) 상에 섬 형상의 유기 반도체층(14)을 형성한다.
- [0099] 계속해서, 예를 들어 도 11의 (c)에 도시한 바와 같이, 진공 성막 프로세스 및 포토리소그래피 기술을 사용하여, 소스?드레인 전극(15A, 15B)을 형성한다. 구체적으로는, 우선, 소스 전극?드레인 전극(15A, 15B)을 형성하는 금속막으로서, Ag를 저항 가열 증착하고, 포토레지스트 재료를 반전 오프셋 인쇄법에 의해 인쇄함으로써, 소스?드레인 전극(15A, 15B)의 패턴을 형성한다. 계속해서, 예를 들어 요오드화 칼륨 수용액으로 에칭한 후, 포토레지스트를 제거한다.
- [0100] 계속해서, 예를 들어 도 11의 (d) 및 도 11의 (e)에 도시한 바와 같이, 제2 실시 형태와 마찬가지로 하여, 배선층(17A, 17B) 및 보호막(16)을 형성한다. 이상의 결과로서, 본 실시 형태의 박막 트랜지스터(1B)가 완성된다.
- [0101] [박막 트랜지스터(1B)의 작용?효과]
- [0102] 이 박막 트랜지스터(1B)에서도, 박막 트랜지스터(1)와 마찬가지로, 유기 반도체층(14)과 접하도록 유기 반도체층(14) 상에 배치된 소스?드레인 전극(15A, 15B)과, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)이 별도로 형성되어 있다. 다시 말해, 이 박막 트랜지스터(1B)를 제조할 때, 유기 반도체층(14)에 접하도록 유기 반도체층(14) 상에 소스?드레인 전극(15A, 15B)을 형성한 후에, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)을 형성한다. 따라서, 본 실시 형태에서도, 제1 실시 형태와 마찬가지로 작용에 의해 제1 실시 형태와 마찬가지로 효과를 얻을 수 있다.
- [0103] 또한, 본 실시 형태에서는, 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)을 별도 공정으로 형성하는 것의 이점은, 제1 실시 형태에서 설명한 것 이외에, 다음과 같은 이점을 가질 수 있다. 예를 들어 소스?드레인 전극(15A, 15B)의 재료로서 Au를 사용한 경우, Au를 소스?드레인 전극(15A, 15B)에 한정적으로 사용함으로써, 고가인 Au의 사용량을 삭감할 수 있다.
- [0104] <제4 실시 형태>
- [0105] [박막 트랜지스터(1C)의 구성 및 제조 방법]
- [0106] 도 12의 (a) 내지 도 12의 (e)는, 제4 실시 형태에 따른 반도체 소자(박막 트랜지스터(1C))의 구성에 및 제4 실시 형태에 따른 박막 트랜지스터(1C)의 제조 방법에서의 주요한 공정예를, 공정순으로 평면도(X-Y 평면도)이다.
- [0107] 본 실시 형태의 박막 트랜지스터(1C)는, 기본적으로는 박막 트랜지스터(1)와 마찬가지로 구성을 갖는다. 단, 이 박막 트랜지스터(1C)에서는, 이하 상세하게 설명하는 바와 같이, 소스?드레인 전극(15A, 15B) 및 배선층(17A, 17B)의 양쪽이 진공 성막 프로세스 및 포토리소그래피 기술을 사용하여 형성되어 있다(진공 성막 형성).
- [0108] 구체적으로, 우선, 도 12의 (a) 내지 도 12의 (c)에 도시한 바와 같이, 제3 실시 형태와 마찬가지로 하여, 기판(11) 상에 게이트 전극(12) 및 게이트 배선(12L)을 형성하고, 이들 게이트 전극(12) 및 게이트 배선(12L) 상에 도시하지 않은 게이트 절연막(13)을 형성한다. 제3 실시 형태와 마찬가지로 하여, 이 게이트 절연막(13) 상에 섬 형상의 유기 반도체층(14)을 형성한 후, 소스?드레인 전극(15A, 15B)을 형성한다.
- [0109] 계속해서, 예를 들어 도 12의 (d)에 도시한 바와 같이, 제1 실시 형태와 마찬가지로 하여 배선층(17A, 17B)을 형성한다. 그 후, 예를 들어 도 12의 (e)에 도시한 바와 같이, 제3 실시 형태와 마찬가지로 하여 보호막(16)을 형성한다. 이상의 결과로서, 본 실시 형태의 박막 트랜지스터(1C)가 완성된다.

- [0110] [박막 트랜지스터(1C)의 작용?효과]
- [0111] 이 박막 트랜지스터(1C)에서도, 박막 트랜지스터(1)와 마찬가지로, 유기 반도체층(14)과 접하도록 유기 반도체층(14) 상에 배치된 소스?드레인 전극(15A, 15B)과, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)이 별도로 형성되어 있다. 다시 말해, 이 박막 트랜지스터(1C)를 제조할 때, 유기 반도체층(14)과 접하도록 유기 반도체층(14) 상에 소스?드레인 전극(15A, 15B)을 형성한 후에, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)을 형성한다. 따라서, 본 실시 형태에서도, 제1 실시 형태와 마찬가지로의 작용에 의해 제1 실시 형태와 마찬가지로의 효과를 얻을 수 있다.
- [0112] <제5 실시 형태>
- [0113] [박막 트랜지스터(1D)의 전체 구성]
- [0114] 도 13의 (a) 및 도 13의 (b)는, 제5 실시 형태에 따른 반도체 소자(박막 트랜지스터(1D))의 개략 구성을 모식적으로 도시한다. 구체적으로는, 도 13의 (a)는 평면 구성(X-Y 평면 구성)을 도시한다. 도 13의 (b)는 도 13의 (a)에서의 IV-IV 선을 따라 화살표 방향으로 취한 단면 구성(Z-X 단면 구성)을 도시하고 있다. 이 박막 트랜지스터(1D)도 또한 지금까지 설명한 박막 트랜지스터(1, 1A 내지 1C)와 마찬가지로, 톱 콘택트?스태거드형 유기 TFT이다.
- [0115] 박막 트랜지스터(1D)에서는, 예를 들어 기판(11) 상에 게이트 전극(12), 게이트 절연막(13), 유기 반도체층(14), 한 쌍의 소스?드레인 전극(15A, 15B) 및 뱅크(에칭 스톱퍼층)(19) 및 한 쌍의 배선층(17A, 17B)이, 이 순서대로 적층되어 있다.
- [0116] 뱅크(19)는, 소스?드레인 전극(15A, 15B)의 각 주위의 적어도 일부분을 둘러싸도록 해서 배치되어 있다. 이 경우, 뱅크(19)는 개개의 박막 트랜지스터(1D)마다(소자의 형성 영역마다) 개별로 배치되어 있다. 즉, 각 뱅크(19)는 각 박막 트랜지스터(1D)의 형성 영역 부근에만 배치되어 있다. 다시 말해, 뱅크(19)는 기판(11) 상에 비연속적으로(박막 트랜지스터(1D)의 형성 영역마다 분리되어) 배치되어 있다.
- [0117] 또한, 이 경우의 뱅크(19)는, 한 쌍의 소스?드레인 전극(15A, 15B)끼리를 분리하는 형상을 갖고, 이들 소스?드레인 전극(15A, 15B)의 주위 중 배선(17A, 17B)측에 개구부(190)를 갖고 있다. 즉, 이 경우의 뱅크(19)는, 도 13의 (a)에 도시한 바와 같이, 대문자 H를 측으로 눌린 형상을 갖고 있다. 다시 말해, 여기에서는 뱅크(19)의 형성 영역과 배선층(17A, 17B)의 형성 영역이, 서로 중첩하고 있지 않다(오버랩하고 있지 않음). 소스?드레인 전극(15A, 15B)의 각 단부(하나의 단부)가 뱅크(19) 내로부터 개구부(190)를 통해서 배선층(17A, 17B)측으로 돌출되어 있음(밀려나오고 있음)으로써, 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)이 전기적으로 접속되어 있다. 또한, 이러한 소스?드레인 전극(15A, 15B)의 돌출부(밀려 나옴부)는, 후술하는 소스?드레인 전극(15A, 15B)의 형성 시에 자연스럽게 또는 의도적으로 형성되도록 되어 있다.
- [0118] 이러한 형상의 뱅크(19)를 사용하는 경우, 후술하는 바와 같이 소스?드레인 전극(15A, 15B)이 자기 정합적으로 형성되도록 되어 있다(셀프?얼라인먼트 형성). 또한, 뱅크(19)는 유기 반도체층(14)에서의 채널 부분에 대한 에칭 스톱퍼층으로서도 기능한다. 또한, 이러한 뱅크(19)는, 예를 들어 불소(F)계의 수지 재료( $(C_6F_{10})_n$  등) 등의 발액성 재료에 의해 형성되어 있는 것이 바람직하다.
- [0119] [박막 트랜지스터(1D)의 제조 방법]
- [0120] 박막 트랜지스터(1D)는, 예를 들어 다음과 같이 하여 제조할 수 있다. 도 14의 (a) 내지 도 14의 (j)는, 본 실시 형태의 박막 트랜지스터(1D)의 제조 방법에서 주요한 공정예를, 공정순으로 도시한 평면도(X-Y 평면도)이다. 또한, 여기에서는, 박막 트랜지스터(1D)와 함께 용량 소자가 형성되는 경우를 예로 들어 설명한다.
- [0121] 우선, 도 14의 (a)에 도시한 바와 같이, 기판(11) 상에 게이트 전극(12) 및 게이트 배선(12L)을 형성한다. 그 후, 도 14의 (b)에 도시한 바와 같이, 이들 게이트 전극(12) 및 게이트 배선(12L) 상에 게이트 절연막(13)을 형성한다. 계속해서, 도 14의 (c) 및 도 14의 (d)에 도시한 바와 같이, 제1 내지 제4 실시 형태와 마찬가지로 하여, 게이트 절연막(13) 상에 섬 형상의 유기 반도체층(14)을 형성한다.
- [0122] 계속해서, 도 14의 (e)에 도시한 바와 같이, 게이트 절연막(13) 및 섬 형상의 유기 반도체층(14) 상에 상술한 바와 같이 에칭 스톱퍼층으로서도 기능하는 뱅크(19)를, 예를 들어 반전 오프셋 인쇄를 사용하여 형성한다. 구체적으로는, 예를 들어 불소계 수지 등의 발액성 재료를 사용한 반전 오프셋 인쇄를 행하고, 예를 들어 120℃의 온도로 5분간 가열 건조를 행함으로써, 뱅크(19)를 형성한다. 또한, 이 예에서는, 용량 소자(예를 들어, 보조

용량 소자)의 형성 영역 주위에도, 뱅크(19)를 형성하도록 하고 있다. 이와 같이 하여, 이하 설명하는 바와 같이 용량 소자의 전극(상부 전극)도 인쇄법을 사용하여 형성하도록 했을 경우, 후술하는 배선층(17A, 17B)의 인쇄법(여기서는 그라비아 인쇄; gravure printing)에 의한 형성이 용이해진다. 이것은, 그라비아 인쇄에서는 단순한 패턴의 인쇄는 용이하지만, 예를 들어 직교하는 직선끼리나 사각형과 직선이 혼재된 패턴 등의 인쇄가 어렵기 때문이다.

[0123] 이어서, 도 14의 (f) 중의 부호(P4)로 나타낸 바와 같이, 인쇄 프로세스(여기서는 잉크젯법)를 사용하여, 뱅크(19)의 내측에 소스?드레인 전극(15A, 15B)(및 용량 소자의 전극)의 구성 재료로 이루어지는 잉크를 적하해서 충전한다. 이러한 방식으로, 예를 들어 도 14의 (g)에 도시한 바와 같이, 뱅크(19) 내에 적하된 잉크가 젖어 번짐으로써, 소스?드레인 전극(15A, 15B) 등이 뱅크(19)를 사용하여 자기 정합적으로 형성된다. 이때, 여기에서는 소스?드레인 전극(15A)의 단부(하나의 단부)가 뱅크(19) 내로부터 개구부(190)를 통하여, 배선층(17A)의 형성 예정 영역측으로 돌출된다(밀려나온다). 이러한 돌출부(밀려 나옴부)가 소스?드레인 전극(15A)과 배선층(17A)의 전기적 접속 부분(콘택트부)으로서 기능하게 된다. 또한, 이때, 소스?드레인 전극(15A, 15B)과 에칭 스톱퍼층으로서도 기능하는 뱅크(19)에 의해, 섬 형상의 유기 반도체층(14) 전체는 바람직하게 완전히 덮여진다. 이는, 이후 배선층(17A, 17B)의 형성 시에, 채널 부분이 보호되도록 하기 위해서다.

[0124] 계속해서, 도 14의 (h)에 도시한 바와 같이, 예를 들어 스퍼터링법을 사용하여 배선층(170)을 전체면에 성막한다. 그 후, 도 14의 (i)에 도시한 바와 같이, 레지스트막(8)을 배선층(17A, 17B)의 형상으로 패턴 인쇄한다. 계속해서, 예를 들어 질산?불산?인산의 혼산(mixed acid)을 사용하여, 배선층(170)을 습식 에칭 가공하고, 그 후 레지스트막(8)을 용해?제거함으로써, 도 14의 (j)에 도시한 바와 같이 배선층(17A, 17B)이 형성된다. 이상에 의해, 도 13의 (a) 및 도 13의 (b)에 도시한 박막 트랜지스터(1D)가 완성된다.

[0125] [박막 트랜지스터(1D)의 작용?효과]

[0126] 박막 트랜지스터(1D)에서도, 박막 트랜지스터(1)와 마찬가지로, 유기 반도체층(14)과 접하도록 유기 반도체층(14) 상에 배치된 소스?드레인 전극(15A, 15B)과, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)이 별도로 형성되어 있다. 다시 말해, 이 박막 트랜지스터(1D)를 제조할 때, 유기 반도체층(14)과 접하도록 유기 반도체층(14) 상에 소스?드레인 전극(15A, 15B)을 형성한 후에, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)을 형성한다. 따라서, 본 실시 형태에서도, 제1 실시 형태와 마찬가지로의 작용에 의해 제1 실시 형태와 마찬가지로의 효과를 얻을 수 있다.

[0127] 또한, 본 실시 형태에서는, 뱅크(19)를 이용한 잉크젯 인쇄에 의해, 소스?드레인 전극(15A, 15B)이 자기 정합적으로 형성된다. 따라서, 잉크를 적하할 때의 위치를 제어하면서, 잉크젯 인쇄의 채용에 의한 재료 비용 삭감 효과가 얻어진다. 즉, 제조 비용을 삭감하면서, 미세한 패턴으로 이루어지는 소자의 제조가 가능하게 된다. 또한, 잉크를 적하하는 방법으로 인해, 기판(11) 상에 요철이 있어도, 배선층(17A, 17B) 등의 단선의 우려가 저감된다. 이와 함께, 여기에서는 뱅크(19)가 에칭 스톱퍼층으로서도 기능하기 때문에, 이러한 뱅크(19)를 뱅크(19) 전용으로 설치하는 것은 아니다(뱅크(19)의 형성 공정이 사실상 생략됨). 따라서, 한층 더 제조 비용의 삭감이 도모된다. 또한, 예를 들어 소스?드레인 전극(15A, 15B)뿐만 아니라, 배선층(17A, 17B) 등에도 대해서도 인쇄 형성한 경우에는, 소스?드레인 전극(15A, 15B) 및 배선층(17A, 17B) 등을 포토리소그래피 기술을 사용하지 않고 형성할 수 있다. 따라서, 한층 더 제조 비용 삭감 효과가 얻어진다.

[0128] 또한 본 실시 형태에서는, 뱅크(19)가 개개의 박막 트랜지스터(1D)마다(소자의 형성 영역마다) 개별로 설치되어 있다. 즉, 각 뱅크(19)는 각 박막 트랜지스터(1D) 형성 영역 부근에만 배치되어 있다. 다시 말해, 뱅크(19)는 기판(11) 상에 비연속적으로(박막 트랜지스터(1D)의 형성 영역마다 분리되어) 설치되어 있다. 뱅크(19)가 상술한 발액성 재료로 이루어질 경우에는, 이하의 효과도 얻어진다. 발액성 뱅크(19)가 박막 트랜지스터(1D)의 근방에만 존재하기 때문에, 소스?드레인 전극(15A, 15B) 및 배선층(17A, 17B) 등의 층 구조를 형성할 때 특별한 친수 처리가 불필요하게 되므로, 공정 삭감의 효과가 얻어진다. 또한, 기판(11) 전체에 발액성의 뱅크(19)가 되는 박막이 존재하는 경우와 비교하여, 기판(11) 상의 전기 회로 전체의 구조적인 신뢰성이 향상된다. 이것은, 발액성의 뱅크(19)가 기판(11) 표면에 넓게 존재하면, 발액성의 뱅크(19) 위에 도포막(층간 절연막 등)을 형성하는 것이 곤란해지기 때문이다. 또한, 도포막을 형성할 수 있어도, 층간 절연막 등과 발액성 뱅크(19)의 막 사이의 부착력은 일반적으로 약하다. 따라서, 그 계면에 막이 벗겨지기 쉬워져, 구조적으로 취약하게 된다.

[0129] 또한, 얼라인먼트 정밀도가 특히 요구되는 에칭 스톱퍼층과 소스?드레인 전극(15A, 15B)과의 얼라인먼트가 자기 정합적으로 수행된다. 따라서, 인쇄 기계에서의 얼라인먼트 정밀도 부족의 문제가 완화된다. 또한, 에칭 스톱

퍼층으로서도 기능하는 बैं크(19)와 소스?드레인 전극(15A, 15B) 사이의 얼라인먼트가 정확하게 행해진 경우에는, 예를 들어 도 15의 (a)에 도시한 바와 같이, 소스?드레인 전극(15A, 15B) 사이의 단락(쇼트)의 우려가 방지된다. 이에 대해, 예를 들어 도 15의 (b)에 도시한 바와 같이, बैं크(19)와 소스?드레인 전극(15A, 15B) 사이의 얼라인먼트가 어긋났을 경우에는, 소스?드레인 전극(15A, 15B)을 잉크젯 인쇄에 의해 형성했을 때, 소스?드레인 전극(15A, 15B) 사이의 단락의 우려가 있다.

[0130] <제5 실시 형태의 변형예>

[0131] 이하, 상기 제5 실시 형태의 변형예(변형예 1 내지 3)에 대해서 설명한다. 이들 변형예 1 내지 3 중 변형예 1, 2에서는, 소스?드레인 전극(15A, 15B), 배선(17A, 17B) 등의 형성 방법이 제5 실시 형태와는 상이하다. 즉, 박막 트랜지스터(1D)의 구성 자체는, 기본적으로는 제5 실시 형태에서 설명한 박막 트랜지스터(1D)와 마찬가지로이다. 또한, 제5 실시 형태에서의 구성 요소와 동일한 것에는 동일한 부호를 부여하고, 적절히 설명을 생략한다.

[0132] [변형예 1]

[0133] 도 16의 (a) 내지 도 16의 (f)는 변형예 1에 따른 박막 트랜지스터(1D)의 제조 방법에서의 주요한 공정예를, 공정순으로 평면도(X-Y 평면도)로 도시한 것이다. 본 변형예에서는, 반전 오프셋 인쇄에 의한 레지스트 패턴 형성을 사용하여 배선층(17A, 17B)을 형성한 후에, 잉크젯 인쇄를 사용하여 소스?드레인 전극(15A, 15B)을 형성하도록 하고 있다. 잉크젯 인쇄를 사용한 소스?드레인 전극(15A, 15B)의 형성을, 배선층(17A, 17B)의 형성 후에 행하는 것은, 반전 오프셋 인쇄법의 경우에는 요철면 상에 인쇄가 어렵기 때문이다.

[0134] 본 변형예에서는, 우선 도 16의 (a)에 도시한 바와 같이, 제5 실시 형태와 마찬가지로 하여, 기판(11) 상에 게이트 전극(12) 및 게이트 배선(12L)을 형성한 후, 이들 게이트 전극(12) 및 게이트 배선(12L) 상에 게이트 절연막(13), 섬 형상의 유기 반도체층(14) 및 बैं크(19)를 형성한다.

[0135] 계속해서, 도 16의 (b)에 도시한 바와 같이, 예를 들어 스퍼터링법 등을 사용하여 배선층(170)을 전체면에 성막한다. 그 후, 도 16의 (c)에 도시한 바와 같이, 레지스트막(8)을 배선층(17A, 17B)의 형상으로 패턴 인쇄한다. 계속해서, 예를 들어 질산?불산?인산의 혼산을 사용하여, 배선층(170)을 습식 에칭 가공하고, 그 후 레지스트막(8)을 용해?제거함으로써, 도 16의 (d)에 도시한 바와 같이 배선층(17A, 17B)이 형성된다.

[0136] 이어서, 도 16의 (e) 중의 부호(P4)로 나타낸 바와 같이, 인쇄 프로세스(여기서는 잉크젯법)를 사용하여, बैं크(19) 내에 소스?드레인 전극(15A, 15B)의 구성 재료로 이루어지는 잉크를 적하해서 충전한다. 이에 의해, 예를 들어 도 16의 (f)에 도시한 바와 같이, बैं크(19) 내에 적하된 잉크가 젖어 번짐으로써, 소스?드레인 전극(15A, 15B)이 बैं크(19)를 사용하여 자기 정합적으로 형성된다. 또한 이때, 여기에서는 소스?드레인 전극(15A, 15B)의 각 단부(하나의 단부)가, बैं크(19) 내로부터 개구부(190)를 통하여, 배선층(17A, 17B)측으로 돌출된다(밀려나온다). 이러한 돌출부(밀려 나옴부)가 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)을 전기적 접속 부분(콘택트부)으로서 기능한다.

[0137] 이러한 제조 방법을 사용한 본 변형예에서도, 상기 제5 실시 형태와 마찬가지로의 작용에 의해 상기 제5 실시 형태와 마찬가지로의 효과를 얻을 수 있다.

[0138] [변형예 2]

[0139] 도 17의 (a) 내지 도 17의 (e)는 변형예 2에 따른 박막 트랜지스터(1D)의 제조 방법에서의 주요한 공정예를, 공정순으로 평면도(X-Y 평면도)로 도시한 것이다. 본 변형예에서는, 잉크젯 인쇄를 사용하여 소스?드레인 전극(15A, 15B)을 형성한 후, 레이저 어블레이션법을 사용하여 배선층(17A, 17B)을 형성하도록 하고 있다.

[0140] 본 변형예에서는, 우선 도 17의 (a)에 도시한 바와 같이, 제5 실시 형태와 마찬가지로 하여, 기판(11) 상에 게이트 전극(12) 및 게이트 배선(12L)을 형성한 후, 이들 게이트 전극(12) 및 게이트 배선(12L) 상에 게이트 절연막(13), 섬 형상의 유기 반도체층(14) 및 बैं크(19)를 형성한다.

[0141] 계속해서, 도 17의 (b) 중의 부호(P4)로 도시한 바와 같이, 인쇄 프로세스(여기서는 잉크젯법)를 사용하여, बैं크(19) 내에 소스?드레인 전극(15A, 15B)의 구성 재료로 이루어지는 잉크를 적하해서 충전한다. 이에 의해, 예를 들어 도 17의 (c)에 도시한 바와 같이, बैं크(19) 내에 적하된 잉크가 젖어 번짐으로써, 소스?드레인 전극(15A, 15B)이 बैं크(19)를 사용하여 자기 정합적으로 형성된다. 또한 이때, 여기에서는 소스?드레인 전극(15A, 15B)의 각 단부(하나의 단부)가 बैं크(19) 내로부터 개구부(190)를 통하여, 배선층(17A, 17B)의 형성 예정 영역에 돌출된다(밀려나온다). 이러한 돌출부(밀려 나옴부)가 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)의

전기적 접속 부분(콘택트부)으로서 기능하게 된다.

- [0142] 계속해서, 도 17의 (d)에 도시한 바와 같이, 예를 들어 스퍼터링법 등을 사용하여 배선층(170)을 전체면에 성막한다. 그 후, 레이저 어블레이션법을 사용하여 배선층(170)을 패턴 가공한다. 따라서, 도 17의 (e)에 도시한 바와 같이 배선층(17A, 17B)이 형성된다.
- [0143] 이러한 제조 방법을 사용한 본 변형예에서도, 상기 제5 실시 형태와 마찬가지로의 작용에 의해 마찬가지로의 효과를 얻을 수 있다.
- [0144] [변형예 3]
- [0145] 도 18의 (a) 내지 도 18의 (c)는, 변형예 3에 따른 박막 트랜지스터에서의 뱅크(19A)의 구성에 및 이 뱅크(19A)를 사용한 박막 트랜지스터의 제조 방법에서의 주요한 공정예를, 공정순으로 평면도(X-Y 평면도)로 도시한 것이다.
- [0146] 본 변형예에서도 제5 실시 형태와 마찬가지로, 에칭 스톱퍼층으로서도 기능하는 뱅크(19A)를 이용한 잉크젯 인쇄에 의해, 소스?드레인 전극(15A, 15B)이 자기 정합적으로 형성된다. 그러나, 본 변형예의 뱅크(19A)에서는, 지금까지 설명한 뱅크(19)와는 상이하게, 개구부(190)가 설치되어 있지 않다. 즉, 이 뱅크(19A)는 소스?드레인 전극(15A, 15B)의 각 주위의 모든 부분을 둘러싸도록 해서 설치되어 있다. 또한, 뱅크(19A)도 뱅크(19)와 마찬가지로, 개개의 박막 트랜지스터마다(소자의 형성 영역마다) 개별적으로 설치되어 있다.
- [0147] 이러한 형상으로 이루어지는 뱅크(19A)를 사용한 본 변형예에서도, 상기 제5 실시 형태와 마찬가지로의 작용에 의해 마찬가지로의 효과를 얻을 수 있다.
- [0148] 그러나, 이러한 형상의 뱅크(19A)를 사용한 경우, 예를 들어 도 19의 (a)에 도시한 바와 같이, 뱅크(19A)의 형성 영역과 배선층(17A, 17B)의 형성 영역이 뱅크(19A)의 단부에서 서로 중첩하게(오버랩하게) 된다. 소스?드레인 전극(15A, 15B)의 각 단부(하나의 단부)가, 뱅크(19A) 내(상기한 중첩 영역)에서 배선층(17A, 17B)과 전기적으로 접속되게 된다(도 19의 (a)의 화살표(P51) 참조). 그러나 이 경우, 예를 들어 도 19의 (a)의 부호(P6)로 나타낸 바와 같이, 배선층(17A, 17B)의 에지 부분에서, 뱅크(19A) 및 뱅크(19A) 내부의 소스?드레인 전극(15A, 15B)에 단차가 형성된다. 이러한 단차 부분에서는, 소스?드레인 전극(15A, 15B)의 단선이 발생하기 쉽다. 이 때문에, 신뢰성의 관점에서는 단차가 발생하는 것은 바람직하지 않다고 말할 수 있다.
- [0149] 이에 대해 제5 실시 형태의 뱅크(19)에서는, 예를 들어 도 19의 (b)에 도시한 바와 같이, 뱅크(19)의 형성 영역과 배선층(17A, 17B)의 형성 영역이, 서로 중첩하지 않고 있다(오버랩하지 않고 있음). 소스?드레인 전극(15A, 15B)의 각 단부(하나의 단부)가, 뱅크(19) 내로부터 개구부(190)를 통해서 배선층(17A, 17B)측으로 돌출됨으로써(밀려나옴으로써), 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)이 전기적으로 접속되어 있다(도 19의 (b)의 부호(P52) 참조). 따라서, 뱅크(19)를 사용한 경우에는 소스?드레인 전극(15A, 15B)에 단차가 형성되지 않기 때문에, 도 19의 (a)와 같이 뱅크(19A)를 사용한 경우와 비교하여, 신뢰성을 향상시킬 수 있게 된다고 말할 수 있다.
- [0150] <제6 실시 형태>
- [0151] [박막 트랜지스터(1E)의 전체 구성]
- [0152] 도 20은, 제6 실시 형태에 따른 반도체 소자(박막 트랜지스터(1E))의 개략 구성(Z-X 단면 구성)을 모식적으로 도시한 것이다. 이 박막 트랜지스터(1E)는, 지금까지 설명한 박막 트랜지스터(1, 1A 내지 1D)와는 상이하게, 보텀 콘택트?스태거드형 유기 TFT이다.
- [0153] 박막 트랜지스터(1E)에서는, 기판(11) 상에 게이트 전극(12), 게이트 절연막(13), 한 쌍의 소스?드레인 전극(15A, 15B) 및 유기 반도체층(14) 및 한 쌍의 배선층(17A, 17B)이, 이 순서대로 적층되어 있다.
- [0154] 박막 트랜지스터(1E)에서도 박막 트랜지스터(1, 1A 내지 1D)와 마찬가지로, 유기 반도체층(14)과 접하는 소스?드레인 전극(15A, 15B)과, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)이 별도로 형성되어 있다. 그러나, 박막 트랜지스터(1, 1A 내지 1D)에서 소스?드레인 전극(15A, 15B)은 유기 반도체층(14) 상에서 이 유기 반도체층(14)과 접하고, 박막 트랜지스터(1E)에서 소스?드레인 전극(15A, 15B)은 유기 반도체층(14)의 하층에서 이 유기 반도체층(14)과 접하고 있다.
- [0155] 또한, 이 박막 트랜지스터(1E)에서 소스?드레인 전극(15A, 15B)은 각각 소정 형상의 뱅크(뱅크(19) 또는 뱅크(19A)) 내에 소스?드레인 전극(15A, 15B)의 구성 재료(잉크)가 적하되어서 충전됨으로써 형성된다. 박막 트랜

지스터(1E)에서 유기 반도체층(14)은, 상기한 बैं크의 제거 후에 소스?드레인 전극(15A, 15B) 상에 형성된다. 즉, 박막 트랜지스터(1E)에서는 박막 트랜지스터(1D)와는 상이하게, 최종적으로 बैं크가 제거되어 잔존하지 않게 되어 있다. 그러나, 본 내용은 이와 같이 बैं크를 사용하여 소스?드레인 전극(15A, 15B)을 형성하는 경우에 한정되지 않고, बैं크를 사용하지 않고 소스?드레인 전극(15A, 15B)을 형성할 수 있다.

[0156] [박막 트랜지스터(1E)의 제조 방법]

[0157] 박막 트랜지스터(1E)는, 예를 들어 다음과 같이 해서 제조할 수 있다. 도 21의 (a) 내지 도 21의 (d)는, 본 실시 형태의 박막 트랜지스터(1E)의 제조 방법에서의 주요한 공정예를, 공정순으로 평면도(X-Y 평면도)로 도시한 것이다.

[0158] 우선, 도 21의 (a)에 도시한 바와 같이, 기판(11) 상에 게이트 전극(12) 및 게이트 배선(12L)을 형성하고, 이들 게이트 전극(12) 및 게이트 배선(12L) 상에 게이트 절연막(13)을 형성한다. 이 게이트 절연막(13) 상에 예를 들어 상기한 बैं크를 사용한 인쇄 프로세스(잉크젯 인쇄)에 의해, 소스?드레인 전극(15A, 15B)을 형성한다. 또한, 이렇게 बैं크를 사용하여 소스?드레인 전극(15A, 15B)을 형성한 경우에는, 그 후에 बैं크를 제거하도록 한다.

[0159] 계속해서, 도 21의 (b)에 도시한 바와 같이, 게이트 절연막(13) 및 소스?드레인 전극(15A, 15B) 상에, 예를 들어 플렉소그래피 등의 인쇄법을 사용하여, 섬 형상의 유기 반도체층(14)을 형성한다. 이어서, 도 21의 (c)에 도시한 바와 같이, 유기 반도체층(14)의 전체면을 덮도록 하고, 예를 들어 반전 오프셋 인쇄 등의 인쇄법을 사용하여, 불소계 수지 등으로 이루어지는 에칭 스톱퍼층(19B)을 형성한다.

[0160] 그 후, 예를 들어 스퍼터링법 등을 사용하여 배선층(170)을 전체면에 성막하고, 예를 들어 레지스트막(8)을 배선층(17A, 17B)의 형상으로 패터닝 인쇄한다. 계속해서, 예를 들어 질산?불산?인산의 혼산을 사용하여, 배선층(170)을 습식 에칭 가공하고, 그 후 레지스트막(8)을 용해?제거함으로써, 도 21의 (d)에 도시한 바와 같이 배선층(17A, 17B)이 형성된다. 이상에 의해, 본 실시 형태의 박막 트랜지스터(1E)가 완성된다.

[0161] [박막 트랜지스터(1E)의 작용?효과]

[0162] 박막 트랜지스터(1E)에서도, 박막 트랜지스터(1, 1A 내지 1D)와 마찬가지로, 유기 반도체층(14)과 접하도록 유기 반도체층(14)상에 배치된 소스?드레인 전극(15A, 15B)과, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)이 별도로 형성되어 있다. 다시 말해, 이 박막 트랜지스터(1E)를 제조할 때, 유기 반도체층(14)과 접하는 소스?드레인 전극(15A, 15B)과, 이들 소스?드레인 전극(15A, 15B)과 전기적으로 접속된 배선층(17A, 17B)이 별도의 공정에 의해 형성된다.

[0163] 이에 의해 본 실시 형태에서는, 이들 소스?드레인 전극(15A, 15B)과 배선층(17A, 17B)이 일체적(동일 공정)으로 형성되어 있는 경우와 비교하여, 예를 들어 이하 설명하는 바와 같이, 유기 반도체층(14)과 소스?드레인 전극(15A, 15B) 사이의 접촉 저항을 억제하면서, 배선층(17A, 17B)에서의 배선 저항을 저감할 수 있다. 따라서, 본 실시 형태에서도 제1 내지 제5 실시 형태 등과 마찬가지로, 신뢰성을 향상시킬(제조 불량을 저감할) 수 있게 된다.

[0164] 구체적으로는, 예를 들어 도 22의 (a)에 도시한 비교예 4에 따른 박막 트랜지스터(401)에서는, 배선층(17A, 17B)으로서도 기능하고 있는 소스?드레인 전극(15A, 15B)의 막 두께가 커지고 있으므로, 소스?드레인 전극(15A, 15B)의 배선 저항이 낮아진다. 그러나, 도 22의 (a)의 부호(P71)에 도시한 소스?드레인 전극(15A, 15B)의 단차 부분에서, 예를 들어 유기 반도체층(14)에서의 반도체의 결정이 흐트러지는 결과로서, 접촉 저항이 증대하고 신뢰성이 저하될(제조 불량이 증대될) 우려가 있다.

[0165] 한편, 예를 들어 도 22의 (b)에 도시한 비교예 5에 따른 박막 트랜지스터(501)에서는, 도 22의 (b)의 부호(P72)로 나타낸 바와 같이, 배선층(17A, 17B)으로서도 기능하고 있는 소스?드레인 전극(15A, 15B)의 막 두께가 작다. 이로 인해, 상기 비교예 4와 비교하여, 소스?드레인 전극(15A, 15B)의 단차 부분에서의 접촉 저항이 낮게 되어, 이 점에서 신뢰성이 향상된다(제조 불량이 저감함). 그러나, 배선층(17A, 17B)으로서도 기능하고 있는 소스?드레인 전극(15A, 15B)의 막 두께가 작다는 것은, 상기 비교예 4와 비교해서 배선 저항이 증대한다는 것을 의미한다. 이 점에서는 신뢰성에 문제가 발생할 우려가 있다.

[0166] 비교예 4, 5에 대하여, 본 실시 형태에서는 배선층(17A, 17B)의 막 두께를 크게 하면서, 배선층(17A, 17B)과는 별도로 소스?드레인 전극(15A, 15B)의 막 두께를 작게 할 수 있다. 따라서, 상기한 바와 같이, 본 실시 형태는 접촉 저항을 억제하면서 배선 저항을 저감할 수 있다.

- [0167] <적용예>
- [0168] 계속해서, 상기 각 실시 형태 및 각 변형예에서 설명한 반도체 소자(박막 트랜지스터(1, 1A 내지 1E))의 적용예(표시 장치 및 전자 기기에 대한 적용예)에 대해서 설명한다.
- [0169] [표시 장치]
- [0170] 도 23의 (a) 및 도 23의 (b)는, 상기 각 실시 형태 등의 반도체 소자(박막 트랜지스터(1, 1A 내지 1E))를 구비한 표시 장치(표시 장치 2)의 개략 구성을 모식적으로 도시한 것이다. 구체적으로는, 도 23의 (b)는 평면 구성(X-Y 평면 구성)을 도시한다. 도 23의 (a)는 도 23의 (b)에서의 VI-VI 선을 따라 화살표 방향으로 취한 단면 구성(Z-X 단면 구성)을 도시하고 있다.
- [0171] 이 표시 장치(2)는 기판(11), TFT층(22), 표시층(23) 및 투명 기판(24)을 이 순서대로 적층한 것이다. 구체적으로 기판(11)에서의 표시 영역(20A) 상에는, TFT층(22), 표시층(23) 및 투명 기판(24)이 적층되는 한편, 기판(11)에서의 프레임 영역(비표시 영역)(20B) 상에는, TFT층(22), 표시층(23) 및 투명 기판(24)은 적층되어 있지 않다.
- [0172] TFT층(22)은, 박막(금속막 등의 도전막, 절연막 등)을 포함하는 복수의 디바이스를 포함한다. 이 디바이스로서는, 예를 들어 화소를 선택하기 위한 스위칭 소자로서의 TFT 외에, 용량 소자(유지 용량 소자 등), 배선(주사전, 신호선 등) 및 전극(화소 전극 등) 등을 들 수 있다. 여기서, 이 경우의 TFT가 채널층으로서 유기 반도체층(14)을 사용한, 상기 각 실시 형태 등의 박막 트랜지스터(유기 TFT)에 의해 구성되어 있다.
- [0173] 표시층(23)은, 예를 들어 화소 전극과 공통 전극과의 사이에, 전기 영동 입자, 액정층, 유기 EL(Electro Luminescence)층, 무기 EL층 등을 포함한다. 즉, 표시층(23)은 전기 영동 소자, 액정 소자, 유기 EL 소자 및 무기 EL 소자 등을 사용하여 구성되어 있다. 또한, 화소 전극은 TFT층(22)에 화소마다 설치되고, 공통 전극은 투명 기판(24)의 한 면에 걸쳐 설치되어 있다.
- [0174] 투명 기판(24)은, 예를 들어 기판(11)과 마찬가지로의 재료를 사용하여 구성되어 있다. 또한, 이 투명 기판(24) 상에 또한 표시층(23)으로의 수분의 침입을 방지하는 방습막 및 표시면 상에 외광의 투영(glare)을 방지하기 위한 광학 기능막을 설치할 수도 있다.
- [0175] [전자 기기]
- [0176] 이어서, 도 24의 (a) 내지 도 29의 (g)를 참조하여, 상기 표시 장치(2)의 적용예에 대해서 설명한다. 이 표시 장치(2)는 텔레비전 장치, 디지털 카메라, 노트북형 퍼스널 컴퓨터, 휴대 전화 등의 휴대 단말 장치, 비디오 카메라 등의 모든 분야의 전자 기기에 적용할 수 있다. 다시 말해, 표시 장치(2)는 외부로부터 입력된 영상 신호 또는 전자 기기 내부에서 생성한 영상 신호를, 정지 화상 또는 영상으로서 표시하는 모든 분야의 전자 기기에 적용할 수 있다.
- [0177] (적용예 1)
- [0178] 도 24의 (a) 및 도 24의 (b)는 표시 장치(2)가 적용되는 전자복의 외관을 도시한 것이다. 이 전자복은, 예를 들어 표시부(210) 및 비표시부(220)를 갖는다. 표시부(210)가 표시 장치(2)에 의해 구성되어 있다.
- [0179] (적용예 2)
- [0180] 도 25는, 표시 장치(2)가 적용되는 텔레비전 장치의 외관을 도시한 것이다. 이 텔레비전 장치는, 예를 들어 프론트 패널(310) 및 필터 유리(320)를 포함하는 영상 표시 화면부(300)를 갖는다. 영상 표시 화면부(300)는 표시 장치(2)에 의해 구성되어 있다.
- [0181] (적용예 3)
- [0182] 도 26의 (a) 및 도 26의 (b)는, 표시 장치(2)가 적용되는 디지털 카메라의 외관을 도시한 것이다. 디지털 카메라는, 예를 들어 플래시용 발광부(410), 표시부(420), 메뉴 스위치(430) 및 셔터 버튼(440)을 갖는다. 이 표시부(420)는 표시 장치(2)에 의해 구성되어 있다.
- [0183] (적용예 4)
- [0184] 도 27은, 표시 장치(2)가 적용되는 노트북형 퍼스널 컴퓨터의 외관을 도시한 것이다. 노트북형 퍼스널 컴퓨터는, 예를 들어 본체(510), 문자 등의 입력 조작을 위한 키보드(520) 및 화상을 표시하는 표시부(530)를 갖는다.

이 표시부(530)는 표시 장치(2)에 의해 구성되어 있다.

[0185] (적용예 5)

[0186] 도 28은, 표시 장치(2)가 적용되는 비디오 카메라의 외관을 도시한 것이다. 비디오 카메라는, 예를 들어 본체부(610), 이 본체부(610)의 전방측면에 설치된 피사체 촬영용 렌즈(620), 촬영시의 스타트/스톱 스위치(630) 및 표시부(640)를 갖는다. 이 표시부(640)는 표시 장치(2)에 의해 구성되어 있다.

[0187] (적용예 6)

[0188] 도 29의 (a) 내지 도 29의 (g)는, 표시 장치(2)가 적용되는 휴대 전화기의 외관을 도시한 것이다. 휴대 전화기는, 예를 들어 상측 하우징(710)과 하측 하우징(720)을 연결부(힌지부)(730)로 연결한 것이다. 휴대 전화기는 디스플레이(740), 서브 디스플레이(750), 픽처 라이트(760) 및 카메라(770)를 갖고 있다. 이들 중, 디스플레이(740) 또는 서브 디스플레이(750)는 표시 장치(2)에 의해 구성되어 있다.

[0189] <그 밖의 변형예>

[0190] 이상, 몇가지 실시 형태, 변형예 및 적용예를 들어 본 개시물의 기술을 설명했다. 그러나, 본 기술은 이들 실시 형태 등에 한정되지 않고, 다양한 변형이 가능하다.

[0191] 예를 들어, 상기 실시 형태 등에서 설명한 각 층의 재료 및 두께 또는 성막 방법 및 성막 조건 등은 한정되는 것은 아니라, 다른 재료 및 두께로 할 수 있고, 또는 다른 성막 방법 및 성막 조건으로 할 수 있다. 또한, 상기 실시 형태 등에서는, 표시 장치의 구성을 구체적으로 예로 들어 설명했지만, 모든 층을 구비할 필요는 없고, 또한 다른 층을 더 구비할 수 있다.

[0192] 또한, 상기 실시 형태 등에서는, 본 개시물의 실시 형태에 따른 반도체 소자의 일례로서, 유기 반도체층, 게이트 전극, 한 쌍의 소스?드레인 전극 및 배선층을 구비한 박막 트랜지스터(유기 TFT)를 예로 들어 설명했지만, 이것에는 한정되지 않는다. 즉, 예를 들어 유기 반도체층, 한 쌍의 전극(애노드 전극 및 캐소드 전극) 및 배선층을 구비한 다이오드(정류 소자) 등의 다른 반도체 소자에 대해서도, 본 기술을 적용할 수 있다.

[0193] 또한, 본 기술은 이하와 같은 구성을 취할 수도 있다.

[0194] (1) 반도체 소자로서,

[0195] 유기 반도체층과,

[0196] 상기 유기 반도체층과 접하도록 상기 유기 반도체층 상에 배치된 전극과,

[0197] 상기 전극과는 별도로 형성되고, 상기 전극에 전기적으로 접속된 배선층을 포함하는, 반도체 소자.

[0198] (2) 상기 (1)에 따른 반도체 소자에서,

[0199] 상기 유기 반도체층과,

[0200] 게이트 전극과,

[0201] 상기 전극으로서의 한 쌍의 소스?드레인 전극과,

[0202] 상기 배선층을 포함하고,

[0203] 박막 트랜지스터로서 형성되는, 반도체 소자.

[0204] (3) 상기 (2)에 따른 반도체 소자에서,

[0205] 게이트 절연막과,

[0206] 보호막을 더 포함하고,

[0207] 기판 상에 상기 게이트 전극, 상기 게이트 절연막, 상기 유기 반도체층, 상기 소스?드레인 전극, 상기 보호막 및 상기 배선층이 상기 게이트 전극, 상기 게이트 절연막, 상기 유기 반도체층, 상기 소스?드레인 전극, 상기 보호막 및 상기 배선층의 순서대로 적층되어 있는, 반도체 소자.

[0208] (4) 상기 (3)에 따른 반도체 소자에서,

[0209] 상기 유기 반도체층은 상기 보호막의 형성 영역 외부에 상기 소스?드레인 전극에 중첩되는 영역으로서의 볼록부

를 갖는, 반도체 소자.

- [0210] (5) 상기 (3)에 따른 반도체 소자에서,
- [0211] 상기 보호막은 절결 영역(notch regions)으로서의 오목부를 갖고,
- [0212] 상기 유기 반도체층과 상기 소스?드레인 전극은 상기 절결 영역에서 서로 중첩되어 있는, 반도체 소자.
- [0213] (6) 상기 (3) 내지 (5)에 따른 반도체 소자에서,
- [0214] 상기 게이트 전극과 상기 배선층 사이의 중첩 영역에 상기 유기 반도체층 및 상기 보호막 중 하나가 배치되어 있는, 반도체 소자.
- [0215] (7) 상기 (3) 내지 (6)에 따른 반도체 소자에서,
- [0216] 상기 유기 반도체층의 외형선은 상기 배선층으로서의 한 쌍의 배선층을 서로 연결하는 영역에서 상기 게이트 전극의 외형선의 내측에 배치되고,
- [0217] 상기 한 쌍의 배선층은 상기 한 쌍의 소스?드레인 전극에 각각 접속되어 있는, 반도체 소자.
- [0218] (8) 상기 (2) 내지 (7)에 따른 반도체 소자에서,
- [0219] 상기 한 쌍의 소스?드레인 전극은, 상기 소스?드레인 전극을 개별적으로 포함하도록 형성된 얼라인먼트 어긋남 흡수 영역(alignment displacement accommodating regions)을 포함하는, 반도체 소자.
- [0220] (9) 상기 (2) 내지 (8)에 따른 반도체 소자에서,
- [0221] 상기 소스?드레인 전극은 금속, 도전성 중합체 및 카본 중 하나로 형성되는, 반도체 소자.
- [0222] (10) 표시 장치로서,
- [0223] 반도체 소자와,
- [0224] 표시층을 포함하고,
- [0225] 상기 반도체 소자는,
- [0226] 유기 반도체층과,
- [0227] 상기 유기 반도체층과 접하도록 상기 유기 반도체층 상에 배치된 전극과,
- [0228] 상기 전극과는 별도로 형성되고, 상기 전극에 전기적으로 접속된 배선층을 포함하는, 표시 장치.
- [0229] (11) 전자 기기로서,
- [0230] 반도체 소자와,
- [0231] 표시층을 포함하는 표시 장치를 포함하고,
- [0232] 상기 반도체 소자는,
- [0233] 유기 반도체층과,
- [0234] 상기 유기 반도체층과 접하도록 상기 유기 반도체층 상에 배치된 전극과,
- [0235] 상기 전극과는 별도로 형성되고, 상기 전극에 전기적으로 접속된 배선층을 포함하는, 전자 기기.
- [0236] (12) 반도체 소자의 제조 방법으로서,
- [0237] 기판 상에 유기 반도체층을 형성하는 단계와,
- [0238] 상기 유기 반도체층과 접하도록 상기 유기 반도체층 상에 전극을 형성하는 단계와,
- [0239] 상기 전극을 형성한 후, 상기 전극에 전기적으로 접속된 배선층을 형성하는 단계를 포함하는, 반도체 소자의 제조 방법.
- [0240] (13) 상기 (12)에 따른 반도체 소자의 제조 방법에서,
- [0241] 상기 전극은 인쇄 프로세스를 사용하여 형성되고,

[0242] 상기 배선층은 진공 성막 프로세스 및 포토리소그래피 기술을 사용하여 형성되는, 반도체 소자의 제조 방법.

[0243] 본 출원은 2011년 6월 20일 및 2011년 12월 21일 각각 출원된 일본 우선권 특허 출원 JP 2011-136492호 및 JP 2011-279240호에 개시물된 요지에 관한 요지를 포함하며, 그 전체 내용은 본 명세서에 참조로 인용된다.

## 부호의 설명

[0244] 11: 기판

## 12: 게이트 전극

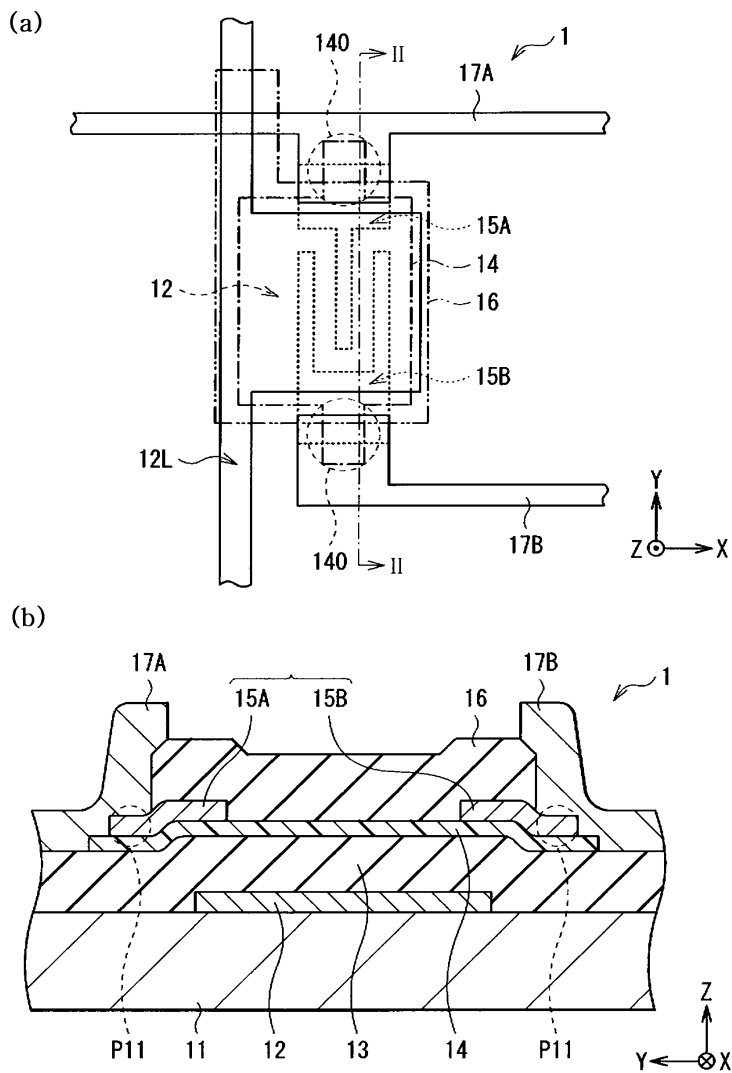
12L: 게이트 배선

### 13: 게이트 절연막

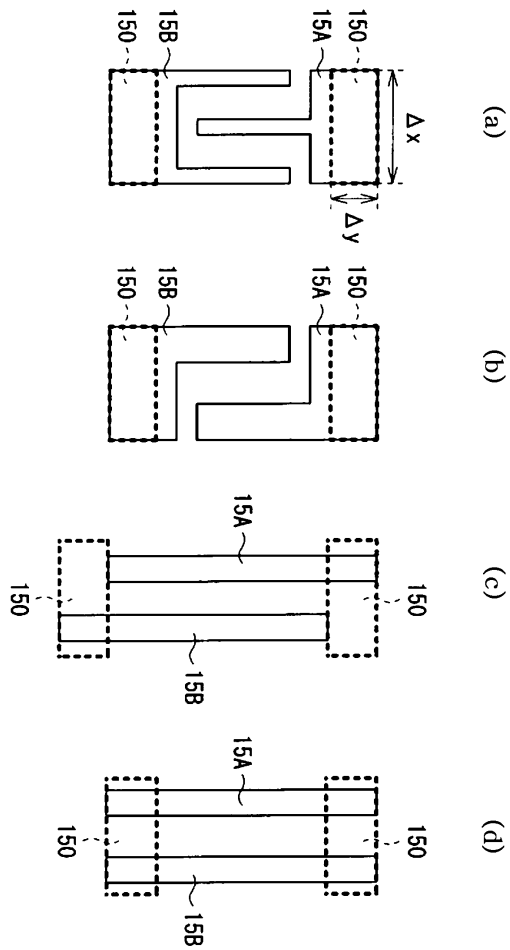
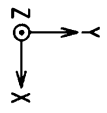
14: 유기 반도체층

## 도면

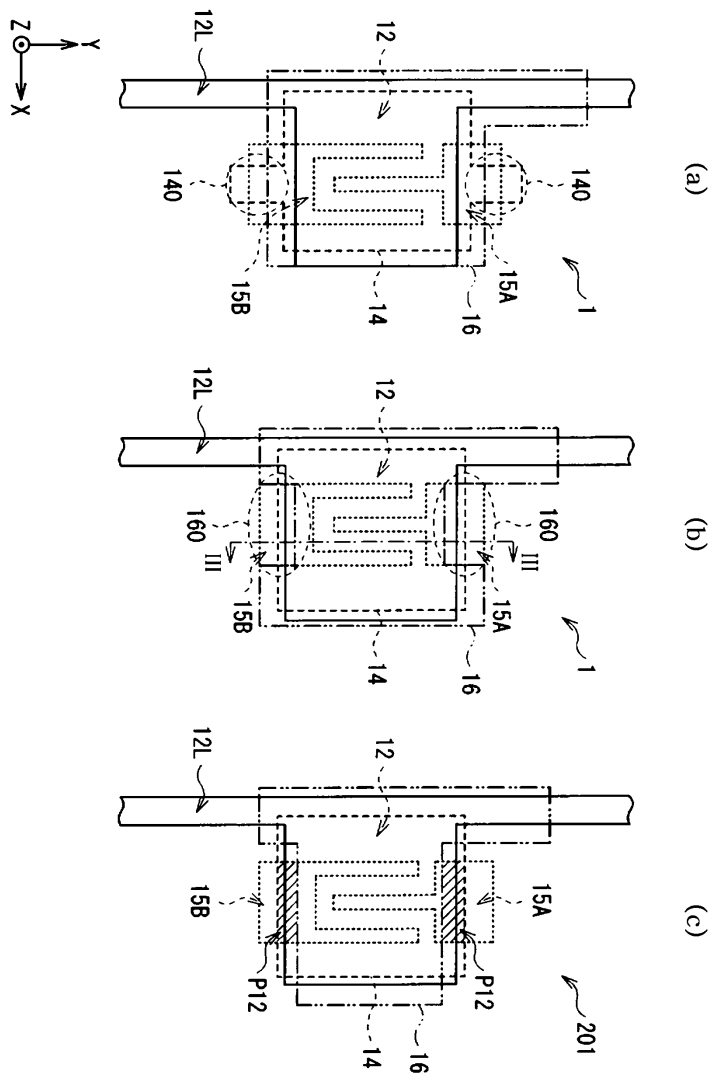
도면1



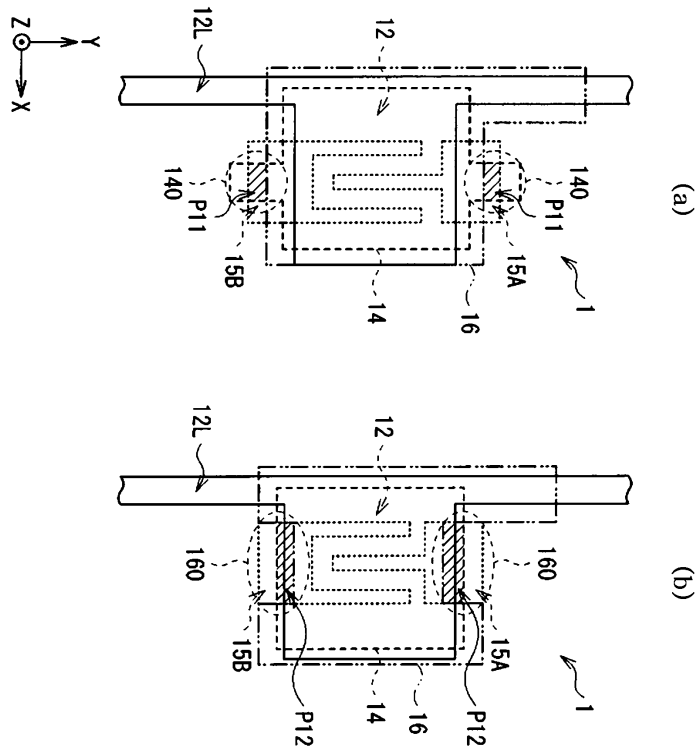
도면2



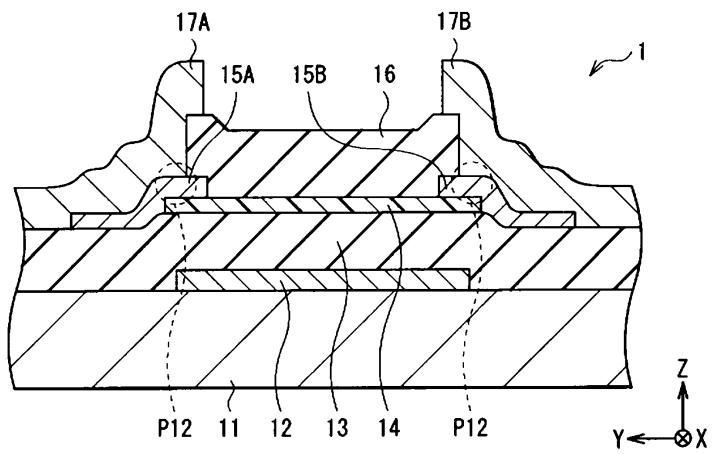
도면3



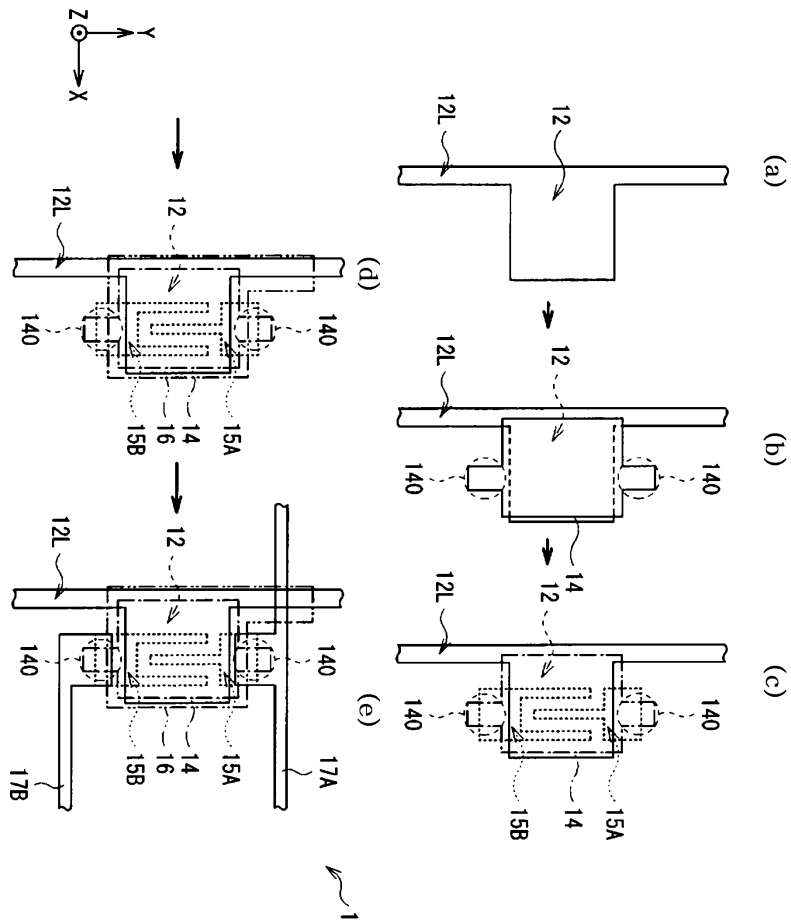
도면4



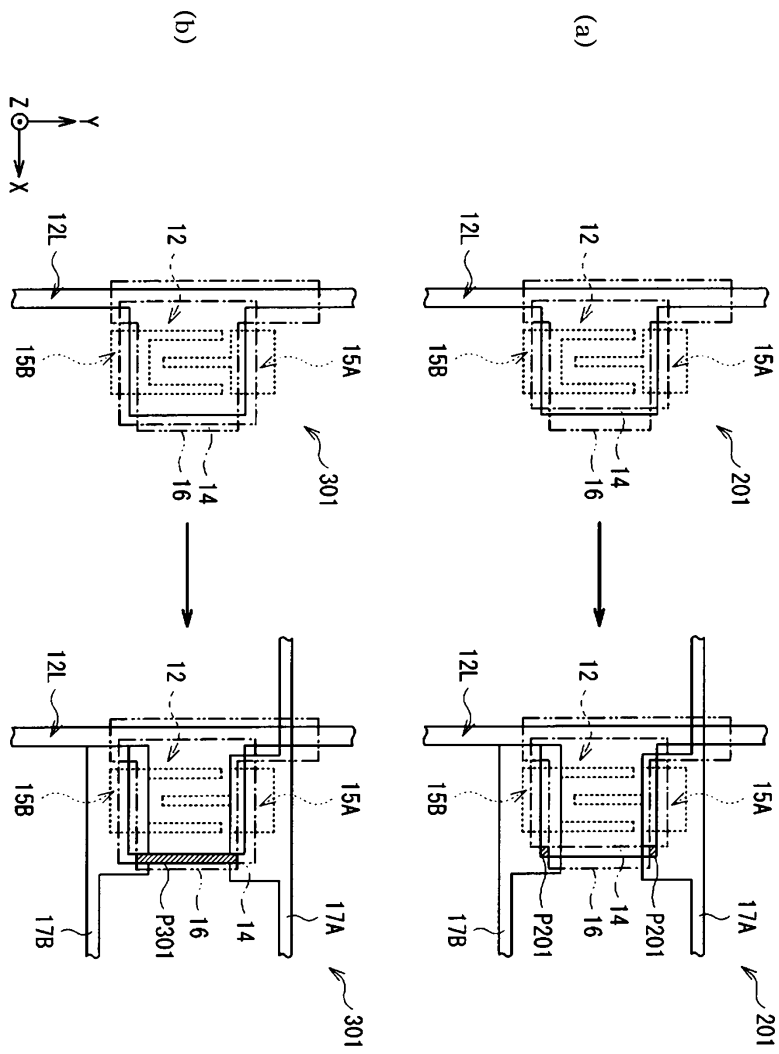
도면5



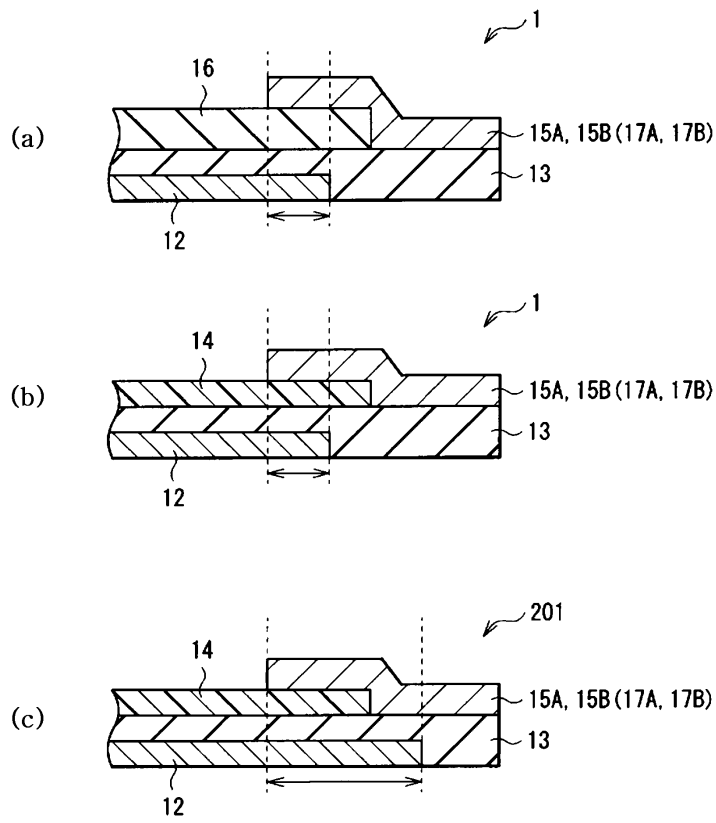
도면6



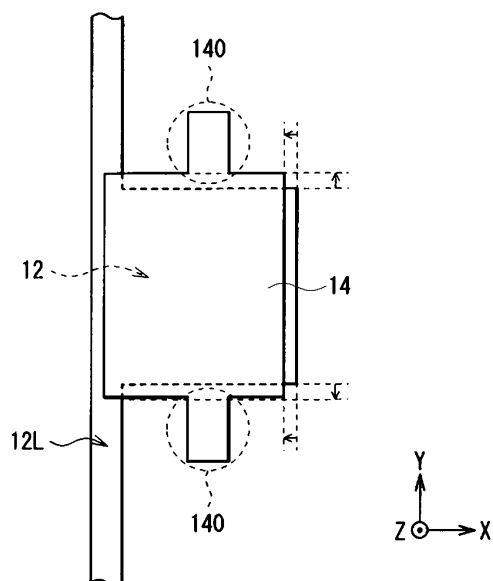
도면7



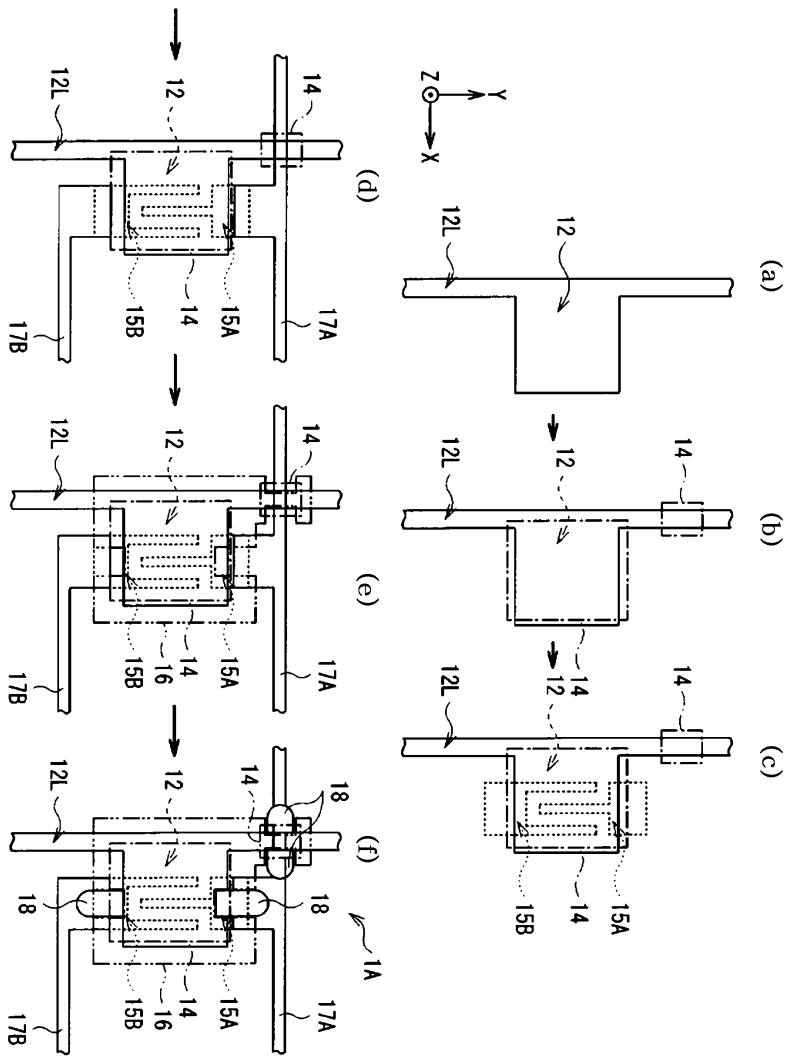
도면8



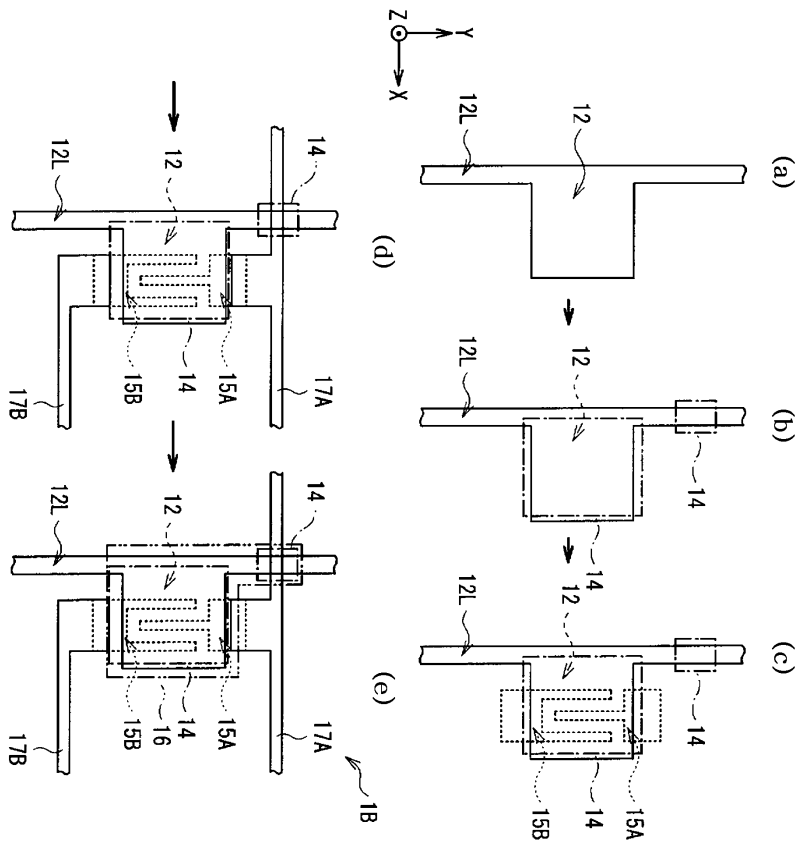
도면9



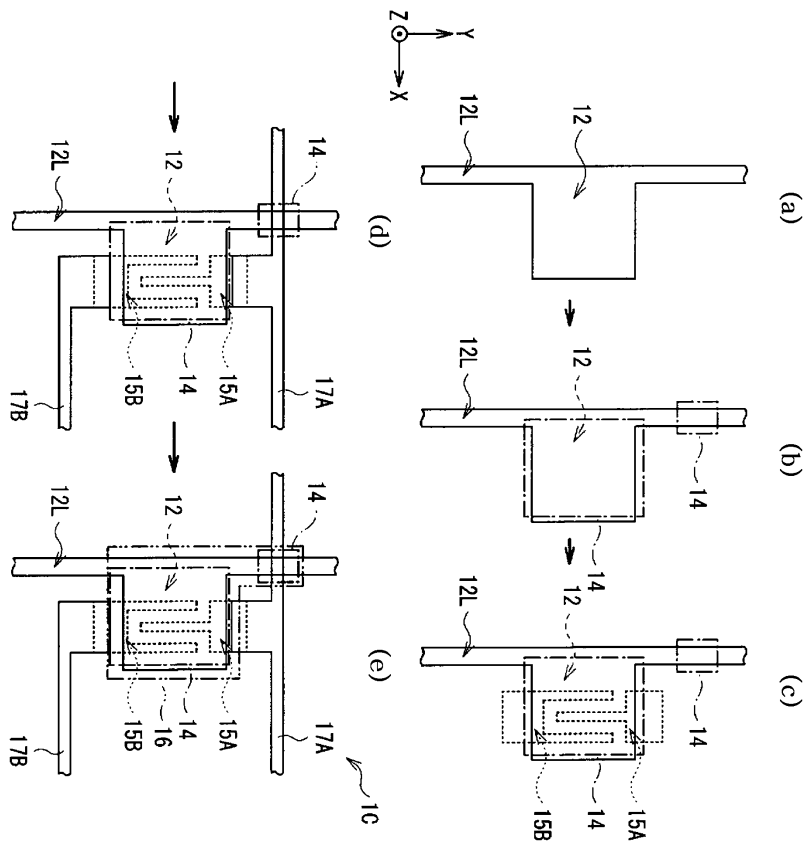
도면10



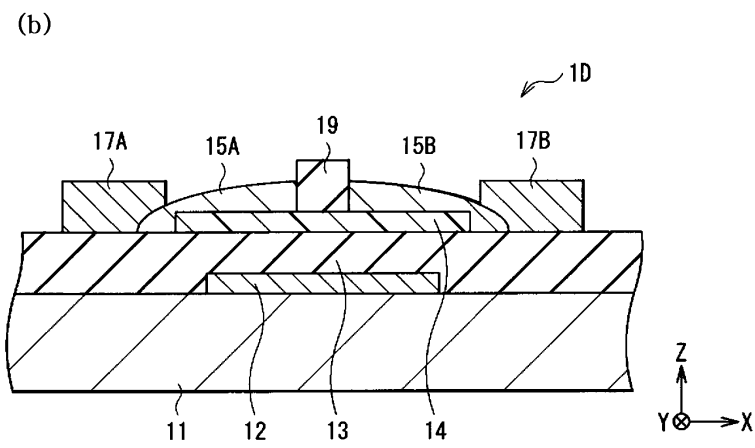
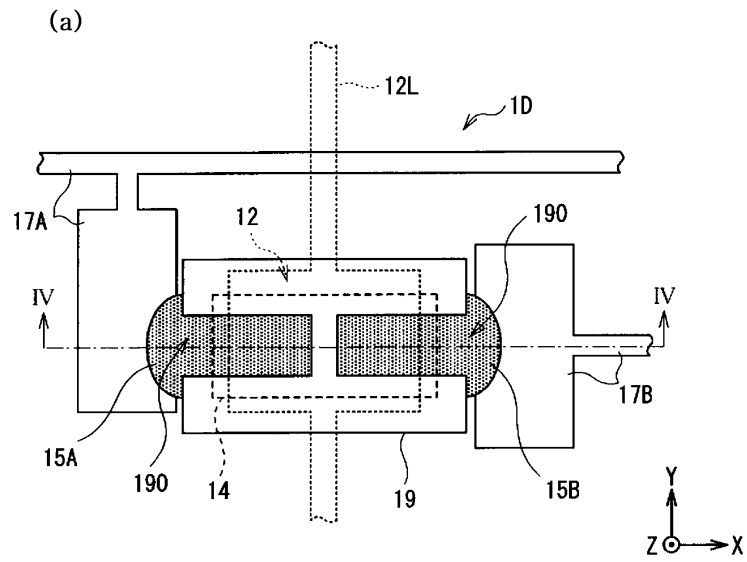
도면11



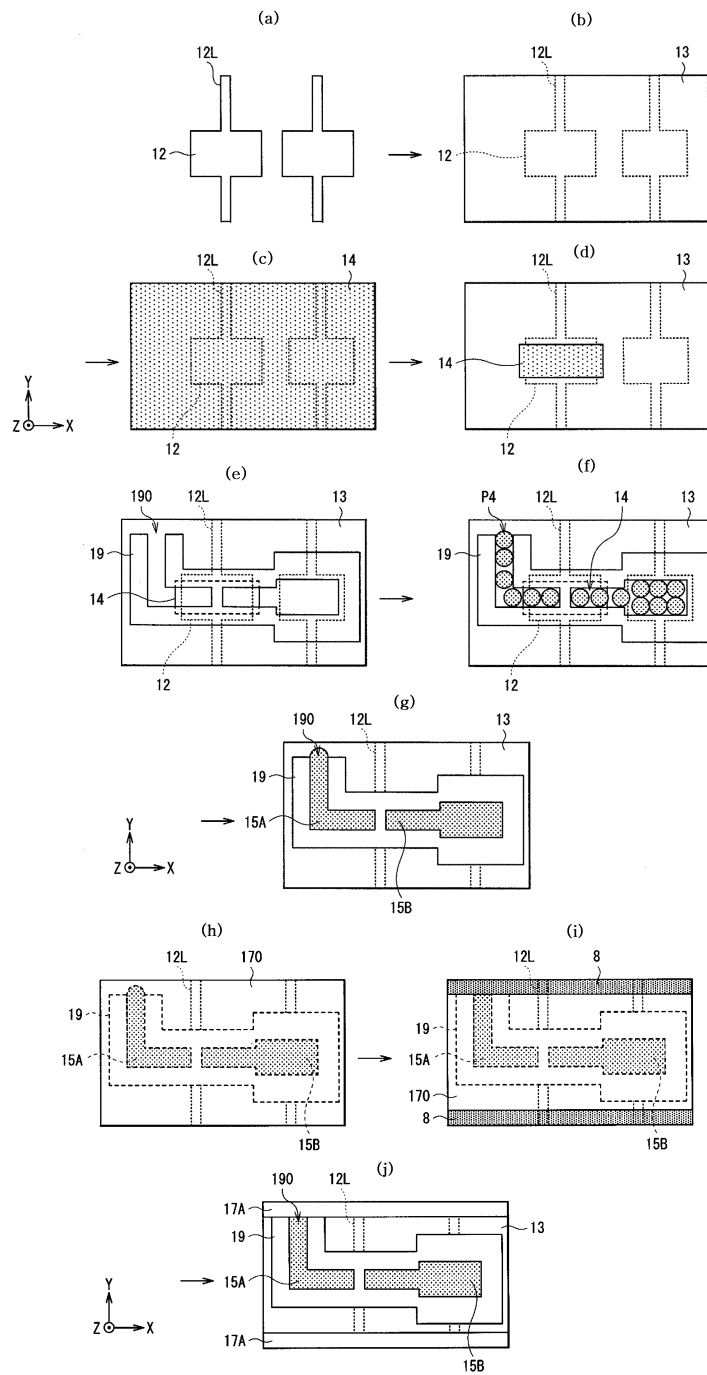
도면12



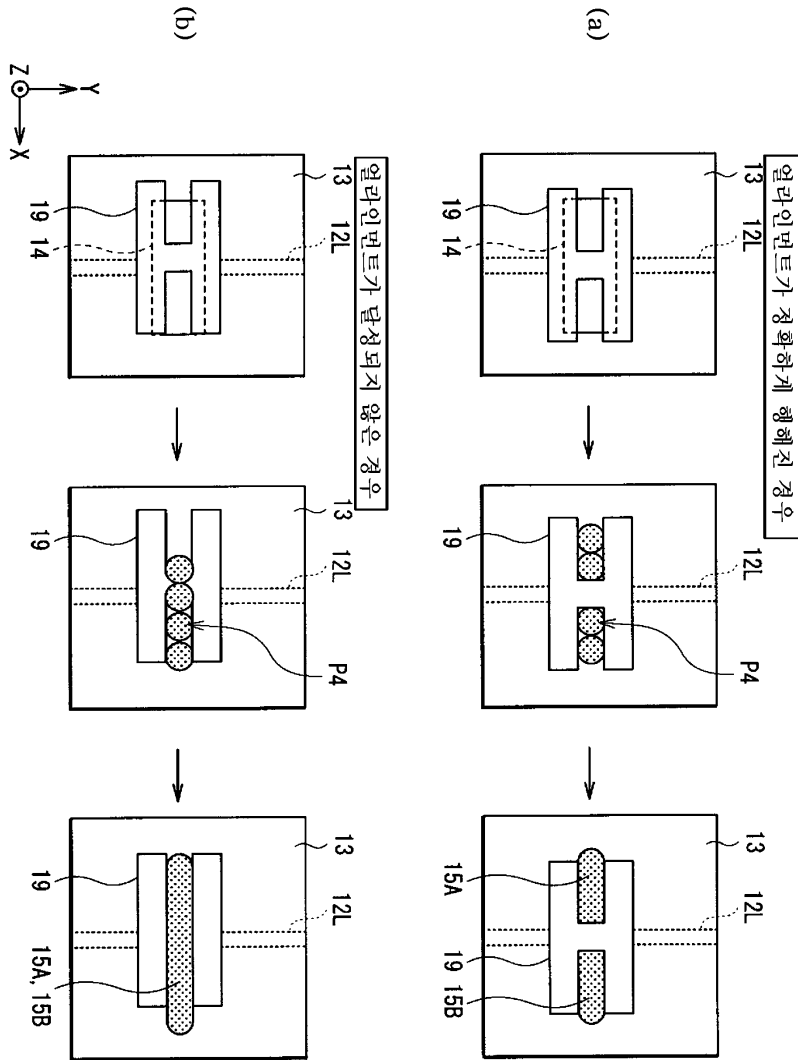
도면13



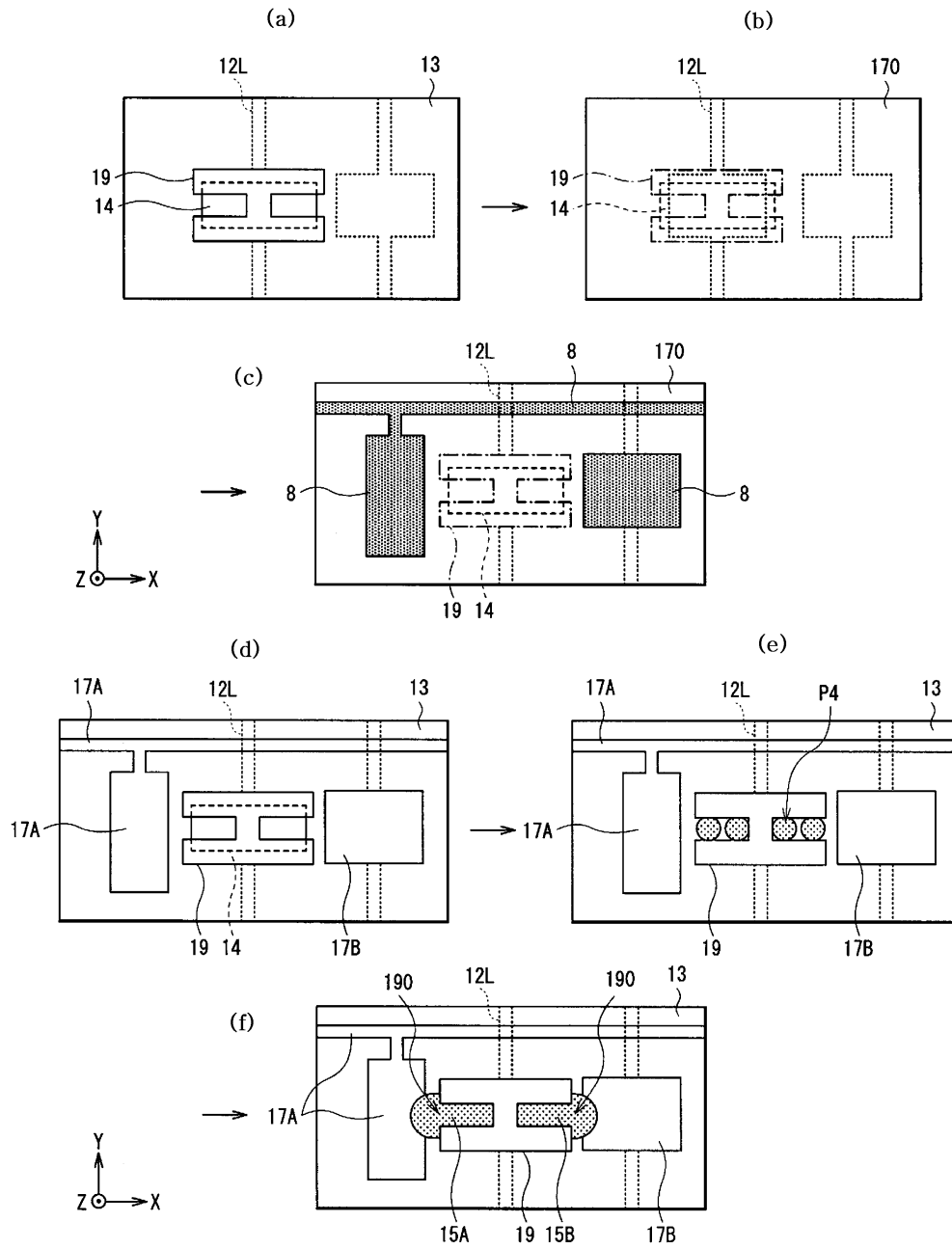
도면14



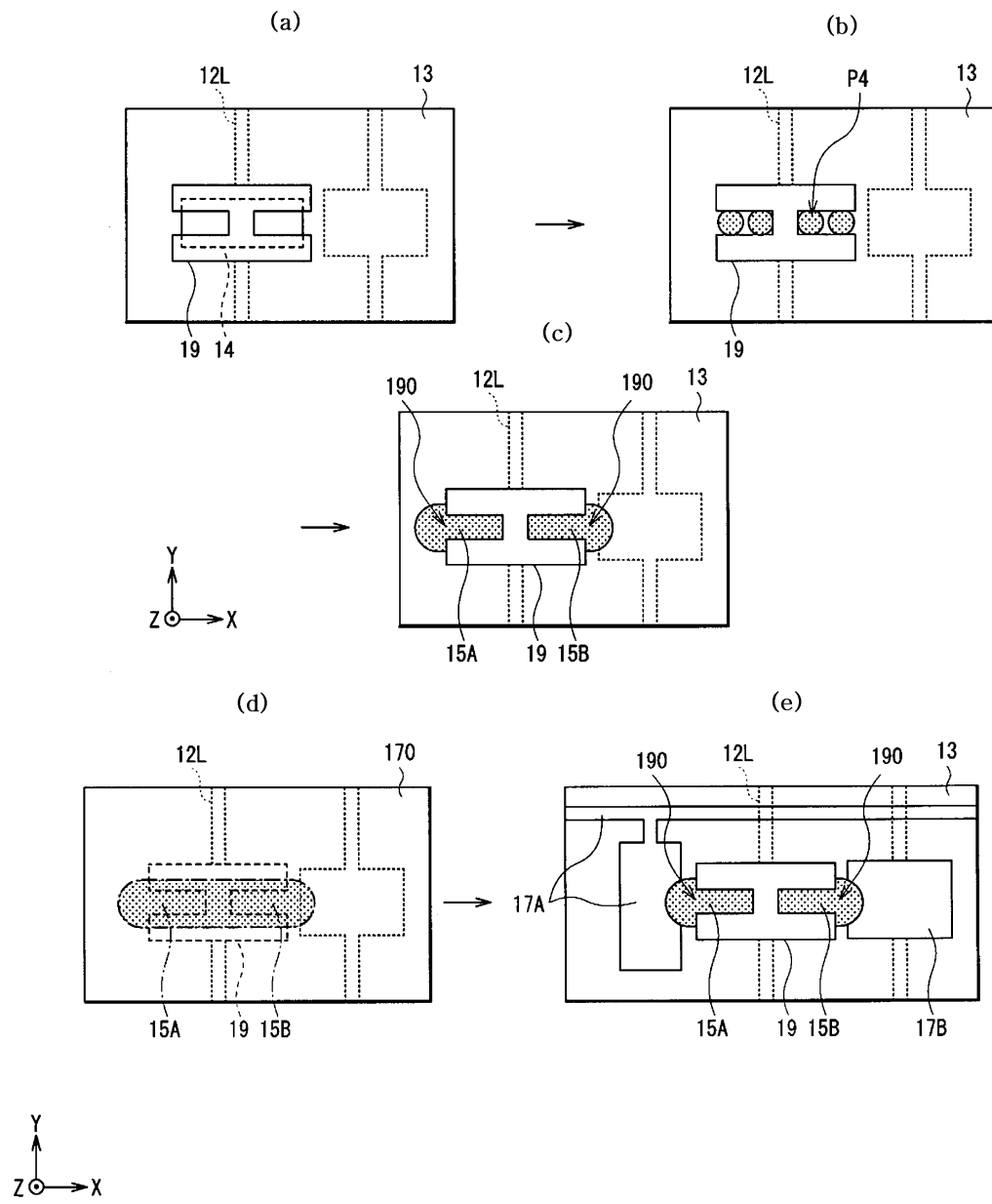
도면15



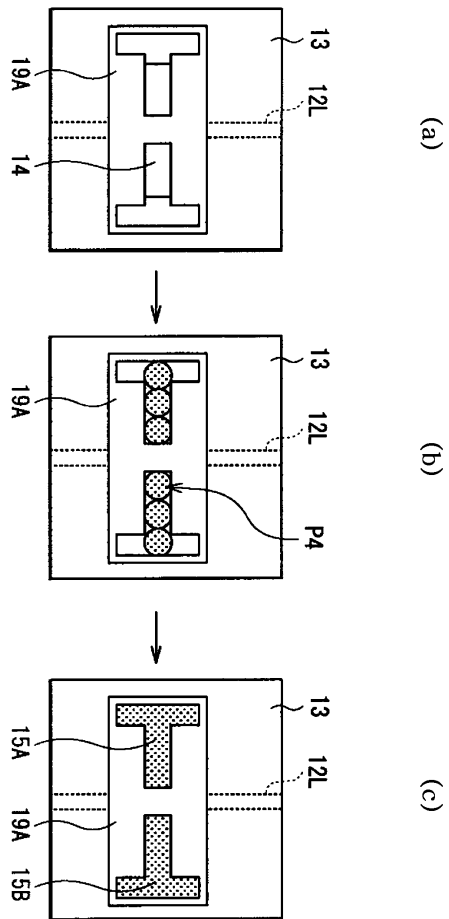
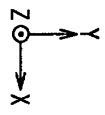
도면16



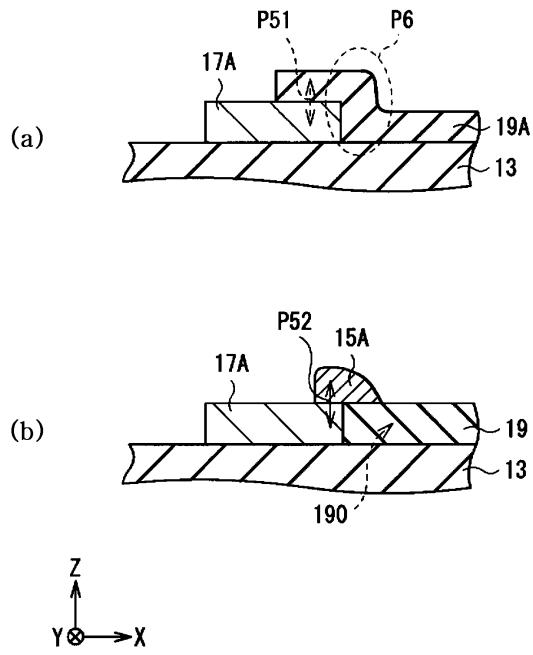
도면17



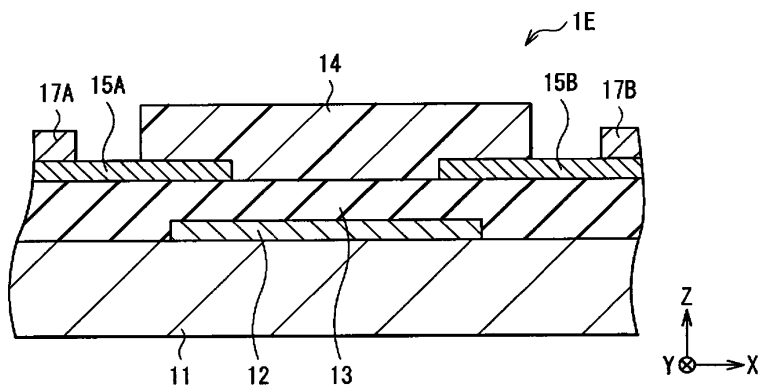
도면18



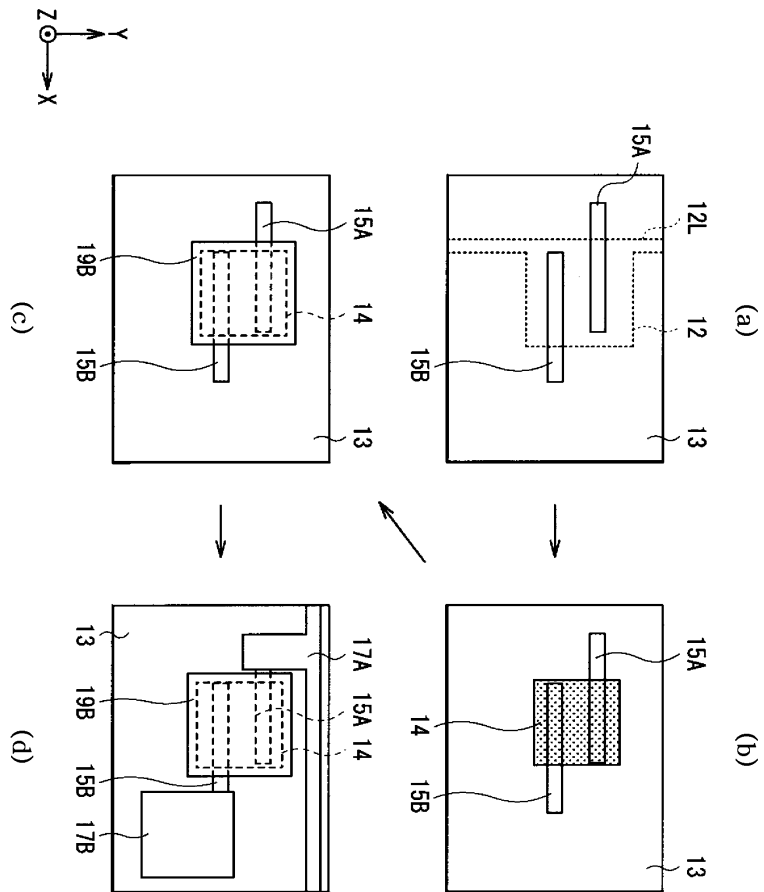
도면19



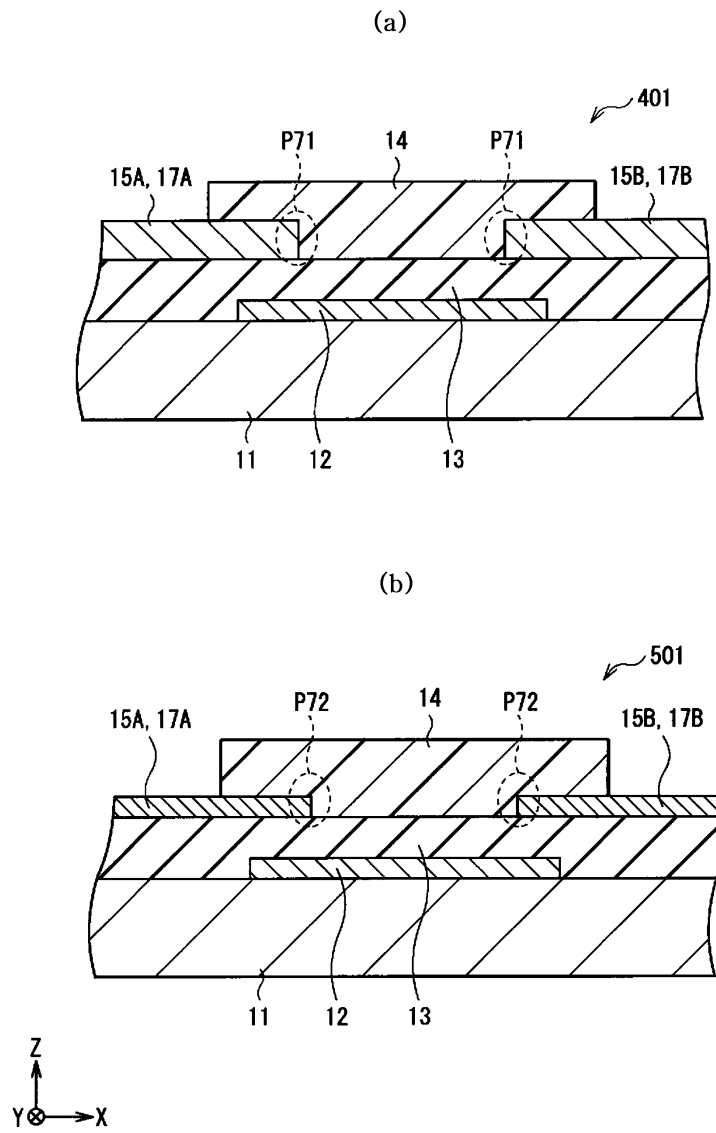
도면20



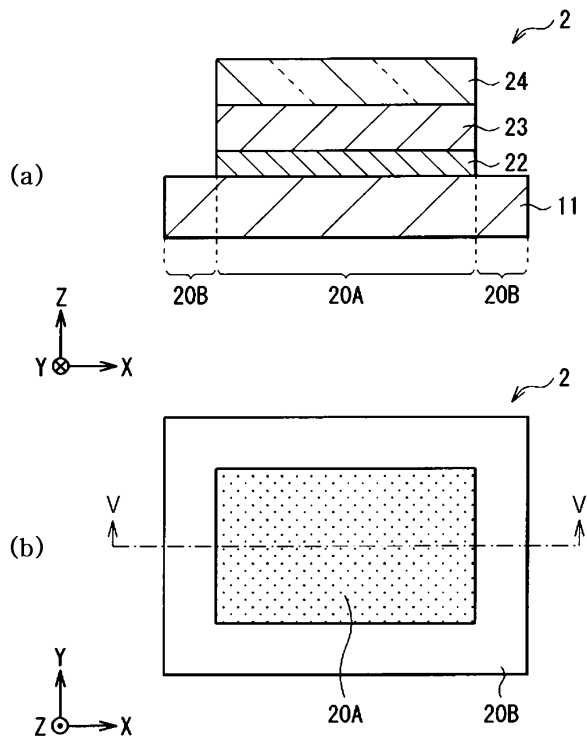
도면21



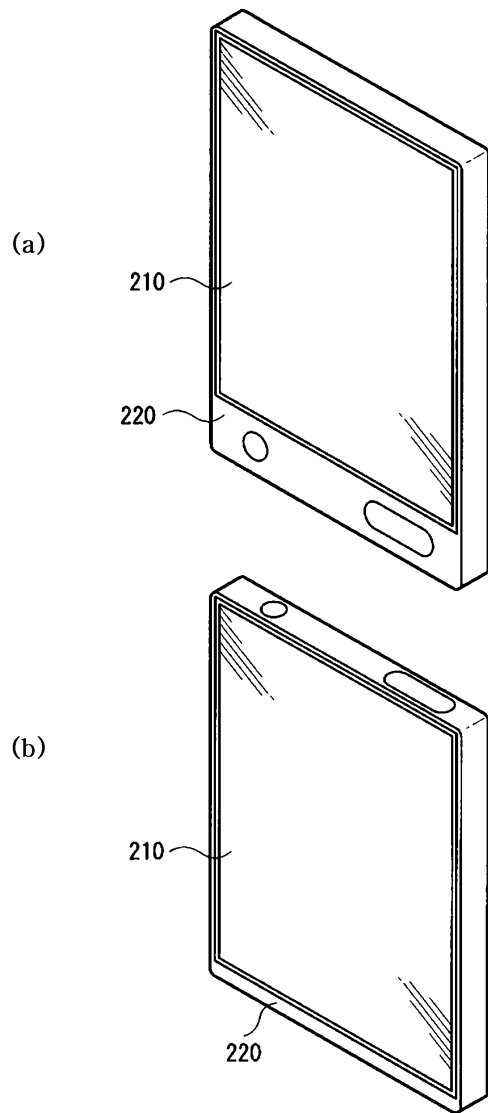
도면22



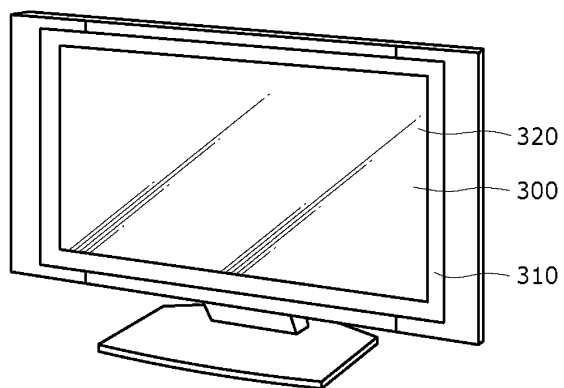
도면23



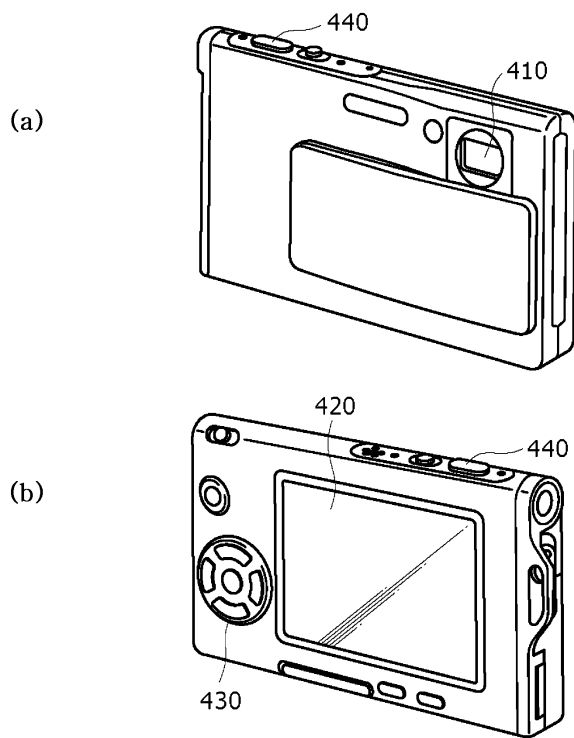
도면24



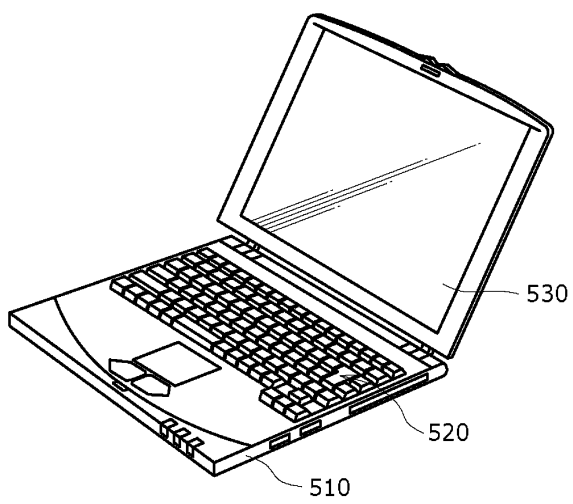
도면25



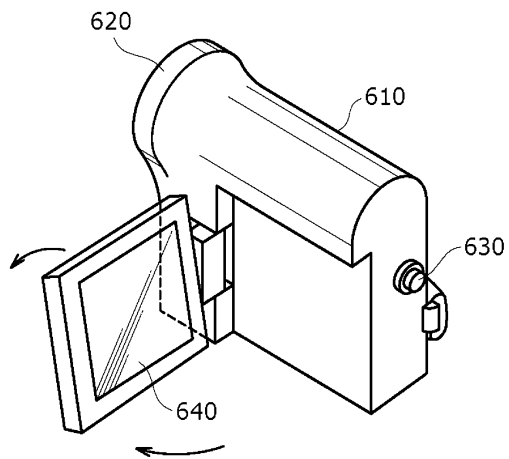
도면26



도면27



도면28



도면29

