



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

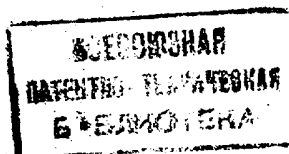
(19) **SU** (11) **1629969**

A1

(51) 5 Н 03 К 3/64

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4663836/21

(22) 20.03.89

(46) 23.02.91. Бюл. № 7

(71) Научно-исследовательский и конструкторско-технологический институт средств контроля электронной аппаратуры и изделий электронной техники "Контрольприбор"

(72) Д.Г.Добровинская и В.С.Пункевич

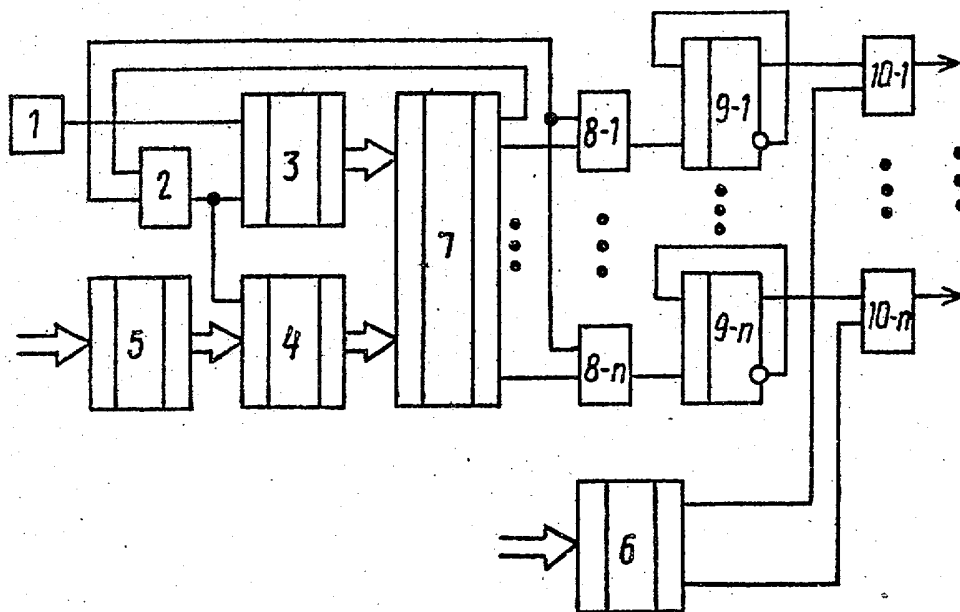
(53) 621.373(088,8)

(56) Авторское свидетельство СССР № 1181122, кл. Н 03 К 3/64, 09.01.84.

(54) УСТРОЙСТВО ДЛЯ ФОРМИРОВАНИЯ ИМПУЛЬСОВ

(57) Изобретение относится к импульсной технике и может быть использовано в устройствах автоматики, вычислительной техники, а также в системах конт-

роля цифровых устройств. Цель изобретения - расширение функциональных возможностей - достигается за счет введения в устройство третьего регистра 6 и группы 10 из n элементов ИСКЛЮЧАЮЩЕЕ ИЛИ. Использование синхронных D-триггеров в счетном режиме и введение группы 8 из n элементов И позволяет упростить процесс программирования блока 7 памяти за счет записи единичной информации в разряды соответствующих ячеек блока 7 только при необходимости изменения информации на соответствующих выходах устройства. Кроме того, устройство для формирования импульсов включает генератор 1 импульсов, элемент И 2, счетчик 3 импульсов, первый 4 и второй 5 регистры, 1 ил.



(19) **SU** (11) **1629969** **A1**

Изобретение относится к импульсной технике и может быть использовано в устройствах автоматики, вычислительной техники, а также в системах контроля цифровых устройств.

Цель изобретения - расширение функциональных возможностей устройства путем обеспечения формирования прямых и инверсных последовательностей импульсных сигналов.

На чертеже представлена функциональная схема устройства.

Устройство для формирования импульсов содержит генератор 1 импульсов, элемент И 2, счетчик 3 импульсов, первый 4, второй 5 и третий 6 регистры, блок 7 памяти, группу 8 из n элементов И, n синхронных D-триггеров 9, группу 10 из n элементов ИСКЛЮЧАЮЩЕЕ ИЛИ. При этом выход генератора 1 импульсов соединен с первым входом элемента И 2 и тактовым входом счетчика 3 импульсов, сбросовый вход которого объединен с выходом элемента И 2 и синхронизирующим входом записи первого регистра 4. Информационные входы первого регистра 4 через второй регистр 5 соединены с соответствующими информационными шинами устройства, а разрядные выходы первого регистра 4 и счетчика 3 импульсов подключены соответственно к входам старших и младших разрядов блока 7 памяти. Первый выход блока 7 памяти соединен с вторым входом элемента И 2, а остальные, начиная с второго, выходы блока 7 памяти подключены к первым входам соответствующих, начиная с первого, элементов И из группы 8 элементов И, вторые входы которых объединены с выходом генератора 1 импульсов. Выходы элементов И из группы 8 элементов И соединены с тактовыми входами соответствующих синхронных D-триггеров 9, инверсный выход и информационный вход каждого из которых объединены между собой, а прямые выходы подключены к первым входам соответствующих элементов ИСКЛЮЧАЮЩЕЕ ИЛИ из группы 10 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, вторые входы которых соединены с соответствующими выходами третьего регистра 6, входами соединенного с управляющими шинами устройства, выходами которого являются выходы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ группы 10.

Устройство работает следующим образом.

Перед началом работы производится загрузка блока 7 памяти информацией о временных параметрах (в случае использования ПЗУ запись информации производится перед его установкой в устройство), причем запись информации производится в ячейки блока 7, момент опроса которых соответствует моменту изменения потенциала выходного сигнала устройства. В ячейку блока 7 с нулевым адресом записывается информация, содержащая единицу только в самом младшем разряде, наличие единицы в младшем разряде соответствующей ячейки блока 7 памяти означает начало нового цикла формирования выходных сигналов. Затем производится начальная установка в нулевое состояние счетчика 3 импульсов, первого регистра 4 и синхронных D-триггеров 9, во второй регистр 5 заносится информация о выбранном номере последовательности импульсов, в третий регистр 6 заносится информация о полярности сигнала с каждого из выходов устройства (шины предварительной установки не показаны).

Первый импульс генератора 1, пройдя через элемент И 2, подтвердит нулевое состояние счетчика 3 импульсов и занесет в первый регистр 4 информацию о выбранном номере последовательности из второго регистра 5. При этом на первом выходе блока 7 памяти появляется нулевой потенциал, запрещающий прохождение импульсов через элемент И 2 и разрешающий работу счетчика 3 импульсов по тактовому входу. В результате на младшей части адресных входов блока 7 памяти происходит последовательная смена адресов, начиная с нулевого. Вследствие этого из массива, номер которого был записан в первый регистр 4, происходит считывание информации, которая синхронно с импульсами генератора 1 поступает на тактовые входы синхронных триггеров 9 через элементы И из группы 8 элементов И. Учитывая, что изменение информации на выходах блока 7 памяти производится по заднему фронту импульса генератора 1, а через элементы И из группы 8 элементов информация проходит синхронно с передним фронтом импульса генератора 1, смена информации на выходе устрой-

ва может осуществляться по переднему или заднему фронту импульса генератора 1 в зависимости от типа примененных синхронных D-триггеров 9.

Информация с выходов синхронных D-триггеров 9 через элементы ИСКЛЮЧАЮЩЕЕ ИЛИ из группы 10 элементов поступает на выходы устройства. Причем в зависимости от сигналов на вторых входах элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, последние работают либо в качестве повторителей сигналов на выходах синхронных D-триггеров 9, либо в качестве их инверторов.

Таким образом, на выходах элементов ИСКЛЮЧАЮЩЕЕ ИЛИ формируются последовательности импульсов или отдельные импульсы, синхронизированные импульсами генератора 1, имеющие различные длительности и паузы в зависимости от информации, записанной в данном массиве блока 7 памяти, и имеющие различную полярность в зависимости от информации, записанной в третьем регистре 6.

Сигналом об окончании одного цикла формирования выходных импульсов и необходимости перехода к другому циклу является появление единичного уровня на первом выходе блока 7 памяти, с появлением которого открывается элемент И 2 и импульс с выхода генератора 1 проходит на вход обнуления счетчика 3 импульсов и синхронизирующий вход записи первого регистра 4. Этот импульс синхронизирует последнюю информацию из данного массива для записи в D-триггеры 9, устанавливает счетчик 3 в исходное нулевое состояние, а в первый регистр 4 записывается информация из второго регистра 5. Аналогично может записываться информация и в третий регистр 6.

К моменту прихода следующего импульса с выхода генератора 1 на выходах блока 7 памяти устанавливается информация, соответствующая новому адресу. Если во втором регистре 5 информация не изменяется, то повторяется формирование прежней последовательности импульсов. В случае обновления информации происходит прекращение массива блока 7 памяти и начинается формирование новой последовательности импульсов.

Максимальная длительность цикла формирования одной последовательности

импульсов, заданной в определенном массиве блока 7 памяти, определяется емкостью счетчика 3 импульсов.

Таким образом, изобретение обеспечивает расширение функциональных возможностей устройства для формирования импульсов за счет обеспечения возможности формирования прямых и инверсных последовательностей, а также упрощение задания временной диаграммы, т.е. упрощение предварительной записи информации в блок 7 памяти, так как в блок памяти записывается единичная информация только для моментов времени, характеризующих передний и задний фронты выходного импульса.

20 Ф о р м у л а и з о б р е т е н и я

Устройство для формирования импульсов, содержащее п синхронных D-триггеров, генератор импульсов, подключенный выходом к тактовому входу счетчика импульсов и первому входу элемента И, выход которого соединен со сбросовым входом счетчика импульсов и с входом записи информации первого регистра памяти, информационными входами подключенного к входным информационным шинам устройства через второй регистр памяти, а выходами - к соответствующим старшим разрядам адреса блока памяти, младшие разряды адреса которого соединены с соответствующими выходами счетчика импульсов, а первый выход блока памяти соединен с вторым входом элемента И, о т л и ч а ю щ е с я т е м , что, с целью расширения функциональных возможностей, устройство дополнительно снабжено третьим регистром памяти, группой из п элементов И и группой из п элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, первые входы элементов ИСКЛЮЧАЮЩЕЕ ИЛИ подключены к дополнительным управляющим шинам устройства через третий регистр памяти, вторые входы - к прямым выходам соответствующих синхронных D-триггеров, инверсный выход каждого из которых соединен с управляющим входом того же триггера, а тактовый вход - к выходу соответствующего элемента из группы п элементов И, первые входы которых объединены с выходом генератора импульсов, а вторые входы элементов И соединены с соответствующими, начиная с второго, выходами блока памяти.